

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成17年7月7日(2005.7.7)

【公開番号】特開2002-319673(P2002-319673A)

【公開日】平成14年10月31日(2002.10.31)

【出願番号】特願2002-20962(P2002-20962)

【国際特許分類第7版】

H 01 L 29/78

H 01 L 21/316

【F I】

H 01 L 29/78 301 G

H 01 L 21/316 X

【手続補正書】

【提出日】平成16年11月4日(2004.11.4)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

導電層とシリコン製基板との間に形成された誘電体層を有し前記誘電体層は、誘電率が3.9以上12以下である酸化シリコン(SiO_x)の層を含み、ここで×は2以下であることを特徴とする半導体デバイス。

【請求項2】

前記酸化シリコンの層の厚さは、5以下であることを特徴とする請求項1記載の半導体デバイス。

【請求項3】

前記酸化シリコンの層の厚さは、3.5以下であることを特徴とする請求項1記載の半導体デバイス。

【請求項4】

前記誘電体層はさらに、誘電率が12以下の酸化シリコン(SiO_x)の第2の層を少なくとも含み、ここで×は2以下であることを特徴とする請求項1記載の半導体デバイス。

【請求項5】

前記酸化シリコンの第2の層の厚さは、5以下であることを特徴とする請求項4記載の半導体デバイス。

【請求項6】

前記誘電体層はさらに、前記酸化シリコンの層の上に、アルミ酸塩、ケイ酸塩、 ZrO_2 , HfO_2 , TiO_2 , Gd_2O_3 , Y_2O_3 , Si_3N_4 , Ta_2O_5 , Al_2O_3 の内の少なくとも一つからなる補完的な誘電体層を含むことを特徴とする請求項1記載の半導体デバイス。

【請求項7】

電極と、

シリコン製基板と、

前記電極と前記シリコン製基板との間に形成されたゲート誘電体層であって、厚さが5であり誘電率が3.9以上12以下である酸化シリコン(SiO_x)の層を少なくとも含み、ここで×は2以下である、ゲート誘電体層とかなるトランジスタ。

【請求項8】

前記酸化シリコンの層の厚さは、3.5以下である
ことを特徴とする請求項7記載のトランジスタ。

【請求項9】

前記ゲート誘電体層は、誘電率が12以下の酸化シリコン(SiO_x)の第2の層を少なくとも含み、ここでxは2以下である
ことを特徴とする請求項7記載のトランジスタ。

【請求項10】

前記酸化シリコンの第2の層の厚さは、5以下である
ことを特徴とする請求項9記載のトランジスタ。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正の内容】

【0008】

厚さがそれぞれ5以下の酸化シリコン(SiO_x₂)製の一つあるいは二つの層から形成されたゲート誘電体層は、しかしながら、損傷を与えるリーク電流に対し十分に耐えうるものではない。従って、酸化シリコン(SiO_x₂)製の層の上に形成された充填的(補完的な、complementary)誘電体層を有するゲート誘電体組み合わせ層を、米国特許出願第09/773,442号"A COMPOSITE GATE DIELECTRIC LAYER,"(発明の名称)に従って発明した。充填的誘電体層は十分な厚さを有し、リーク電流がゲート誘電体層を流れるのを阻止する。