

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2023年10月12日(12.10.2023)



(10) 国際公開番号

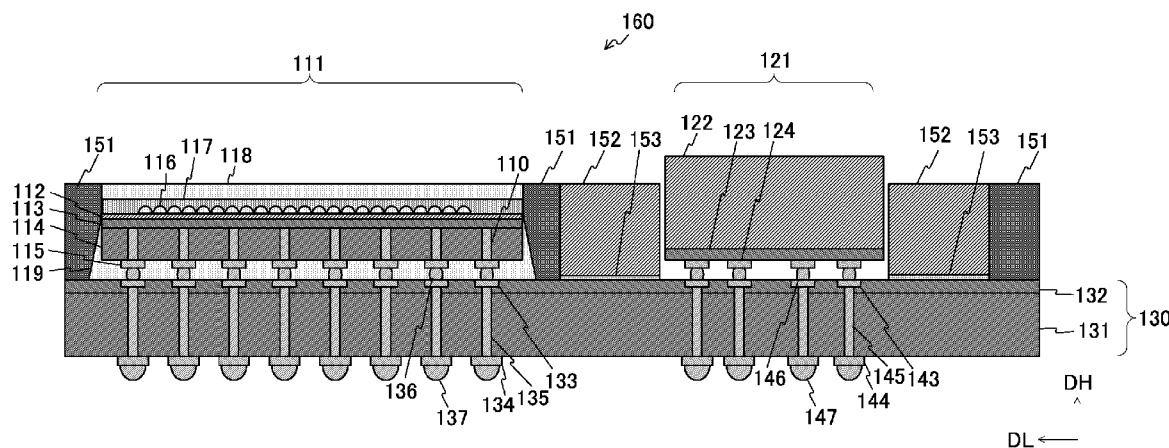
WO 2023/195236 A1

- (51) 国際特許分類:  
H01L 31/02 (2006.01) H01L 23/28 (2006.01)  
H01L 21/56 (2006.01) H01L 27/146 (2006.01)
- (21) 国際出願番号: PCT/JP2023/004705
- (22) 国際出願日: 2023年2月13日(13.02.2023)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2022-064203 2022年4月8日(08.04.2022) JP
- (71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目1番1号 Kanagawa (JP).
- (72) 発明者: 重歳 卓志 (SHIGETOSHI, Takushi); 〒2430014 神奈川県厚木市旭町四丁目1番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 清水 完 (SHIMIZU, Kan); 〒2430014 神奈川県厚木市旭町四丁目1番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 松谷 弘康 (MATSUGAI, Hiroyasu); 〒2430014 神奈川県厚木市旭町四丁目1番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 吉岡 浩孝 (YOSHIOKA, Hirotaka); 〒2430014 神奈川県厚木市旭町四丁目1番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).
- (74) 代理人: 丸島 敏一 (MARUSHIMA, Toshikazu); 〒1600022 東京都新宿区新宿3-3-2 京

(54) Title: PACKAGE AND METHOD FOR MANUFACTURING PACKAGE

(54) 発明の名称: パッケージおよびパッケージの製造方法

[図2]



(57) Abstract: The present invention makes it possible to accommodate a functional extension while suppressing an increase in package size. A package (160) is provided with a plurality of chips (111, 121), a wiring layer (132), and a mold material (151). The plurality of chips (111, 121) include an optical chip (111). The plurality of chips (111, 121) are mounted on the wiring layer (132). The mold material (151) is disposed so as to surround the periphery of at least one of the plurality of chips (111, 121), and has a planarized surface. The position in height direction of the planar surface of the mold material (151) may be substantially equal to the position in height direction of the top surface of at least one of the plurality of chips (111, 121). The optical chip (111) may include at least one of a light receiving element and a light emitting element.



WO 2023/195236 A1

王 新宿三丁目第二ビル 5 F クラフト  
国際特許事務所 Tokyo (JP).

- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

(57) 要約: パッケージの大型化を抑制しつつ、機能の拡張に対応可能とする。パッケージ (1 6 0) は、複数のチップ (1 1 1, 1 2 1) と、配線層 (1 3 2) と、モールド材 (1 5 1) とを備える。複数のチップ (1 1 1, 1 2 1) は、光学チップ (1 1 1) を含む。配線層 (1 3 2) は、複数のチップ (1 1 1, 1 2 1) が実装されている。モールド材 (1 5 1) は、複数のチップ (1 1 1, 1 2 1) のうちの少なくともいずれか1つのチップの周囲を囲むように配置され、表面が平坦化されている。モールド材 (1 5 1) の平坦面の高さ方向の位置は、複数のチップ (1 1 1, 1 2 1) のうちの少なくともいずれか1つのチップのトップ面の高さ方向の位置に略等しくてもよい。光学チップ (1 1 1) は、受光素子および発光素子の少なくともいずれか1つを含んでもよい。

## 明 細 書

**発明の名称**： パッケージおよびパッケージの製造方法

### 技術分野

[0001] 本技術は、パッケージおよびパッケージの製造方法に関する。詳しくは、本技術は、チップが実装されるパッケージおよびパッケージの製造方法に関する。

### 背景技術

[0002] 半導体チップのパッケージングでは、実装面積の増大を抑制するために、固片化された半導体チップを積層した3次元集積構造が用いられることがある。このような3次元集積構造として、例えば、インターポーザ基板上に第1チップおよび第2チップが実装され、第2チップ上に第3チップが積層された構造がある（例えば、特許文献1参照）。

### 先行技術文献

#### 特許文献

[0003] 特許文献1：米国特許出願公開第2019/237454号明細書

### 発明の概要

#### 発明が解決しようとする課題

[0004] しかしながら、上述の従来技術では、インターポーザ基板に第3チップを接続したり、光学的機能をパッケージに組み込んだりすると、その分だけインターポーザ基板を拡大する必要があり、パッケージの大型化を招くおそれがあった。

[0005] 本技術はこのような状況に鑑みて生み出されたものであり、パッケージの大型化を抑制しつつ、機能の拡張に対応可能とすることを目的とする。

#### 課題を解決するための手段

[0006] 本技術は、上述の問題点を解消するためになされたものであり、その第1の側面は、光学チップを含む複数のチップと、上記複数のチップが実装された配線層と、上記複数のチップのうちの少なくともいずれか1つのチップの

周囲を囲むように配置され、表面が平坦化されたモールド材とを具備するパッケージである。これにより、透明部材が上方に設けられた光学チップがモールド材で封止されるという作用をもたらす。

[0007] また、第1の側面によれば、上記モールド材の平坦面の高さ方向の位置は、上記複数のチップのうちの少なくともいずれか1つのチップのトップ面の高さ方向の位置に略等しくてもよい。これにより、透明部材の表面がモールド材から露出されるという作用をもたらす。

[0008] また、第1の側面によれば、上記光学チップは、受光素子および発光素子の少なくともいずれか1つを含んでもよい。これにより、光学チップが受光素子または発光素子として機能するという作用をもたらす。

[0009] また、第1の側面によれば、上記複数のチップが実装された配線層は、インターポーザ基板に形成されている配線層または上記チップに形成された再配線層でもよい。これにより、光学チップが配線層上に支持されるという作用をもたらす。

[0010] また、第1の側面は、上記光学チップ以外のチップおよび上記モールド材のうちの少なくともいずれか1つの上に形成された反射防止膜をさらに備えてもよい。これにより、光学チップの周囲からの反射光の影響が回避されるという作用をもたらす。

[0011] また、第1の側面は、上記複数のチップのうちの少なくともいずれか1つのチップが実装される下層チップと、上記下層チップに形成された貫通電極とをさらに備えてもよい。これにより、チップの実装面積が低減されるという作用をもたらす。

[0012] また、第1の側面は、上記モールド材で周囲が囲まれた状態で上記複数のチップのうちのいずれかのチップの周囲に離間して配置され、上記モールド材の平坦面と略同一の高さにトップ面が位置するダミーチップをさらに備えてもよい。これにより、サイズが互いに異なるチップが実装された実装領域の高さの均一性が向上されるという作用をもたらす。

[0013] また、第1の側面は、上記光学チップの上方に設けられた透明部材をさら

に具備し、上記モールド材は、上記透明部材の表面が露出された状態で上記光学チップの周囲を囲むように位置してもよい。これにより、透明部材が上方に設けられた光学チップがモールド材で封止されるという作用をもたらす。

[0014] また、第1の側面によれば、上記透明部材は、透明樹脂および透明基板のうちの少なくともいずれか1つを含んでもよい。これにより、光学チップの上方を透明部材で封止しつつ、光学チップの周囲がモールド材で封止されるという作用をもたらす。

[0015] また、第1の側面によれば、上記透明部材は、光学的機能層を備えてもよい。これにより、光学チップの周囲をモールド材で封止しつつ、光学的機能が追加されるという作用をもたらす。

[0016] また、第1の側面によれば、上記光学チップのトップ面は、上記モールド材のトップ面より低い位置にあってもよい。これにより、光学チップの周囲がモールド材にて保護されるという作用をもたらす。

[0017] また、第1の側面は、上記光学チップの上方に配置され、上記ダミーチップで支持された透明基板または光学部材をさらに備えてもよい。これにより、透明基板または光学部材の支持部材をダミーチップと別個に設けることなく、光学チップの封止または光学的機能の追加が達成されるという作用をもたらす。

[0018] また、第1の側面によれば、上記光学チップのトップ面は、上記モールド材のトップ面より高い位置にあってもよい。これにより、モールド材による光学チップの光学特性への影響が回避されるという作用をもたらす。

[0019] また、第1の側面は、上記複数のチップのうちの少なくとも1つのチップと上記配線層との間および上記チップの周囲に設けられたアンダーフィルをさらに備えてもよい。これにより、チップの封止性が向上されるという作用をもたらす。

[0020] また、第1の側面によれば、上記ダミーチップの面のうち、上記チップに対向する1つの面の上端を含む少なくとも一部は、上記チップに対向する他

の面に比べて、上記ダミーチップで周囲が囲まれるチップとの間隔が大きくてもよい。これにより、ダミーチップとチップとの間のアンダーフィルの流入経路が拡大されるという作用をもたらす。

[0021] また、第1の側面によれば、上記ダミーチップの面のうち、上記チップに対向する少なくとも1つの面は、順テーパ形状を備えてもよい。これにより、ダミーチップとチップとの間へのアンダーフィルの流入が容易化されるという作用をもたらす。

[0022] また、第2の側面は、基板上に実装された光学チップと、上記光学チップ上に設けられた透明部材と、上記透明部材の表面が露出されるように表面が平坦化され、上記光学チップの周囲を囲むように上記基板上に形成された封止樹脂とを具備するパッケージである。これにより、透明部材が上方に設けられた光学チップが封止樹脂で封止されるという作用をもたらす。

[0023] また、第2の側面によれば、上記平坦化された表面は、上記透明部材の位置で研磨がストップされた研磨面でもよい。これにより、透明部材が上方に設けられた光学チップを封止樹脂で封止しつつ、光学チップの光学的機能が確保されるという作用をもたらす。

[0024] また、第3の側面は、第1配線層が形成された第1チップと、上記第1配線層に電氣的に接続され、上記第1チップの実装領域から横方向に拡張された拡張再配線層と、上記第1チップと離間して上記拡張再配線層上に実装され、上記拡張再配線層に電氣的に接続された第2配線層が形成された第2チップとを具備するパッケージである。これにより、第1チップの第1配線層に電氣的に接続された拡張再配線層上に第2チップが実装されるという作用をもたらす。

[0025] また、第3の側面は、上記第1チップおよび上記第2チップのうちの少なくともいずれか1つのチップの周囲を囲むように上記拡張再配線層上に形成され、表面が平坦化されたモールド材をさらに備えてもよい。これにより、複数のチップが実装された拡張再配線層上のチップが封止されるという作用をもたらす。

- [0026] また、第3の側面は、上記モールド材で周囲が囲まれた状態で上記第1チップおよび上記第2チップのうちの少なくともいずれか1つのチップの周囲に離間して上記拡張再配線層上に配置され、上記モールド材の表面と略同一の高さにトップ面が位置するダミーチップをさらに備えてもよい。これにより、サイズが互いに異なる複数のチップが実装された拡張再配線層上の実装領域の高さの均一性が向上されるという作用をもたらす。
- [0027] また、第4の側面は、基板上に実装された光学チップと、上記光学チップの周囲に離間して上記基板上に配置され、上記光学チップのトップ面から突出したダミーチップと、上記光学チップの上方に配置され、上記ダミーチップで支持された透明部材とを具備するパッケージである。これにより、透明基板の支持部材をダミーチップと別個に設けることなく、光学チップが封止されるという作用をもたらす。
- [0028] また、第4の側面は、上記ダミーチップの周囲を囲むように上記基板上に形成され、表面が平坦化されたモールド材をさらに備えてもよい。これにより、光学チップの上方を透明基板で封止しつつ、光学チップの周囲が封止されるという作用をもたらす。
- [0029] また、第5の側面は、透明部材が上方に設けられた光学チップをダミー基板とともにモールド材で封止する工程と、上記モールド材の表面を平坦化し、上記透明部材と上記ダミー基板の表面を露出させる工程と、上記表面が露出された上記ダミー基板の少なくとも一部を除去する工程と、上記ダミー基板が除去された領域にチップを実装する工程とを具備するパッケージの製造方法である。これにより、光学チップの上方を透明部材で封止しつつ、光学チップの周囲がモールド材で封止されるとともに、ダミー基板で囲まれる位置にチップが後付けされるという作用をもたらす。
- [0030] また、第5の側面は、上記モールド材の表面の平坦化は、上記透明部材の位置でストップされてもよい。これにより、透明部材が上方に設けられた光学チップをモールド材で封止しつつ、光学チップの光学的機能が確保されるという作用をもたらす。

[0031] また、第6の側面は、チップとダミー基板とをモールド材で封止する工程と、上記モールド材の表面を平坦化し、上記ダミー基板の表面を露出させる工程と、上記表面が露出された上記ダミー基板の少なくとも一部を除去する工程と、上記ダミー基板が除去された領域に光学チップを実装する工程とを具備するパッケージの製造方法である。これにより、チップの周囲をモールド材で封止しつつ、ダミー基板で囲まれる位置に光学チップが後付けされるという作用をもたらす。

### 図面の簡単な説明

- [0032] [図1]第1の実施の形態に係るパッケージの構成例を示す図である。
- [図2]第2の実施の形態に係るパッケージの構成例を示す断面図である。
- [図3]第2の実施の形態に係るパッケージの構成例を示す平面図である。
- [図4]第2の実施の形態に係るパッケージの製造方法の一例を示す第1の断面図および平面図である。
- [図5]第2の実施の形態に係るパッケージの製造方法の一例を示す第2の断面図である。
- [図6]第2の実施の形態に係るパッケージの製造方法の一例を示す第3の断面図である。
- [図7]第2の実施の形態に係るパッケージの製造方法の一例を示す第4の断面図である。
- [図8]第2の実施の形態に係るパッケージの製造方法の一例を示す第5の断面図である。
- [図9]第2の実施の形態に係るパッケージの製造方法の一例を示す第6の断面図である。
- [図10]第2の実施の形態に係るパッケージの製造方法の一例を示す第7の断面図である。
- [図11]第2の実施の形態に係るパッケージの製造方法の一例を示す第8の断面図である。
- [図12]第2の実施の形態に係るパッケージの製造方法の一例を示す第9の断

面図である。

[図13]第2の実施の形態に係るパッケージの製造方法の一例を示す第10の断面図である。

[図14]第2の実施の形態に係るパッケージの製造方法の一例を示す第11の断面図である。

[図15]第3の実施の形態に係るパッケージの構成例を示す断面図である。

[図16]第3の実施の形態に係るパッケージの構成の変形例を示す断面図である。

[図17]第3の実施の形態に係るパッケージの製造方法の一例を示す第1の断面図である。

[図18]第3の実施の形態に係るパッケージの製造方法の一例を示す第2の断面図である。

[図19]第4の実施の形態に係るパッケージの構成例を示す断面図である。

[図20]第5の実施の形態に係るパッケージの構成例を示す断面図である。

[図21]第6の実施の形態に係るパッケージの構成例を示す図である。

[図22]第7の実施の形態に係るパッケージの構成例を示す断面図である。

[図23]第80の実施の形態に係るパッケージの構成例を示す断面図である。

[図24]第8の実施の形態に係るパッケージのダミーチップの構成例を示す平面図である。

[図25]第9の実施の形態に係るパッケージの構成例を示す断面図である。

[図26]第10の実施の形態に係るパッケージの構成例を示す断面図である。

[図27]車両制御システムの概略的な構成例を示すブロック図である。

[図28]撮像部の設置位置の一例を示す説明図である。

### 発明を実施するための形態

[0033] 以下、本技術を実施するための形態（以下、実施の形態と称する）について説明する。説明は以下の順序により行う。

1. 第1の実施の形態（表面が平坦化されたモールド材で周囲を囲むようにして透明部材が上方に配置された光学チップがインターポーザ基板上に実

装された例)

2. 第2の実施の形態(表面が平坦化されたモールド材で周囲を囲むようにして透明部材が上方に配置された光学チップが実装されたインターポーザ基板上に半導体チップを後付けした例)

3. 第3の実施の形態(光学チップの上方に配置された透明部材上に光学的機能層を設けた例)

4. 第4の実施の形態(モールド材で支持された透明部材が上方に配置された光学チップが実装された拡張再配線層上に半導体チップを後付けした例)

5. 第5の実施の形態(モールド材上およびダミーチップ上に反射防止膜を設けた例)

6. 第6の実施の形態(光学チップの上方に位置する透明部材がダミーチップで支持された例)

7. 第7の実施の形態(表面が平坦化されたモールド材で周囲を囲まれた半導体チップが実装されたインターポーザ基板に後付けされた光学チップの上方に位置する透明基板がダミーチップで支持された例)

8. 第8の実施の形態(アンダーフィルが注入される光学チップとダミーチップとの間の隙間を広げた例)

9. 第9の実施の形態(ダミーチップの内面に順テーパ形状を持たせた例)

10. 第10の実施の形態(光学チップが実装される下層チップを設けた例)

11. 移動体への応用例

[0034] <1. 第1の実施の形態>

図1は、第1の実施の形態に係るパッケージの構成例を示す図である。なお、同図におけるaは、第1の実施の形態に係るパッケージの構成例を示す断面図、同図におけるbは、第1の実施の形態に係るパッケージの構成例を示す平面図である。同図におけるaは、同図におけるbのA1-A2線に沿

って切断した断面図を示す。

- [0035] 同図において、パッケージ100は、光学チップ111を備える。光学チップ111は、インターポーザ基板130上に実装されている。
- [0036] 光学チップ111には、光学素子が形成される。光学素子は、CCD (Charged Coupled Device) またはCMOS (Complementary Metal-Oxide Semiconductor) などの固体撮像素子でもよい。固体撮像素子で受光される光は、可視光であってもよいし、近赤外光 (NIR : Near InfraRed)、短波赤外光 (SWIR : Short Wavelength InfraRed)、紫外光またはX線などでもよい。光学素子は、PD (Photo Diode) などの受光素子でもよいし、LD (Laser Diode) やLED (Light Emitting Diode) やVCSEL (Vertical Cavity Surface Emitting Laser) などの発光素子でもよい。光学素子は、光スイッチやミラーデバイスなどのMEMS (Micro Electro Mechanical Systems) 素子でもよい。光学チップ111の基材に用いられる材料は、Si、GaAsまたはInGaAsPなどの半導体であってもよいし、LiNbO<sub>3</sub>、ガラスまたは透明樹脂などの誘電体であってもよい。なお、以下の説明では、光学チップ111として、裏面照射型固体撮像素子を例にとる。
- [0037] 光学チップ111は、半導体層112および配線層113を備える。半導体層112には、撮像領域および非撮像領域が設けられる。撮像領域には、ロウ方向およびカラム方向に沿ってマトリックス状に配列された画素および画素トランジスタが配置される。非撮像領域には、画素トランジスタを駆動したり、画素から読み出された信号を出力したりする周辺回路が設けられる。
- [0038] 半導体層112の裏面側には、オンチップレンズ116が画素ごとに形成されている。オンチップレンズ116の材料は、例えば、アクリルまたはポリカーボネートなどの透明樹脂を用いることができる。なお、半導体層112とオンチップレンズ116との間にカラーフィルタを画素ごとに設けてもよい。このとき、カラーフィルタは、例えば、ベイア配列を構成することができる。

- [0039] また、半導体層 112 の裏面側には、オンチップレンズ 116 を覆うように透明樹脂 117 が形成される。透明樹脂 117 上には透明基板 118 が配置される。透明樹脂 117 の材料は、例えば、シリコン、アクリルまたはポリカーボネートである。このとき、透明樹脂 117 の屈折率は、オンチップレンズ 116 の屈折率より小さくすることができる。透明基板 118 の材料は、例えば、石英でもよいし、ガラスでもよいし、光学素子の波長に応じて  $Al_2O_3$ 、 $CaF_2$ 、 $MgF_2$ 、 $LiF$  などを用いてもよい。透明樹脂 117 は、透明基板 118 を接着する接着材として用いてもよい。透明樹脂 117 と透明基板 118 とを合わせた厚さは、3乃至400  $\mu m$  程度が好適である。なお、透明樹脂 117 および透明基板 118 は、特許請求の範囲に記載の透明部材の一例である。
- [0040] 半導体層 112 の表面側には、配線層 113 が形成されている。配線層 113 には、絶縁層に埋め込まれた配線が設けられる。また、配線層 113 には、貫通電極 110 が接続されるパッド電極を形成することができる。配線層 113 は、支持基板 114 で支持されている。支持基板 114 上には、ランド電極 115 が形成され、支持基板 114 には、貫通電極 110 が埋め込まれている。配線層 113 は、貫通電極 110 を介してランド電極 115 に電氣的に接続される。
- [0041] 配線層 113 に用いられる絶縁層の材料は、例えば、 $SiO_2$  を用いることができる。支持基板 114 の材料は、例えば、 $Si$  またはガラスを用いることができる。配線層 113 に用いられる配線およびパッド電極の材料は、例えば、 $Al$  または  $Cu$  などの金属を用いることができる。貫通電極 110 およびランド電極 115 の材料は、例えば、 $Cu$ 、 $Ti$ 、 $Ta$ 、 $Al$ 、 $W$ 、 $Ni$ 、 $Ru$ 、 $Co$  などの金属を用いることができ、複数の材料の積層構造を用いてもよい。
- [0042] インターポーザ基板 130 は、支持基板 131 および配線層 132 を備える。支持基板 131 は、例えば、 $Si$  などの半導体基板や、有機系基板やセラミック基板を用いることができる。配線層 132 には、ランド電極 133

が形成されている。配線層 132 には、不図示の配線が形成されてもよい。支持基板 131 の裏面には、ランド電極 134 が形成されている。支持基板 131 の裏面には、裏面配線を形成してもよい。また、支持基板 131 および配線層 132 には、貫通電極 135 が形成されている。ランド電極 133 および 134 は、貫通電極 135 を介して互いに電氣的に接続されている。貫通電極 135 と、ランド電極 133 および 134 との材料は、例えば、Cu、Ti、Ta、Al、W、Ni、Ru、Co などの金属を用いることができ、複数の材料の積層構造を用いてもよい。インターポーザ基板 130 の厚さは、30 乃至 300  $\mu\text{m}$  が好適である。

[0043] ランド電極 115 は、バンプ電極 136 を介してランド電極 133 に接続されている。なお、バンプ電極 136 は、はんだボールでもよいし、ピラー電極でもよい。

[0044] また、インターポーザ基板 130 と光学チップ 111 との間および光学チップ 111 の周囲には、アンダーフィル 119 が設けられている。アンダーフィル 119 の材料は、例えば、エポキシ樹脂などの熱硬化性樹脂である。

[0045] また、インターポーザ基板 130 上には、光学チップ 111 の周囲を囲むようにモールド材 151 が配置されている。このとき、モールド材 151 は、光学チップ 111 の側面と、アンダーフィル 119 の側面とに接触することができる。また、モールド材 151 の横方向 DL の端部の位置と、インターポーザ基板 130 の横方向 DL の端部の位置とは、互いに一致することができる。このとき、光学チップ 111 の周囲を囲むモールド材 151 をインターポーザ基板 130 とともに切り出すことにより、パッケージ 100 を固片化することができる。モールド材 151 の材料は、エポキシ樹脂などの熱硬化性樹脂でもよい。モールド材 151 の材料は、熱硬化性樹脂にシリカフィラーが混在されてもよい。光学チップ 111 が受光素子の場合、モールド材 151 からの反射光によるフレアやゴーストを抑制するために、反射率および透過率の低い材料を用いてもよい。

[0046] モールド材 151 の表面は、光学チップ 111 の周囲を囲む位置において

平坦化される。モールド材 151 の平坦面は、研磨面でもよい。このとき、モールド材 151 の研磨のストッパとして透明基板 118 を用いることができる。モールド材 151 の平坦面の高さ方向 DH の位置は、光学チップ 111 のトップ面の高さ方向 DH の位置に略等しくすることができる。なお、モールド材 151 の平坦面の高さ方向 DH の位置は、光学チップ 111 のトップ面の高さ方向 DH の位置に必ずしも厳密に等しくなくてもよく、光学チップ 111 のトップ面の高さ方向 DH の位置より低くてもよいし、高くてもよい。

[0047] このように、上述の第 1 の実施の形態では、表面が平坦化されたモールド材 151 で周囲を囲まれるようにして透明基板 118 が上方に配置された光学チップ 111 がインターポーザ基板 130 上に実装される。これにより、光学チップ 111 の光学的機能を損なうことなく、光学チップ 111 をモールド材 151 で封止することが可能となる。このため、光学チップ 111 を封止するために、セラミックパッケージなどの高価な部材を用いる必要がなくなり、光学チップ 111 が実装されたパッケージの 100 のコストアップを抑止しつつ、光学チップ 111 の信頼性を向上させることができる。

[0048] <2. 第 2 の実施の形態>

上述の第 1 の実施の形態では、表面が平坦化されたモールド材 151 で周囲を囲むようにして透明基板 118 が上方に配置された光学チップ 111 をインターポーザ基板 130 上に実装していた。この第 2 の実施の形態では、表面が平坦化されたモールド材 151 で周囲を囲むようにして透明基板 118 が上方に配置された光学チップ 111 が実装されたインターポーザ基板 130 上に半導体チップを後付けする。

[0049] 図 2 は、第 2 の実施の形態に係るパッケージの構成例を示す断面図、図 3 は、第 2 の実施の形態に係るパッケージの構成例を示す平面図である。図 2 は、図 3 の B1 - B2 線に沿って切断した断面図を示す。

[0050] 図 2 および図 3 において、パッケージ 160 は、上述の第 1 の実施の形態のパッケージ 100 に半導体チップ 121 およびダミーチップ 152 が追加

されている。また、インターポーザ基板130には、ランド電極143および144と貫通電極145が追加されている。第2の実施の形態のパッケージ160のそれ以外の構成は、上述の第1の実施の形態のパッケージ100の構成と同様である。

[0051] 光学チップ111および半導体チップ121は、インターポーザ基板130上に実装されている。なお、半導体チップ121は、特許請求の範囲に記載のチップの一例である。

[0052] 半導体チップ121には、半導体素子が形成される。半導体素子は、トランジスタ、抵抗、コンデンサなどを含んでもよい。半導体チップ121には、メモリが形成されてもよいし、プロセッサが形成されてもよいし、信号処理回路が形成されてもよいし、データ処理回路が形成されてもよいし、インタフェース回路が形成されてもよいし、光学素子が形成されてもよい。半導体チップ121には、例えば、FPGA (Field-Programmable Gate Array) またはASIC (Application Specific Integrated Circuit) などのハードウェア回路が形成されてもよい。半導体チップ121の基材に用いられる材料は、Si、GaAs、SiC、GaNまたはInGaAsPなどでもよい。

[0053] 半導体チップ121は、半導体基板122および配線層123を備える。配線層123は、半導体基板122上に形成されている。配線層123には、絶縁層に埋め込まれた配線が設けられる。また、配線層123には、バンパ電極146が接続されるランド電極124を形成することができる。

[0054] インターポーザ基板130の配線層132には、ランド電極133に加えて、ランド電極143が形成されている。支持基板131の裏面には、ランド電極134に加えて、ランド電極144が形成されている。また、支持基板131および配線層132には、貫通電極135に加えて、貫通電極145が形成されている。ランド電極143および144は、貫通電極145を介して互いに電氣的に接続されている。貫通電極145と、ランド電極143および144の材料は、例えば、Cu、Ti、Ta、Al、W、Ni、R

u、Coなどの金属を用いることができ、複数の材料の積層構造を用いてもよい。

[0055] ランド電極124は、バンプ電極146を介してランド電極143に接続されている。なお、バンプ電極146は、はんだボールでもよいし、ピラー電極でもよい。

[0056] また、インターポーザ基板130上には、半導体チップ121の周囲を囲むようにダミーチップ152が配置されている。ダミーチップ152は、半導体チップ121と離間してインターポーザ基板130上に配置することができる。ダミーチップ152は、接着材153を介してインターポーザ基板130に固定することができる。ダミーチップ152の表面は平坦化される。ダミーチップ152の平坦面の高さ方向DHの位置は、光学チップ111のトップ面の高さ方向DHの位置に略等しくすることができる。なお、ダミーチップ152の平坦面の高さ方向DHの位置は、光学チップ111のトップ面の高さ方向DHの位置に必ずしも厳密に等しくなくてもよく、光学チップ111のトップ面の高さ方向DHの位置より低くてもよいし、高くてもよい。ダミーチップ152の材料は、Siなどの半導体でもよいし、ガラスまたはセラミックスなどの無機材料でもよい。なお、図3では、ダミーチップ152の中央部に半導体チップ121が配置された例を示したが、前後左右の端部を含む領域にダミーチップを配置してもよい。また、ダミーチップ152はなくてもよい。

[0057] モールド材151は、光学チップ111およびダミーチップ152の周囲をそれぞれ囲むようにインターポーザ基板130上に配置されている。このとき、モールド材151は、光学チップ111の側面と、アンダーフィル119の側面と、ダミーチップ152の外周面とに接触することができる。また、モールド材151の横方向DLの端部の位置と、インターポーザ基板130の横方向DLの端部の位置とは、互いに一致することができる。

[0058] モールド材151の表面は、光学チップ111およびダミーチップ152の周囲をそれぞれ囲む位置において平坦化される。モールド材151の平坦

面は、研磨面でもよい。このとき、モールド材151の研磨のストップとして透明基板118を用いることができる。モールド材151の平坦面の高さ方向DHの位置は、光学チップ111のトップ面の高さ方向DHの位置に略等しくすることができる。光学チップ111のトップ面は、透明基板118の表面である。

[0059] なお、上述の第2の実施の形態では、2つのチップがインターポーザ基板130上に実装されている例を示したが、3つ以上のチップがインターポーザ基板130上に実装されてもよい。モールド材151の平坦面の高さ方向DHの位置に略等しいトップ面を持つチップが2つ以上ある場合、それらの全てのチップが光学チップでなくてもよく、少なくとも1つの光学チップが含まれていればよい。モールド材151の平坦面の高さ方向DHの位置に略等しいトップ面を持つチップが光学チップでない場合、そのチップの表面が透明樹脂または透明基板でなくてもよい。

[0060] 図4は、第2の実施の形態に係るパッケージの製造方法の一例を示す断面図および平面図、図5乃至図14は、第2の実施の形態に係るパッケージの製造方法の一例を示す断面図である。なお、図4におけるbは、図4におけるaのC1-C2線に沿って切断した断面図を示す。

[0061] 図4において、矩形状に連続する溝155をダミー基板154に形成する。溝155は、ダミーチップ152の内周面に沿うように形成することができる。このとき、溝155の形成面と反対側の面から溝155の位置までダミー基板154を薄膜化することにより、溝155に沿ってダミー基板154からダミーチップ152を分離することができる。溝155の深さは、ダミーチップ152の高さよりも大きくする。例えば、溝155の深さは、20乃至400 $\mu$ m程度である。ダミー基板154の材料は、Siなどの半導体でもよいし、ガラスまたはセラミックスなどの無機材料でもよい。溝155の形成は、リソグラフィとドライエッチングを用いてもよいし、レーザ加工または切削加工を用いてもよい。なお、パッケージ160にダミーチップ152を設けない場合は、溝155は不要である。

- [0062] 次に、図5に示すように、インターポーザウエハ130'を形成する。このインターポーザウエハ130'からは、図2のパッケージ160に用いられるインターポーザ基板130を複数切り出すことができる。このとき、埋め込み電極135'および145'をインターポーザウエハ130'に形成する。ここで、支持基板ウエハ131'の厚さは、埋め込み電極135'および145'の深さより大きくする。また、埋め込み電極135'および145'の深さは、貫通電極135および145の長さと同しくする。そして、ランド電極133および143が表面に形成された配線層132'を支持基板ウエハ131'上に形成する。このとき、各ランド電極133および143は、埋め込み電極135'および145'に接続される位置に形成する。
- [0063] 次に、図6におけるaに示すように、光学素子をチップごとに半導体ウエハ112'に形成する。光学素子として裏面照射型固体撮像素子を形成する場合、フォトダイオードをチップごとに半導体ウエハ112'に形成することができる。次に、半導体ウエハ112'上に配線層113を形成する。次に、配線層113を介して半導体ウエハ112'を支持基板ウエハ114'に接合する。
- [0064] 次に、図6におけるbに示すように、CMP (Chemical Mechanical Polishing) などの方法にて半導体ウエハ112'を裏面側から薄膜化する。このとき、半導体ウエハ112'の薄膜化後の裏面側に受光面が形成される。
- [0065] 次に、図6におけるcに示すように、半導体ウエハ112'の裏面側にオンチップレンズ116を形成する。オンチップレンズ116を形成する前に半導体ウエハ112'上にカラーフィルタを形成してもよい。そして、オンチップレンズ116が覆われるように半導体ウエハ112'上に透明樹脂117を塗布し、透明樹脂117を介して半導体ウエハ112'に透明ウエハ118'を接合する。
- [0066] 次に、図6におけるdに示すように、CMPなどの方法にて支持基板ウエハ114'を薄膜化する。

- [0067] 次に、図6におけるeに示すように、配線層113に電氣的に接続された貫通電極110を支持基板ウェハ114'に形成する。次に、支持基板ウェハ114'の裏面側にランド電極115を形成し、裏面配線などで貫通電極110と接続する。次に、ランド電極115上にバンプ電極136を形成する。次に、支持基板ウェハ114'で支持された半導体ウェハ112'を透明ウェハ118'とともにブレードダイシングなどにより切断し、図2の光学チップ111と同一の平面サイズになるように固片化する。このとき、図2の透明基板118が薄膜化される前の光学チップ111'が形成される。
- [0068] 次に、図7に示すように、光学チップ111'をインターポーザウェハ130'上に実装する。ここで、1枚のインターポーザウェハ130'上に複数の光学チップ111'を横方向に並べて実装することができる。このとき、光学チップ111'のランド電極115は、バンプ電極136を介してランド電極133に接続される。バンプ電極136がはんだバンプの場合、熱リフローなどによりバンプ電極136をランド電極133に接合させてもよい。次に、インターポーザウェハ130'と光学チップ111'との間および光学チップ111'の周囲にアンダーフィル119を充填する。
- [0069] 次に、図8に示すように、インターポーザウェハ130'上に実装される複数の光学チップ111'のそれぞれに隣接するように複数のダミー基板154をインターポーザウェハ130'上に配置する。ダミー基板154は、接着材153を介してインターポーザウェハ130'上に接着してもよい。ここで、ダミー基板154の下面のうち溝155で囲まれる内側の領域には接着材153が付かないようにする。このとき、ダミー基板154の下面のうち溝155で囲まれる内側の領域と、インターポーザウェハ130'との間には、隙間が形成される。
- [0070] 次に、図9に示すように、インターポーザウェハ130'上の全ての光学チップ111'およびダミー基板154が覆われるように、インターポーザウェハ130'上にモールド材151を形成する。このとき、モールド材151は、光学チップ111'およびダミー基板154のそれぞれの周囲だけ

でなく、光学チップ111'およびダミー基板154のそれぞれの上方にも配置される。

[0071] 次に、図10に示すように、インターポーザウエハ130'を薄膜化し、埋め込み電極135'および145'を裏面側から露出させることで、インターポーザウエハ130'に貫通電極135および145を形成する。インターポーザウエハ130'の薄膜化では、グラインダ、CMPまたはドライエッチングなどの方法を用いることができる。さらに、各貫通電極135および145に電氣的に接続されたランド電極134および144をインターポーザウエハ130'の裏面側に形成し、各ランド電極134および144上にバンプ電極137および147を形成する。

[0072] 次に、図11に示すように、接着材162を介してインターポーザウエハ130'の裏面にダミーウエハ161を仮接合する。ダミーウエハ161の材料は、Siでもよいし、ガラスでもよい。

[0073] 次に、図12に示すように、モールド材151をその上面側から研磨し、平坦化かつ薄膜化する。モールド材151の研磨は、CMP、グラインダまたはプラズマエッチングなどを用いることができる。このとき、モールド材151の研磨のストッパとして透明基板118を用いることができ、透明基板118の表面全体が露出された時点でモールド材151の研磨を停止させることができる。このため、モールド材151で周囲が囲まれた光学チップ111をインターポーザウエハ130'上に形成することが可能となるとともに、モールド材151が光学チップ111の光学的機能の障害になるのを防止することができる。また、モールド材151の薄膜化に伴ってダミー基板154も薄膜され、溝155がダミー基板154を貫通する。このため、溝155を境界としてダミー基板154の内側部分と外側部分が分離された状態となる。このとき、ダミー基板154の外側部分は、接着材153を介してインターポーザウエハ130'上に固定された状態となり、ダミーチップ152として用いることができる。ダミー基板154の内側部分は、ダミーチップ152およびインターポーザウエハ130'から分離された状態と

なる。

[0074] 次に、図13に示すように、ダミーチップ152の内側のダミー基板154を除去する。ダミーチップ152の内側のダミー基板154は、接着材153でインターポーザウエハ130'に接着されていないので容易に除去することができる。

[0075] 次に、図14に示すように、ダミーチップ152の内側に位置するように半導体チップ121をインターポーザウエハ130'上に実装する。このとき、半導体チップ121のランド電極124は、バンプ電極146を介してランド電極143に接続される。バンプ電極146がはんだバンプの場合、熱リフローなどによりバンプ電極146をランド電極143に接合させてもよい。ここで、ダミーチップ152が実装されたインターポーザウエハ130'を半導体チップ121ごとに固片化する前に、半導体チップ121をインターポーザウエハ130'上に実装することができる。これにより、半導体チップ121が実装される前に固片化されたインターポーザウエハ130'を個々に整列させる必要がなくなり、半導体チップ121の実装を効率化することができる。

[0076] 次に、図2に示すように、ダミーウエハ161と接着材162とをデボンドする。そして、光学チップ111および半導体チップ121が実装されたインターポーザウエハ130'をモールド材151とともに固片化することにより、パッケージ160を形成する。なお、ダミーウエハ161と接着材162とをデボンドするタイミングは、図12の工程後でもよいし、図13の工程後でもよいし、図14の工程後でもよい。

[0077] なお、本製造方法は一例であり、例えば、ダミー基板154の除去はプラズマエッチングなどの方法で行ってもよい。また、ダミー基板154の接合を仮接合用の接着材を用いて行い、その後工程でダミー基板154全てを除去してもよい。

[0078] このように、上述の第2の実施の形態では、表面が平坦化されたモールド材151で周囲を囲むようにして透明基板118が上方に配置された光学チ

チップ111が実装されたインターポーザ基板130上に半導体チップ121が後付けされる。これにより、光学チップ111の光学的機能を損なうことなく、光学チップ111をモールド材151で封止することが可能となるとともに、光学チップ111および半導体チップ121が実装されたパッケージ160の実装面積の増大を抑制することができる。

[0079] また、半導体チップ121の周囲にダミーチップ152を設けることにより、半導体チップ121の平面サイズが光学チップ111の平面サイズより小さい場合においても、インターポーザウエハ130'上のチップの実装領域の区画を均一化することができる。このため、インターポーザウエハ130'を介して結合された複数のパッケージのパッケージングを一括して実施した後、ブレードダイシングなどにより個々のパッケージ160に固片化することができる、パッケージングを効率化することができる。

[0080] <3. 第3の実施の形態>

上述の第1の実施の形態では、表面が平坦化されたモールド材151で周囲を囲むようにして透明基板118が上方に配置された光学チップ111が実装されたインターポーザ基板130上に半導体チップ121が後付けされていた。この第3の実施の形態では、透明基板118上に光学的機能層を設け、その光学的機能層が設けられた光学チップの周囲がモールド材151で囲まれるようにする。

[0081] 図15は、第3の実施の形態に係るパッケージの構成例を示す断面図である。

[0082] 同図において、パッケージ200は、上述の第2の実施の形態のパッケージ160の光学チップ111に代えて、光学チップ211を備える。光学チップ211は、上述の第2の実施の形態の光学チップ111に光学的機能層212が追加されている。第3の実施の形態のパッケージ200のそれ以外の構成は、上述の第2の実施の形態のパッケージ160の構成と同様である。

[0083] 光学的機能層212は、透明基板118上に配置されている。光学的機能

層 2 1 2 は、例えば、反射防止層、光学フィルタ、レンズまたはミラーなどである。モールド材 1 5 1 は、光学チップ 2 1 1 およびダミーチップ 1 5 2 の周囲をそれぞれ囲むようにインターポーザ基板 1 3 0 上に配置される。モールド材 1 5 1 の平坦面の高さ方向 D H の位置は、光学チップ 2 1 1 のトップ面の高さ方向 D H の位置に略等しくすることができる。光学チップ 2 1 1 のトップ面は、光学的機能層 2 1 2 の表面である。

[0084] 図 1 6 は、第 3 の実施の形態に係るパッケージの構成の変形例を示す断面図である。

[0085] 同図において、パッケージ 2 2 0 は、上述の第 2 の実施の形態のパッケージ 1 6 0 に光学的機能層 2 2 2 が追加されている。パッケージ 2 2 0 のそれ以外の構成は、上述の第 2 の実施の形態のパッケージ 1 6 0 の構成と同様である。

[0086] 光学的機能層 2 2 2 は、透明基板 1 1 8 上に配置されている。また、光学的機能層 2 2 2 は、モールド材 1 5 1 およびダミーチップ 1 5 2 上に延伸されている。光学的機能層 2 2 2 は、例えば、反射防止層、光学フィルタ、レンズまたはミラーなどである。

[0087] 図 1 7 および図 1 8 は、第 3 の実施の形態に係るパッケージの製造方法の一例を示す断面図である。なお、図 1 7 および図 1 8 では、図 1 5 のパッケージ 2 0 0 の製造方法を示す。

[0088] 図 1 7 において、光学チップ 2 1 1 には、透明基板 1 1 8 上に光学的機能層 2 1 2 が形成される。ここで、透明基板 1 1 8 の厚さは、図 1 0 の透明基板 1 1 8 ' の厚さより薄い。例えば、透明基板 1 1 8 の表面の位置は、ダミー基板 1 5 4 の溝 1 5 5 の底の位置より低い位置にあってもよい。このとき、モールド材 1 5 1 は、光学チップ 2 1 1 およびダミー基板 1 5 4 のそれぞれの周囲だけでなく、光学チップ 2 1 1 およびダミー基板 1 5 4 のそれぞれの上方にも配置される。

[0089] 次に、図 1 8 に示すように、モールド材 1 5 1 をその上面側から研磨し、平坦化かつ薄膜化する。モールド材 1 5 1 の研磨は、CMP、グラインダま

たはプラズマエッチングなどを用いることができる。このとき、モールド材 151 の研磨のストッパとして光学的機能層 212 を用いることができ、光学的機能層 212 の表面全体が露出された時点でモールド材 151 の研磨を停止させることができる。このため、モールド材 151 で周囲が囲まれた光学チップ 211 をインターポーザウェハ 130 上に形成することが可能となるとともに、モールド材 151 が光学チップ 211 の光学的機能の障害になるのを防止することができる。なお、光学的機能層 212 上にダミー層などを設け、モールド材 151 の研磨後に除去してもよい。

[0090] このように、上述の第 3 の実施の形態では、透明基板 118 上に光学的機能層 212 を配置することにより、パッケージ 200 の平面サイズを増大させることなく、光学チップ 211 の性能を向上させることができる。

[0091] <4. 第 4 の実施の形態>

上述の第 2 の実施の形態では、表面が平坦化されたモールド材 151 で周囲を囲むようにして透明基板 118 が上方に配置された光学チップ 111 が実装されたインターポーザ基板 130 上に半導体チップ 121 を後付けされていた。この第 4 の実施の形態では、表面が平坦化されたモールド材 151 で周囲を囲むようにして透明基板 118 が上方に配置された光学チップ 111 が実装された拡張再配線層 311 上に半導体チップ 121 を後付けする。

[0092] 図 19 は、第 4 の実施の形態に係るパッケージの構成例を示す断面図である。

[0093] 同図において、パッケージ 300 は、上述の第 2 の実施の形態のパッケージ 160 のインターポーザ基板 130 に代えて、拡張再配線層 311 を備える。第 4 の実施の形態のパッケージ 300 のそれ以外の構成は、上述の第 2 の実施の形態のパッケージ 160 の構成と同様である。

[0094] 拡張再配線層 311 には、配線 313 が形成されるとともに、配線 313 の層間接続を行うビア 315 が形成される。また、拡張再配線層 311 の表面側には、ランド電極 312 が形成され、拡張再配線層 311 の裏面側には、ランド電極 314 が形成される。拡張再配線層 311 に用いられる絶縁層

の材料は、例えば、無機膜であれば、 $\text{SiO}_2$ 、 $\text{SiON}$ 、 $\text{SiN}$ 、 $\text{SiOC}$  または $\text{SiCN}$ 、有機膜であれば、シリコン、ポリイミド、アクリルまたはエポキシなどを骨格とする感光性の絶縁樹脂を用いることができる。配線 313 とランド電極 312 および 314 とビア 315 との材料は、例えば、 $\text{Cu}$ 、 $\text{Ti}$ 、 $\text{Ta}$ 、 $\text{Al}$ 、 $\text{W}$ 、 $\text{Ni}$ 、 $\text{Ru}$ 、 $\text{Co}$  などの金属を用いることができ、複数の材料の積層構造を用いてもよい。ランド電極 314 上には、バンプ電極 316 が形成されている。なお、バンプ電極 316 は、はんだボールでもよいし、ピラー電極でもよい。拡張再配線層 311 は、FOWLP (Fan Out Wafer Level Package) に用いられる再配線層と同様に形成することができる。

[0095] 拡張再配線層 311 は、光学チップ 111 の配線層 113 に電氣的に接続され、光学チップ 111 の実装領域 301 から横方向 DH に拡張された拡張領域 302 を備える。このとき、半導体チップ 121 およびダミーチップ 152 は、拡張再配線層 311 の拡張領域 302 に実装される。ダミーチップ 152 は、接着材 153 を介して拡張再配線層 311 に固定することができる。ランド電極 115 は、バンプ電極 136 を介してランド電極 312 に電氣的に接続され、ランド電極 124 は、バンプ電極 146 を介してランド電極 312 に電氣的に接続される。

[0096] 拡張再配線層 311 と光学チップ 111 との間および光学チップ 111 の周囲には、アンダーフィル 119 が設けられている。

[0097] モールド材 151 は、光学チップ 111 およびダミーチップ 152 の周囲をそれぞれ囲むように拡張再配線層 311 上に配置される。このとき、モールド材 151 は、光学チップ 111 の側面と、アンダーフィル 119 の側面と、ダミーチップ 152 の外周面とに接触することができる。

[0098] また、モールド材 151 の横方向 DL の端部の位置と、拡張再配線層 311 の横方向 DL の端部の位置とは、互いに一致することができる。このとき、複数のパッケージ 300 がウェハ状に一体化された状態から、ブレードダイシングなどによりパッケージ 300 を固片化することができる。

[0099] このように、上述の第4の実施の形態では、モールド材151で周囲を囲むようにして透明基板118が上方に配置された光学チップ111の実装領域301から横方向DLに拡張された拡張再配線層311上に半導体チップ121を実装する。これにより、光学チップ111および半導体チップ121を実装するために、インターポーザ基板130を用いた場合に比べて、パッケージ300を薄膜化することが可能となるとともに、コストダウンを図ることができる。

[0100] <5. 第5の実施の形態>

上述の第2の実施の形態では、モールド材151が接触する位置に光学チップ111を設け、ダミーチップ152で囲まれる位置に半導体チップ121を設けていた。この第5の実施の形態では、モールド材151が接触する位置に半導体チップを設け、ダミーチップ152で囲まれる位置に光学チップを設ける。

[0101] 図20は、第5の実施の形態に係るパッケージの構成例を示す断面図である。

[0102] 同図において、パッケージ400は、上述の第2の実施の形態のパッケージ160の光学チップ111および半導体チップ121に代えて、光学チップ411および半導体チップ421を備える。また、パッケージ400は、上述の第2の実施の形態のパッケージ160に反射防止膜431が追加されている。第5の実施の形態のパッケージ400のそれ以外の構成は、上述の第2の実施の形態のパッケージ160の構成と同様である。

[0103] 光学チップ411および半導体チップ421は、インターポーザ基板130上に実装されている。

[0104] 光学チップ411には、光学素子が形成される。光学チップ411は、半導体層412および配線層413を備える。半導体層412には受光面が形成される。半導体層412の裏面側には、オンチップレンズ416が画素ごとに形成されている。半導体層412の表面側には、配線層413が形成されている。配線層413は、支持基板414で支持されている。支持基板4

14上には、ランド電極415が形成され、支持基板414には、貫通電極410が埋め込まれている。配線層413は、貫通電極410を介してランド電極415に電氣的に接続される。また、ランド電極415は、バンプ電極146を介してランド電極143に電氣的に接続される。

[0105] 光学チップ411の周囲には、ダミーチップ152が配置されている。ダミーチップ152は、光学チップ411と離間してインターポーザ基板130上に配置することができる。このとき、光学チップ411のトップ面の高さ方向DHの位置は、モールド材151およびダミーチップ152の平坦面の高さ方向DHの位置より高くすることができる。例えば、光学チップ411の発光面は、モールド材151およびダミーチップ152の平坦面よりも高い位置にあってもよい。

[0106] 半導体チップ421には、半導体素子が形成される。例えば、半導体チップ421には、信号処理回路、メモリまたは光学素子などが形成されてもよい。半導体チップ421に代えて、光学チップ111がインターポーザ基板130上に実装されてもよい。半導体チップ421は、半導体基板422および配線層423を備える。配線層423は、半導体基板422上に形成されている。配線層423には、絶縁層に埋め込まれた配線が設けられる。また、配線層423には、バンプ電極136が接続されるランド電極424を形成することができる。

[0107] インターポーザ基板130と半導体チップ421との間および半導体チップ421の周囲には、アンダーフィル119が設けられている。また、インターポーザ基板130上には、半導体チップ421の周囲を囲むようにモールド材151が配置されている。このとき、モールド材151は、半導体チップ421の側面と、アンダーフィル119の側面とに接触することができる。

[0108] 半導体チップ421、ダミーチップ152およびモールド材151上には、反射防止膜431が形成されている。パッケージ400に反射防止膜431を設けることにより、半導体チップ421、ダミーチップ152およびモ

ールド材151からの反射光によるフレアやゴーストを抑制することができる。

[0109] 反射防止膜431は、黒色のカラーフィルタを用いることができる。反射防止膜431として黒色のカラーフィルタを用いる場合、反射防止膜431の材料は、樹脂を用いることができる。反射防止膜431の材料は、例えば、酸化ハフニウム ( $\text{HfO}_2$ )、酸化アルミニウム ( $\text{Al}_2\text{O}_3$ ) 膜、酸化ジルコニウム ( $\text{ZrO}_2$ ) 膜、酸化タンタル ( $\text{Ta}_2\text{O}_5$ ) 膜、酸化チタン ( $\text{TiO}_2$ ) 膜、酸化ランタン ( $\text{La}_2\text{O}_3$ ) 膜、酸化プラセオジウム ( $\text{Pr}_2\text{O}_3$ ) 膜、酸化セリウム ( $\text{CeO}_2$ ) 膜、酸化ネオジウム ( $\text{Nd}_2\text{O}_3$ ) 膜、酸化プロメチウム ( $\text{Pm}_2\text{O}_3$ ) 膜、酸化サマリウム ( $\text{Sm}_2\text{O}_3$ ) 膜、酸化ユウロピウム ( $\text{Eu}_2\text{O}_3$ ) 膜、酸化ガドリニウム ( $\text{Gd}_2\text{O}_3$ ) 膜、酸化テルビウム ( $\text{Tb}_2\text{O}_3$ ) 膜、酸化ジスプロシウム ( $\text{Dy}_2\text{O}_3$ ) 膜、酸化ホルミウム ( $\text{Ho}_2\text{O}_3$ ) 膜、酸化ツリウム ( $\text{Tm}_2\text{O}_3$ ) 膜、酸化イッテルビウム ( $\text{Yb}_2\text{O}_3$ ) 膜、酸化ルテチウム ( $\text{Lu}_2\text{O}_3$ ) 膜、酸化イットリウム ( $\text{Y}_2\text{O}_3$ ) 膜、窒化ハフニウム膜、窒化アルミニウム膜、酸窒化ハフニウム膜、酸窒化アルミニウム膜を用いることもできる。これらの膜の成膜方法は、CVD (Chemical Vapor Deposition) 法でもよいし、PVD (Physical Vapor Deposition) 法でもよいし、ALD (Atomic Layer Deposition) 法でもよい。

[0110] このように、上述の第5の実施の形態では、ダミーチップ152で囲まれるようにインターポーザ基板130上に光学チップ411を実装する。これにより、インターポーザ基板130上に半導体チップ421を実装した後に、インターポーザ基板130上に光学チップ411を実装することができ、半導体チップ421の実装に伴う光学チップ411への熱的ダメージなどを抑制することができる。

[0111] また、光学チップ411のトップ面の高さ方向DHの位置を、ダミーチップ152の平坦面の高さ方向DHの位置より高くする。これにより、光学チップ411への光の入射がダミーチップ152にて妨げられるのを防止することができ、光学チップ411の光学的特性を維持することができる。

[0112] <6. 第6の実施の形態>

上述の第1の実施の形態では、表面が平坦化されたモールド材151で周囲を囲むようにして透明基板118が上方に配置された光学チップ111をインターポーザ基板130上に実装していた。この第6の実施の形態では、光学チップの上方に位置する透明部材を支持するダミーチップを光学チップとともにインターポーザ基板130上に実装する。

[0113] 図21は、第6の実施の形態に係るパッケージの構成例を示す図である。なお、同図におけるaは、第6の実施の形態に係るパッケージの構成例を示す断面図、同図におけるbは、第6の実施の形態に係るパッケージの構成例を示す平面図である。同図におけるaは、同図におけるbのD1-D2線に沿って切断した断面図を示す。

[0114] 同図において、パッケージ500は、光学チップ511およびダミーチップ152を備える。光学チップ511は、インターポーザ基板130上に実装されている。ダミーチップ152は、光学チップ511の周囲を囲むようにインターポーザ基板130上に実装されている。ダミーチップ152は、光学チップ511と離間してインターポーザ基板130上に配置することができる。

[0115] 光学チップ511には、光学素子が形成される。光学チップ511は、半導体層512および配線層513を備える。半導体層512には受光面が形成される。半導体層512の裏面側には、オンチップレンズ516が画素ごとに形成されている。半導体層512の表面側には、配線層513が形成されている。配線層513は、支持基板514で支持されている。支持基板514上には、ランド電極515が形成され、支持基板514には、貫通電極510が埋め込まれている。配線層513は、貫通電極510を介してランド電極515に電氣的に接続される。また、ランド電極515は、バンプ電極146を介してランド電極143に電氣的に接続される。光学チップ511のトップ面の高さ方向DHの位置は、ダミーチップ152の平坦面の高さ方向DHの位置より低くすることができる。図21の例では、光学チップ5

11のトップ面は、オンチップレンズ516のトップ面である。このとき、ダミーチップ152の平坦面を光学チップ511のトップ面より高さ方向DHに突出させることができる。

[0116] また、ダミーチップ152の横方向DLの端部の位置と、インターポーザ基板130の横方向DLの端部の位置とは、互いに一致することができる。このとき、複数のパッケージ500がウェハ状に一体化された状態から、ブレードダイシングなどによりパッケージ500を固片化することができる。例えば、複数のダミーチップ152を切り出し可能なダミーウェハと、複数のインターポーザ基板130を切り出し可能なインターポーザウェハとが貼り合わされた状態で、光学チップ511をインターポーザウェハ上に実装する。そして、光学チップ511が実装された貼り合わせウェハをブレードダイシングなどにより切断することにより、パッケージ500を固片化することができる。

[0117] 光学チップ511の上方には、透明部材531が設けられている。透明部材531は、光学チップ511と離間した位置にダミーチップ152で支持される。このとき、透明部材531の端部をダミーチップ152の内側の肩の位置で支持してもよい。透明部材531は、透明基板でもよいし、レンズでもよいし、光学フィルタでもよいし、ミラーでもよいし、プリズムでもよいし、これらの複数が組み合わされてもよい。透明部材531の材料は、ガラスや石英、また光学素子の波長に応じて $Al_2O_3$ 、 $CaF_2$ 、 $MgF_2$ または $LiF$ などを使用してもよい。

[0118] このように、上述の第6の実施の形態では、光学チップ511の上方に位置する透明部材531を支持するダミーチップ152を光学チップ511とともにインターポーザ基板130上に実装する。これにより、光学チップ511の上方で透明部材531を支持するために、インターポーザ基板130上にフレーム部材を配置する必要がなくなり、組み立て工程を効率化することが可能となる。また、光学チップ511を封止する封止材としてダミーチップ152を用いることができ、光学チップ511の信頼性を向上させるこ

とができる。

[0119] なお、インターポーザ基板 130 上には、ダミーチップ 152 の周囲を囲むようにモールド材 151 が配置されてもよい。

[0120] <7. 第7の実施の形態>

上述の第5実施の形態では、モールド材 151 が接触する位置に半導体チップ 421 を設け、ダミーチップ 152 よりもトップ面が高い位置にある光学チップ 411 をダミーチップ 152 で囲まれる位置に設けていた。この第7の実施の形態では、モールド材 151 が接触する位置に半導体チップ 421 を設け、ダミーチップ 152 よりもトップ面が低い位置にある光学チップ 511 をダミーチップ 152 で囲まれる位置に設ける。

[0121] 図 22 は、第7の実施の形態に係るパッケージの構成例を示す断面図である。

[0122] 同図において、パッケージ 550 は、上述の第5の実施の形態のパッケージ 400 の光学チップ 411 に代えて、上述の第6の実施の形態の光学チップ 511 および透明部材 531 を備える。また、パッケージ 550 では、上述の第5の実施の形態の反射防止膜 431 が省略される。第7の実施の形態のパッケージ 550 のそれ以外の構成は、上述の第5の実施の形態のパッケージ 400 の構成と同様である。

[0123] 光学チップ 511 および半導体チップ 421 は、インターポーザ基板 130 上に実装されている。

[0124] 光学チップ 511 の周囲には、ダミーチップ 152 が配置されている。ダミーチップ 152 は、光学チップ 511 と離間してインターポーザ基板 130 上に配置することができる。このとき、光学チップ 511 のトップ面の高さ方向 DH の位置は、ダミーチップ 152 の平坦面の高さ方向 DH の位置より低くすることができる。図 22 の例では、光学チップ 511 のトップ面は、オンチップレンズ 516 のトップ面である。このとき、ダミーチップ 152 の平坦面を光学チップ 511 のトップ面より高さ方向 DH に突出させることができる。

- [0125] インターポーザ基板 130 上には、半導体チップ 421 およびダミーチップ 152 のそれぞれの周囲を囲むようにモールド材 151 が配置されている。このとき、モールド材 151 は、半導体チップ 421 の側面と、アンダーフィル 119 の側面と、ダミーチップ 152 の外周面に接触することができる。
- [0126] 光学チップ 511 の上方には、透明部材 531 が設けられている。透明部材 531 は、光学チップ 511 と離間した位置にダミーチップ 152 で支持される。このとき、透明部材 531 に端部をダミーチップ 152 の肩の位置で支持してもよい。
- [0127] このように、上述の第 7 の実施の形態では、モールド材 151 で周囲を囲まれた半導体チップ 421 をインターポーザ基板 130 上に実装するとともに、ダミーチップ 152 よりもトップ面が低い位置にある光学チップ 511 を後付けする。これにより、インターポーザ基板 130 上に半導体チップ 421 を実装した後に、インターポーザ基板 130 上に光学チップ 511 を実装することができ、半導体チップ 421 の実装に伴う光学チップ 511 への熱的ダメージなどを抑制することができる。
- [0128] また、光学チップ 511 のトップ面の高さ方向 DH の位置を、ダミーチップ 152 の平坦面の高さ方向 DH の位置より低くし、ダミーチップ 152 で支持された透明部材 531 を光学チップ 511 の上方に配置する。これにより、パッケージ 550 の平面サイズを増大させることなく、光学チップ 511 の封止性を向上させたり、光学特性を改善したりすることができる。
- [0129] < 8. 第 8 の実施の形態 >
- 上述の第 5 の実施の形態では、モールド材 151 が接触する位置に配置された半導体チップ 421 と、ダミーチップ 152 で囲まれる位置に配置された光学チップ 411 とをインターポーザ基板 130 上に実装していた。この第 8 の実施の形態では、ダミーチップで囲まれる位置に配置された光学チップ 411 の周囲へのアンダーフィルの充填を容易化するために、ダミーチップと光学チップ 411 との間隔が拡大された領域を設ける。

- [0130] 図23は、第8の実施の形態に係るパッケージの構成例を示す断面図、図24は、第8の実施の形態に係るパッケージのダミーチップの構成例を示す平面図である。なお、図24におけるaは、第8の実施の形態のダミーチップの第1の構成例を示し、図24におけるbは、第8の実施の形態のダミーチップの第2の構成例を示す。
- [0131] 図23および図24におけるaにおいて、パッケージ600は、上述の第5の実施の形態のパッケージ400にアンダーフィル611が追加されている。また、パッケージ600には、上述の第5の実施の形態のダミーチップ152に代えて、ダミーチップ652が設けられている。第8の実施の形態のパッケージ600のそれ以外の構成は、上述の第5の実施の形態のパッケージ400の構成と同様である。なお、第8の実施の形態のパッケージ600では、上述の第5の実施の形態の反射防止膜431を省略したが、反射防止膜431はあってもよいし、なくてもよい。
- [0132] ダミーチップ652の面のうち、光学チップ411に対向する1つの面の上端を含む一部の間隔D2は、光学チップ411に対向する他の面の間隔D1に比べて大きい。このような間隔D2をダミーチップ652の面に形成するため、その面上端に達する凹部をその面に形成してもよい。
- [0133] インターポーザ基板130と光学チップ411との間および光学チップ411とダミーチップ652との間には、アンダーフィル611が設けられている。アンダーフィル611の材料は、例えば、エポキシ樹脂などの熱硬化性樹脂である。アンダーフィル611は、光学チップ411とダミーチップ652との間隔がD2の位置から注入することができる。
- [0134] このように、上述の第8の実施の形態では、ダミーチップ652の面のうち、光学チップ411に対向する1つの面上端を含む一部の間隔D2を、光学チップ411に対向する他の面の間隔D1に比べて大きくする。これにより、ダミーチップ652で囲まれる位置に配置された光学チップ411の周囲へのアンダーフィル611の充填を容易化することができ、光学チップ411とインターポーザ基板130との接続の信頼性を向上させることができ

きる。

[0135] なお、図24におけるaのダミーチップ652に代えて、図24におけるbのダミーチップ653を用いてもよい。ダミーチップ653の面のうち、光学チップ411に対向する1つの面全体の間隔D2は、光学チップ411に対向する他の面の間隔D1に比べて大きい。

[0136] <9. 第9の実施の形態>

上述の第8の実施の形態では、ダミーチップ152で囲まれる位置に配置された光学チップ411の周囲へのアンダーフィル611の充填を容易化するために、ダミーチップ152と光学チップ411との間隔が拡大された領域を設けていた。この第9の実施の形態では、ダミーチップで囲まれる位置に配置された光学チップ411の周囲へのアンダーフィル611の充填を容易化するために、ダミーチップの面のうち光学チップ411に対向する面に順テーパ形状を設ける。

[0137] 図25は、第9の実施の形態に係るパッケージの構成例を示す断面図である。

[0138] 同図において、パッケージ700は、上述の第8の実施の形態のダミーチップ652に代えて、ダミーチップ752が設けられている。第9の実施の形態のパッケージ700のそれ以外の構成は、上述の第8の実施の形態のパッケージ600の構成と同様である。

[0139] ダミーチップ752の面のうち、光学チップ411に対向する面には、順テーパ形状が設けられている。このようなダミーチップ752は、図4のダミー基板154に溝155を形成する際に溝155を順テーパ形状に加工することで容易に実現することができる。インターポーザ基板130と光学チップ411との間および光学チップ411とダミーチップ752の間には、アンダーフィル611が設けられている。

[0140] このように、上述の第9の実施の形態では、ダミーチップ752の面のうち、光学チップ411に対向する面に順テーパ形状を設ける。これにより、ダミーチップ752で囲まれる位置に配置された光学チップ411の周囲へ

のアンダーフィル611の充填を容易化することができ、光学チップ411とインターポーザ基板130との接続の信頼性を向上させることができる。

[0141] なお、上述の第9の実施の形態では、ダミーチップ752の面のうち光学チップ411に対向する複数の面に順テーパ形状を設けた例を示したが、ダミーチップ752の面のうち光学チップ411に対向する1つの面にのみ順テーパ形状を設けてもよい。

[0142] <10. 第10の実施の形態>

上述の第5の実施の形態では、モールド材151が接触する位置に配置された半導体チップ421と、ダミーチップ152で囲まれる位置に配置された光学チップ411とをインターポーザ基板130上に実装していた。この第10の実施の形態では、インターポーザ基板130上に実装された半導体チップ上に光学チップ411を実装する。

[0143] 図26は、第10の実施の形態に係るパッケージの構成例を示す断面図である。

[0144] 同図において、パッケージ800は、光学チップ411と半導体チップ821および861とダミーチップ152とを備える。半導体チップ821および861は、インターポーザ基板830上に実装されている。光学チップ411は、半導体チップ861上に実装されている。ダミーチップ152は、光学チップ411の周囲を囲むように半導体チップ861上に実装されている。ダミーチップ152は、光学チップ411と離間して半導体チップ861上に配置することができる。なお、半導体チップ861は、特許請求の範囲に記載の下層チップの一例である。

[0145] 半導体チップ821には、半導体素子が形成される。例えば、半導体チップ821には、信号処理回路、メモリまたは光学素子などが形成されてもよい。半導体チップ821に代えて、光学チップがインターポーザ基板130上に実装されてもよい。このとき、上述の第2の実施の形態で示したように、透明樹脂および透明基板が光学チップに含まれてもよい。半導体チップ821は、半導体基板822および配線層823を備える。配線層823は、

半導体基板 8 2 2 上に形成されている。配線層 8 2 3 には、絶縁層に埋め込まれた配線が設けられる。また、配線層 8 2 3 には、バンプ電極 8 3 6 が接続されるランド電極 8 1 5 を形成することができる。

[0146] 半導体チップ 8 6 1 には、半導体素子が形成される。例えば、半導体チップ 8 6 1 には、信号処理回路、メモリまたは光学素子などが形成されてもよい。半導体チップ 8 6 1 は、半導体基板 8 6 2 および配線層 8 6 3 を備える。配線層 8 6 3 は、半導体基板 8 6 2 上に形成されている。配線層 8 6 3 には、絶縁層に埋め込まれた配線が設けられる。また、配線層 8 6 3 には、バンプ電極 8 4 6 が接続されるランド電極 8 6 4 を形成することができる。

[0147] さらに、半導体基板 8 6 2 には、貫通電極 8 6 5 が形成されている。貫通電極 8 6 5 は、配線層 8 6 3 に接続される。また、半導体基板 8 6 2 の裏面側には、貫通電極 8 6 5 に接続されたランド電極 8 6 6 が形成されている。ランド電極 8 6 6 は、バンプ電極 1 4 6 を介してランド電極 4 1 5 に電氣的に接続される。

[0148] インターポーザ基板 8 3 0 は、支持基板 8 3 1 および配線層 8 3 2 を備える。配線層 8 3 2 には、ランド電極 8 3 3 および 8 4 3 が形成されている。配線層 8 3 2 には、不図示の配線が形成されてもよい。支持基板 8 3 1 の裏面には、ランド電極 8 3 4 および 8 4 4 が形成されている。また、支持基板 8 3 1 および配線層 8 3 2 には、貫通電極 8 3 5 および 8 4 5 が形成されている。ランド電極 8 3 3 および 8 3 4 は、貫通電極 8 3 5 を介して互いに電氣的に接続されている。ランド電極 8 4 3 および 8 4 4 は、貫通電極 8 4 5 を介して互いに電氣的に接続されている。ランド電極 8 3 4 上には、バンプ電極 8 3 7 が形成され、ランド電極 8 4 4 上には、バンプ電極 8 4 7 が形成される。ランド電極 8 1 5 は、バンプ電極 8 3 6 を介してランド電極 8 3 3 に接続されている。ランド電極 8 6 4 は、バンプ電極 8 4 6 を介してランド電極 8 4 4 に接続されている。

[0149] また、インターポーザ基板 8 3 0 と各半導体チップ 8 2 1 および 8 6 1 との間および各半導体チップ 8 2 1 および 8 6 1 の周囲には、アンダーフィル

819が設けられている。アンダーフィル819の材料は、例えば、エポキシ樹脂などの熱硬化性樹脂である。

[0150] また、インターポーザ基板830上には、半導体チップ821およびダミーチップ152のそれぞれの周囲を囲むようにモールド材851が配置されている。このとき、モールド材851は、半導体チップ821の側面と、ダミーチップ152の側面と、アンダーフィル819の側面とに接触することができる。また、モールド材851の横方向DLの端部の位置と、インターポーザ基板830の横方向DLの端部の位置とは、互いに一致することができる。

[0151] モールド材851の表面は、半導体チップ821の周囲を囲む位置において平坦化される。モールド材851の平坦面は、研磨面でもよい。モールド材851の平坦面の高さ方向DHの位置は、半導体チップ821のトップ面の高さ方向DHの位置に略等しくすることができる。また、ダミーチップ152の平坦面の高さ方向DHの位置は、モールド材851の平坦面の高さ方向DHの位置に略等しくすることができる。

[0152] このように、上述の第10の実施の形態では、インターポーザ基板830上に実装された半導体チップ861上に光学チップ411を実装する。これにより、インターポーザ基板830の実装面積を増大させることなく、固片化されたチップの3次元集積化を図ることができる。

[0153] また、光学チップ411が実装される半導体チップ861に貫通電極865を形成することにより、配線長の増大を抑制しつつ、光学チップ411の配線層413を外部に電氣的に接続することができる。このため、光学チップ411との間で授受される電気信号の遅延の増大を抑制しつつ、光学チップ411との間での電気信号の授受が可能となる。

[0154] なお、第10の実施の形態では、3次元集積構造として2つのチップを積層した例を示したが、3つ以上のチップが積層されていてもよい。このとき、各チップは、貫通電極を介して電氣的に接続され、光学チップは最上層に配置することができる。

[0155] < 1 1 . 移動体への応用例 >

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

[0156] 図 2 7 は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[0157] 車両制御システム 1 2 0 0 0 は、通信ネットワーク 1 2 0 0 1 を介して接続された複数の電子制御ユニットを備える。図 2 7 に示した例では、車両制御システム 1 2 0 0 0 は、駆動系制御ユニット 1 2 0 1 0、ボディ系制御ユニット 1 2 0 2 0、車外情報検出ユニット 1 2 0 3 0、車内情報検出ユニット 1 2 0 4 0、及び統合制御ユニット 1 2 0 5 0 を備える。また、統合制御ユニット 1 2 0 5 0 の機能構成として、マイクロコンピュータ 1 2 0 5 1、音声画像出力部 1 2 0 5 2、及び車載ネットワーク I / F (interface) 1 2 0 5 3 が図示されている。

[0158] 駆動系制御ユニット 1 2 0 1 0 は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット 1 2 0 1 0 は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

[0159] ボディ系制御ユニット 1 2 0 2 0 は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット 1 2 0 2 0 は、キーレスエントリーシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウinker又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット 1 2 0 2 0 には、鍵を代替する携帯機から発信

される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット 12020 は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

[0160] 車外情報検出ユニット 12030 は、車両制御システム 12000 を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット 12030 には、撮像部 12031 が接続される。車外情報検出ユニット 12030 は、撮像部 12031 に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット 12030 は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。

[0161] 撮像部 12031 は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部 12031 は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部 12031 が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。

[0162] 車内情報検出ユニット 12040 は、車内の情報を検出する。車内情報検出ユニット 12040 には、例えば、運転者の状態を検出する運転者状態検出部 12041 が接続される。運転者状態検出部 12041 は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット 12040 は、運転者状態検出部 12041 から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

[0163] マイクロコンピュータ 12051 は、車外情報検出ユニット 12030 又は車内情報検出ユニット 12040 で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット 12010 に対して制御指令を出力することができる。例えば、マイクロコンピュータ 12051 は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両

のレーン逸脱警告等を含むADAS(Advanced Driver Assistance System)の機能実現を目的とした協調制御を行うことができる。

[0164] また、マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0165] また、マイクロコンピュータ12051は、車外情報検出ユニット12030で取得される車外の情報に基づいて、ボディ系制御ユニット12020に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車外情報検出ユニット12030で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

[0166] 音声画像出力部12052は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図27の例では、出力装置として、オーディオスピーカ12061、表示部12062及びインストルメントパネル12063が例示されている。表示部12062は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでもよい。

[0167] 図28は、撮像部12031の設置位置の例を示す図である。

[0168] 図28では、撮像部12031として、撮像部12101, 12102, 12103, 12104, 12105を有する。

[0169] 撮像部12101, 12102, 12103, 12104, 12105は、例えば、車両12100のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部12101及び車室内のフロントガラスの上部に備えられる撮像部12105は、主として車両12100の前方の画像

を取得する。サイドミラーに備えられる撮像部12102, 12103は、主として車両12100の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部12104は、主として車両12100の後方の画像を取得する。車室内のフロントガラスの上部に備えられる撮像部12105は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0170] なお、図28には、撮像部12101ないし12104の撮影範囲の一例が示されている。撮像範囲12111は、フロントノーズに設けられた撮像部12101の撮像範囲を示し、撮像範囲12112, 12113は、それぞれサイドミラーに設けられた撮像部12102, 12103の撮像範囲を示し、撮像範囲12114は、リアバンパ又はバックドアに設けられた撮像部12104の撮像範囲を示す。例えば、撮像部12101ないし12104で撮像された画像データが重ね合わせられることにより、車両12100を上方から見た俯瞰画像が得られる。

[0171] 撮像部12101ないし12104の少なくとも1つは、距離情報を取得する機能を有していてもよい。例えば、撮像部12101ないし12104の少なくとも1つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

[0172] 例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を基に、撮像範囲12111ないし12114内における各立体物までの距離と、この距離の時間的変化（車両12100に対する相対速度）を求めることにより、特に車両12100の進行路上にある最も近い立体物で、車両12100と略同じ方向に所定の速度（例えば、0km/h以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ12051は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行う

ことができる。

[0173] 例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を元に、立体物に関する立体物データを、2輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ12051は、車両12100の周辺の障害物を、車両12100のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ12051は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ12061や表示部12062を介してドライバに警報を出力することや、駆動系制御ユニット12010を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0174] 撮像部12101ないし12104の少なくとも1つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ12051は、撮像部12101ないし12104の撮像画像中に歩行者が存在するかどうかを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部12101ないし12104の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ12051が、撮像部12101ないし12104の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部12052は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部12062を制御する。また、音声画像出力部12052は、歩行者を示すアイコン等を所望の位置に表示するように表示部12062を制御してもよい。

[0175] 以上、本開示に係る技術が適用され得る車両制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、撮像部12031および運転者状態検出部12041に適用され得るだけでなく、電子制御

ユニットの少なくとも一部の機能を実現することができる。具体的には、例えば、図1のパッケージ100は、撮像部12031に適用しつつ、電子制御ユニットの少なくとも一部の機能を実現することができる。車両制御システム12000に本開示に係る技術を適用することにより、実装面積の増大を抑制しつつ、撮影画像を得ることが可能となるとともに、車両制御の少なくとも一部の機能を実現することができる。

[0176] なお、上述の実施の形態は本技術を具現化するための一例を示したものであり、実施の形態における事項と、特許請求の範囲における発明特定事項とはそれぞれ対応関係を有する。同様に、特許請求の範囲における発明特定事項と、これと同一名称を付した本技術の実施の形態における事項とはそれぞれ対応関係を有する。ただし、本技術は実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において実施の形態に種々の変形を施すことにより具現化することができる。また、本明細書に記載された効果はあくまで例示であって、限定されるものではなく、また、他の効果があってもよい。

[0177] なお、本技術は以下のような構成もとることができる。

(1) 光学チップを含む複数のチップと、  
前記複数のチップが実装された配線層と、  
前記複数のチップのうちの少なくともいずれか1つのチップの周囲を囲むように配置され、表面が平坦化されたモールド材と  
を具備するパッケージ。

(2) 前記モールド材の平坦面の高さ方向の位置は、前記複数のチップのうちの少なくともいずれか1つのチップのトップ面の高さ方向の位置に略等しい  
前記(1)記載のパッケージ。

(3) 前記光学チップは、受光素子および発光素子の少なくともいずれか1つを含む  
前記(1)または(2)記載のパッケージ。

(4) 前記複数のチップが実装された配線層は、インターポーザ基板に形成されている配線層または前記チップに形成された再配線層である

前記(1)から(3)のいずれかに記載のパッケージ。

(5) 前記光学チップ以外のチップおよび前記モールド材のうちの少なくともいずれか1つの上に形成された反射防止膜をさらに具備する前記(1)から(4)のいずれかに記載のパッケージ。

(6) 前記複数のチップのうちの少なくともいずれか1つのチップが実装される下層チップと、

前記下層チップに形成された貫通電極とをさらに具備する前記(1)から(5)のいずれかに記載のパッケージ。

(7) 前記モールド材で周囲が囲まれた状態で前記複数のチップのうちのいずれかのチップの周囲に離間して配置され、前記モールド材の平坦面と略同一の高さにトップ面が位置するダミーチップをさらに具備する前記(1)から(6)のいずれかに記載のパッケージ。

(8) 前記光学チップの上方に設けられた透明部材をさらに具備し、

前記モールド材は、前記透明部材の表面が露出された状態で前記光学チップの周囲を囲むように位置する

前記(1)から(7)のいずれかに記載のパッケージ。

(9) 前記透明部材は、透明樹脂および透明基板のうちの少なくともいずれか1つを含む

前記(8)記載のパッケージ。

(10) 前記透明部材は、光学的機能層を備える

前記(9)記載のパッケージ。

(11) 前記光学チップのトップ面は、前記モールド材のトップ面より低い位置にある

前記(7)記載のパッケージ。

(12) 前記光学チップの上方に配置され、前記ダミーチップで支持された透明基板または光学部材をさらに具備する前記(11)記載のパッケージ。

(13) 前記光学チップのトップ面は、前記モールド材のトップ面より高い位置にある

前記(7)記載のパッケージ。

(14) 前記複数のチップのうちの少なくとも1つのチップと前記配線層との間および前記チップの周囲に設けられたアンダーフィルをさらに具備する前記(13)記載のパッケージ。

(15) 前記ダミーチップの面のうち、前記チップに対向する1つの面の上端を含む少なくとも一部は、前記チップに対向する他の面に比べて、前記ダミーチップで周囲が囲まれるチップとの間隔が大きい

前記(14)記載のパッケージ。

(16) 前記ダミーチップの面のうち、前記チップに対向する少なくとも1つの面は、順テーパ形状を備える

前記(14)記載のパッケージ。

(17) 基板上に実装された光学チップと、

前記光学チップ上に設けられた透明部材と、

前記透明部材の表面が露出されるように表面が平坦化され、前記光学チップの周囲を囲むように前記基板上に形成された封止樹脂とを具備するパッケージ。

(18) 前記平坦化された表面は、前記透明部材の位置で研磨がストップされた研磨面である

前記(15)記載のパッケージ。

(19) 第1配線層が形成された第1チップと、

前記第1配線層に電氣的に接続され、前記第1チップの実装領域から横方向に拡張された拡張再配線層と、

前記第1チップと離間して前記拡張再配線層上に実装され、前記拡張再配線層に電氣的に接続された第2配線層が形成された第2チップとを具備するパッケージ。

(20) 前記第1チップおよび前記第2チップのうちの少なくともいずれか

1つのチップの周囲を囲むように前記拡張再配線層上に形成され、表面が平坦化されたモールド材をさらに具備する前記（17）記載のパッケージ。

（21）前記モールド材で周囲が囲まれた状態で前記第1チップおよび前記第2チップのうち1少なくともいずれか1つのチップの周囲に離間して前記拡張再配線層上に配置され、前記モールド材の表面と略同一の高さにトップ面が位置するダミーチップをさらに具備する前記（17）または（18）に記載のパッケージ。

（22）基板上に実装された光学チップと、

前記光学チップの周囲に離間して前記基板上に配置され、前記光学チップのトップ面から突出したダミーチップと、

前記光学チップの上方に配置され、前記ダミーチップで支持された透明部材と

を具備するパッケージ。

（23）前記ダミーチップの周囲を囲むように前記基板上に形成され、表面が平坦化されたモールド材をさらに具備する前記（20）記載のパッケージ。

。

（24）透明部材が上方に設けられた光学チップをダミー基板とともにモールド材で封止する工程と、

前記モールド材の表面を平坦化し、前記透明部材と前記ダミー基板の表面を露出させる工程と、

前記表面が露出された前記ダミー基板の少なくとも一部を除去する工程と、

前記ダミー基板が除去された領域にチップを実装する工程とを具備するパッケージの製造方法。

（25）前記モールド材の表面の平坦化は、前記透明部材の位置でストップされる

前記（22）記載のパッケージの製造方法。

（26）チップとダミー基板とをモールド材で封止する工程と、

前記モールド材の表面を平坦化し、前記ダミー基板の表面を露出させる工程と、

前記表面が露出された前記ダミー基板の少なくとも一部を除去する工程と

、  
前記ダミー基板が除去された領域に光学チップを実装する工程とを具備するパッケージの製造方法。

- [0178] 100から800 パッケージ
- 111 光学チップ
  - 121 半導体チップ
  - 130 インターポーザ基板
  - 112 半導体層
  - 113、123、132 配線層
  - 114、131 支持基板
  - 115、124、133、134、143、144 ランド電極
  - 116 オンチップレンズ
  - 117 透明樹脂
  - 118 透明基板
  - 122 半導体基板
  - 135、145 貫通電極
  - 136、137 バンプ電極
  - 151 モールド材
  - 152 ダミーチップ
  - 153 接着材

## 請求の範囲

- [請求項1] 光学チップを含む複数のチップと、  
前記複数のチップが実装された配線層と、  
前記複数のチップのうちの少なくともいずれか1つのチップの周囲を囲むように配置され、表面が平坦化されたモールド材とを具備するパッケージ。
- [請求項2] 前記モールド材の平坦面の高さ方向の位置は、前記複数のチップのうちの少なくともいずれか1つのチップのトップ面の高さ方向の位置に略等しい  
請求項1記載のパッケージ。
- [請求項3] 前記光学チップは、受光素子および発光素子の少なくともいずれか1つを含む  
請求項1記載のパッケージ。
- [請求項4] 前記複数のチップが実装された配線層は、インターポーザ基板に形成されている配線層または前記チップに形成された再配線層である  
請求項1記載のパッケージ。
- [請求項5] 前記光学チップ以外のチップおよび前記モールド材のうちの少なくともいずれか1つの上に形成された反射防止膜をさらに具備する請求項1記載のパッケージ。
- [請求項6] 前記複数のチップのうちの少なくともいずれか1つのチップが実装される下層チップと、  
前記下層チップに形成された貫通電極とをさらに具備する請求項1記載のパッケージ。
- [請求項7] 前記モールド材で周囲が囲まれた状態で前記複数のチップのうちのいずれかのチップの周囲に離間して配置され、前記モールド材の平坦面と略同一の高さにトップ面が位置するダミーチップをさらに具備する請求項1記載のパッケージ。
- [請求項8] 前記光学チップの上方に設けられた透明部材をさらに具備し、

前記モールド材は、前記透明部材の表面が露出された状態で前記光学チップの周囲を囲むように位置する

請求項 1 記載のパッケージ。

[請求項9] 前記透明部材は、透明樹脂および透明基板のうちの少なくともいずれか 1 つを含む

請求項 8 記載のパッケージ。

[請求項10] 前記透明部材は、光学的機能層を備える

請求項 9 記載のパッケージ。

[請求項11] 前記光学チップのトップ面は、前記モールド材のトップ面より低い位置にある

請求項 7 記載のパッケージ。

[請求項12] 前記光学チップの上方に配置され、前記ダミーチップで支持された透明基板または光学部材をさらに具備する請求項 1 1 記載のパッケージ。

[請求項13] 前記光学チップのトップ面は、前記モールド材のトップ面より高い位置にある

請求項 7 記載のパッケージ。

[請求項14] 前記複数のチップのうちの少なくとも 1 つのチップと前記配線層との間および前記チップの周囲に設けられたアンダーフィルをさらに具備する請求項 1 3 記載のパッケージ。

[請求項15] 前記ダミーチップの面のうち、前記チップに対向する 1 つの面の上端を含む少なくとも一部は、前記チップに対向する他の面に比べて、前記ダミーチップで周囲が囲まれるチップとの間隔が大きい

請求項 1 4 記載のパッケージ。

[請求項16] 前記ダミーチップの面のうち、前記チップに対向する少なくとも 1 つの面は、順テーパ形状を備える

請求項 1 4 記載のパッケージ。

[請求項17] 基板上に実装された光学チップと、

前記光学チップ上に設けられた透明部材と、

前記透明部材の表面が露出されるように表面が平坦化され、前記光学チップの周囲を囲むように前記基板上に形成された封止樹脂とを具備するパッケージ。

[請求項18] 前記平坦化された表面は、前記透明部材の位置で研磨がストップされた研磨面である

請求項16記載のパッケージ。

[請求項19] 第1配線層が形成された第1チップと、

前記第1配線層に電氣的に接続され、前記第1チップの実装領域から横方向に拡張された拡張再配線層と、

前記第1チップと離間して前記拡張再配線層上に実装され、前記拡張再配線層に電氣的に接続された第2配線層が形成された第2チップと

を具備するパッケージ。

[請求項20] 前記第1チップおよび前記第2チップのうちの少なくともいずれか1つのチップの周囲を囲むように前記拡張再配線層上に形成され、表面が平坦化されたモールド材をさらに具備する請求項19記載のパッケージ。

[請求項21] 前記モールド材で周囲が囲まれた状態で前記第1チップおよび前記第2チップのうちの少なくともいずれか1つのチップの周囲に離間して前記拡張再配線層上に配置され、前記モールド材の表面と略同一の高さにトップ面が位置するダミーチップをさらに具備する請求項19記載のパッケージ。

[請求項22] 基板上に実装された光学チップと、

前記光学チップの周囲に離間して前記基板上に配置され、前記光学チップのトップ面から突出したダミーチップと、

前記光学チップの上方に配置され、前記ダミーチップで支持された透明部材と

を具備するパッケージ。

[請求項23] 前記ダミーチップの周囲を囲むように前記基板上に形成され、表面が平坦化されたモールド材をさらに具備する請求項22記載のパッケージ。

[請求項24] 透明部材が上方に設けられた光学チップをダミー基板とともにモールド材で封止する工程と、

前記モールド材の表面を平坦化し、前記透明部材と前記ダミー基板の表面を露出させる工程と、

前記表面が露出された前記ダミー基板の少なくとも一部を除去する工程と、

前記ダミー基板が除去された領域にチップを実装する工程とを具備するパッケージの製造方法。

[請求項25] 前記モールド材の表面の平坦化は、前記透明部材の位置でストップされる

請求項24記載のパッケージの製造方法。

[請求項26] チップとダミー基板とをモールド材で封止する工程と、

前記モールド材の表面を平坦化し、前記ダミー基板の表面を露出させる工程と、

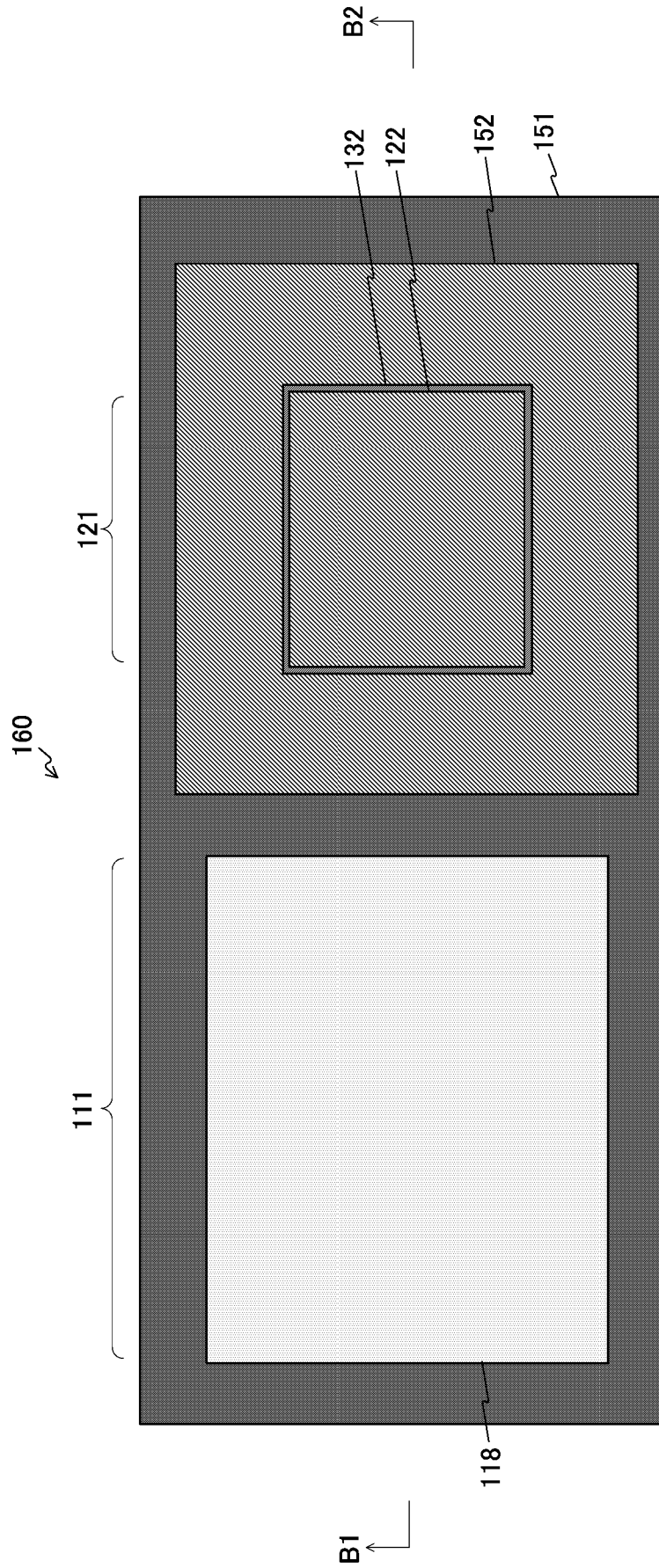
前記表面が露出された前記ダミー基板の少なくとも一部を除去する工程と、

前記ダミー基板が除去された領域に光学チップを実装する工程とを具備するパッケージの製造方法。

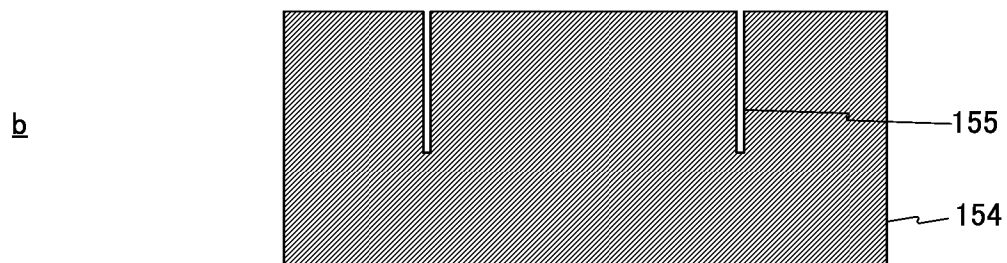
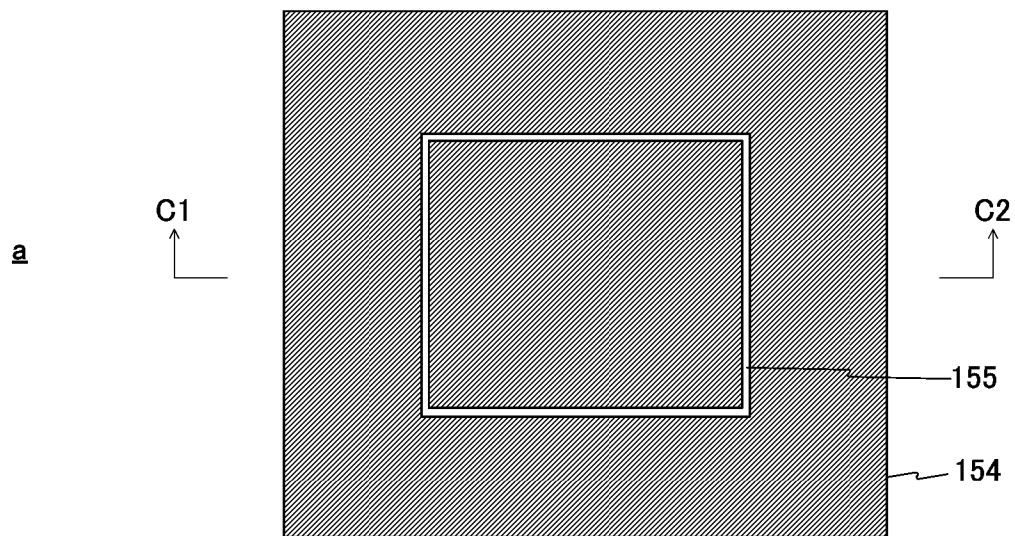




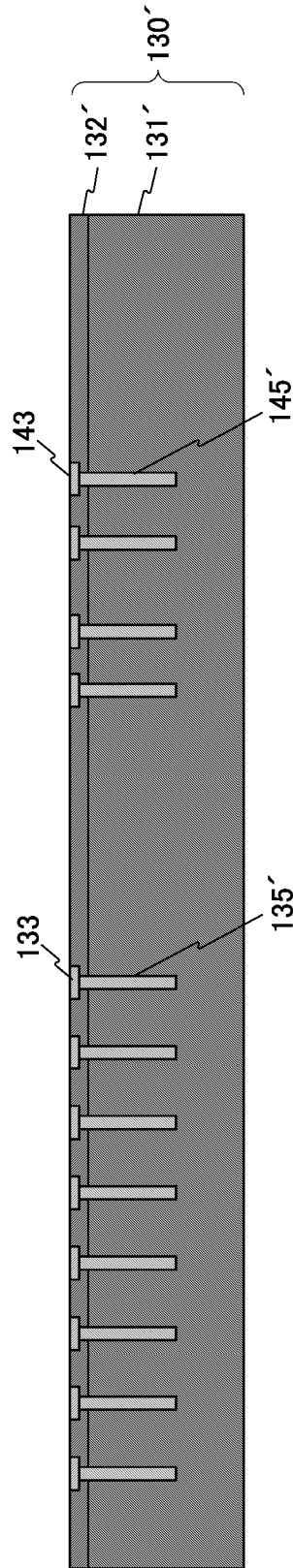
[図3]



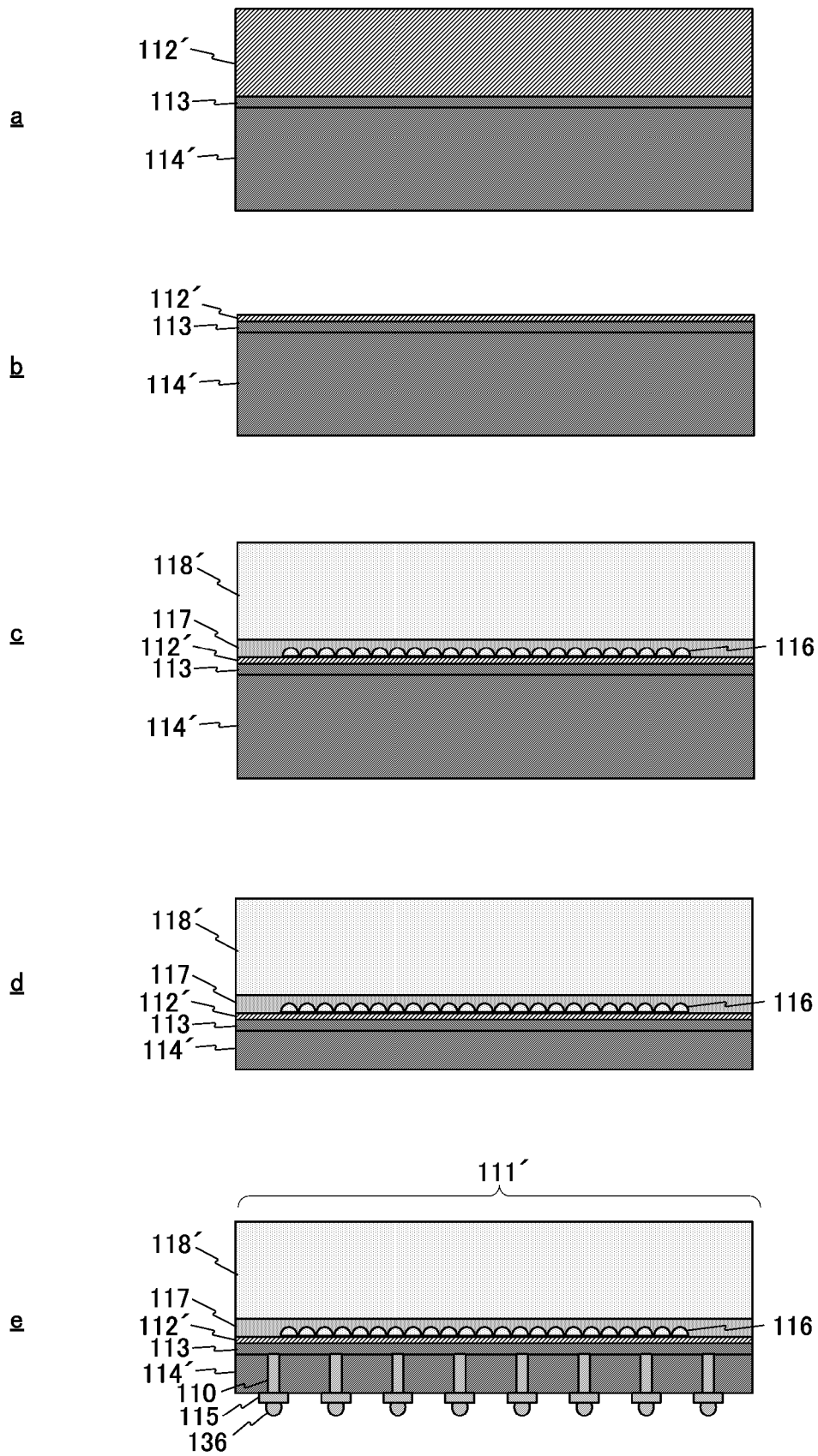
[図4]



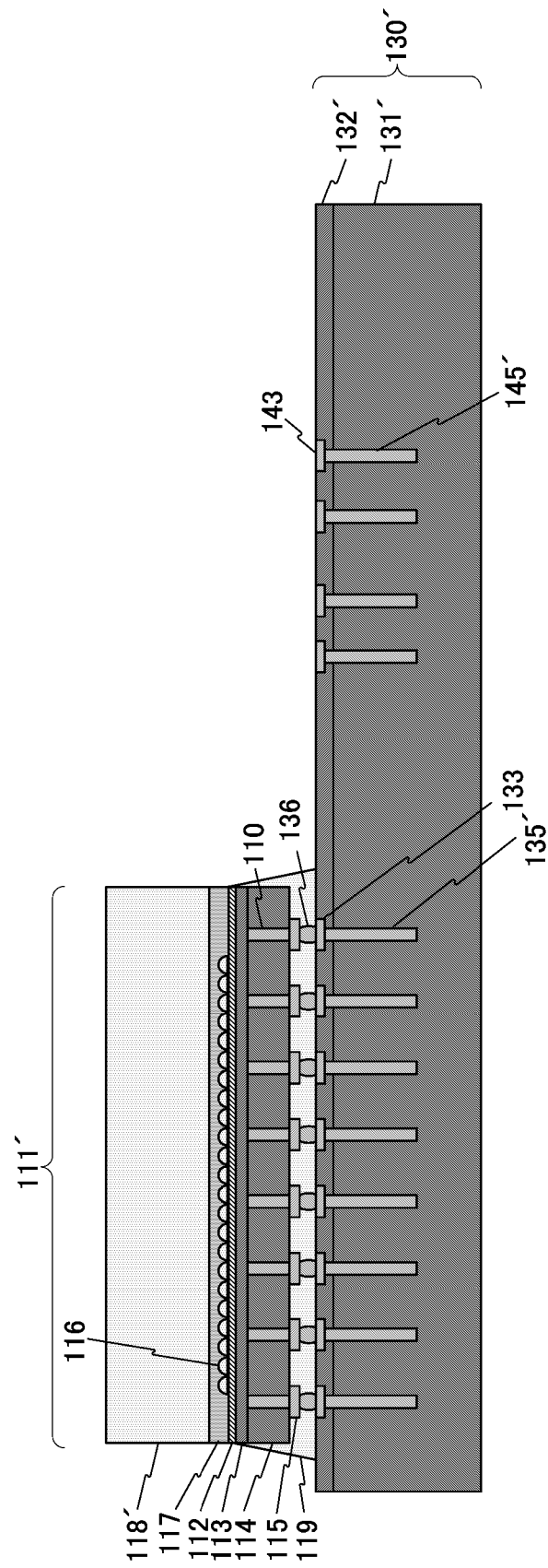
[図5]



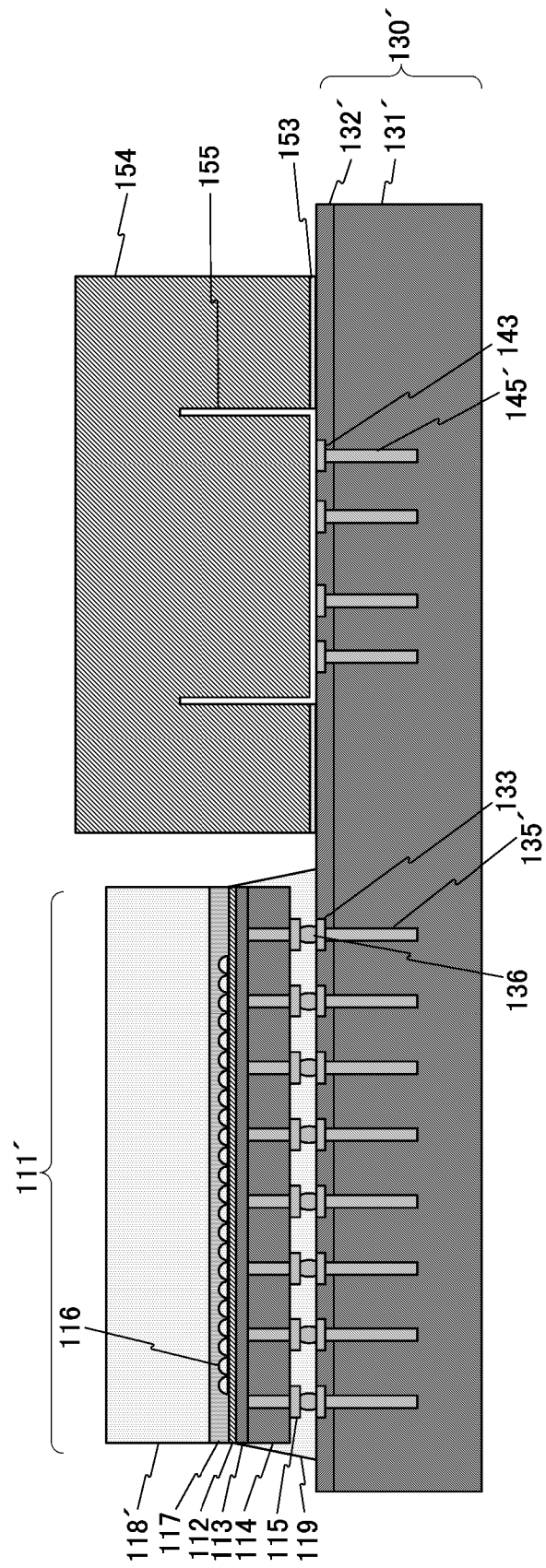
[図6]



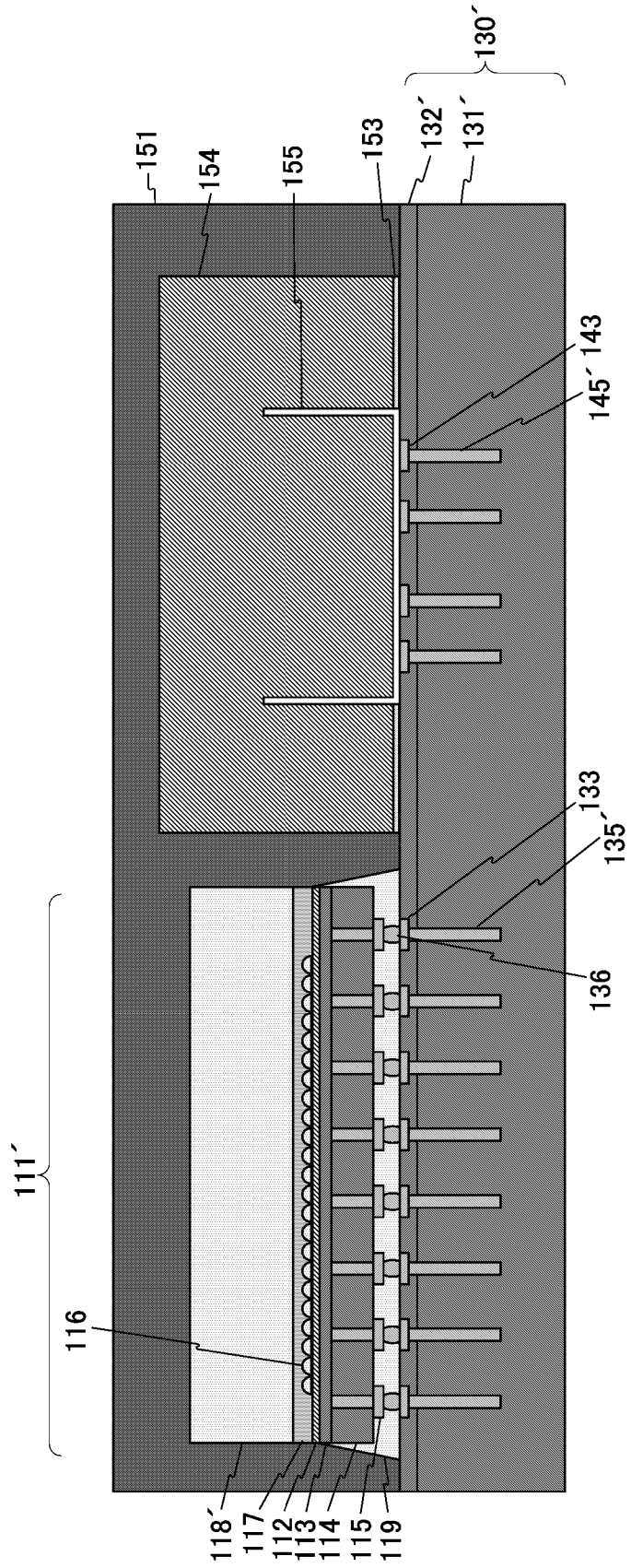
[図7]



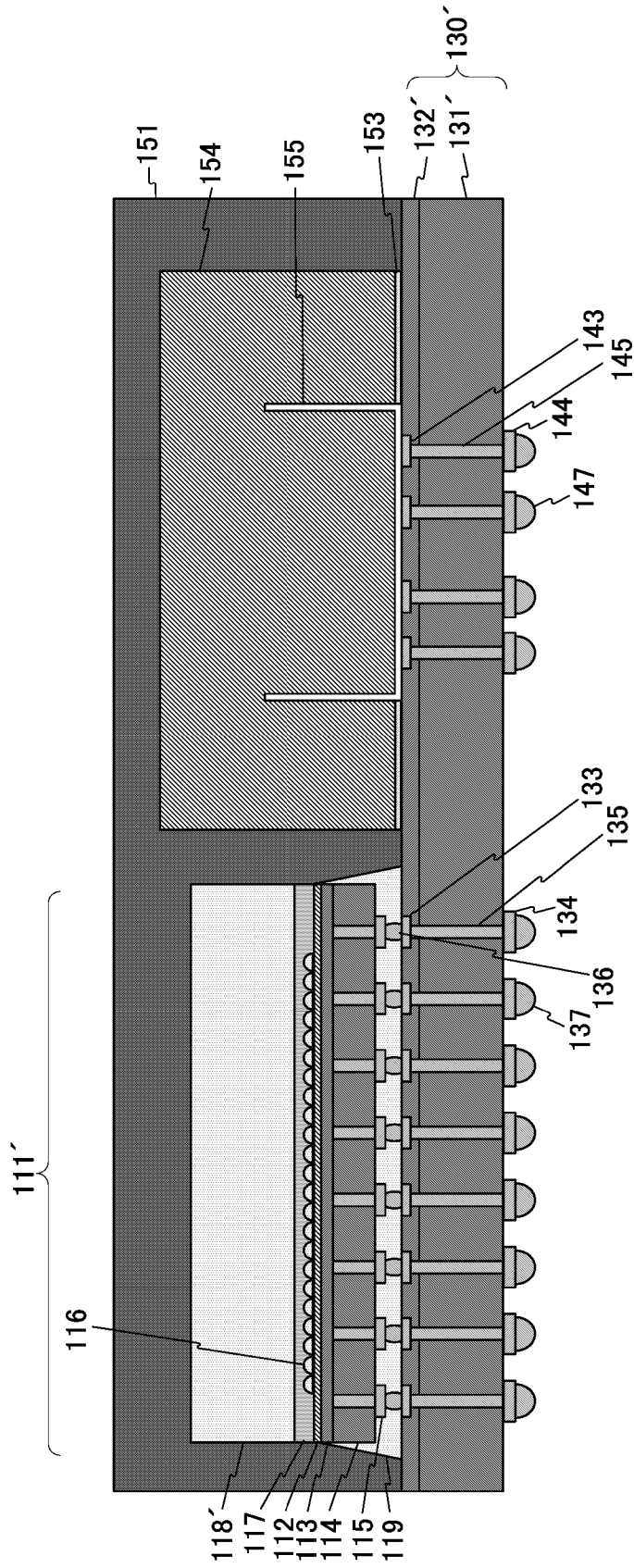
[8]



[9]

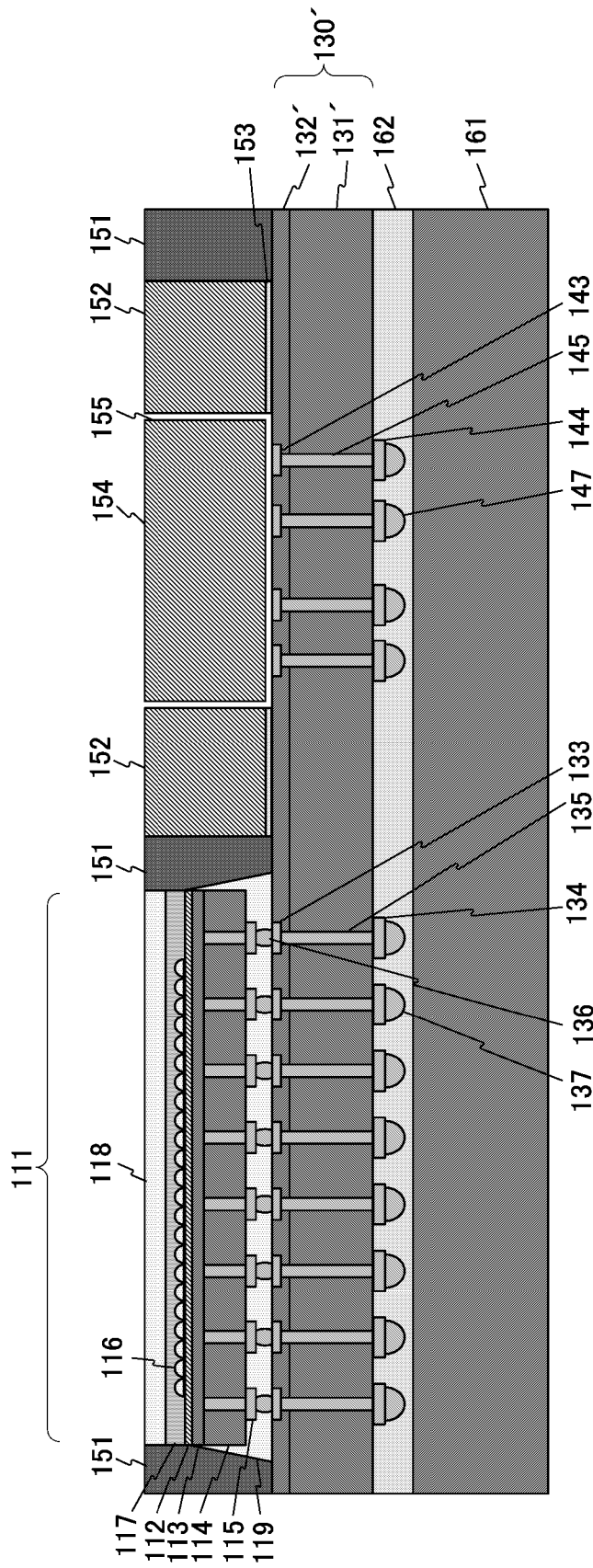


[図10]

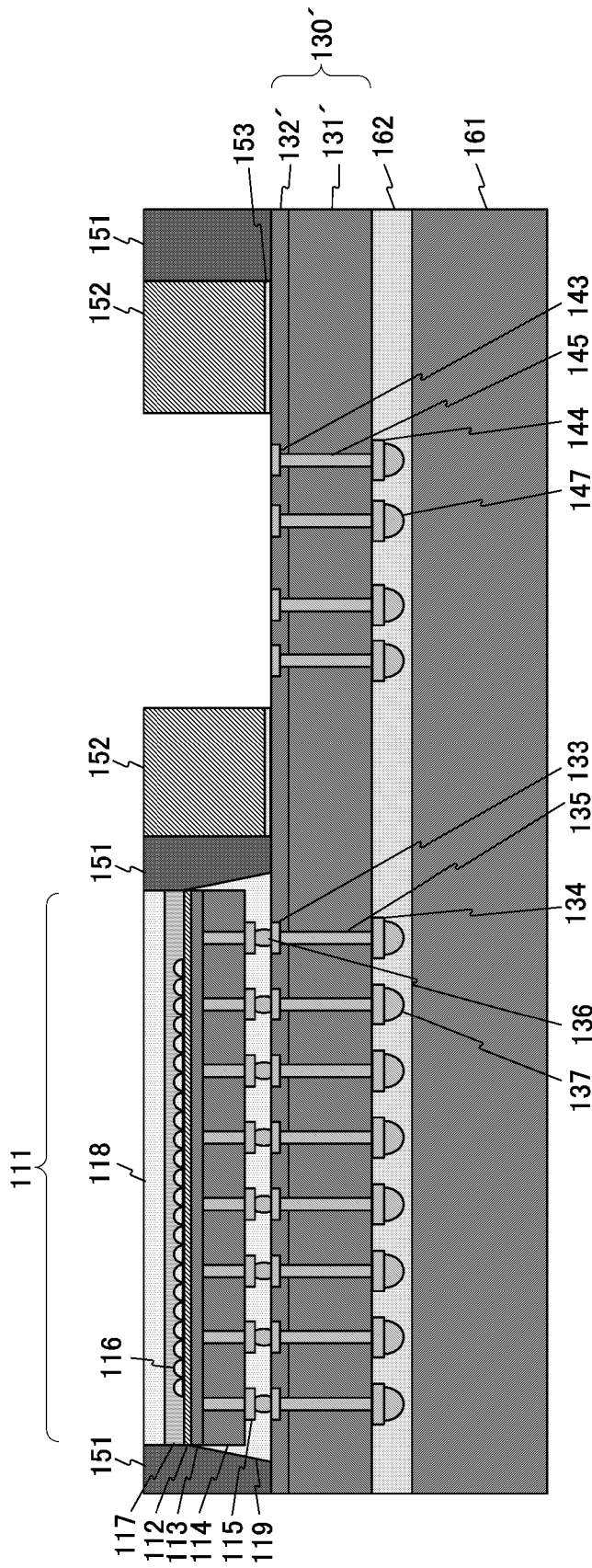




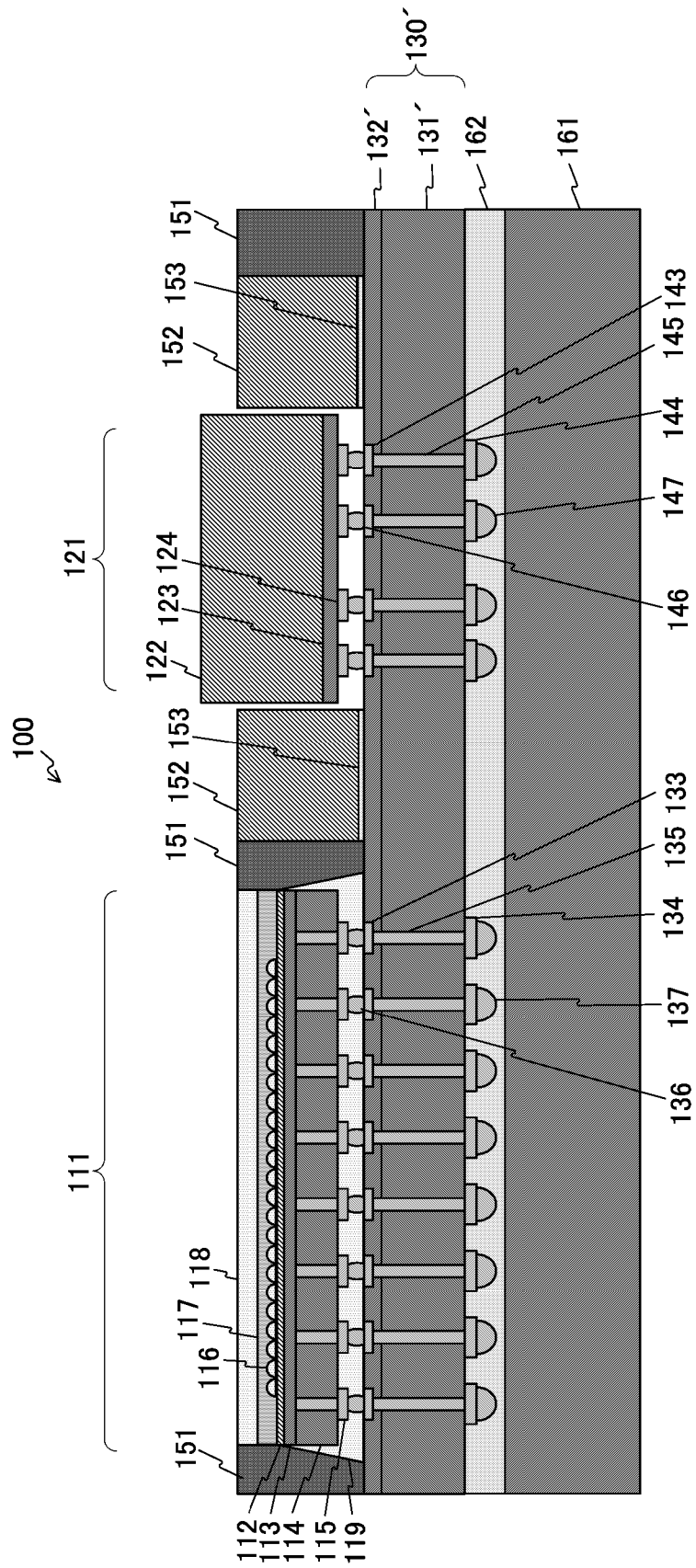
[図12]



[図13]

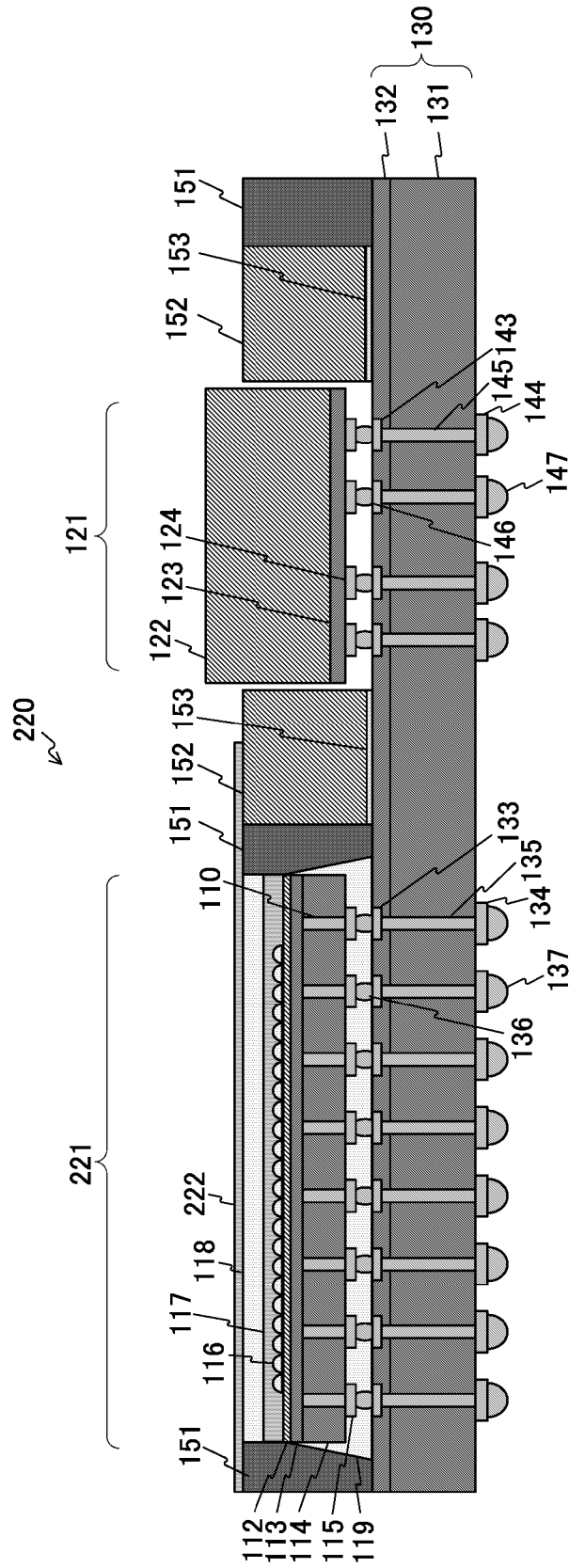


[図14]

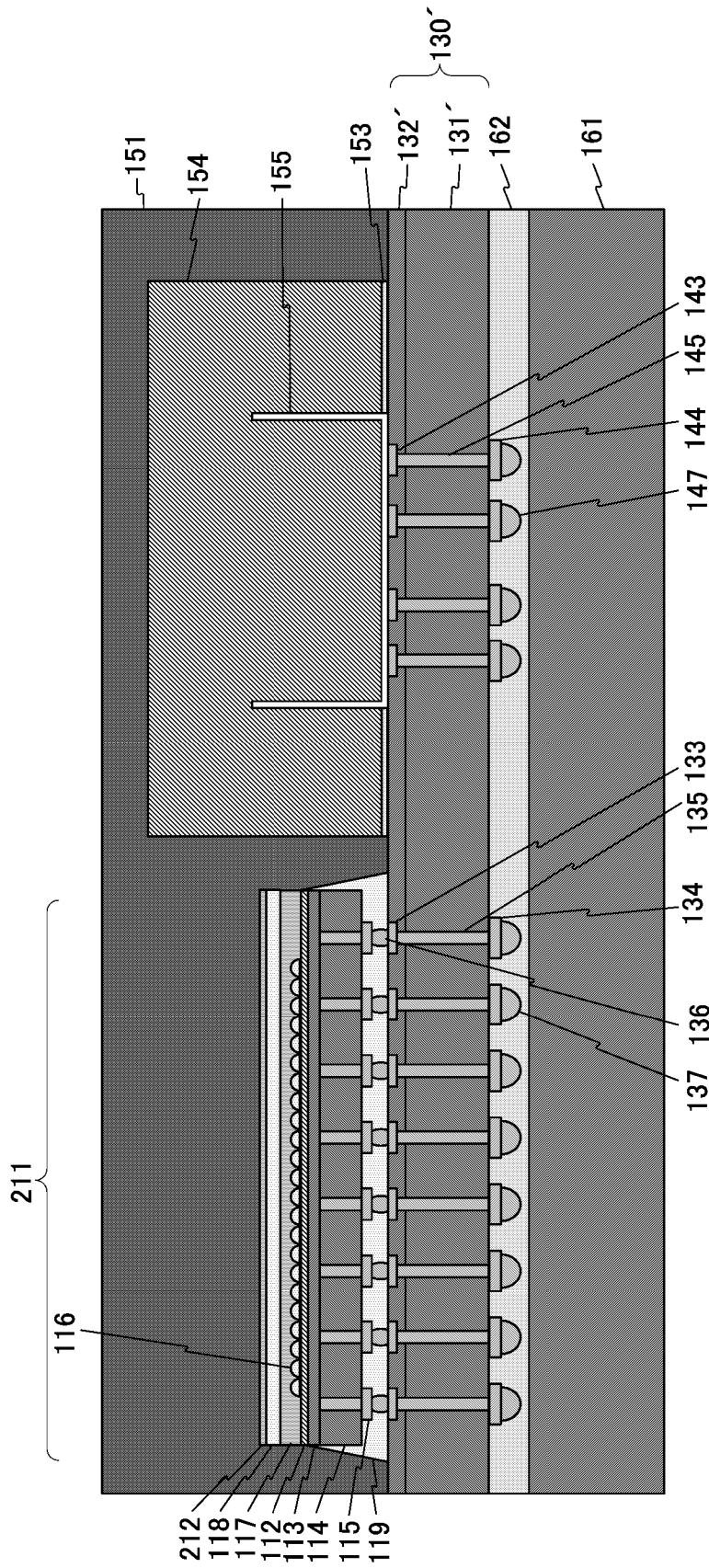




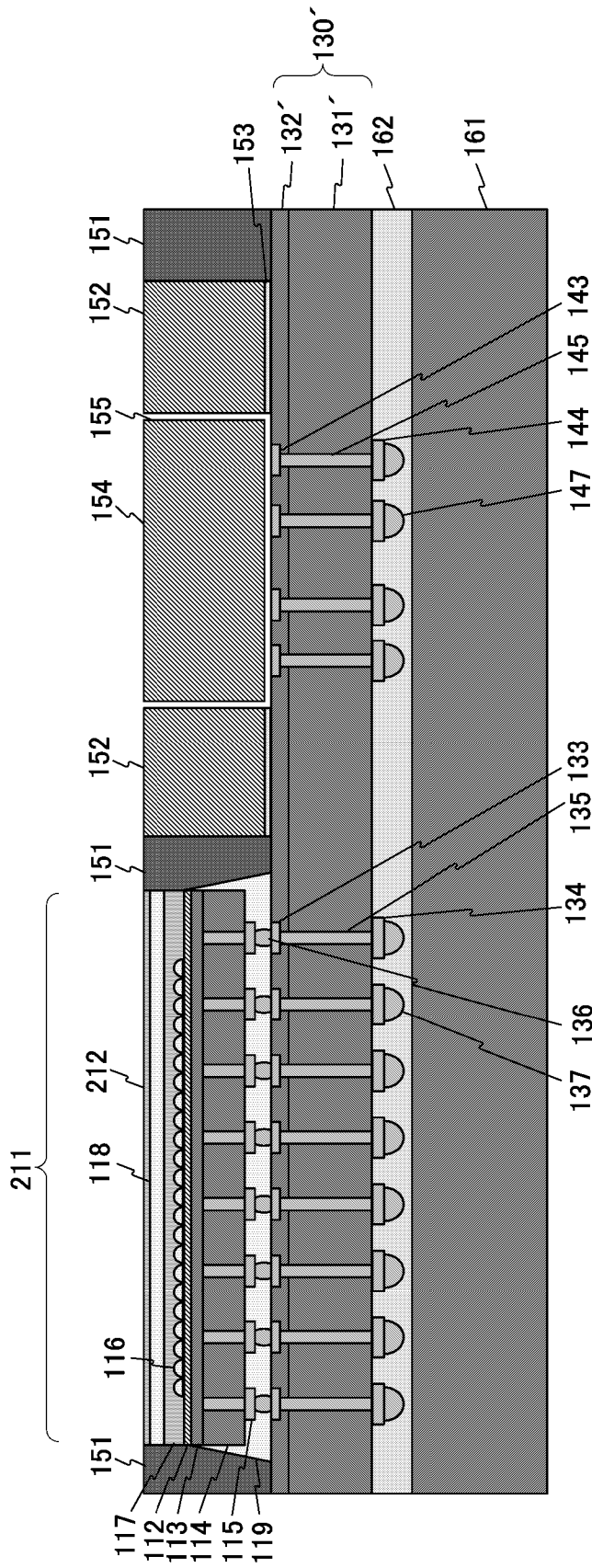
[図16]



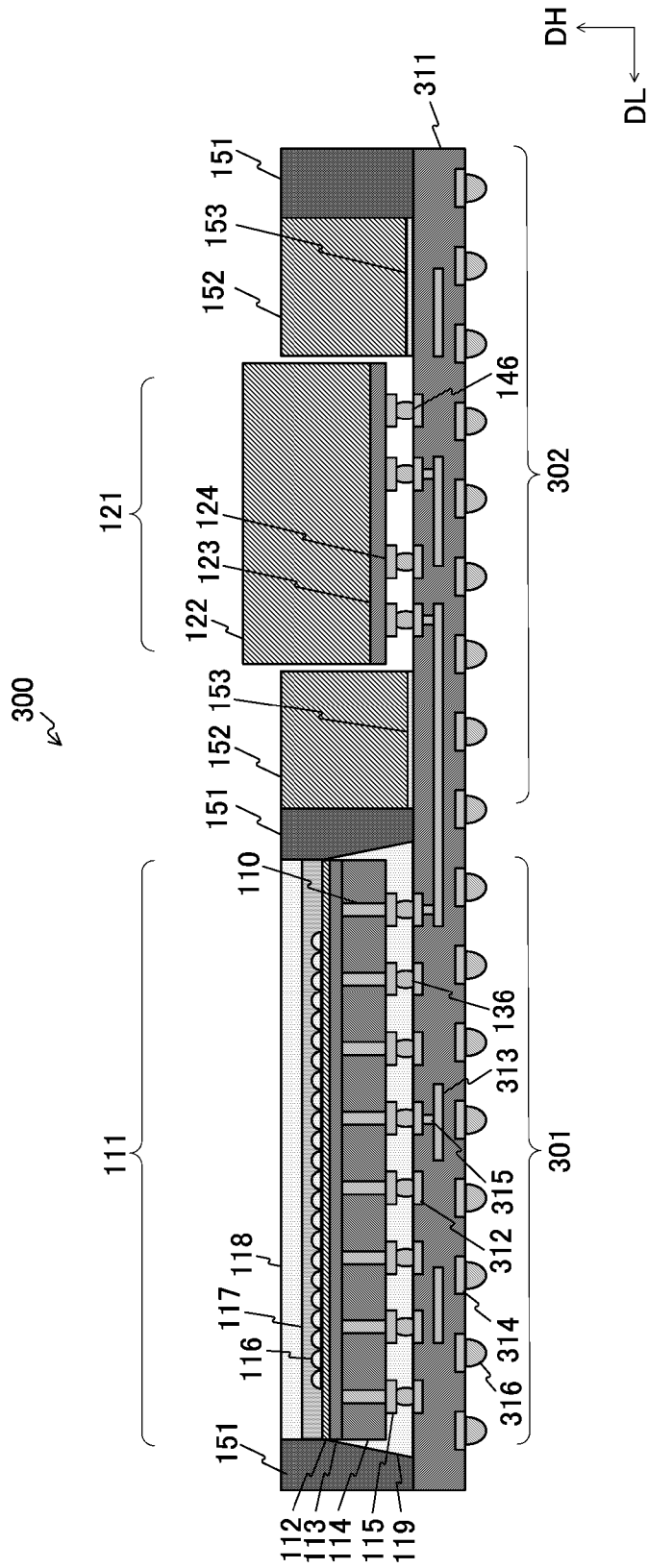
[図17]



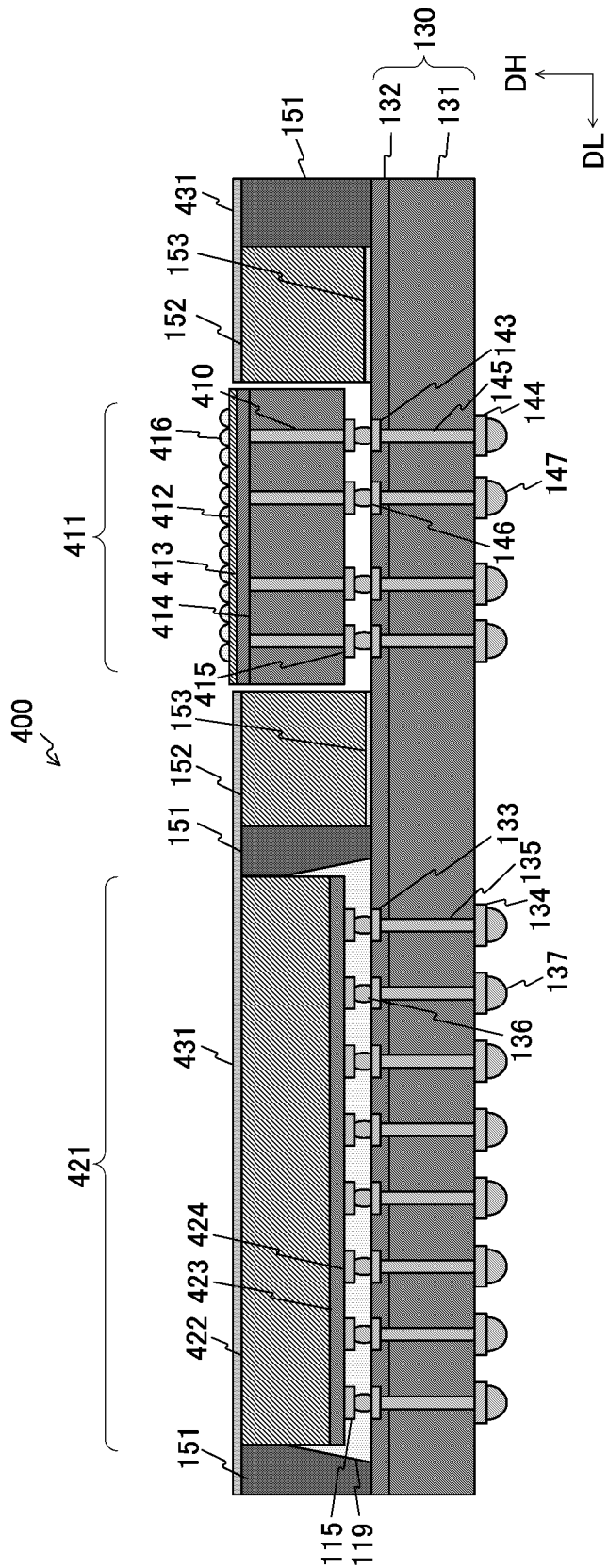
[18]



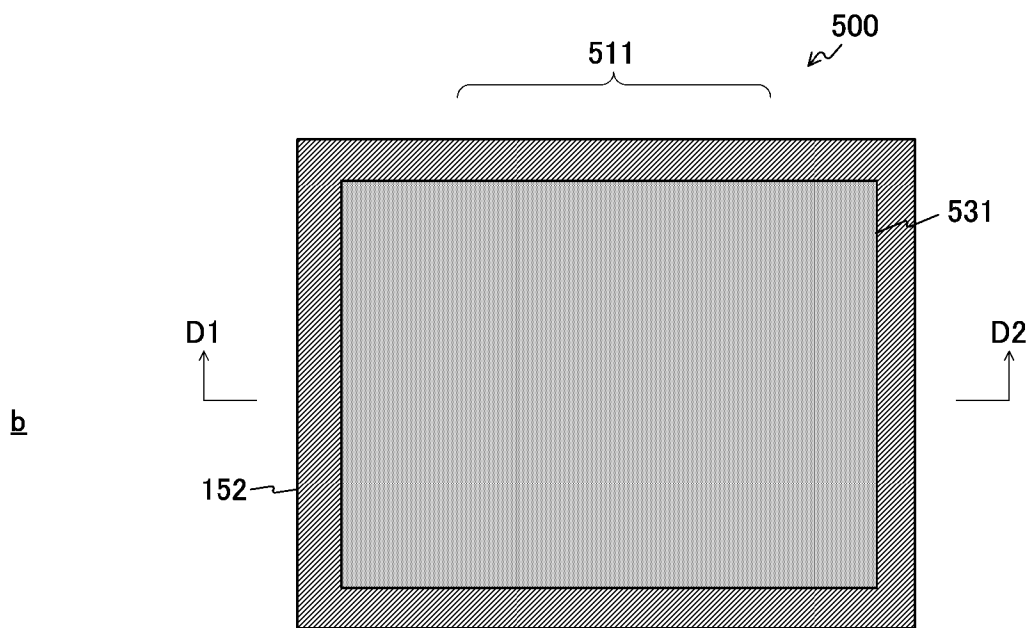
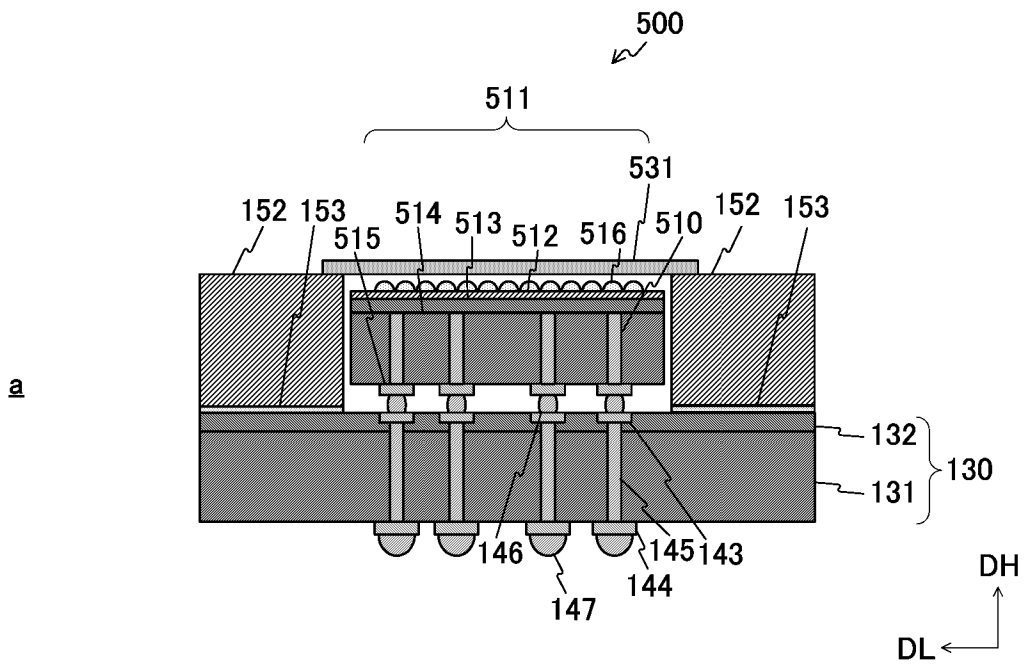
[19]



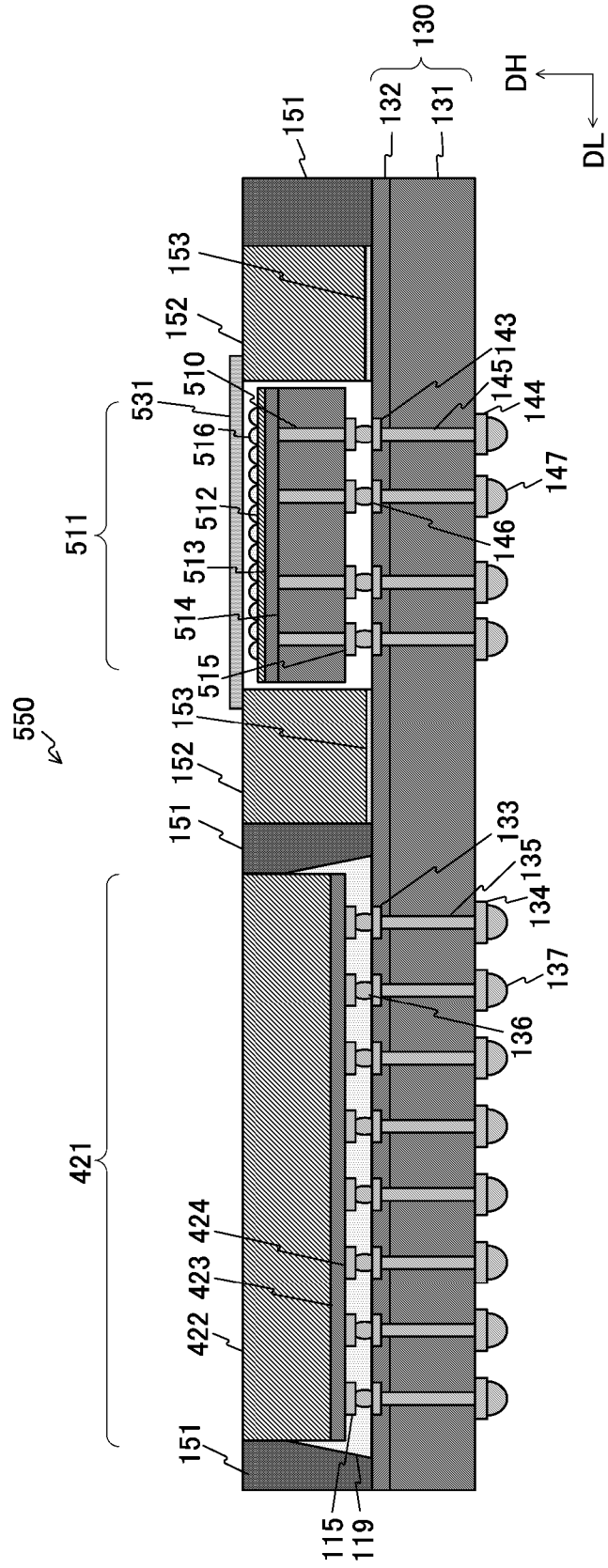
[図20]



[図21]



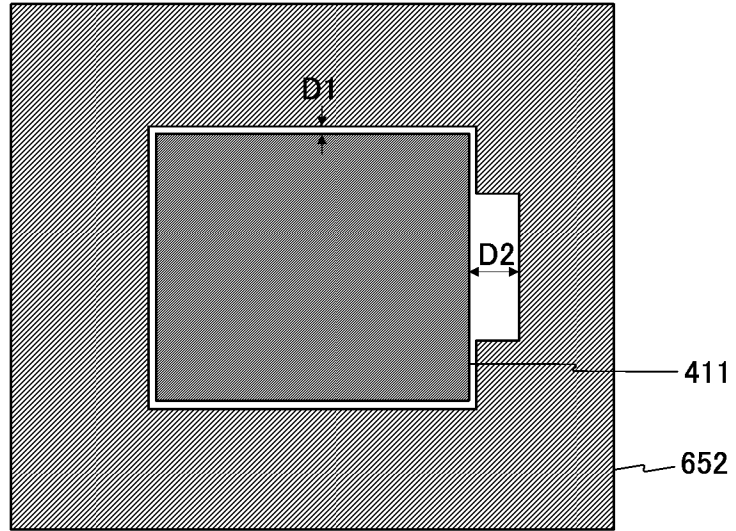
[22]



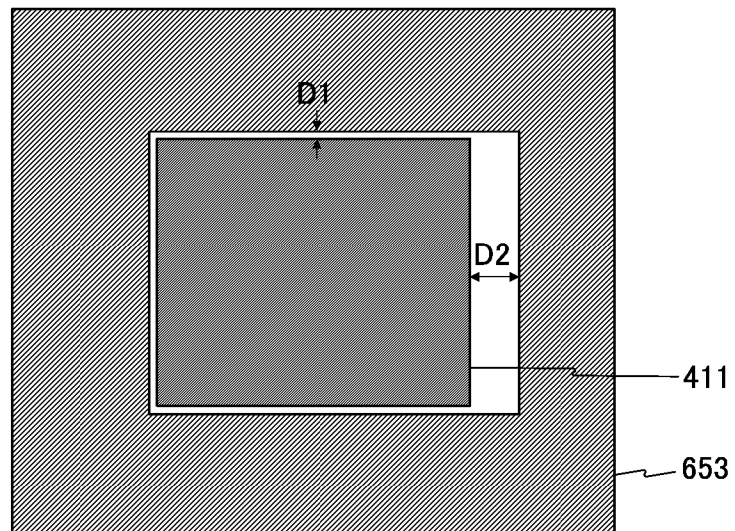


[図24]

a



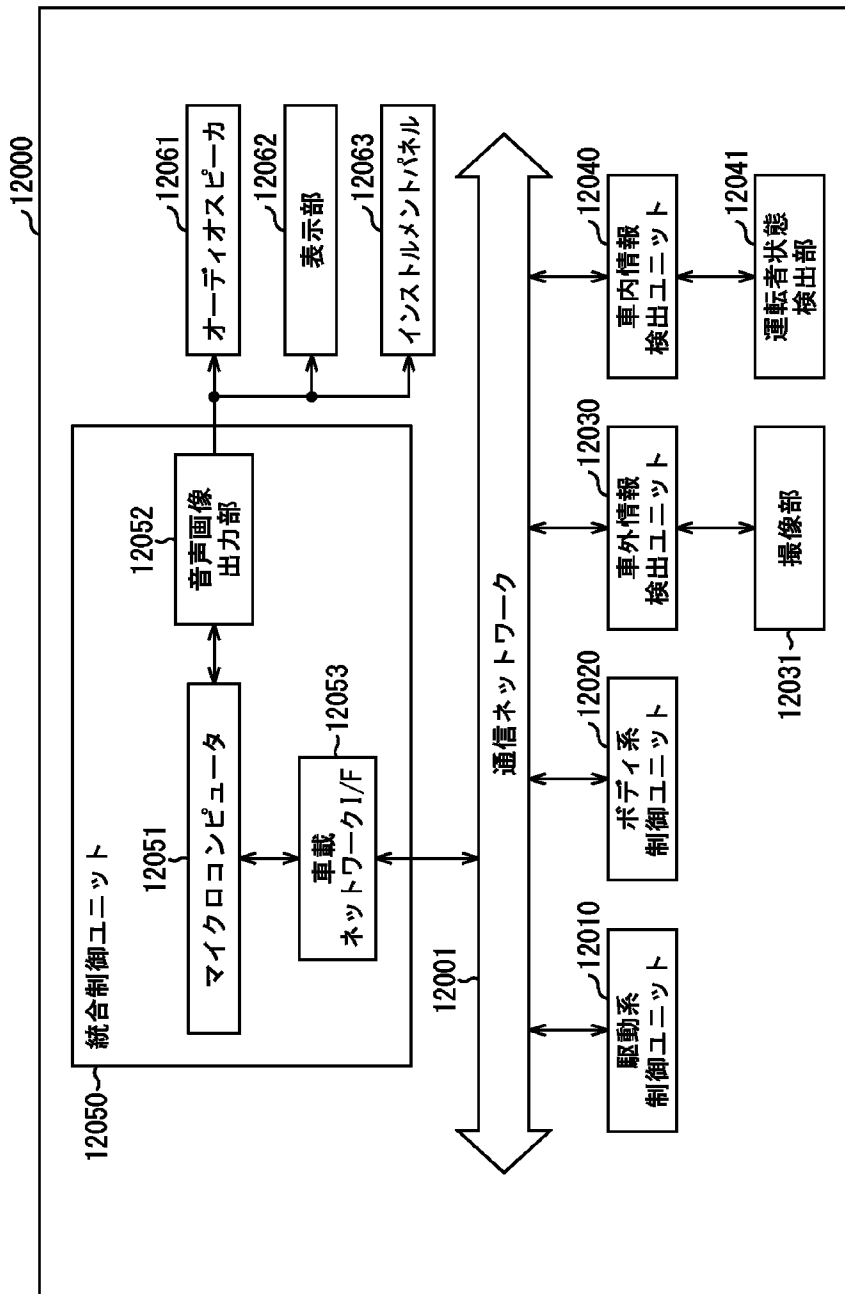
b



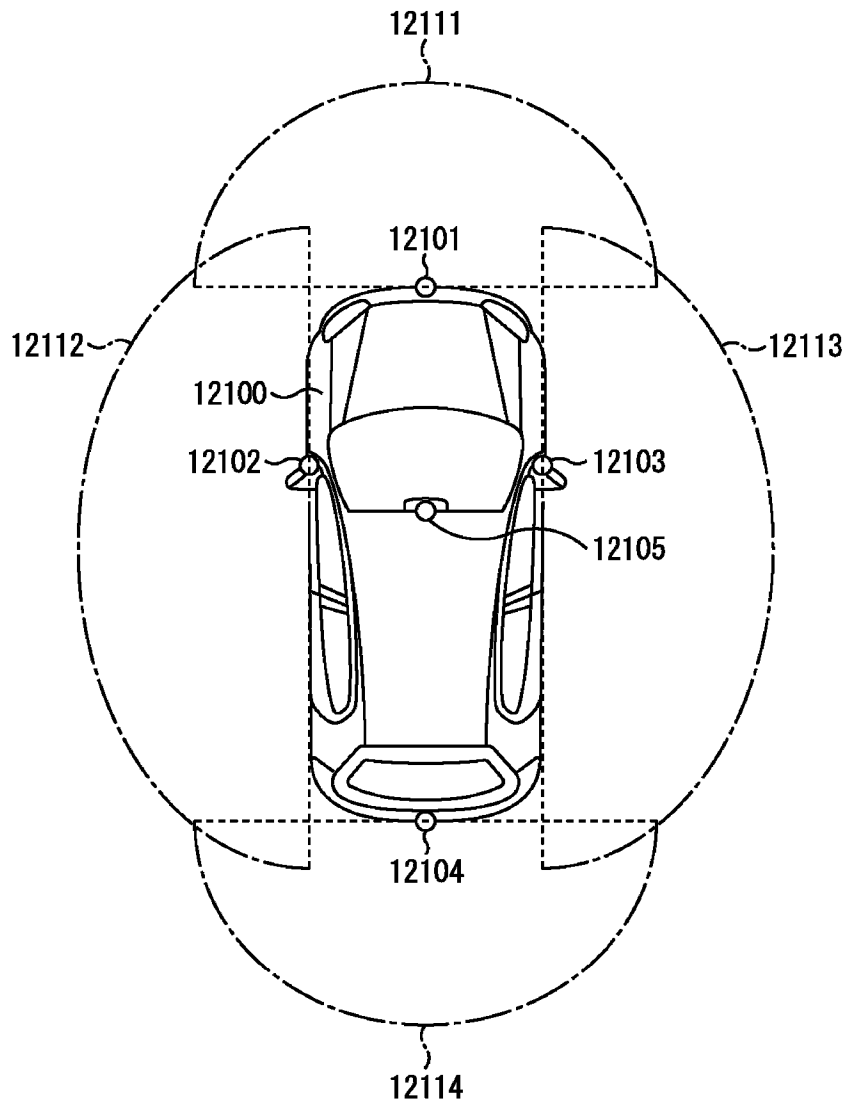




[図27]



[図28]



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/004705

<b>A. CLASSIFICATION OF SUBJECT MATTER</b>		
<i>H01L 31/02</i> (2006.01)i; <i>H01L 21/56</i> (2006.01)i; <i>H01L 23/28</i> (2006.01)i; <i>H01L 27/146</i> (2006.01)i FI: H01L31/02 B; H01L21/56 J; H01L27/146 D; H01L23/28 D		
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b>		
Minimum documentation searched (classification system followed by classification symbols) H01L31/00-31/20; H01L21/56; H01L23/28-23/31; H01L27/14-27/15		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2023 Registered utility model specifications of Japan 1996-2023 Published registered utility model applications of Japan 1994-2023		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2019/0237454 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.) 01 August 2019 (2019-08-01) paragraphs [0029]-[0042], [0044]-[0055], fig. 5-11, 16A-24	1-7, 11, 13-16, 19-21, 26
Y		8-10, 17-18, 24-25
A		12, 22-23
Y	JP 2005-268440 A (MITSUMI ELECTRIC CO., LTD.) 29 September 2005 (2005-09-29) paragraphs [0017]-[0018], fig. 1	8-10, 17-18, 24-25
Y	JP 2001-127236 A (MITSUMI ELECTRIC CO., LTD.) 11 May 2001 (2001-05-11) paragraphs [0010]-[0013], fig. 1	8-10, 17-18, 24-25
A	JP 2006-270036 A (SONY CORP.) 05 October 2006 (2006-10-05)	1-26
A	JP 2016-166939 A (FUJITSU LTD.) 15 September 2016 (2016-09-15)	1-26
A	US 2021/0210542 A1 (NINGBO SEMICONDUCTOR INTERNATIONAL CORPORATION) 08 July 2021 (2021-07-08)	1-26
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search <b>21 April 2023</b>		Date of mailing of the international search report <b>09 May 2023</b>
Name and mailing address of the ISA/JP <b>Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan</b>		Authorized officer  Telephone No.



**INTERNATIONAL SEARCH REPORT**  
**Information on patent family members**

International application No.

**PCT/JP2023/004705**

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
US	2019/0237454	A1	01 August 2019	CN 110112115	A
				TW 201935562	A
JP	2005-268440	A	29 September 2005	(Family: none)	
JP	2001-127236	A	11 May 2001	(Family: none)	
JP	2006-270036	A	05 October 2006	US 2007/0080458	A1
				KR 10-2007-0040305	A
				CN 1949506	A
JP	2016-166939	A	15 September 2016	(Family: none)	
US	2021/0210542	A1	08 July 2021	WO 2020/057620	A1
				CN 110943094	A
				KR 10-2021-0032531	A
US	2012/0104454	A1	03 May 2012	EP 2448001	A2
				FR 2966979	A1
				CN 102455472	A

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 31/02(2006.01)i; H01L 21/56(2006.01)i; H01L 23/28(2006.01)i; H01L 27/146(2006.01)i FI: H01L31/02 B; H01L21/56 J; H01L27/146 D; H01L23/28 D		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L31/00-31/20; H01L21/56; H01L23/28-23/31; H01L27/14-27/15 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922 - 1996年 日本国公開実用新案公報 1971 - 2023年 日本国実用新案登録公報 1996 - 2023年 日本国登録実用新案公報 1994 - 2023年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	US 2019/0237454 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY, LTD.) 01.08.2019 (2019 - 08 - 01) 段落[0029]-[0042], [0044]-[0055], 図5-11, 16A-24	1-7, 11, 13-16, 19-21, 26
Y		8-10, 17-18, 24-25
A		12, 22-23
Y	JP 2005-268440 A (ミツミ電機株式会社) 29.09.2005 (2005 - 09 - 29) 段落[0017]-[0018], 図1	8-10, 17-18, 24-25
Y	JP 2001-127236 A (ミツミ電機株式会社) 11.05.2001 (2001 - 05 - 11) 段落[0010]-[0013], 図1	8-10, 17-18, 24-25
A	JP 2006-270036 A (ソニー株式会社) 05.10.2006 (2006 - 10 - 05)	1-26
A	JP 2016-166939 A (富士通株式会社) 15.09.2016 (2016 - 09 - 15)	1-26
A	US 2021/0210542 A1 (NINGBO SEMICONDUCTOR INTERNATIONAL CORPORATION) 08.07.2021 (2021 - 07 - 08)	1-26
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 21.04.2023	国際調査報告の発送日 09.05.2023	
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 原 俊文 2K 4078 電話番号 03-3581-1101 内線 3255	



国際調査報告  
 パテントファミリーに関する情報

国際出願番号

PCT/JP2023/004705

引用文献	公表日	パテントファミリー文献	公表日
US 2019/0237454 A1	01.08.2019	CN 110112115 A TW 201935562 A	
JP 2005-268440 A	29.09.2005	(ファミリーなし)	
JP 2001-127236 A	11.05.2001	(ファミリーなし)	
JP 2006-270036 A	05.10.2006	US 2007/0080458 A1 KR 10-2007-0040305 A CN 1949506 A	
JP 2016-166939 A	15.09.2016	(ファミリーなし)	
US 2021/0210542 A1	08.07.2021	WO 2020/057620 A1 CN 110943094 A KR 10-2021-0032531 A	
US 2012/0104454 A1	03.05.2012	EP 2448001 A2 FR 2966979 A1 CN 102455472 A	