

FEDERÁLNÍ ÚŘAD
PRO VYNÁLEZY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

270 670

(11)

(13) B1

(51) Int. Cl.⁴
G 06 F 13/00

(21) PV 1558-87.N
(22) Přihlášeno 09 03 87

(40) Zveřejněno 13 12 89
(45) Vydáno 04 06 91

(75) Autor vynálezu

MIKULEC JINDŘICH ing.,
JOHANOVSKÝ ALEŠ ing., PRAHA,
JIRKOVSKÝ MIROSLAV ing., CHRÁŠTANY,
SOBOTKA ZOENĚK ing., DrSc., PRAHA

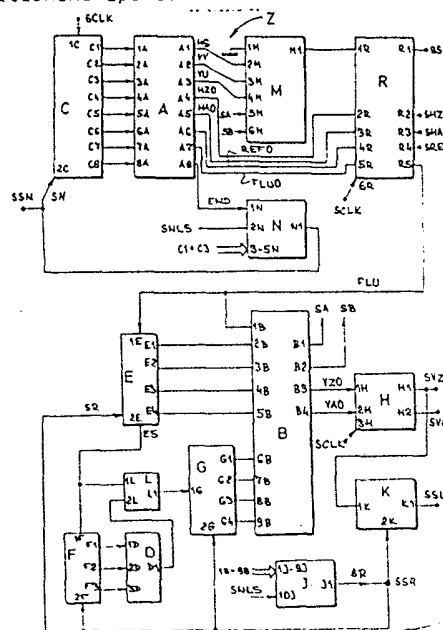
(54)

Zapojení zdroje řídicích impulsů systému pro
digitální zpracování obrazu

(57)

Zapojení se týká zdrojů řídicích impulsů systému pro digitální zpracování obrazu a řeší problém generace potřebných řídicích impulsů s řádkovým a snímkovým opakovacím kmitočtem systému pro digitální zpracování obrazu. Uvedené řešení lze využít všude tam, kde je potřeba generovat televizní synchronizační a zatemňovací impulsy a další impulsy se stejným opakovacím kmitočtem, ale jiným tvarem. Podstatou řešení je, že osm výstupů /C1 až C8/ prvního čítače /C/ je postupně spojeno s odpovídajícími osmi adresovými vstupy /1A až 9A/ první permanentní paměti /A/, jejíž tři výstupy /A1 až A3/ jsou spojeny se třemi datovými vstupy /2M až 4M/ multiplexoru /M/. Výstup multiplexoru /M1/ je spojen se vstupem /1R/ prvního vyrovnávacího registru /R/, jehož čtyři vstupy /2R až 5R/ jsou spojeny se čtyřmi výstupy /A5 až A8/ první permanentní paměti /A/. Pátý výstup /R5/ prvního vyrovnávacího registru /R/ je spojen s prvním adresovým vstupem /1B/ druhého permanentní paměti /B/ a s prvním vstupem /1E/ druhého čítače /E/, jehož čtyři výstupy /E1 až E4/ jsou postupně spojeny se čtyřmi vstupy /2B až 5B/ druhé permanentní paměti /B/. Čtyři výstupy /G1 až G4/ čtvrtého čítače /G/ jsou spojeny se čtyřmi vstupy /6B až 9B/ druhé permanentní paměti /B/, jejíž první a druhý výstup /B1 až B2/ je spojen s pátým a šestým vstupem /5M a 6M/ multiplexoru /M/ a jejíž třetí a čtvrtý výstup /B3 a B4/ je spojen s prvním a druhým vstupem /1H a 2H/ druhého vyrovnávacího registru /H/. K prvním čtyřem výstupům /R1 až R4/ prvního vyrovnávacího registru /R/, k prvním

a druhému výstupu /H1 a H2/ druhého vyrovnávacího registru /H/ a k výstupu /K1/ klopného obvodu /K/ jsou připojeny výstupní svorky /SS, SH2, SHA, SREF, SVZ, SVA a SSL/ výstupních řídicích impulsů pro systém digitálního zpracování obrazu.



Vynález se týká zapojení zdroje řídicích impulsů systému pro digitální zpracování obrazu.

Systém pro digitální zpracování obrazu je složité elektronické zařízení, které pro svou činnost potřebuje řadu řídicích impulsů, jejichž základem jsou televizní synchronizační a zatemňovací impulsy, doplněné dalšími impulsy se stejným opakovacím kmitočtem, ale jiným tvarem. Problém generování řídicích televizních impulsů se řeší dvojnásobným způsobem, buď zapojením se sekvencními obvody, nebo speciálním integrovaným obvodem. Hlavní nevýhodou použití sekvencčních obvodů je jejich značná obvodová složitost, lze je však upravit i pro generování dalších potřebných řídicích impulsních průběhů. Nevýhodou speciálního integrovaného obvodu je, že jej nelze jednoduchým způsobem upravit pro generování dalších potřebných řídicích impulsních průběhů, které potom musí být generovány ve zvláštních přidavných obvodech.

Uvedené nevýhody odstraňuje zapojení zdroje řídicích signálů podle vynálezu, sestávajícího z první a druhé permanentní paměti, z multiplexeru, z prvního a druhého vyrovnávacího registru, z prvního, druhého, třetího a čtvrtého čítače, z prvního a druhého nulovacího obvodu, z hradla a klopného obvodu. Podstatou vynálezu je, že výstup první až osmý prvního čítače je postupně spojen s odpovídajícím prvním až osmým adresovým vstupem první permanentní paměti, jejíž první, druhý a třetí výstup je spojen s druhým, třetím a čtvrtým datovým vstupem multiplexeru. První vstup multiplexeru je spojen se zemí a jeho výstup je spojen s prvním vstupem prvního vyrovnávacího registru, jehož druhý, třetí, čtvrtý a pátý vstup je postupně spojen s čtvrtým, pátým, šestým a sedmým výstupem první permanentní paměti, jejíž osmý výstup je spojen s prvním vstupem prvního nulovacího obvodu. První výstup prvního nulovacího obvodu je spojen s druhým vstupem prvního čítače, zatímco jeho druhý vstup je spojen se svorkou vnějšího nulovacího signálu a jeho třetí, čtvrtý a pátý vstup jsou spojeny s prvním, druhým a třetím výstupem prvního čítače. K jeho prvnímu vstupu je připojena svorka hodi nového signálu, která je také připojena k třetímu vstupu druhého vyrovnávacího registru a k šestému vstupu prvního vyrovnávacího registru. Pátý výstup prvního vyrovnávacího registru je spojen s prvním adresovým vstupem druhé permanentní paměti a s prvním vstupem druhého čítače, jehož první, druhý, třetí a čtvrtý výstup jsou postupně spojeny s druhým, třetím, čtvrtým a pátým vstupem druhé permanentní paměti. Pátý výstup druhého čítače je spojen se vstupem třetího čítače a prvním vstupem hradla, jehož první výstup je spojen s prvním vstupem čtvrtého čítače. První, druhý a třetí výstup třetího čítače je postupně spojen s prvním, druhým a třetím vstupem dekodéru, jehož první výstup je spojen s druhým vstupem hradla. První, druhý, třetí a čtvrtý výstup čtvrtého čítače jsou postupně spojeny s šestým, sedmým, osmým a devátým vstupem druhé permanentní paměti, jejíž první a druhý výstup je spojen s pátým a šestým vstupem multiplexeru a jejíž třetí a čtvrtý výstup je spojen s prvním a druhým vstupem druhého vyrovnávacího registru. Jeho první výstup je spojen s prvním vstupem klopného obvodu, jehož druhý vstup, stejně jako druhý vstup druhého čítače, druhý vstup třetího čítače a druhý vstup čtvrtého čítače jsou spojeny s výstupem druhého nulovacího obvodu. Všechny devět vstupů druhého nulovacího obvodu je postupně spojeno s odpovídajícími devíti vstupy druhé permanentní paměti. Desátý vstup druhého nulovacího obvodu je spojen se svorkou vnějšího nulovacího signálu. K prvním čtyřem výstupům prvního vyrovnávacího registru, k prvnímu a druhému výstupu druhého vyrovnávacího registru a k výstupu klopného obvodu jsou připojeny výstupní svorky výstupních řídicích impulsů systému pro digitální zpracování obrazu. Řídicí impulsy s řádkovým a snímkovým opakovacím kmitočtem generované příslušnými funkčními bloky zapojení jsou doplněny impulsy pro rozlišení sudého a lichého pulsnímu, které se získají klopným obvodem. Ostatní funkční bloky zajišťují adresování permanentních pamětí s řádkovým nebo snímkovým opakovacím kmitočtem.

Výhodou zapojení podle vynálezu oproti předchozím zařízením je podstatné zjednodušení obvodového zapojení. Další výhodou je možnost snadné změny potřebných časových průběhů impulsů předprogramováním obsahu permanentních pamětí. Uvedené řešení přináší nejen úsporu součástek, ale zároveň větší spolehlivost, snadnější nastavitelnost a opravitelnost.

Zapojení obvodů generátorů řídicích impulsů lze využít všude tam, kde potřebujeme generovat televizní synchronizační a zatemňovací impulsy a další impulsy se stejným opakovacím

kmitočtem, ale jiným tvarem. Typickým příkladem jeho využití je řídicí blok systému pro digitální zpracování obrazových signálů.

Na připojeném výkresu je blokové schéma zapojení, kde je znázorněno vzájemné propojení jednotlivých funkčních bloků generátorů řídicích impulsů.

Zapojení zdroje řídicích impulsů bude blíže popsáno podle výkresu, který znázorňuje blokové schéma zdroje, kde výstupy prvního čítače C1 až C8 jsou spojeny s adresovými vstupy 1A až 8A první permanentní paměti A za účelem adresování první permanentní paměti A impulsy odvozenými z hodinového signálu CLK. Její první výstup A1 s horizontálními synchronizačními impulsy H5 je spojen s druhým datovým vstupem 2M multiplexerem M, její druhý výstup A2 s vyrovnávacími impulsy VV je spojen s třetím datovým vstupem 3M multiplexeru M a její třetí výstup A3 s udržovacími impulsy VU je spojen se čtvrtým vstupem 4M multiplexeru M. Jeho první vstup 1M je spojen se zemí a jeho výstup M1, na kterém je složena úplná televizní synchronizační směs SQ, je spojen s prvním vstupem 1R prvního vyrovnávacího registru R, jehož druhý vstup 2R je spojen s čtvrtým výstupem A4 první permanentní paměti A s horizontálními zatemňovacími impulsy HZO, třetí vstup 3R s pátým výstupem A5 s horizontálními zatemňovacími impulsy HAQ pro čtvercový formát, čtvrtý vstup 4R s šestým výstupem A6 s impulsy REFO pro obnovení dynamických pamětí a jeho pátý vstup 5R se sedmým výstupem A7 první permanentní paměti A s řídicím řádkovým kmitočtem FLUQ. Její osmý výstup A8 se signálem konce řádku END je spojen s prvním vstupem 1N nulovacího obvodu N, pro zajištění nulování čítačů na začátku řádkové periody, jehož první výstup N1 s nulovacím signálem SN řádkových obvodů je spojen s druhým vstupem 2C prvního čítače C. Druhý vstup 2N nulovacího obvodu je určen k připojení vnějšího nulovacího signálu NLS a jeho další tři vstupy 3N, 4N a 5N jsou spojeny s prvními třemi výstupy C1, C2 a C3 prvního čítače C. K jeho prvnímu vstupu 1C je připojen hodinový signál CLK, který je také připojen k třetímu vstupu 3H druhého vyrovnávacího registru H a k šestému vstupu 6R prvního vyrovnávacího registru R, pro zajištění vhodného načasování výstupních signálů z vyrovnávacího registru R. Jeho pátý výstup R5 s časově vyrovnanými impulsy řídicího řádkového kmitočtu FLU je spojen s prvním adresovým vstupem 1B druhé permanentní paměti B a s prvním vstupem 1E druhého čítače E, za účelem zajištění základní půlřádkové periody obvodů druhé permanentní paměti B. První, druhý, třetí a čtvrtý výstup E1, E2 a E4 druhého čítače E je postupně spojen s druhým, třetím, čtvrtým a pátým adresovým vstupem 2B, 3B, 4B a 5B druhé permanentní paměti B pro zajištění jejího adresování. Pátý výstup E5 druhého čítače E je spojen s prvním vstupem 1F třetího čítače F a prvním vstupem 1L hradla L, jehož první výstup L1 je spojen s prvním vstupem 1G čtvrtého čítače G, za účelem zajištění jeho čítání v určitých časových úsecích určených stavem dekodéru D. První, druhý a třetí výstup F1, F2 a F3 třetího čítače F jsou postupně spojeny s prvním, druhým a třetím vstupem 1D, 2D a 3D dekodéru D, jehož první výstup D1 je spojen s druhým vstupem 2L hradla L, zatímco první, druhý, třetí a čtvrtý výstup G1, G2, G3 a G4 jsou postupně spojeny s šestým, sedmým, osmým a devátým vstupem 6B, 7B, 8B a 9B druhé permanentní paměti B pro zajištění adresování vyšších adresových bitů druhé permanentní paměti B. Její první výstup B1 a druhý výstup B2 s impulsy SA a SB určujícími snímkovou selekci jsou spojeny s pátým a šestým adresovým vstupem 5M a 6M multiplexeru M k zajištění správného složení výsledné synchronizační směsi S. Třetí výstup B3 se snímkovými zatemňovacími impulsy VZO a čtvrtý výstup B4 se snímkovými zatemňovacími impulsy VAQ pro čtvercový formát permanentní paměti B jsou postupně spojeny s prvním a druhým vstupem 1H a 2H druhého vyrovnávacího registru H, jehož první výstup H1 s časově vyrovnaným snímkovým zatemňovacím impulsem VZ je spojen s prvním vstupem 1K klopného obvodu K. Jeho druhý vstup 2K, stejně jako druhý vstup 2E druhého čítače E, druhý vstup 2F třetího čítače F a druhý vstup 2G čtvrtého čítače G jsou spojeny s výstupem J1 s nulovacím signálem snímkových obvodů SR druhého vyrovnávacího obvodu J, za účelem nulování uvedených obvodů na začátku každého televizního snímku. Vstupy 1J až 9J nulovacího obvodu J jsou postupně spojeny se vstupy 1B až 9B druhé permanentní paměti B, zatímco desátý vstup 10J nulovacího obvodu J je určen pro vnější nulovací signál NLS. Na prvních čtyřech výstupech R1, R2, R3 a R4 prvního vyrovnávacího registru R, na prvním výstupu H1 a druhém výstupu R2 druhého vyrovnávacího registru H a na

výstupu K1 klopného obvodu K jsou k dispozici časově vyrovnané řídicí impulsy S, HZ, HA, REF, VZ, VA a SL.

Zdroj řídicích impulsů generuje televizní synchronizační impulsy a zatemňovací impulsy pro různé formáty zobrazení, signál pro řízení obnovení dynamických pamětí a signál pro rozlišení sudého a lichého půlsnímků. Při své činnosti čítač čítá impulsy hodinového signálu CLK na svém vstupu 1C hodinového signálu a svými výstupními signály adresuje první permanentní paměť A. Po načítání příslušného počtu impulsů, který odpovídá řádkovému intervalu, je první čítač C vynulován nulovacím signálem SN řádkových obvodů nulovacího obvodu N, získaného logickou kombinací signálů z výstupů C1 až C3 prvního čítače C s výstupním signálem END osmého výstupu A8 první permanentní paměti A. Na druhý vstup 2M multiplexeru M se přivádí horizontální synchronizační impulsy HS, na třetí vstup 3M vyrovnávací impulsy VV a na čtvrtý vstup 4M udržovací impulsy VU, které jsou skládány multiplexerem M v úplnou synchronizační směs S0. K přepínání jeho jednotlivých vstupů na výstup dochází s půlřádkovou periodou. Přepínání je zajištěno impulsy SA a SB, určujícími snímkovou selekci, které odebíráme z prvního a druhého výstupu B1 a B2 druhé permanentní paměti B. Signály se přivádějí na vstup 5M a 6M multiplexeru M, kde řídí složení jednotlivých částí úplné synchronizační směsi S. Výstupu první permanentní paměti A a multiplexeru M jsou časově vyrovnané prvním vyrovnávacím registrem R. K adresování druhé permanentní paměti B slouží signály z výstupů druhého čítače E a čtvrtého čítače G. Čítače mění svůj stav v rytmu signálu FLU, upraveného řídicího řádkového kmitočtu, který také adresuje druhou permanentní paměť B, čímž zajišťuje požadovanou změnu impulsů SA a SB na výstupech B1 a B2 druhé permanentní paměti B. Protože je podle televizní normy v obou půlsnímkech 625 řádků, potřebovali bychom na úplný záznam všech půlřádků paměť s kapacitou 1 250 slov. Abychom mohli použít paměť s menší kapacitou, jsou rozděleny adresovací čítače do dvou skupin. Druhý čítač E čítá stále, zatímco čítání čtvrtého čítače G je úvolněno jen v určitých časových úsecích. Pouze v nich smí dojít ke změně signálu VZ0 snímkového zatemňovacího impulsu a VA0 snímkového zatemňovacího impulsu pro čtvercový formát na výstupech B3 a B4 druhé permanentní paměti B. Čítání čtvrtého čítače G je řízeno tím, že hradlem L jsou buď propouštěny, nebo blokované impulsy z pátého výstupu E5 druhého čítače E. Blokování impulsů se provádí na základě vyhodnocení stavu druhého čítače E dekodérem D. Tímto způsobem je možné určit časové úseky, ve kterých se adresy na výstupech G1 až G4 čtvrtého čítače G mění nebo nikoliv. Signály VZ0 snímkového zatemňovacího impulsu a VA0 snímkového zatemňovacího impulsu pro čtvercový formát jsou opět časově vyrovnané pomocí druhého vyrovnávacího registru H, signál VZ je vydělen klopným obvodem K na signál SL, který indikuje, zda se jedná o sudý a lichý půlsnímek. Všechny čítače C, E, F a G a klopný obvod K jsou na počátku prvního půlsnímků vynulovány výstupním signálem SR snímkových obvodů nulovacího obvodu J, který se získá kombinací adres na vstupech 1B a 2B druhé permanentní paměti B. Na vstup 2N prvního a 10J druhého nulovacího obvodu N a J lze připojit externí nulovací signál NLS, kterým se z vnějšku nastaví celý obvod do počátečního stavu.

P R Ě D M Ě T V Y N Á L E Z U

Zapojení zdroje řídicích impulsů systému pro digitální zpracování obrazu obsahuje čítače, permanentní paměti, vyrovnávací registry, nulovací obvody dekodér, hradlo, klopný obvod, a výstupní svorky hodinových a nulovacích signálů, vyznačující se tím, že výstupy (C1 až C8) prvního čítače (C) jsou spojeny s odpovídajícími adresovými vstupy (1A až 8A) první permanentní paměti (A), jejíž první, druhý a třetí výstup (A1, A2 a A3) je spojen s druhým, třetím a čtvrtým datovým vstupem (2M, 3M a 4M) multiplexeru (M), jehož první vstup (1M) je spojen se zemí a jeho výstup (M1) je spojen s prvním vstupem (1R) prvního vyrovnávacího registru (R), jehož druhý, třetí, čtvrtý a pátý vstup (2R, 3R, 4R a 5R) je postupně spojen s čtvrtým, pátým, šestým a sedmým výstupem (A4, A5, A6 a A7) první permanentní paměti (A), jejíž osmý výstup

(A8) je spojen s prvním vstupem (1N) prvního nulovacího obvodu (N), jehož první výstup (N1) je spojen s druhým vstupem (2C) prvního čítače (C), zatímco jeho druhý vstup (2N) je spojen se svorkou (SNLS) vnějšího nulovacího signálu (NLS) a jeho třetí, čtvrtý a pátý vstup (3N, 4N a 5N) jsou spojeny s prvním, druhým a třetím výstupem (C1, C2 a C3) prvního čítače (C), k jehož prvnímu vstupu (1C) je připojena svorka (SCLK) hodinového signálu (CLK), která je také připojena k třetímu vstupu (3H) druhého vyrovnávacího registru (H), k šestému vstupu (6R) prvního vyrovnávacího registru (R), jehož pátý výstup (R5) je spojen s prvním adresovým vstupem (1B) druhé permanentní paměti (B) a s prvním vstupem (1E) druhého čítače (E), jehož první, druhý, třetí a čtvrtý výstup (E1, E2, E3 a E4) je postupně spojen s druhým, třetím, čtvrtým a pátým vstupem (2B, 3B, 4B a 5B) druhé permanentní paměti (B) a jehož pátý výstup (E5) je spojen se vstupem (1F) třetího čítače (F) a prvním vstupem (1L) hradla (L), jehož první výstup (L1) je spojen s prvním vstupem (1G) čtvrtého čítače (G), zatímco první, druhý a třetí výstup (F1, F2 a F3) třetího čítače (F) je postupně spojen s prvním, druhým a třetím vstupem (1D, 2D a 3D) dekodéru (D), jehož první výstup (D1) je spojen s druhým vstupem (2L) hradla (L) přičemž první, druhý, třetí a čtvrtý výstup (G1, G2, G3 a G4) čtvrtého čítače (G) jsou postupně spojeny s šestým, sedmým, osmým a devátým vstupem (6B, 7B, 8B a 9B) druhé permanentní paměti (B), jejíž první výstup (B1) a druhý výstup (B2) je spojen s pátým a šestým vstupem (5M a 6M) multiplexeru (M) a jejíž třetí a čtvrtý výstup (B3 a B4) jsou spojeny s prvním a druhým vstupem (1H a 2H) druhého vyrovnávacího registru (H), jehož první výstup (H1) je spojen s prvním vstupem (1K) klopného obvodu (K), jehož druhý vstup (2K), stejně jako druhý vstup (2E) druhého čítače (E), druhý vstup (2F) třetího čítače (F) a druhý vstup (2G) čtvrtého čítače (G) je spojen s výstupem (J1) druhého nulovacího obvodu (J), jehož vstupy (1J až 9J) jsou postupně spojeny se vstupy (1B až 9B) druhé permanentní paměti (B) a jehož desátý vstup (10J) je spojen se svorkou (SNLS) pro vnější nulovací signál (NLS), zatímco na prvních čtyřech výstupech (R1, R2, R3 a R4) prvního vyrovnávacího registru (R) a dále na prvním a druhém výstupu (H1 a H2) druhého vyrovnávacího registru (H) a na výstupu (K1) klopného obvodu (K) jsou výstupní svorky (SS, SHZ, SHA, SREF, SVZ, SVA a SL) výstupních řídicích impulsů (S, HZ, HA, REF, VA a SL) systému pro digitální zpracování obrazu.

1 výkres

