

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：96130683

※ 申請日期：96.8.20 ※IPC 分類：G06F 9/30

一、發明名稱：(中文/英文)

於多模處理器中以串接位元決定指令長度之裝置及方法

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

凌陽科技股份有限公司

代表人：(中文/英文) 黃洲杰

住居所或營業所地址：(中文/英文)

新竹科學工業園區創新一路 19 號

國 籍：(中文/英文) 中華民國

三、發明人：(共 1 人)

姓 名：(中文/英文)

宋莉安

國 籍：(中文/英文) 中華民國

四、聲明事項：

☐ 主張專利法第二十二條第二項☐第一款或☐第二款規定之事實，其事實發生日期為： 年 月 日。

☐ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☐ 有主張專利法第二十七條第一項國際優先權：

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於處理器之技術領域，尤指一種於多模處理器中以串接位元決定指令長度之裝置及方法。

【先前技術】

一般多模處理器具有 $2N$ 位元及 N 位元之指令模式，並在此兩種模式切換執行，以節省程式碼儲存所需之空間。

在已知之專利文獻中，美國專利7,149,879號公告案利用同位位元來進行上述切換，每一 N 位元字組包含 P 位元之同位位元及 $(N-P)$ 位元之指令，當所擷取之 $2N$ 位元字組表示一偶同位時，其 $2N$ 位元字組視為2個 $(N-P)$ 位元之指令，反之，當所擷取之 $2N$ 位元字組表示一奇同位時，其 $2N$ 位元字組視為單一之 $2(N-P)$ 位元之指令。

美國專利5,758,115號公告案係以程式計數器(Program Counter, PC)中的 T 位元以決定該處理器執行於 X 位元或 Y 位元指令模式，並利用分枝(Branch)指令來切換程式計數器中 T 位元之值。美國專利6,209,079號公告案利用特定位元辨別所擷取之 $2N$ 位元字組為二個 N 位元指令或一個 $2N$ 位元指令。

然而，先前技術在資料架構確認後，很難再延長資料的長度，並且於存放資料時，需對齊單一寬度以方便辨識，如此將造成長度不同的資料無法交錯存放，使資

料存放密度難以提升，增加編譯器的複雜度，因此程式碼儲存空間無法獲得最佳化。

【發明內容】

本發明之目的係在提供一種以串接位元決定指令長度之裝置及方法，以於多模指令的處理器中決定指令長度。

本發明之主要目的係在提供一種於多模處理器中以串接位元決定指令長度之裝置，俾能於 $m \times N$ 位元模式執行 $m \times N$ 位元指令， m 、 N 為大於或等於 1 之整數， $m \times N$ 位元指令由 m 個 N 位元資料所組成，每一 N 位元資料包含至少一串接位元，此指令長度決定裝置包含指令輸入裝置、指令擷取裝置、指令長度判斷邏輯及指令串接裝置，其中，指令輸入裝置包含儲存指令或資料之記憶空間，以供儲存複數個 N 位元資料；指令擷取裝置用以由指令輸入裝置擷取 N 位元資料；指令長度判斷邏輯依據指令擷取裝置所擷取之 N 位元資料的串接位元是否為一預定值，判斷指令長度；以及指令串接裝置依據指令長度判斷邏輯之判斷，進而選擇性地將所擷取之連續整數個 N 位元資料串接並輸出；

其中，當指令長度判斷邏輯判斷指令擷取裝置擷取之 N 位元資料的串接位元非為預定值時，將 N 位元資料判定為一完整指令，指令串接裝置輸出 N 位元資料，否則，保留 N 位元資料，且指令擷取裝置擷取下一個 N 位元資料；當指令長度判斷邏輯判斷下一個 N 位元資料的串接

位元為預定值時，判定 N 位元資料與下一個 N 位元組成一完整指令，指令串接裝置將 N 位元資料與下一個 N 位元串接並輸出，否則，保留下一個 N 位元資料，再擷取下一個 N 位元資料，直至指令長度判斷邏輯判斷擷取之 N 位元資料的串接位元為預定值時，判定最後擷取之 N 位元資料與先前保留之所有 N 位元資料組成一完整指令，指令串接裝置將最後擷取之 N 位元資料與先前保留之所有 N 位元資料串接並輸出。

依照本發明的較佳實施例所述指令長度決定裝置，上述之 N 值為 16，串接位元預設值為 1'b1。

依照本發明的較佳實施例所述指令長度決定裝置，上述之串接位元位於該 N 位元資料中之一特定位置。

依照本發明的較佳實施例所述指令長度決定裝置，上述之串接位元之位元數為大於或等於 1 之整數。

本發明之另一目的係在提供一種於多模處理器中以串接位元決定指令長度之方法，處理器可於 $m \times N$ 位元模式執行 $m \times N$ 位元指令， m 、 N 為大於或等於 1 之整數，多模處理器具有一可變長度指令集，其提供不同長度之 $m \times N$ 位元指令， $m \times N$ 位元指令由 m 個 N 位元資料所組成，每一個 N 位元資料包含至少一串接位元，方法包括以下步驟：

- (A) 擷取一個 N 位元資料；
- (B) 判斷擷取之 N 位元資料的串接位元是否為一預定值，否則，判定擷取之 N 位元資料為一完整 $1 \times N$ 位元指令，若是，則執行步驟 (C)；
- (C) 保留擷取之 N 位元資料，並擷取下一個 N 位元資

料；(D)判斷擷取之下一個N位元資料的串接位元是否為預定值，若否，執行步驟(C)，若是，則執行步驟(E)；以及(E)判定最後擷取之N位元資料與先前保留之所有N位元資料串接組成一完整的 $m \times N$ 位元指令。

依照本發明的較佳實施例所述方法，上述之N值為16，串接位元預設值為1位元的1。

依照本發明的較佳實施例所述方法，上述之串接位元位於N位元資料中之任一特定位置。

依照本發明的較佳實施例所述方法，上述之串接位元之位元數為大於或等於1。

【實施方式】

請參見圖1，圖1為本發明一較佳實施例之於多模處理器中以串接位元決定指令長度之裝置示意圖。處理器可於 $m \times N$ 位元模式下執行 $m \times N$ 位元指令， $m \times N$ 位元指令由m個N位元資料所組成，m、N為大於或等於1之整數，每一個N位元資料包含至少一串接位元，本實施例中以 $N=16$ 、串接位元寬度為1位元為例作說明，而處理器可於16位元模式($m=1$)、32位元模式($m=2$)、48位元模式($m=3$)...等多種模式執行。指令長度決定裝置100包含指令輸入裝置110、指令擷取裝置120、指令長度判斷邏輯130及指令串接裝置140。指令輸入裝置110包含儲存指令或資料之記憶空間，用以提供儲存複數個16位元資料；指令擷取裝置120用以由指令輸入裝置110擷取16位元資料；指令長度判斷邏輯130依據指令擷取裝置120所擷取之16位元資料的串接位元是否為一預定

值，進行指令長度之判斷，其中本實施例中預定值為 1；以及指令串接裝置 140 依據指令長度判斷邏輯 130 之判斷，進而選擇性地將所擷取之連續整數個 16 位元資料串接並輸出；

其中，當指令長度判斷邏輯 130 判斷指令擷取裝置 120 的擷取 16 位元資料的串接位元非為 1 時，判定該 16 位元資料為一完整指令，指令串接裝置 140 輸出 16 位元資料，否則，保留該 16 位元資料，且指令擷取裝置 120 擷取下一個 16 位元資料；當指令長度判斷邏輯 130 判斷下一個 16 位元資料的串接位元為 1 時，判定 16 位元資料與下一個 16 位元組成一完整指令，指令串接裝置 140 將 16 位元資料與下一個 16 位元串接並輸出，否則，保留下一個 16 位元資料，再擷取下一個 16 位元資料，直至指令長度判斷邏輯 130 判斷擷取之 16 位元資料的串接位元為 1 時，判定最後擷取之 16 位元資料與先前保留之所有 16 位元資料組成一完整指令，指令串接裝置 140 將最後擷取之 16 位元資料與先前保留之所有 16 位元資料串接並輸出。

其中，串接位元可位於所擷取之 16 位元資料中之任一特定位置，本實施例是在 16 位元資料之起始位置處，且串接位元之位元數可以是大大於或等於 1 之整數。

請參見圖 2，圖 2 為本發明一較佳實施例之於多模處理器中以串接位元決定指令長度之方法流程圖，處理器可於 $m \times N$ 位元模式執行 $m \times N$ 位元指令， m 、 N 為大大於或等於 1 之整數，多模處理器具有一可變長度指令集，其提供

不同長度之 $m \times N$ 位元指令， $m \times N$ 位元指令由 m 個 N 位元資料所組成，每一個 N 位元資料包含至少一串接位元，其中串接位元之位元數為大於或等於1之整數，方法包括以下步驟：

擷取一個 N 位元資料（步驟S201）；判斷所擷取之 N 位元資料的串接位元是否為一預定值（步驟S203），若否，判定所擷取之 N 位元資料為一完整的 $1 \times N$ 位元指令，並輸出所擷取之 N 位元資料（步驟S205），若是，則保留所擷取之 N 位元資料，並擷取下一個 N 位元資料（步驟S207）；判斷擷取之下一個 N 位元資料的串接位元是否為預定值（步驟S209），若否，執行步驟207，若是，則判定最後所擷取之 N 位元資料與先前保留之所有 N 位元資料串接組成一完整的 $m \times N$ 位元指令（步驟S211）。

於本發明的較佳實施例中，上述之 N 值較佳為16，串接位元預設值較佳為1'b1。故在此以 $N=16$ 、串接位元之位元數為1、及預定值為1來舉例說明，請先參見圖3A，首先擷取一16位元資料310，16位元資料310包含一串接位元312，其中該串接位元312其值為0，位於位元資料310之起始位置，接著判斷所擷取之16位元資料310的串接位元312是否為預定值1，由於16位元資料310之串接位元312不為1，輸出擷取之16位元資料310，代表此時處理器係工作於16位元模式。

請參見圖3B，首先擷取一個16位元之資料320，16位元資料320包含一寬度為1位元的串接位元322，其位於16位元資料320之起始位置，接著判斷擷取之16位元資料

320的串接位元322是否為預定值1，由於判斷結果為16位元資料320之串接位元322為預定值1，保留擷取之16位元資料320，並擷取下一個16位元資料330（參見圖3C），16位元資料330包含一串接位元332，判斷所擷取之16位元資料330的串接位元332是否為預定值1，由於16位元資料330之串接位元332為預定值1，將擷取之16位元資料330與先前保留之16位元資料320串接並輸出，即為一個32位元資料，代表此時處理器係工作於32位元模式。

若擷取之16位元資料330中之串接位元332非為預定值1時（參見圖3D，串接位元332為0），保留所擷取之16位元資料330並擷取下一個16位元資料340（參見圖3E，串接位元342為1），判斷所擷取16位元資料340的串接位元是否為預定值1，由於擷取16位元資料340的串接位元為預定值1，將擷取之16位元資料340與先前保留之所有16位元資料（16位元資料320、16位元資料330）串接並輸出，成為一48位元資料，代表此時處理器係工作於48位元模式。

由於在多模指令的處理器中，指令寬度可能有16位元、32位元、48位元等各種長度可能性，於本實施例中則是以16位元為基本資料長度作說明，而基本資料中包含一個串接位元，剩餘15位元為資料可用內容，將16位元資料相互串接後可形成如16位元、32位元、48位元等各種長度指令，增加其使用彈性及擴充性。

因此，本發明可將原先固定長度之資料相互串接，形成不同長度的指令或資料，另外，利用串接位元的不

重複性，當要從記憶體讀取或儲存資料時，可不對齊存取線的寬度，以增進資料存放密度，並減輕編譯器的複雜度。此外，由於串接位元的位置及長度可變，因此位置或長度本身可做為資料安全性防護在編譯及反向編譯運作時的參考。

由上述可知，本發明無論就目的、手段及功效，在在均顯示其迥異於習知技術之特徵，極具實用價值。惟應注意的是，上述諸多實施例僅係為了便於說明而舉例而已，本發明所主張之權利範圍自應以申請專利範圍所述為準，而非僅限於上述實施例。

【圖式簡單說明】

圖1係本發明一較佳實施例之於多模處理器中以串接位元決定指令長度之裝置示意圖。

圖2係本發明一較佳實施例之於多模處理器中以串接位元決定指令長度之方法流程圖。

圖3A至3E係本發明一較佳實施例之於多模處理器中以串接位元決定指令長度之指令串接範例。

【圖號說明】

指令長度決定裝置100	指令輸入裝置110
指令擷取裝置120	指令長度判斷邏輯130
指令串接裝置140	位元資料310, 320, 330, 340
串接位元312, 322, 332, 342	
步驟S201, S203, S205, S207, S209, S211	

五、中文發明摘要：

本發明係有關於一種於多模處理器中以串接位元決定指令長度之裝置及方法。此裝置包含：一指令輸入裝置，其包含儲存指令或資料之記憶空間，以供儲存複數個N位元資料；一指令擷取裝置，用以由該指令輸入裝置擷取N位元資料；一指令長度判斷邏輯，其依據該指令擷取裝置所擷取之N位元資料的串接位元是否為一預定值，進而判斷指令長度；以及一指令串接裝置，依據該指令長度判斷邏輯之判斷而選擇性地將所擷取之連續整數個N位元資料串接並輸出；其中，當指令長度判斷邏輯判斷指令擷取裝置擷取之N位元資料的串接位元非為該預定值時，判定該N位元資料為一完整指令，指令串接裝置輸出該N位元資料，否則，保留該N位元資料，且該指令擷取裝置擷取下一N位元資料；當該指令長度判斷邏輯判斷該下一N位元資料的串接位元為該預定值時，判定該N位元資料與該下一N位元組成一完整指令，該指令串接裝置將該N位元資料與該下一N位元串接並輸出，否則，保留該下一N位元資料，再擷取下一N位元資料，直至該指令長度判斷邏輯判斷該擷取之N位元資料的串接位元為該預定值時，判定該最後擷取之N位元資料與先前保留之所有N位元資料組成一完整指令，該指令串接裝置將該最後擷取之N位元資料與先前保留之所有N位元資料串接並輸出。

六、英文發明摘要：

十、申請專利範圍：

1. 一種於多模處理器中利用串接位元決定指令長度之裝置，使該多模處理器可於 $m \times N$ 位元模式下執行 $m \times N$ 位元指令， m 、 N 為大於或等於1之整數，該 $m \times N$ 位元指令由 m 個 N 位元資料所組成，每一該 N 位元資料包含至少一串接位元，該指令長度決定裝置包含：

一指令輸入裝置，具有一記憶空間，用以供儲存複數個 N 位元資料；

一指令擷取裝置，用以由該指令輸入裝置擷取前述 N 位元資料；

一指令長度判斷邏輯，其依據所擷取之前述 N 位元資料的串接位元是否為一預定值，用以判斷指令長度；以及

一指令串接裝置，依據該指令長度判斷邏輯的輸出，進而選擇性地將所擷取之該些 N 位元資料串接並輸出；

其中，當指令長度判斷邏輯判斷指令擷取裝置所擷取之前述 N 位元資料的串接位元不為該預定值時，判定該 N 位元資料為一完整指令，該指令串接裝置輸出該 N 位元資料，否則，保留該 N 位元資料，且該指令擷取裝置再擷取下一個 N 位元資料；當該指令長度判斷邏輯判斷該下一個 N 位元資料的串接位元為該預定值時，判定該 N 位元資料與該下一個 N 位元組成一完整指令，該指令串接裝置將該 N 位元資料與該下一 N 位元串接並輸出，否則，保留該下一個 N 位元資料，再擷取下一個 N 位元資料，直至該指令長度判斷邏輯判斷所擷取之前述 N 位

元資料的串接位元為該預定值時，將最後所擷取之前述 N 位元資料與先前所有保留之該些 N 位元資料判定為一完整指令，該指令串接裝置將最後所擷取之前述 N 位元資料與先前所有保留之該些 N 位元資料串接並輸出。

2. 如申請專利範圍第1項所述之決定指令長度之裝置，其中， N 為16，該串接位元預設值為1'b1。

3. 如申請專利範圍第1項所述之決定指令長度之裝置，其中，該串接位元位於該 N 位元資料中之一特定位置。

4. 如申請專利範圍第3項所述之決定指令長度之裝置，其中，該特定位置為該 N 位元資料之起始位置。

5. 如申請專利範圍第1項所述之指令長度決定裝置，其中，該串接位元之位元數為大於或等於1。

6. 一種於多模處理器中利用串接位元決定指令長度之方法，該多模處理器可於 $m \times N$ 位元模式下執行 $m \times N$ 位元指令，其中， m 、 N 為大於或等於1之整數，該多模處理器具有一可變長度指令集，其提供不同長度之 $m \times N$ 位元指令，該 $m \times N$ 位元指令由 m 個 N 位元資料所組成，每一前述 N 位元資料包含至少一串接位元，該方法包括以下步驟：

(A) 擷取一個 N 位元資料；

(B) 判斷所擷取之前述 N 位元資料的串接位元是否為一預定值，若否，判定所擷取之前述 N 位元資料為一完整位元指令，否則，則執行步驟(C)；

(C) 保留所擷取之前述 N 位元資料，並擷取下一個 N 位元資料；

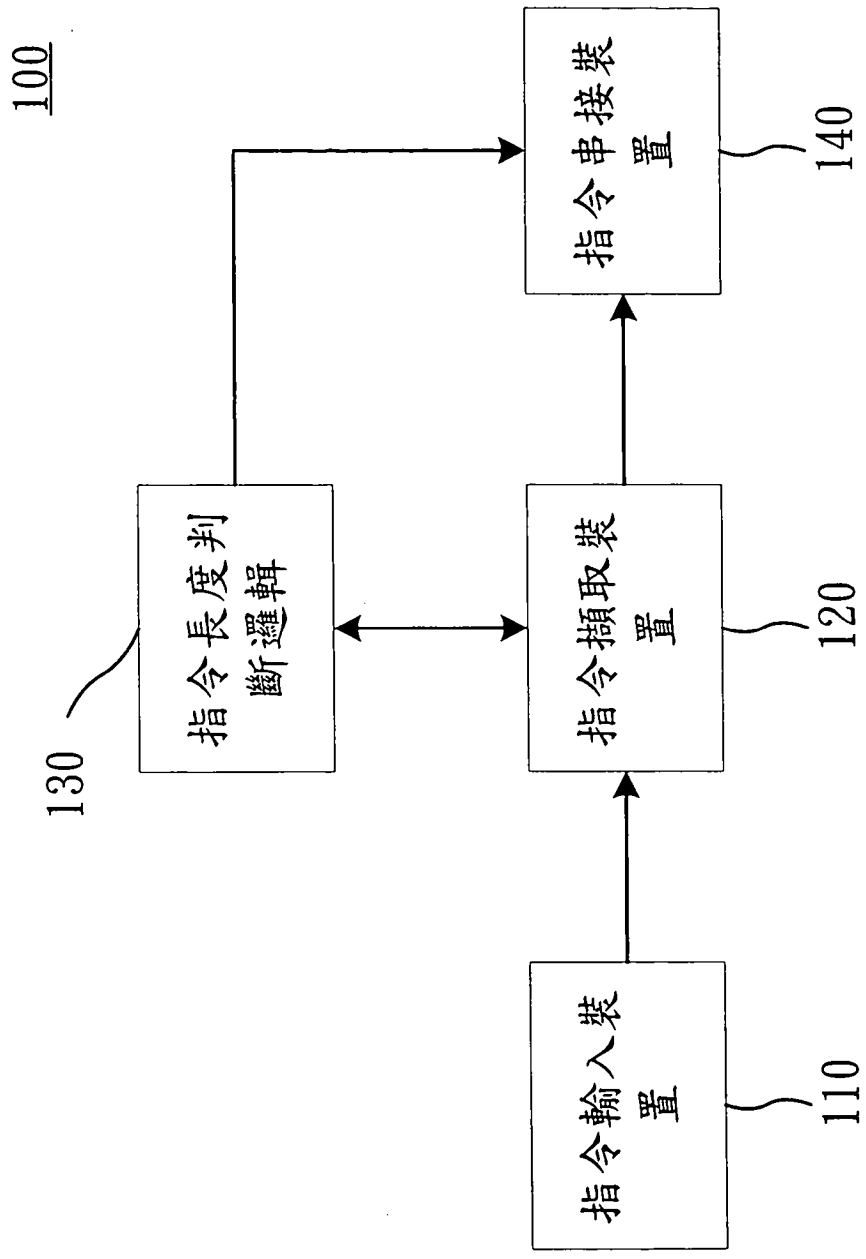


圖 1

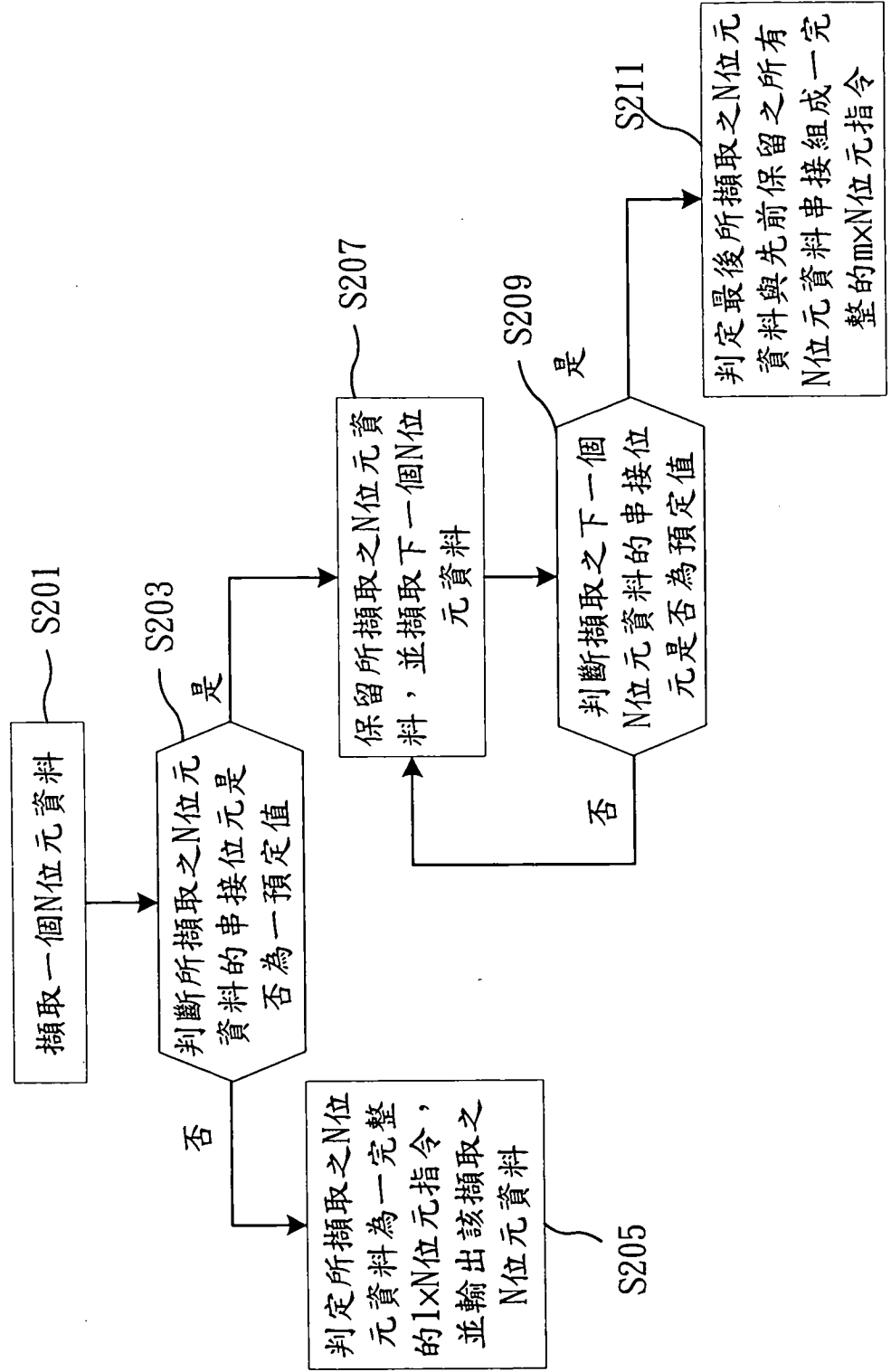
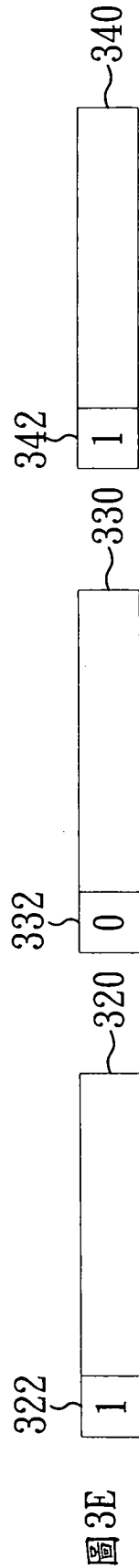
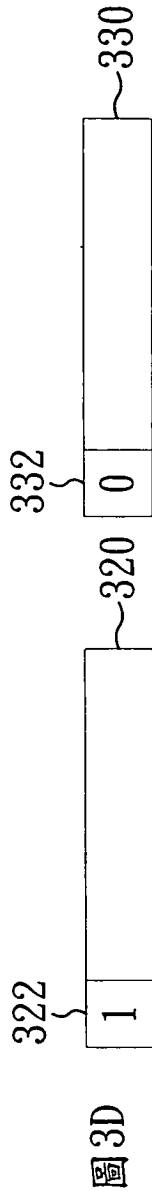
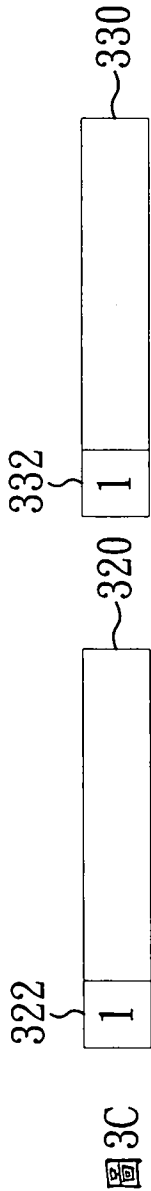
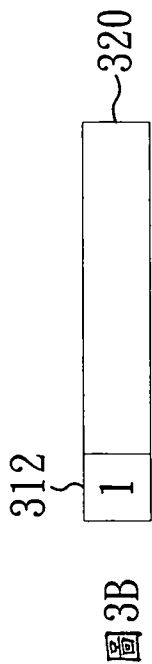
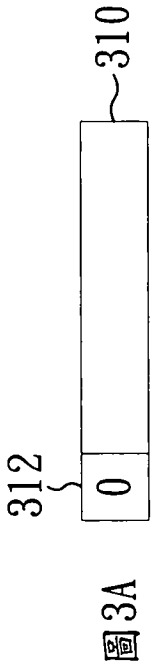


圖 2



七、指定代表圖：

(一)本案指定代表圖為：圖（ 1 ）。

(二)本代表圖之元件符號簡單說明：

指令長度決定裝置	100	指令輸入裝置	110
指令擷取裝置	120	指令長度判斷邏輯	130
指令串接裝置	140		

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無