

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5532400号
(P5532400)

(45) 発行日 平成26年6月25日 (2014. 6. 25)

(24) 登録日 平成26年5月9日 (2014. 5. 9)

(51) Int. Cl.	F I
HO 1 L 21/768 (2006. 01)	HO 1 L 21/90 C
HO 1 L 21/28 (2006. 01)	HO 1 L 21/28 L

請求項の数 24 (全 19 頁)

(21) 出願番号	特願2009-526863 (P2009-526863)	(73) 特許権者	595168543
(86) (22) 出願日	平成19年8月28日 (2007. 8. 28)		マイクロン テクノロジー, インク,
(65) 公表番号	特表2010-503218 (P2010-503218A)		アメリカ合衆国, アイダホ州 83716
(43) 公表日	平成22年1月28日 (2010. 1. 28)		-9632, ボイズ, サウス フェデ
(86) 国際出願番号	PCT/US2007/076970		ラル ウェイ 8000
(87) 国際公開番号	W02008/027876	(74) 代理人	100106851
(87) 国際公開日	平成20年3月6日 (2008. 3. 6)		弁理士 野村 泰久
審査請求日	平成21年4月28日 (2009. 4. 28)	(74) 代理人	100074099
(31) 優先権主張番号	11/511, 541		弁理士 大菅 義之
(32) 優先日	平成18年8月29日 (2006. 8. 29)	(72) 発明者	リー, ジョン ケー,
(33) 優先権主張国	米国 (US)		アメリカ合衆国, アイダホ州 83716
			, ボイズ, イースト クォーターソーン
			ストリート 5475

最終頁に続く

(54) 【発明の名称】 スタガードコンタクトを持つファインピッチアレイを含む半導体デバイスと、その設計および製造のための方法

(57) 【特許請求の範囲】

【請求項 1】

第一のピッチを持つ複数のアクティブデバイス領域を含む基板と、

少なくとも二つの一列に並んだ開口の行を含むエッチング停止層であって、前記少なくとも二つの一列に並んだ開口の行における各開口が、前記複数のアクティブデバイス領域のうちの一つの対応するアクティブデバイス領域の上方に位置整合されており、前記少なくとも二つの一列に並んだ開口の行のうちの少なくとも一つの開口の行が、前記少なくとも二つの一列に並んだ開口の行における隣接する開口の行に対して横方向にずれており、前記少なくとも二つの一列に並んだ開口の行のうちの各々の一列に並んだ開口の行における開口が、対応するアクティブデバイス領域の前記第一のピッチの少なくとも2倍である第二のピッチを持つ、エッチング停止層と、

前記エッチング停止層の上の誘電体層であって、前記少なくとも二つの一列に並んだ開口の行における各開口の中に延びるフィーチャを含む誘電体層と、

前記エッチング停止層を含む底面を持つ、横方向に延びる複数のトレンチと、

前記エッチング停止層の開口と位置整合され、かつ、前記横方向に延びる複数のトレンチから前記基板の中へと延びる、互い違いに配置された複数のコンタクトホールと、

互いに平行な関係で延び、かつ、前記第一のピッチで離間配置された、前記複数のトレンチ内の複数の導電線と、

前記互い違いに配置された複数のコンタクトホール内の、互い違いに配置された複数のコンタクトと、

10

20

を備え、
前記複数のコンタクトの各々が、
対応するアクティブデバイス領域と位置整合され且つ該対応するアクティブデバイス領域に接触している下位コンタクトプラグであって、
対応するアクティブデバイス領域と繋がった狭い基部と、
広い上面であって、該広い上面を横切る距離が前記狭い基部を横切る距離の少なくとも2倍である、広い上面と、
を含む下位コンタクトプラグと、
前記下位コンタクトプラグの上方に位置し且つ前記下位コンタクトプラグと位置整合された上位コンタクト部材であって、前記下位コンタクトプラグと繋がっている前記上位コンタクト部材の基部が、前記下位コンタクトプラグの前記広い上面を横切る前記距離よりも小さく、前記下位コンタクトプラグの前記広い上面が、前記上位コンタクト部材との位置整合を容易にするか又は前記上位コンタクト部材との接触抵抗を最小にするように構成されており、前記上位コンタクト部材が、前記複数のトレンチ内の前記複数の導電線のうちの一つの導電線と位置整合され、かつ、該一つの導電線の下方に位置し、かつ、該一つの導電線と繋がっている、上位コンタクト部材と、
を含む、半導体デバイス構造。

【請求項2】

前記上位コンタクト部材の前記基部を横切る距離が50nm以下である、請求項1の半導体デバイス構造。

【請求項3】

前記上位コンタクト部材の前記基部を横切る距離が30nm以上である、請求項1の半導体デバイス構造。

【請求項4】

前記上位コンタクト部材の前記基部を横切る距離が10nmである、請求項1の半導体デバイス構造。

【請求項5】

前記複数の導電線のうちの各導電線は、前記複数のアクティブデバイス領域のうちの対応するアクティブデバイス領域の上方に位置する、請求項1の半導体デバイス構造。

【請求項6】

前記誘電体層の上のハードマスクをさらに含み、該ハードマスクは、前記基板の互いに隣接するアクティブデバイス領域間に位置整合された細長い固体領域を含む、請求項1の半導体デバイス構造。

【請求項7】

前記誘電体層の上のハードマスクと、
前記基板の互いに隣接するアクティブデバイス領域間に位置整合された細長い固体領域を含む、前記ハードマスクの上のスペーサマスクと、
をさらに含み、請求項1の半導体デバイス構造。

【請求項8】

前記第一のピッチが100nm以下で、前記第二のピッチが200nm以下である、請求項1～4、6、及び7のいずれか一項の半導体デバイス構造。

【請求項9】

前記第一のピッチが少なくとも20nmで、前記第二のピッチが少なくとも40nmである、請求項1～4、6、及び7のいずれか一項の半導体デバイス構造。

【請求項10】

第一のピッチで離間配置されたアクティブデバイス領域を有する半導体基板を設けるステップと、

前記半導体基板の上に誘電体層を形成するステップと、

前記アクティブデバイス領域のうちの一つ置き of アクティブデバイス領域の上方に、一列に並んだ開口の第一の行を、前記第一のピッチよりも大きな第二のピッチで形成するス

10

20

30

40

50

トップであって、前記第一の行における各開口の少なくとも上位部分を横切る距離は、対応するアクティブデバイス領域の幅よりも大きい、ステップと、

上に前記第一の行の開口が位置していないアクティブデバイス領域の上方に、一列に並んだ開口の第二の行を、前記第一のピッチよりも大きな前記第二のピッチで形成するステップであって、前記第二の行は前記第一の行から横方向にずれており、前記第二の行の各開口の少なくとも広い上位部分を横切る距離は、対応するアクティブデバイス領域の幅よりも大きい、ステップと、

一列に並んだ開口の前記第一及び第二の行の各々の開口の中に下位コンタクトプラグを形成するステップであって、各下位コンタクトプラグは、対応するアクティブデバイス領域と位置整合され、かつ、該対応するアクティブデバイスと接触しており、各下位コンタクトプラグは、対応するアクティブデバイス領域と繋がっている狭い基部と、広い上面と、を備え、前記広い上面を横切る距離が前記狭い基部を横切る距離の少なくとも2倍である、ステップと、

10

前記誘電体層及び前記下位コンタクトプラグの上に中間誘電体層を配設するステップと、

前記中間誘電体層の上にエッチング停止層を形成するステップであって、前記エッチング停止層は、各下位コンタクトプラグの上に位置整合された開口を含む、ステップと、

前記エッチング停止層の上に上位誘電体層を配設するステップと、

前記エッチング停止層まで延び且つ下にあるアクティブデバイス領域に対応する、前記上位誘電体層中に横方向に延びるトレンチと、前記中間誘電体層中の互い違いに配置されたコンタクトホールとを、同時に形成するステップであって、各コンタクトホールがトレンチと下位コンタクトプラグとの間に位置する、ステップと、

20

前記コンタクトホール及び前記横方向に延びるトレンチの中に導電性材料を導入するステップであって、該ステップは、

前記横方向に延びるトレンチの中に複数の導電線を形成するステップと、

前記互い違いに配置された複数のコンタクトホールの中に、互い違いに配置された複数の上位コンタクト部材を形成するステップであって、各上位コンタクト部材は、前記下位コンタクトプラグの上方に位置し、かつ、前記下位コンタクトプラグと位置整合されており、前記下位コンタクトプラグと繋がっている前記上位コンタクト部材の基部は、前記下位コンタクトプラグの前記広い上面を横切る距離よりも小さく、前記下位コンタクトプラグの前記広い上面は、前記上位コンタクト部材との位置整合を容易にするか又は前記上位コンタクト部材との接触抵抗を最小にするように構成されており、前記上位コンタクト部材が、前記トレンチ内の前記複数の導電線のうちの一つの導電線と位置整合され、かつ、該一つの導電線の下方に位置し、かつ、該一つの導電線と繋がっている、ステップと、

30

を含む、ステップと、

を含む、半導体デバイス構造のコンタクトを製造するための方法。

【請求項11】

一列に並んだ開口の前記第一及び第二の行を形成するステップは、前記第一のピッチの少なくとも2倍である第二のピッチで、一列に並んだ開口の前記第一及び第二の行の各々を形成するステップを含む、請求項10の方法。

40

【請求項12】

前記横方向に延びるトレンチと前記コンタクトホールとを同時に形成するステップは、対応する下にあるアクティブデバイス領域と位置整合された横方向に延びるトレンチを形成するステップを含む、請求項10の方法。

【請求項13】

前記上位誘電体層の上にマスクを形成するステップをさらに含み、前記マスクは前記上位誘電体層の領域を露出させる開口を含み、前記同時に形成するステップの少なくとも一部は前記マスクを通して行われる、請求項12の方法。

【請求項14】

50

前記横方向に延びるトレンチと前記コンタクトホールとを同時に形成するステップは、前記開口を通して前記上位誘電体層の一部を除去して、前記横方向に延びるトレンチを形成するステップと、前記中間誘電体層の一部を除去して、前記コンタクトホールを形成するステップとを含む、請求項13の方法。

【請求項15】

前記マスクを形成するステップは、
前記上位誘電体層の上にハードマスク層を配設するステップと、
前記ハードマスク層の上に炭素ベースの材料を含むマスクを形成するステップと、
前記マスクの上にフォトマスクをパターンニングするステップと、
前記フォトマスクを通して前記マスクの材料を除去するステップと、
を含む、請求項13の方法。

【請求項16】

前記マスクの残存部分の上に材料を堆積するステップと、
前記材料のスペーサーエッチングを行って、スペーサーマスクを形成するステップと、
前記マスクの前記残存部分を除去するステップと、
前記スペーサーマスクを通して前記ハードマスクの材料を除去して、ハードマスクを形成するステップと、
をさらに含む、請求項15の方法。

【請求項17】

前記横方向に延びるトレンチと前記コンタクトホールとを同時に形成するステップの少なくとも一部が、前記ハードマスクを通して行なわれる、請求項16の方法。

【請求項18】

前記マスクを形成するステップは、
炭素ベースの材料を含むマスクを形成するステップと、
前記マスクの上にフォトマスクをパターンニングするステップと、
前記フォトマスクを通して前記マスクの材料を除去するステップと、
を含む、請求項13の方法。

【請求項19】

前記マスクの残存部分の上に材料を堆積するステップと、
前記材料のスペーサーエッチングを行って、スペーサーマスクを形成するステップと、
前記マスクの前記残存部分を除去するステップと、
をさらに含む、請求項18の方法。

【請求項20】

前記導電性材料を導入するステップは、前記コンタクトホール及び前記横方向に延びるトレンチの中に導電性材料を同時に導入するステップを含む、請求項10の方法。

【請求項21】

前記導電性材料を導入するステップは、前記コンタクトホール及び前記横方向に延びるトレンチの表面上に障壁材料を形成するステップを含む、請求項10の方法。

【請求項22】

前記導電性材料を導入するステップは、前記障壁材料上に別の導電性材料を導入するステップをさらに含む、請求項21の方法。

【請求項23】

前記横方向に延びるトレンチの各トレンチ内の導電性材料を、前記横方向に延びるトレンチのうちの各隣接トレンチ内の導電性材料から電気的に分離するステップをさらに含む、請求項10の方法。

【請求項24】

電気的に分離するステップは、前記導電性材料を平坦化するステップを含む、請求項23の方法。

【発明の詳細な説明】

【技術分野】

10

20

30

40

50

【0001】

[優先権の主張]

本出願は、2006年8月29日出願の米国特許出願No.11/511,541、“SEMICONDUCTOR DEVICE S INCLUDING FINE PITCH ARRAYS WITH STAGGERED CONTACTS AND METHODS FOR DESIGNING AND FABRICATING THE SAME”の出願日の利益を請求する。

【0002】

[技術分野]

本発明は概して微細なピッチのアレイを含む半導体デバイスに関し、より具体的には、そのようなアレイのコンタクトのピッチの効果的減少だけでなく、そのようなアレイの密度の増加とピッチの減少を促進するように配列されたコンタクトを含む半導体デバイスに関する。より具体的には、本発明はスタガードコンタクトを持つ半導体デバイスに関する。

10

【背景技術】

【0003】

半導体デバイスの多くのフィーチャの寸法は、フィーチャもしくはデバイスの密度の増加を促進するために減少し続けている。フィーチャ寸法のさらなる減少が達成される度に、様々な課題が克服されてきた。

【0004】

デバイス寸法の減少における現在の課題は、ビット線と、対応する半導体基板内の導電的にドーブされたアクティブデバイス領域との間に、導電性結合を構築するために使用される、当該技術分野で“コンタクト”と称される導電性構造の製造によって提起されている。最新技術のエッチングプロセスで実現され得る高さ-アスペクト比における制限のために、その底に十分な寸法を持つコンタクトホールを形成することができない。結果として、コンタクトホールは二つ以上の処理段階で形成される。最初に、各コンタクトホールの底部が誘電体材料の基層内に製造される。コンタクトホールの底は導電性材料で充填され、コンタクトホール内にいわゆる導電性“プラグ”を形成する。このプラグは下にあるアクティブデバイス領域と電氣的に連通する。誘電体材料の一つ以上の上位層が、その後誘電体材料の基層と、その全体に広がる導電性プラグの上に形成される。各コンタクトホールの上部が、その後誘電体材料の一つ以上の上位層を通して形成される。各コンタクトホールの上部をそれに対応するプラグと適切に整列させるために、各コンタクトホールの上部の底にわたる寸法は、導電性プラグの上端にわたる寸法よりも著しく小さくしなければならない。各導電性プラグの上面にわたる寸法が小さすぎる場合は、不整合が生じる可能性があり、各コンタクトホールの上部に形成されるコンタクトは、それに対応する導電性プラグと電氣的に連通しないか、もしくは十分な電氣的連通を構築しない可能性がある。各コンタクトホールの上部の底にわたる寸法が小さすぎる場合は、その中に形成されるコンタクトと導電性プラグとの間の接触抵抗が望ましくなく高くなる可能性がある。

20

30

【0005】

従って、半導体デバイス構造のフィーチャの寸法の継続的減少を促進するコンタクト構造とコンタクト製造プロセスが必要とされる。

【発明の概要】

40

【0006】

本発明は、コンタクトの存在によって制限されないフィーチャ密度を持つ半導体デバイス構造を含む。加えて、本発明は半導体デバイス構造を製造するための方法を含む。

【0007】

一態様では、本発明に従う半導体デバイス構造はスタガード（staggered：交互に配置された）コンタクトを含む。コンタクトをスタガードにする（staggering：スタガ型にする）ことによって、そのようなデバイスが製造され得る効率やその信頼性を損なうことなく、アクティブデバイス領域とビット線において、所望の最新技術のピッチが実現もしくは維持され得る。本明細書で使用される“半導体デバイス構造”という用語は、ウェハや他のバルク半導体基板、部分ウェハ、ダイのグループ、および分断されたダイ（singulat

50

ed dice) を含む。そのような半導体デバイス構造は、製造過程の半導体デバイス構造だけでなく、完全な、パッケージ化された、およびパッケージ化されていない集積回路の両方を含む。

【0008】

例えば、本発明の教示を組み込む半導体デバイス構造は、構造のアクティブデバイス領域もしくはビット線のピッチに近い、もしくはそれを超える幅を持つ導電性プラグを持つコンタクト含み得る。比較的大きな導電性プラグは、対応するコンタクトの上にある部分がそことずれてしまう可能性を防止する、もしくは排除するような寸法を持つ上面を持ち得る。さらに、もしくは代わりに、導電性プラグの上面の寸法と、対応する各コンタクトホールの上部の底にわたる寸法は、上部内のコンタクトと導電性プラグとの間の好ましくない大量の接触抵抗を防止するために十分な程度の大きさとなり得る。

10

【0009】

本発明の別の態様は、半導体デバイス構造のコンタクトを製造するための方法を含む。そのような方法は、半導体デバイス構造の二つ以上の異なる製造レベル(すなわち高さ位置)まで延びるトレンチおよび／またはアパーチャ(開口)が形成される、いわゆる“デュアルダマシン”法を利用し得る。トレンチおよび／またはアパーチャは、その後導電性材料で充填される。本発明の範囲内にある方法の一例においては、ビット線トレンチは、ビット線トレンチからその下の導電性プラグへとび且つビット線トレンチと位置整合されたコンタクトホールが形成される際に、形成される。そのような技術を採用すると、リソグラフィ開口の位置整合の許容誤差が効果的に増加する。

20

【0010】

そのような方法の最中に形成される中間構造もまた本発明の範囲内にある。本発明の範囲を限定することなく、本発明は、多機能を果たす材料層を含む中間半導体デバイス構造を含む。例えば、単一材料層が、製造プロセス中の異なる時点において、エッチング停止層、ハードマスク、および研磨停止層として機能してもよい。

【0011】

別の態様では、本発明はオフセットコンタクトを持つ半導体デバイス構造を設計するための方法を含む。

【0012】

本発明の他の特徴と効果は、次の記載、添付の図面および添付の請求項の考察を通して当業者に明らかとなるだろう。

30

【0013】

本発明の様々な態様の詳細は、図面を参照して後述される。

【図面の簡単な説明】

【0014】

図面では、本発明の様々な態様の実施例を図示する。

【図1】導電的にドーピングされた半導体材料を含むアクティブ領域もしくはアクティブデバイス領域が、半導体基板の少なくとも一部分の上に配列される方法の略図である。

【図2】互いにずれた(offset or staggered)導電性プラグを含み、導電性プラグの行は半導体基板の一連のアクティブデバイス領域の一つ置きにアクティブデバイス領域と連通する、部分的に製造された半導体デバイス構造の部分的な断面図である。

40

【図3】図2の導電性プラグと、上にあるコンタクトホールと、コンタクトアパーチャがスタガードになり得る方法を図示する半導体デバイス構造の一部分の略図である。

【図4】スタガードコンタクトを含む半導体デバイス構造の製造の実施例を図示する。

【図5】スタガードコンタクトを含む半導体デバイス構造の製造の実施例を図示する。

【図6】スタガードコンタクトを含む半導体デバイス構造の製造の実施例を図示する。

【図7】スタガードコンタクトを含む半導体デバイス構造の製造の実施例を図示する。

【図8】スタガードコンタクトを含む半導体デバイス構造の製造の実施例を図示する。

【図9A】スタガードコンタクトを含む半導体デバイス構造の製造の実施例を図示する。

【図9B】スタガードコンタクトを含む半導体デバイス構造の製造の実施例を図示する。

50

【図10】スタガードコンタクトを含む半導体デバイス構造の製造の実施例を図示する。
【図11】スタガードコンタクトを含む半導体デバイス構造の製造の実施例を図示する。
【図12】スタガードコンタクトを含む半導体デバイス構造の製造の実施例を図示する。
【図13】スタガードコンタクトを含む半導体デバイス構造の製造の実施例を図示する。
【図14】スタガードコンタクトを含む半導体デバイス構造の製造の実施例を図示する。
【図15】スタガードコンタクトを含む半導体デバイス構造の製造の実施例を図示する。
【図16】スタガードコンタクトを含む半導体デバイス構造の製造の実施例を図示する。
【図17】スタガードコンタクトを含む半導体デバイス構造の製造の実施例を図示する。
【図18】スタガードコンタクトを含む半導体デバイス構造の製造の実施例を図示する。
【図19】スタガードコンタクトを含む半導体デバイス構造の製造の実施例を図示する。
【図20】本発明の教示を組み込む半導体デバイス構造の部分断面図である。
【発明を実施するための形態】

10

【0015】

図1は、半導体基板10内の、本明細書では“アクティブデバイス領域”とも称されるアクティブ領域12の略図であり、半導体基板10のごく一部のみが示される。本明細書で使用される“半導体基板”という用語は、半導体ダイ、半導体ウェハ、部分ウェハ、および他のバルク半導体基板、ならびにそこから分断されたデバイスおよびデバイスのグループを包含する。図示の通り、アクティブ領域12は半導体基板10の導電的にドーパされた領域から構成される細長い素子である。これらの細長い素子は互いに平行に配向され得る。現在の最新技術が組み込まれる半導体デバイスでは、アクティブ領域12は約10 nm程度の小さな幅を持ち得、約50 nm以下（例えば10 nm）程度の小さな距離で互いに離れて間隔をあけられ得る。従って、そのピッチは約60 nm以下（例えば約20 nm）程度に小さくなり得る。勿論、本発明の範囲から逸脱することなく、アクティブ領域12は10 nmよりも広くても狭くてもよいし、互いに離れる間隔が50 nmよりも大きくても小さくてもよい。

20

【0016】

図2は半導体デバイスを通る断面図であり、図1の線2-2によって示される大まかな方向で、図1に示される面に垂直な方向の面を図示する。図2では、アクティブ領域12は図の面の中と外にのびる。加えて、図2はアクティブ領域12と一つ置きに連通する、アクティブ領域12の上にあるコンタクトプラグ14（下位コンタクトプラグ）を示す。これは、各コンタクトプラグ14はアクティブ領域12のピッチに近い、もしくはそれを越える最大直径を持つが、隣接するコンタクトプラグ14は互いに電氣的に分離されなければならないためである。比較的大きなサイズの各コンタクトプラグ14は、コンタクトプラグ14と、それらが電氣的に接続されるアクティブ領域12との間の接触抵抗を最小化する。残りのアクティブ領域12のためのコンタクトプラグ14は、図示されていないが、図2の面のすぐ後ろもしくはすぐ前にある。

30

【0017】

アクティブ領域12（図2）の上方にあるコンタクトプラグ14及びコンタクトプラグ14（図2）の上方にあるコンタクトホール16をスタガードにする様が、部分的に製造された半導体デバイス1の上面図である図3に示される。コンタクトホール16は、後に参照する図20におけるコンタクトホール62に対応している。コンタクトホール16とコンタクトプラグ14のピッチはアクティブ領域12のピッチの約2倍となり得る（例えばアクティブ領域のピッチが約100 nmの場合は、コンタクトプラグ14とコンタクトホール16のピッチは約200 nmとなり得、アクティブ領域のピッチが約20 nmの場合は、コンタクトプラグ14とコンタクトホール16のピッチは約40 nmとなり得る）。図示の通り、コンタクトホール16はそれに対応するコンタクトプラグ14と位置整合するようにスタガードになっている。続いて上述の例示的な寸法については、コンタクトホール16はその上端18（後に参照する図20におけるコンタクトホール62の上端18'に対応）において直径（例えば直径もしくは幅）約100 nm以上、その底20（後に参照する図20におけるコンタクトホール62の底20'に対応）において直径（例えば直径）約30 nmとなり得、コンタクトプラグ14の上面15（図2）を露出する。コンタクトプラグ14の上面15とコンタクトホール16の底20（図2には図

40

50

示せず)の相対寸法(例えば対応する底の直径の約2倍もしくは3倍の幅を持つ上面15)は、コンタクトホール16をコンタクトプラグ14と並べる上で比較的多くの許容誤差をもたらし、コンタクトプラグ14と、その後コンタクトホール16の中であって且つコンタクトプラグ14の上端15の上に形成されるコンタクト(図3には図示せず。後に参照する図20におけるコンタクト70に対応)との間の接触抵抗を最小化し得る。

【0018】

長円形のコンタクトホール16が図示されるが、その高さもしくは長さに対して他の断面形状を持つコンタクトホールもまた本発明の範囲内にある。例えば、コンタクトホール16は円形の断面形状を持ってもよく、これは、図2の面に対して垂直方向である、アクティブ領域12がそれに沿ってのびる方向の密度をさらに増加させるために使用され得る。

10

【0019】

本発明のいかなる態様の範囲も限定することなく、各コンタクトは、対応するアクティブ領域12と接触する下位部分(下位コンタクトプラグ。図2におけるコンタクトプラグ14に対応)と、上位部分(上位コンタクト部材。後に参照する図20におけるコンタクト70に対応)とを含んでもよい。コンタクトの少なくとも下位部分(下位コンタクトプラグ)を形成するために使用され得る材料の例は、タングステン(W)および導電的にドーブされたポリシリコンを含むが、限定はされない。勿論、コンタクトの上位部分(上位コンタクト部材)もまた、タングステン、ならびに、銅、アルミニウム(フロープロセスもしくは堆積プロセスによって導入され得る)、ニッケル、もしくは構造的に安定で、隣接する材料(例えば、導電線68(図18-20)の一種もしくは複数の材料)とで低い接触抵抗を持つ任意の他の適切な材料を含むが、これには限定されない、様々な他の材料から形成されてもよい。

20

【0020】

ここで図4から19を見ると、本発明の教示を組み込む半導体デバイス構造を製造するためのプロセスの実施例が図示される。当業者に理解されるように、製造プロセスは、一般的に、多数の半導体デバイスが同時に製造され、本発明の特徴を与えられ得るように、ウェハもしくは他のバルク半導体基板レベルで行われ得る。

【0021】

図4では、半導体基板10と、隣接する導電性構造(例えばコンタクトプラグ14(図2)など)を互いに電氣的に分離する絶縁材料(例えばドーブ二酸化シリコン、非ドーブ二酸化シリコンなど)を含む、半導体基板10の上に形成された少なくとも一つの構造層32とを含む構造30が図示される。任意の他の適切な従来のプロセス(材料堆積、マスキング、エッチング、研磨、もしくは平坦化などを限定されることなく含む)がコンタクトプラグ14を含む構造に使用されてもよく、そのようなプロセスで使用されるマスクは、コンタクトプラグ14をスタガードにするように構成される。

30

【0022】

絶縁層34(例えばドーブ二酸化シリコン、非ドーブ二酸化シリコン、低k誘電体などを含む層)が構造層32の上に堆積される。絶縁層34は、スピノングラス(SOG)などといった堆積法(例えばオルトケイ酸テトラエチル(TEOS)の分解など)を限定されることなく含む、既知のプロセスによって形成され得る。

40

【0023】

エッチング停止層36(例えば窒化シリコン膜など)が構造層32の上に位置する。エッチング停止層36は、その後の(例えばデュアルダマシン)エッチングプロセスでエッチング停止層として利用されるので、このように呼ばれる。エッチング停止層36は、形成される一種もしくは複数の材料によって、その後フォトマスク40(図5参照)を形成するために、フォトレジストの層38のパターニングで使用するための反射防止膜(ARC)にもなり得る。随意に、一つ以上の他のARC(図示せず)が、エッチング停止層36の形成前もしくは後に形成されてもよい。

【0024】

引き続き図4を参照すると、フォトレジストの層38がエッチング停止層36の上に塗付さ

50

れる（例えばスピノオン（spin-on）法、スプレーオン（spray-on）法、もしくは任意の他の適切な塗付プロセスによって）。図5に示されるように、そこからフォトマスク40を形成するために、フォトレジストの層38をパターニングするために既知のプロセス（例えば露光プロセスや現像プロセスなど）がその後使用される。フォトマスク40は、下にあるエッチング停止層36の特定領域の除去を防止もしくは制御するように（例えば一種以上のエッチャント、溶媒、プラズマなどに特定領域が晒されるのを防止もしくは制限することなどによって）配置され構成された、コンタクトプラグ14（図2）のアレイの横方向外側に配置された固体領域を含む、固体領域42を含む。下にあるエッチング停止層36の他の領域の除去を促進するために、フォトマスク40のアパーチャ44が配置され、構成される。

【0025】

フォトマスク40もしくは別の適切なマスクがエッチング停止層36の上に形成されると、図6が図示するように、エッチング停止層36の所望の領域（すなわち上記の“他の領域”）が除去され、その中にアパーチャ（開口）37を形成し得る。除去は、当該技術分野で既知のように、湿式もしくは乾式のエッチングプロセス、または他のやり方を限定されることなく含む、任意の適切なプロセスによって行われ得る。エッチング停止層36のアパーチャ37は、図6と7に示されるもののよう、いくらかスタガード状に配列され得る。本開示の後半部分の考察後によりよく理解されるように、エッチング停止層36は下にある層、膜、もしくは構造の材料が好ましくなく除去されることを防ぐ。

【0026】

エッチング停止層36がパターニングされた後、図8に示されるように、誘電体層46がその上に形成され得る。非限定的な例として、誘電体層46はドーブ二酸化シリコン（例えばホウリンケイ酸ガラス（BPSG）、リンケイ酸ガラス（PSG）、ホウケイ酸ガラス（BSG）など）、スピノオンガラス（SOG）、低k誘電体などを含んでもよい。誘電体層46の厚さは、様々な目的のために調整され得る。そのような目的とは、その上端と底に所望の寸法を持つコンタクトホール62（図16）の形成を促進すること、誘電体層46の材料を除去するエッチャントにエッチング停止層36の材料が晒される際に、ポリマーがコンタクトホール62をあまりに早く埋め戻すこと（backfilling）を防ぐこと、誘電体層46の両側に位置する導電性フィーチャ間の電氣的干渉を最小化すること、その後の導電性材料のコンタクトホール62への導入を促進すること、および導電線68（図18-20）の高さを画定すること、を含むが、限定はされない。

【0027】

マスク50m（図10参照）もしくは“マンドレル”が誘電体層46の上に形成され得る。引き続き図8を参照すると、マスク50mは、ハードマスク48と中間マスク層50を、エッチング停止層36と、エッチング停止層36を通して露出された構造層32の領域の上に連続的に形成することによって形成され得る。ハードマスク層48は、ポリシリコン、窒化シリコン、炭化シリコン、SiCN、 Al_2O_3 、反射防止絶縁膜（DARC）層、シリコンリッチの酸化物、窒化物、もしくは酸窒化物などといった、ハードマスクとしての使用に適した任意の材料から構成され得る。わかるように、ハードマスク層48は、その後の除去プロセスのためのエッチング停止層、ハードマスク、および研磨停止層として利用される。中間マスク層50は、炭素ベースの層（例えば透明炭素（TC）、非晶質炭素、いわゆる“スピノオンハードマスク”など）、いわゆる“多層レジスト”、単層レジストなどから構成され得る。シリコンは中間マスク層50の材料の全体に分散されてもされなくてもよい。随意に、一つ以上のARC（図示せず）が中間マスク層50の上および／または下に形成されてもよい。

【0028】

加えて、図9Aと9Bに示されるように、ハードマスク48の一つ以上の副層と中間マスク層50のパターニングを容易にするために、中間マスク層50の上にフォトマスク52が形成され得る。あるいは、フォトマスク52が誘電体層46（図示せず）の上に直接形成されてもよい。示されるように、フォトマスク52は既知のプロセスによって塗付され、パターニングされている。

【0029】

フォトマスク52の全体的パターンは、図10に図示されるように、下にある中間マスク層50（図9Aおよび9B）に転写され得る。既知のエッチングプロセス（例えばいわゆる“乾式現像”プロセス、プラズマエッチングプロセス、レジストおよび／または炭素ベース層（例えばTCなど）トリムプロセスなど）を限定されることなく含む、任意の適切なプロセスが、フォトマスク52のパターンを中間マスク層50に実質的に転写するために使用され得る。ハードマスク48は、このパターン転写プロセスのためのエッチング停止層として機能し得る。中間マスク層50はまた、その固体領域50sの寸法を削減および／または精緻化するために、当該技術分野で既知のように“トリム”され得る。その結果得られるマスク50mは、フォトマスク52よりも硬質で、かつ高いエッチング抵抗性を持ち、マスク50mの限界寸法は、フォトマスク52の限界寸法よりも容易に調整され、制御され得る。

10

【0030】

フォトマスク52の残余物は、図11に示されるように、マスク50mが中間マスク層50から形成される際に消費され得る。

【0031】

次に、図12に図示されるように、酸化物層54（例えばドーブもしくは非ドーブの二酸化シリコンなど）が、マスク50mと、マスク50mを通して露出されたハードマスク48の部分との上に形成される。酸化物層54は、原子層堆積（ALD）プロセスや別の適切な堆積法といった、低温かつコンフォーマルな堆積法を含むが限定はされない、任意の適切なプロセスによって形成され得る。

【0032】

20

酸化物層54が形成された後、図13に図示されるようにスパーサーエッチングが行われる。当業者が承知のように、スパーサーエッチングは異方性エッチングプロセスである。ハードマスク48はスパーサーエッチングプロセス中のエッチング停止層として機能し得る。スパーサーエッチングプロセスは酸化物層54（図12）の比較的薄い部分を除去し、その部分には、マスク50mの固体領域の上にある酸化物層54の部分、ならびに、ネガティブマスク50mの隣接する固体領域間の、ハードマスク48の上にある酸化物層54の部分が含まれる。その結果、図13に図示される、個別スパーサー56sを含むスパーサーマスク56が得られる。

【0033】

あるいは、スパーサーマスク56は、ハードマスク48の必要性を打ち消して、誘電体層46と構造層32から材料を除去するために使用される一種もしくは複数のエッチャントに対する十分な抵抗性を持つ材料から形成されてもよい。

30

【0034】

スパーサーマスク56を通して露出されるマスク50mの残りの固体領域（図13）は、図14に示されるように適切なプロセスによって除去される。使用されるプロセスは勿論、マスク50mが形成される一種もしくは複数の材料によって決まる。例えば、マスク50m（図12）が炭素ベースの材料（例えばレジスト、スピノンハードマスク、TC、非晶質炭素など）から形成される場合、適切なプラズマストリップ（例えば酸素プラズマを用いる）もしくはエッチングのプロセスが利用され得る。別の方法として、マスク50mを形成するために多層レジストが利用される場合、その残りの固体領域を除去するために、一種以上の適切なレジストストリッパーが使用され得る。

40

【0035】

その後、図15に図示されるように、下にある誘電体層46の部分を露出するために、スパーサー56sの間に露出された（すなわちスパーサーマスク56を通して露出された）ハードマスク48の領域が除去される。ハードマスク層48の残存部分と上にあるスパーサーマスク56は、合わせてハードマスク58を形成し、それを通して、誘電体層46と下にある構造のパターニングが行われ得る。

【0036】

ここで図16を見ると、トレンチ60とコンタクトホール62が実質的に同時に形成され得る。その中に導電線68（図18）がその後形成され得るトレンチ60は、エッチング停止層

50

36の残存領域36rにまで、誘電体層46の中に下へのびる。その中に導電性コンタクト70（図17）が後に形成され得るコンタクトホール62は、対応するトレンチ60の下方に位置し且つそれと連通し、コンタクトプラグ14（図2）の上に位置する。各コンタクトホール62は、エッチング停止層36と同じ面にある誘電体層46の高さ位置の部分を通して（例えばエッチング停止層36内のアパーチャ37を通して）、および絶縁層34を通してのび、構造層32内の導電性構造（例えばコンタクトプラグ14（図2参照））を露出する。

【0037】

誘電体層46から、および絶縁層34からの材料の除去は、適切なエッチャントもしくはエッチャントの組み合わせで行われ得る。勿論、利用される一種もしくは複数のエッチャントは、一種もしくは複数のエッチャントが、ハードマスク層48の材料と、エッチング停止層36の残存領域36rの材料を除去するよりも速い速度で、もしくはそれよりも選択的に、誘電体層46と絶縁層34の材料を除去する。除去プロセスはまた、スペーサーマスク56の材料を実質的に同時に除去し得る。例えば、誘電体層46と絶縁層34が二酸化シリコンを含む場合は、 $C_4F_8/C_4F_6/O_2$ が、誘電体層46と絶縁層34から材料を除去するために使用され得る。 $C_4F_8/C_4F_6/O_2$ は、ハードマスク層48と、エッチング停止層36の残存領域36rの一方もしくは両方が形成され得る窒化シリコンよりも選択的に二酸化シリコンを除去する。

【0038】

コンタクトホール62はトレンチ60よりも深くに位置するので、当業者は、トレンチ60が完全に形成されるまでコンタクトホール62の形成が継続し得る（および、場合によっては開始さえしない）ことを容易に理解するだろうが、それでもなおコンタクトホール62は、トレンチ60の形成と実質的に同時に、もしくは実質的に一斉に形成され得る。

【0039】

各コンタクトホール62の下端にわたる寸法は、各コンタクトホール62内にその後形成される導電性コンタクトと、それに対応するコンタクトプラグ14（図2）の上面15との間の接触抵抗を最小化するために十分な大きさとなり得る（例えば約30 nm）。加えて、コンタクトプラグ14の比較的大きな上面15は、上にあるマスク層が、マスク層がその上に形成されるフィーチャとわずかにずれている時でさえも、コンタクトプラグ14に対するコンタクトホール62のアライメントもしくは整合（registration）を容易にし得る。

【0040】

とりわけ、ハードマスク層48は、図16に示される、その結果得られる構造の上に残存し得る。

【0041】

ここで図17を参照すると、一種以上の導電性材料がコンタクトホール62とトレンチ60の中に導入され得る。図示された実施例では、導電性材料の初期膜64が、各コンタクトホール62、各トレンチ60、およびハードマスク層48の露出表面上に形成される。その後、導電性材料のコンフォーマル層66が、各コンタクトホール62と各トレンチ60を実質的に充填するために、初期膜64の上に形成され得る。あるいは、ハードマスク層48が初期膜64の形成前に除去され得る（例えば適切なエッチングプロセスによって）。

【0042】

単に非限定的な例として、初期膜64は、コンフォーマル層66の材料（例えば、タングステン、銅、アルミニウム、ニッケルなど）の、コンタクトホール62とトレンチ60の表面への接着を促進する、もしくは容易にし得る、種材料（例えば窒化チタン（TiN）など）の層から構成され得る。あるいは、初期膜64は、コンタクトホール62もしくはトレンチ60の表面の材料と、コンフォーマル層66の材料（例えばアルミニウム（Al）、銅（Cu）など）と間の障壁（例えば拡散もしくは相互拡散を防ぐため、接触抵抗を減らすためなど）として機能する材料（例えばタングステン、窒化タングステン（WN）、金属シリサイド、窒化タンタル（Ta₂N₅）（銅（Cu）との使用のため）など）から形成され得る。初期膜64で被覆されるコンタクトホール62とトレンチ60の表面の極めて小さな寸法を考慮して、初期膜64は極めて薄くなり得る（例えば約5 nm）。パルス化学気相堆積（CVD）法および原子層堆積（ALD）法を含むが限定はされない既知のプロセスが、初期膜64とコンフォーマル層66

10

20

30

40

50

を形成するために使用され得る。

【0043】

各コンタクトホール62内の導電性材料は導電性コンタクト70を形成し、一方各トレンチ60内の導電性材料は、隣接するトレンチ60内の導電性材料から分離されると、図18に図示されるように、導電線68を形成する。隣接する導電線68は、ハードマスク層48の残存部分の表面に広がる面の上から導電性材料を除去することによって、互いに物理的かつ電氣的に分離され得る。本発明の範囲を限定することなく、そのような除去は、ハードマスク層48の一種もしくは複数の材料よりも少なくともいくつか選択的に（すなわち速い速度で）、一種もしくは複数の導電性材料（例えば初期膜64およびコンフォーマル層66の材料、図17）を除去する研磨もしくは平坦化プロセス（例えば機械研磨、化学機械研磨など）を用いて行われ得る。あるいは、導電性材料を除去するために（すなわち、ハードマスク層48よりも選択的にコンフォーマル層66と初期膜64を除去）、時限選択的エッチングプロセスが利用され得る。従って、ハードマスク層48は研磨停止層もしくはエッチング停止層としても機能し得る。

10

【0044】

導電線68が互いに物理的かつ電氣的に分離されると、ハードマスク層48（図18）がまだある場合は、図19に図示されるように除去され得る。ハードマスク層48の除去は、さもないれば隣接する導電線68間に電氣的短絡や漏出をもたらしことになる、初期膜64もしくはコンフォーマル層66（図17）からの残余物や残留物を除去し得る。ハードマスク層48は、湿式もしくは乾式のエッチングプロセスを含む、任意の適切なプロセスによって除去され得る。除去プロセスは、導電線68と誘電体層46の材料よりも、ハードマスク層48の材料に選択性を持ち得る。

20

【0045】

本発明の教示を組み込む半導体デバイス1の実施例が図20に示される。半導体デバイス1は、図面の面の中と外にのびる平行なアクティブ領域12を持つ半導体基板10を含む。構造層32の中に含まれるコンタクトプラグ14は、各アクティブ領域12の上に位置し、かつ各アクティブ領域12と電氣的に連通する。示されている半導体デバイス1の部分のコンタクトプラグ14の半分のみが図示されるが、ほぼ一列に並んだコンタクトプラグ14の行のコンタクトプラグ14は、アクティブ領域12と一つ置きに対応する。ほぼ一列に並んだコンタクトプラグ14の別の行は、図面の面のすぐ後ろもしくはすぐ前に位置し得る。コンタクトプラグ14は、構造層32の一部でもある絶縁材料33（例えばドーブもしくは非ドーブの二酸化シリコンなど）によって、横方向に囲まれ、かつ互いに電氣的に分離される。

30

【0046】

絶縁層34は、各コンタクトプラグ14の上面15が存在する面より上に位置する。その中に導電性コンタクト70が位置するコンタクトホール62は、絶縁層34を通過してのび、各コンタクトホール62の下端20'と、各導電性コンタクト70の対応する部分は、対応するコンタクトプラグ14の上面15に隣接して位置する。示されるように、コンタクトホール62はその上端18'からその下端20'へ内側に向かって先細になり得る。

【0047】

絶縁層34を通過してのびることに加えて、導電性コンタクト70は、絶縁層34より上に位置するエッチング停止層36内のアパーチャ37を通過してのびてもよい。誘電体層46はエッチング停止層36の上に位置する。図面の面の中および外にのびるように図示される細長いトレンチ60は、導電線68を備える。図示されるように、各導電線68は、導電性コンタクト70がエッチング停止層36のアパーチャ37を通過してのびる位置で、少なくとも一つの対応する導電性コンタクト70に電氣的に接続される。

40

【0048】

本発明の教示を組み込むプロセスと構造は、本来なら半導体デバイスで使用するできないようなリソグラフィー装置を、半導体デバイスで使用するを容易にし得る。例えば、リソグラフィー装置は、典型的には利用され得る最小フィーチャサイズの割合もしくはパーセンテージである、アライメント許容限度を持つ（例えば、50 nmの最小フィ

50

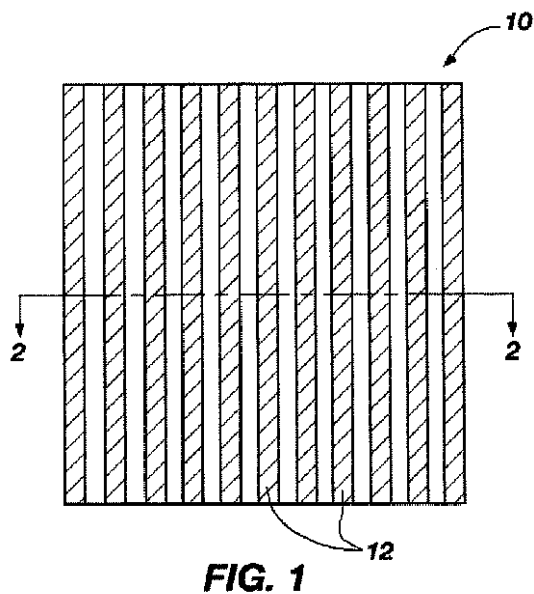
ーチャサイズの3分の1)。しかしながら本発明のプロセスの使用により、リソグラフィー装置がフィーチャの製造に利用され得、もっと小さな寸法とアライメント許容誤差を持つフィーチャを整列させ、リソグラフィー装置のアライメント許容誤差を効果的に増加する。

【0049】

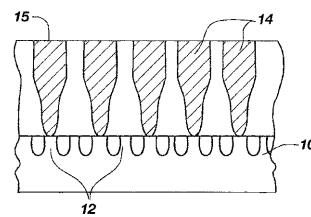
前述の記載は多くの細目を含むが、これらは本発明の範囲の限定として解釈されるべきではなく、目下好ましい実施形態のいくつかの説明を提供するに過ぎない。同様に、本発明の精神もしくは範囲から逸脱しない、本発明の他の実施形態が考案され得る。異なる実施形態からの特徴は組み合わせて利用されてもよい。従って本発明の範囲は、前述の記載によってではなく、むしろ添付の請求項とその法的均等物のみによって示され、限定される。従って、請求項の意味と範囲内に含まれる、本明細書に開示される本発明への付加、削除、および変更の全てが受け入れられる。

10

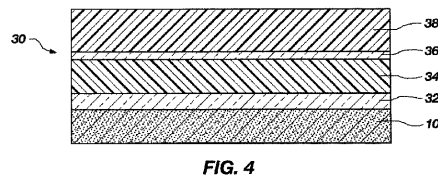
【図1】



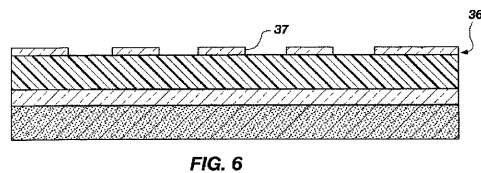
【図2】



【図4】



【図6】



【図 7】

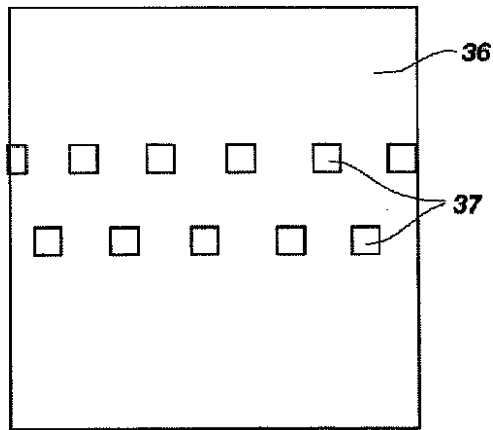


FIG. 7

【図 9 B】

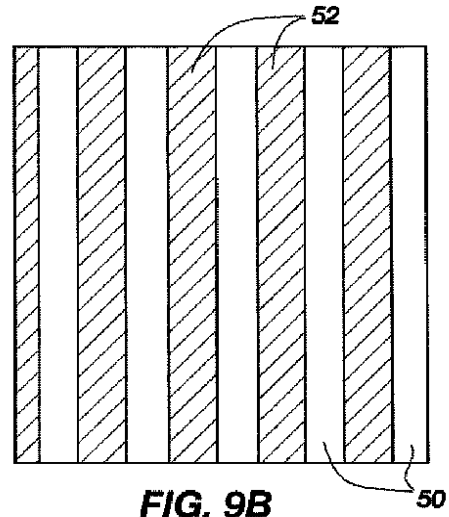


FIG. 9B

【図 11】

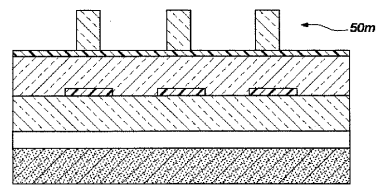


FIG. 11

【図 14】

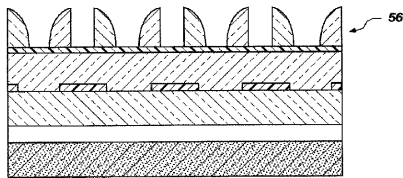


FIG. 14

【図 18】

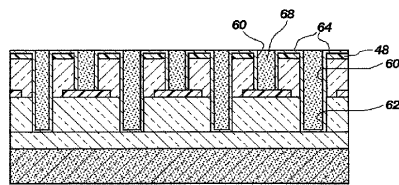


FIG. 18

【図 15】

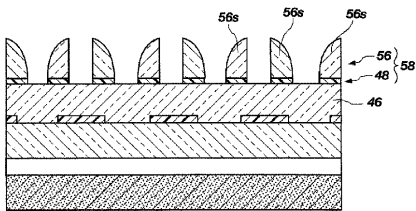


FIG. 15

【図 19】

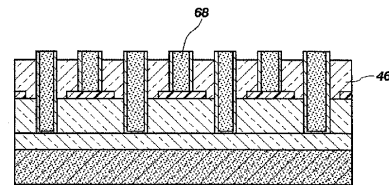


FIG. 19

【図 17】

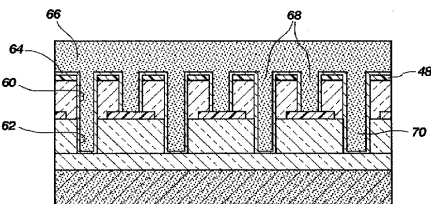
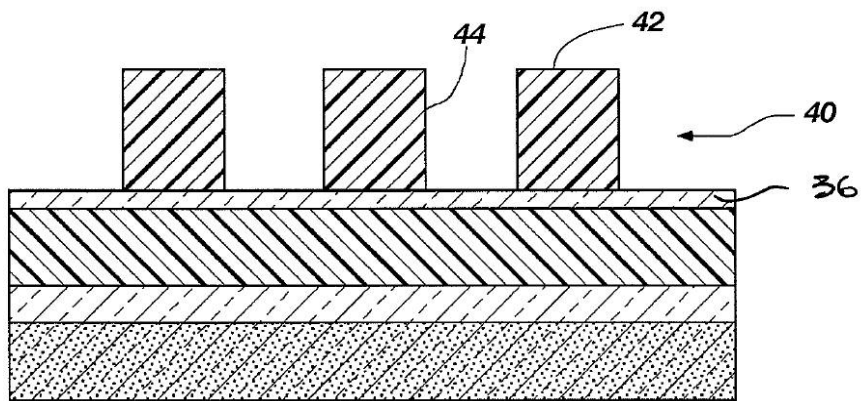


FIG. 17

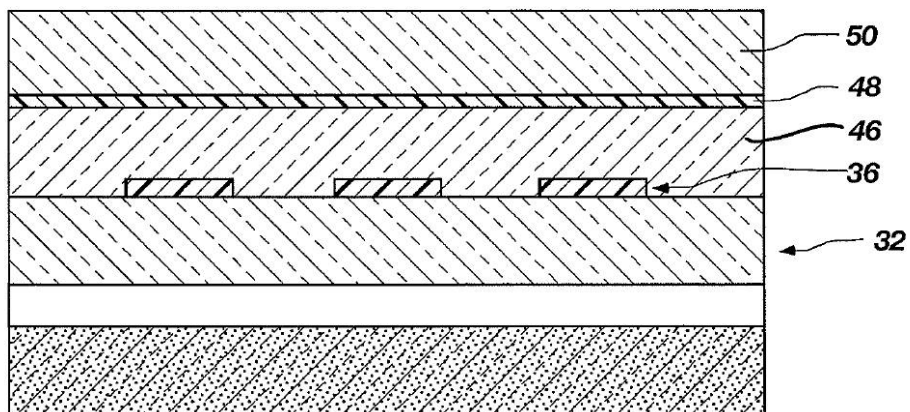
[illegible]

FIG. 1 is a schematic diagram of a rectangular substrate 1. The substrate contains two rows of rounded rectangular openings 16. The openings are arranged in a grid pattern, with five openings in each row. The openings are defined by thick black outlines. A curved arrow points from the label 1 to the top right corner of the substrate. A bracket points from the label 16 to the right side of the openings in the bottom row.

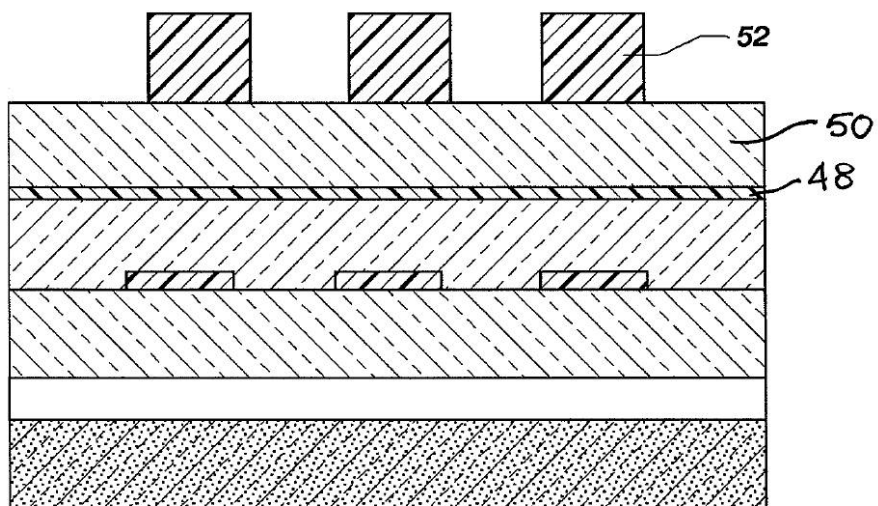
【図 5】



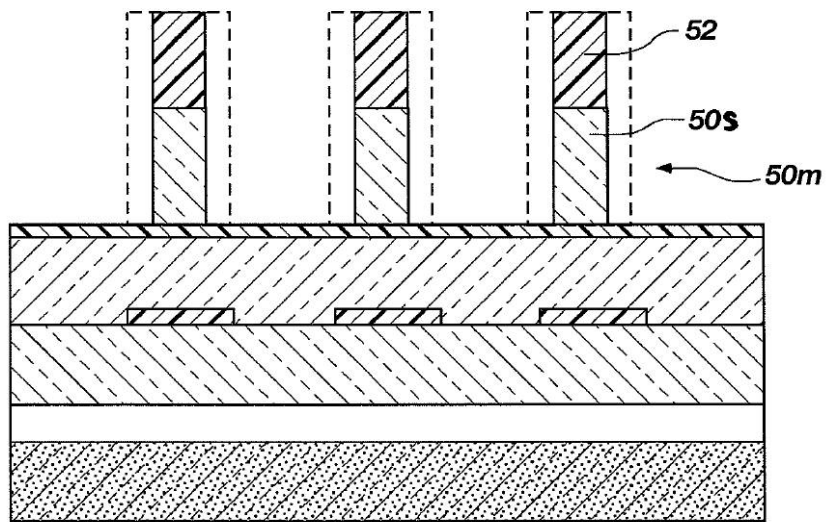
【図 8】



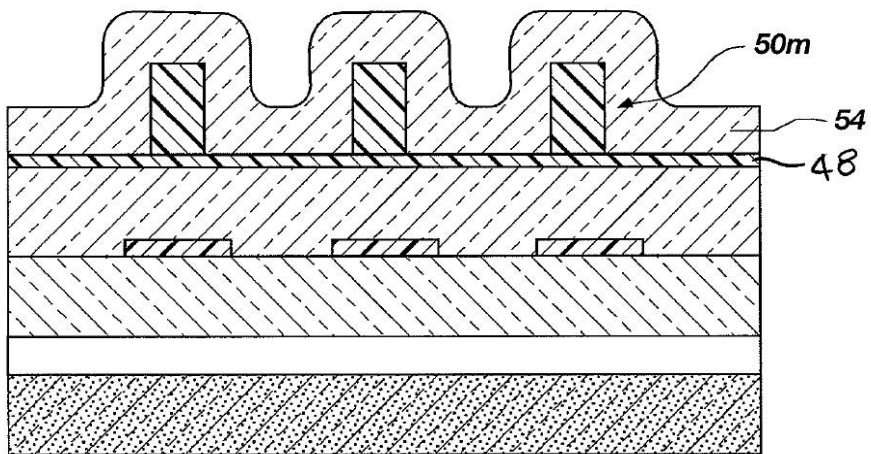
【図 9 A】



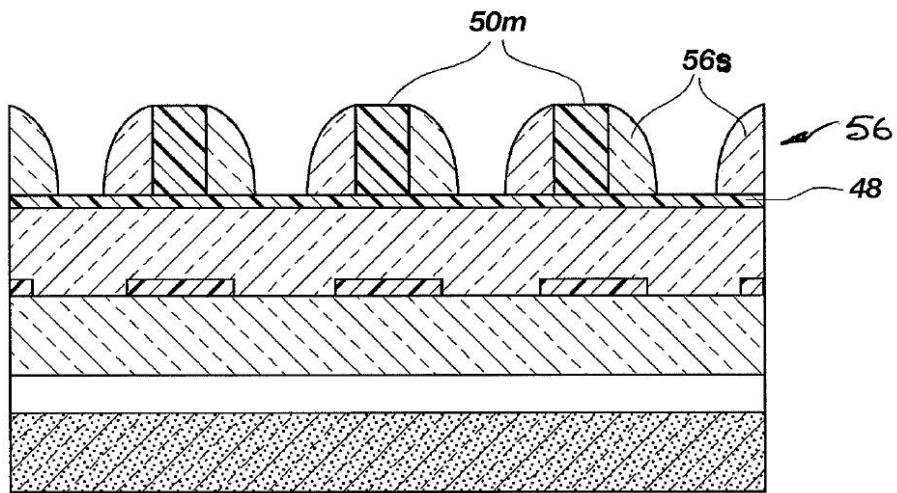
【図 10】



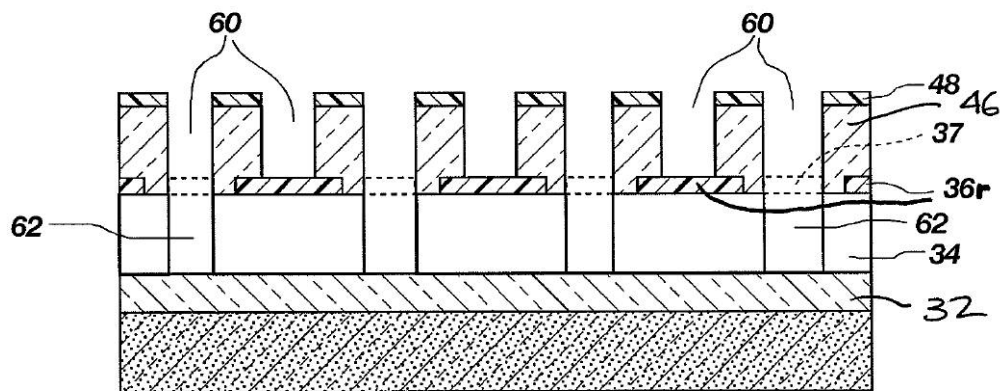
【図 12】



【図 13】



【図 16】



フロントページの続き

(72)発明者 キム, ヒュンテ

アメリカ合衆国, アイダホ州 83716, ボイズ, サウス ミルスパーク ウェイ 3199

(72)発明者 ストックス, リチャード エル.

アメリカ合衆国, アイダホ州 83703, ボイズ, ウォーターフロント ウェイ 4472

(72)発明者 トラン, ルアン シー.

アメリカ合衆国, アイダホ州 83642, メリディアン, ウェスト サンディー コート 1125

審査官 右田 勝則

(56)参考文献 特開2005-317580 (JP, A)

特開2004-228308 (JP, A)

米国特許出願公開第2004/0183113 (US, A1)

特表2007-523034 (JP, A)

国際公開第2005/074449 (WO, A1)

特開2004-047999 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/768

H01L 21/28