

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G09G 3/36 (2006.01)

G09G 3/20 (2006.01)

G02F 1/133 (2006.01)



# [12] 发明专利申请公开说明书

[21] 申请号 200510136232.0

[43] 公开日 2006年10月4日

[11] 公开号 CN 1841484A

[22] 申请日 2005.12.23

[21] 申请号 200510136232.0

[30] 优先权

[32] 2005. 3. 30 [33] KR [31] 26461/05

[71] 申请人 三星电子株式会社

地址 韩国京畿道

[72] 发明人 朴商镇 李明雨 金炯杰 鱼基汉  
郑东珍 李柱亨

[74] 专利代理机构 北京市柳沈律师事务所

代理人 黄小临 王志森

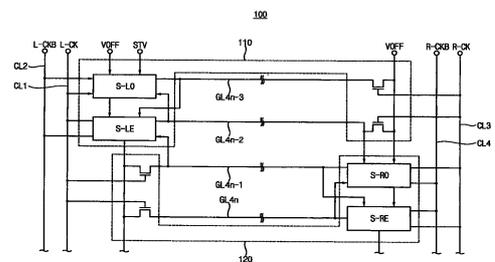
权利要求书 7 页 说明书 14 页 附图 5 页

## [54] 发明名称

门驱动器电路和具有门驱动器电路的显示设备

## [57] 摘要

门驱动器电路包括第一移位寄存器和第二移位寄存器。第一移位寄存器响应于第一时钟信号、具有相对于第一时钟信号而延迟了 1H 时间的相位的第二时钟信号、以及具有与第一时钟信号相反的相位的第三时钟信号，而将第  $(4n-3)$  和第  $(4n-2)$  选通信号分别施加到第  $(4n-3)$  和第  $(4n-2)$  选通线。第二移位寄存器响应于第一时钟信号、第三时钟信号、以及具有与第二时钟信号相反的相位的第四时钟信号，而将第  $(4n-1)$  和第  $4n$  选通信号分别施加到第  $(4n-1)$  和第  $4n$  选通线。因此，可减小第一和第二移位寄存器中的晶体管的数目。



1、一种门驱动器电路，包括：

第一移位寄存器，其包括多个第一级，第一移位寄存器响应于第一时钟信号、第二时钟信号、以及第三时钟信号，而将第 $(4n-3)$ 选通信号和第 $(4n-2)$ 选通信号分别施加到第 $(4n-3)$ 选通线和第 $(4n-2)$ 选通线，第二时钟信号具有相对于第一时钟信号而延迟了 $1H$ 时间的相位，而第三时钟信号具有与第一时钟信号相反的相位；以及

第二移位寄存器，其包括多个第二级，第二移位寄存器响应于第一时钟信号、第三时钟信号、以及第四时钟信号，而将第 $(4n-1)$ 选通信号和第 $4n$ 选通信号分别施加到第 $(4n-1)$ 选通线和第 $4n$ 选通线，第四时钟信号具有与第二时钟信号相反的相位，其中， $n$ 为自然数。

2、如权利要求1所述的门驱动器电路，其中，第一级中的奇数级将高电平的第一时钟信号施加到第 $(4n-3)$ 选通线，响应于第二时钟信号而将第 $(4n-3)$ 选通线的电压降低为截止电压，响应于第三时钟信号而将第 $(4n-3)$ 选通线的电压保持为截止电压，并且，响应于第一时钟信号而将第 $(4n-3)$ 选通信号的电压保持为截止电压，并且

第一级中的偶数级将高电平的第二时钟信号施加到第 $(4n-2)$ 选通线，响应于第三时钟信号而将第 $(4n-2)$ 选通线的电压降低为截止电压，并且，响应于第一时钟信号而将第 $(4n-2)$ 选通线的电压保持为截止电压。

3、如权利要求2所述的门驱动器电路，其中，第一级中的奇数级在 $1H$ 时间内将高电平的第一时钟信号施加到第 $(4n-3)$ 选通线，响应于第二时钟信号而在 $1H$ 时间内将第 $(4n-3)$ 选通线的电压降低为截止电压，响应于第三时钟信号而在 $2H$ 时间内将第 $(4n-3)$ 选通线的电压保持为截止电压，并且，响应于第一时钟信号而在 $2H$ 时间内将第 $(4n-3)$ 选通信号的电压保持为截止电压，并且

第一级中的偶数级在 $1H$ 时间内将高电平的第二时钟信号施加到第 $(4n-2)$ 选通线，响应于第三时钟信号而在 $2H$ 时间内将第 $(4n-2)$ 选通线的电压降低为截止电压，并且，响应于第一时钟信号而在 $2H$ 时间内将第 $(4n-2)$ 选通线的电压保持为截止电压。

4、如权利要求2所述的门驱动器电路，其中，第一级中的每个奇数级

包括:

第一左晶体管, 其将高电平的第一时钟信号施加到第  $4n-3$  选通线;

第二左晶体管, 其响应于高电平的第二时钟信号, 而将第  $(4n-3)$  选通线的电压降低为截止电压;

第三右晶体管, 其响应于高电平第三时钟信号, 而将第  $(4n-3)$  选通线的电压保持为截止电压; 以及

第四左晶体管, 其响应于高电平的第一时钟信号, 而将第  $(4n-3)$  选通线的电压保持为截止电压。

5、如权利要求 4 所述的门驱动器电路, 其中, 第一级中的每个奇数级还包括:

第一左电容器, 其具有电连接到第一左晶体管的栅极的第一端、以及电连接到第一左晶体管的源极的第二端;

第五左晶体管, 其响应于扫描开始信号或第  $4n$  选通信号, 而对第一左电容器进行充电;

第六左晶体管, 其响应于第  $(4n-2)$  选通信号, 而截止第一左晶体管;

第七左晶体管, 其响应于扫描开始信号或第  $4n$  选通信号, 而将第一时钟信号降低为截止电压; 以及

第八左晶体管, 其响应于第一时钟信号, 而截止第一左晶体管。

6、如权利要求 5 所述的门驱动器电路, 其中, 第一、第二、以及第四至第八左晶体管与第  $(4n-3)$  选通线的第一末端相邻, 而第三右晶体管与第  $(4n-3)$  选通线的第二末端相邻。

7、如权利要求 2 所述的门驱动器电路, 其中, 第一级中的每个偶数级包括:

第九左晶体管, 其将高电平的第二时钟信号施加到第  $(4n-2)$  选通线;

第十右晶体管, 其响应于高电平第三时钟信号, 而将第  $(4n-2)$  选通线的电压降低为截止电压; 以及

第十一左晶体管, 其响应于高电平的第一时钟信号, 而将第  $(4n-2)$  选通线的电压保持为截止电压。

8、如权利要求 7 所述的门驱动器电路, 其中, 第一级中的每个偶数级还包括:

第二左电容器, 其包括电连接到第九左晶体管的栅极的第一端、以及电

连接到第九左晶体管的源极的第二端，第二左电容器使第九左晶体管导通；

第十二左晶体管，其响应于第 $(4n-3)$ 选通信号，而对第二左晶体管进行充电；

第十三左晶体管，其响应于第 $(4n-1)$ 选通信号，而使第九左晶体管截止；

第十四左晶体管，其响应于第 $(4n-3)$ 选通信号，而将第二时钟信号降低为截止电压；以及

第十五左晶体管，其响应于第二时钟信号，而使第九左晶体管截止。

9、如权利要求8所述的门驱动器电路，其中，第九、以及第十一至第十五左晶体管与第 $(4n-2)$ 选通线的第一末端相邻，而第十右晶体管与第 $(4n-2)$ 选通线的第二末端相邻。

10、如权利要求1所述的门驱动器电路，其中，第二级中的奇数级将高电平的第三时钟信号施加到第 $(4n-1)$ 选通线，响应于第四时钟信号而将第 $(4n-1)$ 选通线的电压降低为截止电压，响应于第一时钟信号而将第 $(4n-1)$ 选通线的电压保持为截止电压，并且，响应于第三时钟信号而将第 $(4n-1)$ 选通信号的电压保持为截止电压，并且

第二级中的偶数级将高电平的第四时钟信号施加到第 $4n$ 选通线，响应于第一时钟信号而将第 $4n$ 选通线的电压降低为截止电压，并且，响应于第三时钟信号而将第 $4n$ 选通线的电压保持为截止电压。

11、如权利要求10所述的门驱动器电路，其中，第二级中的奇数级在 $1H$ 时间内将高电平的第三时钟信号施加到第 $(4n-1)$ 选通线，响应于第四时钟信号而在 $1H$ 时间内将第 $(4n-1)$ 选通线的电压降低为截止电压，响应于第一时钟信号而在 $2H$ 时间内将第 $(4n-1)$ 选通线的电压保持为截止电压，并且，响应于第三时钟信号而在 $2H$ 时间内将第 $(4n-1)$ 选通信号的电压保持为截止电压，并且

第二级中的偶数级在 $1H$ 时间内将高电平的第四时钟信号施加到第 $4n$ 选通线，响应于第一时钟信号而在 $2H$ 时间内将第 $4n$ 选通线的电压降低为截止电压，并且，响应于第三时钟信号而在 $2H$ 时间内将第 $4n$ 选通线的电压保持为截止电压。

12、如权利要求10所述的门驱动器电路，其中，第二级中的每个奇数级包括：

第一右晶体管，其将高电平的第三时钟信号施加到第 $(4n-1)$ 选通线；

第二右晶体管，其响应于高电平的第四时钟信号，而将第 $(4n-1)$ 选通线的电压降低为截止电压；

第三左晶体管，其响应于高电平的第一时钟信号，而将第 $(4n-1)$ 选通线的电压保持为截止电压；以及

第四右晶体管，其响应于高电平的第三时钟信号，而将第 $(4n-1)$ 选通线的电压保持为截止电压。

13、如权利要求 12 所述的门驱动器电路，其中，第二级中的每个奇数级还包括：

第一右电容器，其具有电连接到第一右晶体管的栅极的第一端、以及电连接到第一右晶体管的源极的第二端；

第五右晶体管，其响应于扫描开始信号或第 $(4n-2)$ 选通信号，而对第一右电容器进行充电；

第六右晶体管，其响应于第 $4n$ 选通信号，而使第一右晶体管截止；

第七右晶体管，其响应于扫描开始信号或第 $(4n-2)$ 选通信号，而将第三时钟信号降低为截止电压；以及

第八右晶体管，其响应于第三时钟信号，而使第一右晶体管截止。

14、如权利要求 13 所述的门驱动器电路，其中，第一、第二、以及第四至第八右晶体管与第 $(4n-1)$ 选通线的第一末端相邻，而第三左晶体管与第 $(4n-1)$ 选通线的第二末端相邻。

15、如权利要求 10 所述的门驱动器电路，其中，第二级中的每个偶数级包括：

第九右晶体管，其将高电平的第四时钟信号施加到第 $4n$ 选通线；

第十左晶体管，其响应于高电平的第一时钟信号，而将第 $4n$ 选通线的电压降低为截止电压；以及

第十一右晶体管，其响应于高电平的第三时钟信号，而将第 $4n$ 选通线的电压保持为截止电压。

16、如权利要求 15 所述的门驱动器电路，其中，第二级中的每个偶数级还包括：

第二右电容器，其包括电连接到第九右晶体管的栅极的第一端、以及电连接到第九右晶体管的源极的第二端，第二右电容器使第九右晶体管导通；

第十二右晶体管，其响应于第 $(4n-1)$ 选通信号，而对第二右晶体管进行充电；

第十三右晶体管，其响应于第 $(4n-3)$ 选通信号，而使第九右晶体管截止；

第十四右晶体管，其响应于第 $(4n-1)$ 选通信号，而将第四时钟信号降低为截止电压；以及

第十五右晶体管，其响应于第四时钟信号，而使第九右晶体管截止。

17、如权利要求 16 所述的门驱动器电路，其中，第九、以及第十一至第十五右晶体管与第 $4n$ 选通线的第一末端相邻，而第十左晶体管与第 $4n$ 选通线的第二末端相邻。

18、如权利要求 1 所述的门驱动器电路，其中，第一至第四时钟信号具有 $4H$ 时间周期，并且，第一至第四时钟信号在 $2H$ 时间内为高，且在 $2H$ 时间内为低。

19、如权利要求 1 所述的门驱动器电路，其中，第一移位寄存器被置于第 $(4n-3)$ 至第 $4n$ 选通线的第一末端，而第二移位寄存器被置于第 $(4n-3)$ 至第 $4n$ 选通线的第二末端。

20、如权利要求 19 所述的门驱动器电路，还包括传送第一时钟信号的第一时钟线路、传送第二时钟信号的第二时钟线路、传送第三时钟信号的第三时钟线路、以及传送第四时钟信号的第四时钟线路，其中，第一和第二时钟线路与第一移位寄存器相邻，而第三和第四时钟线路与第二移位寄存器相邻。

21、如权利要求 20 所述的门驱动器电路，其中，第一移位寄存器包括第一移位寄存器组，其响应于第三时钟信号而操作，且与第三时钟线路相邻，并且，第二移位寄存器包括第二移位寄存器组，其响应于第一时钟信号而操作，且与第一时钟线路相邻。

22、如权利要求 1 所述的门驱动器电路，其中，多个第一和第二级的偶数级包括比多个第一和第二级的奇数级少的晶体管。

23、一种显示设备，包括：

显示面板，其响应于选通信号和数据信号而显示图像；

门驱动器电路，其输出选通信号；以及

数据驱动器电路，其输出数据信号，其中，门驱动器电路包括：

第一移位寄存器，其包括多个第一级，第一移位寄存器响应于第一时钟信号、第二时钟信号、以及第三时钟信号，而将第 $(4n-3)$ 选通信号和第 $(4n-2)$ 选通信号分别施加到第 $(4n-3)$ 选通线 and 第 $(4n-2)$ 选通线，第二时钟信号具有相对于第一时钟信号而延迟了  $1H$  时间的相位，而第三时钟信号具有与第一时钟信号相反的相位；以及

第二移位寄存器，其包括多个第二级，第二移位寄存器响应于第一时钟信号、第三时钟信号、以及第四时钟信号，而将第 $(4n-1)$ 选通信号和第 $4n$ 选通信号分别施加到第 $(4n-1)$ 选通线 and 第 $4n$ 选通线，第四时钟信号具有与第二时钟信号相反的相位，其中， $n$ 为自然数。

24、如权利要求 23 所述的显示设备，其中，显示面板包括阵列基板，其具有第 $(4n-3)$ 选通线、第 $(4n-2)$ 选通线、第 $(4n-1)$ 选通线、以及第 $4n$ 选通线，第一移位寄存器与第 $(4n-3)$ 选通线、第 $(4n-2)$ 选通线、第 $(4n-1)$ 选通线、以及第 $4n$ 选通线的第一末端相邻，而第二移位寄存器与第 $(4n-3)$ 选通线、第 $(4n-2)$ 选通线、第 $(4n-1)$ 选通线、以及第 $4n$ 选通线的第二末端相邻。

25、如权利要求 24 所述的显示设备，其中，第一移位寄存器包括与第 $(4n-3)$ 选通线的第二末端相邻的晶体管、以及与第 $(4n-2)$ 选通线的第二末端相邻的晶体管。

26、如权利要求 25 所述的显示设备，其中，第二移位寄存器包括与第 $(4n-1)$ 选通线的第一末端相邻的晶体管、以及与第 $4n$ 选通线的第一末端相邻的晶体管。

27、如权利要求 24 所述的显示设备，其中，门驱动器电路还包括传送第一时钟信号的第一时钟线路、传送第二时钟信号的第二时钟线路、传送第三时钟信号的第三时钟线路、以及传送第四时钟信号的第四时钟线路，其中，第一和第二时钟线路与第一移位寄存器相邻，而第三和第四时钟线路与第二移位寄存器相邻。

28、如权利要求 27 所述的显示设备，其中，第一移位寄存器包括第一移位寄存器组，其响应于第三时钟信号而操作，且与第三时钟线路相邻，并且，第二移位寄存器包括第二移位寄存器组，其响应于第一时钟信号而操作，且与第一时钟线路相邻。

29、一种显示设备，包括：

显示面板，其包括每一个都具有第一末端和第二末端的多条选通线；

第一移位寄存器，其响应于选通线的第一末端上的第一时钟信号和第二时钟信号，并响应于选通线的第二末端上的第三时钟信号；以及

第二移位寄存器，其响应于选通线的第二末端上的第三时钟信号和第四时钟信号，并响应于选通线的第一末端上的第一时钟信号。

30、如权利要求 29 所述的显示设备，其中，第一移位寄存器包括多个第一级，每个第一级包括响应于第一和第二时钟信号的多个晶体管，并且，每个第一级仅包括一个响应于第三时钟信号的晶体管。

31、如权利要求 30 所述的显示设备，其中，第二移位寄存器包括多个第二级，每个第二级包括响应于第三和第四时钟信号的多个晶体管，并且，每个第二级仅包括一个响应于第一时钟信号的晶体管。

32、如权利要求 29 所述的显示设备，其中，第一移位寄存器包括至少一个奇数级和一个偶数级，并且，第二移位寄存器包括至少一个奇数级和一个偶数级，第一和第二移位寄存器的偶数级包括比第一和第二移位寄存器的奇数级少的晶体管。

33、如权利要求 29 所述的显示设备，其中，第二时钟信号具有相对于第一时钟信号而延迟了 1H 时间的相位，第三时钟信号具有与第一时钟信号相反的相位，而第四时钟信号具有与第二时钟信号相反的相位。

## 门驱动器电路和具有门驱动器电路的显示设备

### 技术领域

本发明涉及一种门驱动器 (gate driver) 电路和具有门驱动器电路的显示设备。更具体地, 本发明涉及能够减小其尺寸的门驱动器电路、以及具有所述门驱动器电路的显示设备。

### 背景技术

液晶显示 (“LCD”) 设备包括 LCD 面板。LCD 面板包括阵列基板、面对阵列基板的滤色器基板、以及被置于阵列基板和滤色器基板之间的液晶层。阵列基板包括传送选通信号 (gate signal) 的多条选通线 (gate line)、以及传送数据信号的多条数据线。数据线与选通线相交, 并与选通线绝缘。

LCD 设备还包括将选通信号输出到选通线的门驱动器电路、以及将数据信号输出到数据线的数据驱动器电路。通常, 在安装于 LCD 面板上的芯片中形成门驱动器电路或数据驱动器电路。

在 LCD 面板上直接形成门驱动器电路, 以便减小 LCD 设备的尺寸、并提高生产率。

形成在 LCD 面板上的门驱动器电路包括: 具有彼此电连接的多级的移位寄存器。随着 LCD 设备的尺寸的增大, 门驱动器电路必须包括分别被置于选通线的第一和第二末端部分的两个移位寄存器。所述两个移位寄存器将选通信号交替地输出到选通线。

所述级包括多个晶体管 and 多个电容器。晶体管的数目确定门驱动器电路的尺寸。此外, 当 LCD 面板包括两个移位寄存器时, 形成级的晶体管的数目进一步增加, 由此, 随着每级的晶体管的数目的增加, 包括两个移位寄存器的门驱动器电路的尺寸增大。因此, LCD 设备还必须增大尺寸来容纳门驱动器电路。

### 发明内容

减小门驱动器电路以及由此减少显示设备的尺寸的能力是所期望的。由

此，本发明提供了能够减小其尺寸的门驱动器电路。

本发明还提供了具有以上门驱动器电路的显示设备。

在根据本发明的门驱动器电路的示范实施例中，门驱动器电路包括第一移位寄存器和第二移位寄存器。第一移位寄存器包括多个第一级。第一移位寄存器响应于第一时钟信号、第二时钟信号、以及第三时钟信号，而将第 $(4n-3)$ 选通信号和第 $(4n-2)$ 选通信号分别施加到第 $(4n-3)$ 选通线和第 $(4n-2)$ 选通线。第二时钟信号具有相对于第一时钟信号而延迟了 $1H$ 时间的相位，而第三时钟信号具有与第一时钟信号相反的相位。第二移位寄存器包括多个第二级。第二移位寄存器响应于第一时钟信号、第三时钟信号、以及第四时钟信号，而将第 $(4n-1)$ 选通信号和第 $4n$ 选通信号分别施加到第 $(4n-1)$ 选通线和第 $4n$ 选通线。第四时钟信号具有与第二时钟信号相反的相位。这里， $n$ 表示自然数。

在根据本发明的显示设备的示范实施例中，显示设备包括显示面板、门驱动器电路、以及数据驱动器电路。显示面板响应于选通信号和数据信号而显示图像。门驱动器电路输出选通信号，而数据驱动器电路输出数据信号。门驱动器电路包括第一移位寄存器和第二移位寄存器。第一移位寄存器包括多个第一级。第一移位寄存器响应于第一时钟信号、第二时钟信号、以及第三时钟信号，而将第 $(4n-3)$ 选通信号和第 $(4n-2)$ 选通信号分别施加到第 $(4n-3)$ 选通线和第 $(4n-2)$ 选通线。第二时钟信号具有相对于第一时钟信号而延迟了 $1H$ 时间的相位，而第三时钟信号具有与第一时钟信号相反的相位。第二移位寄存器包括多个第二级。第二移位寄存器响应于第一时钟信号、第三时钟信号、以及第四时钟信号，而将第 $(4n-1)$ 选通信号和第 $4n$ 选通信号分别施加到第 $(4n-1)$ 选通线和第 $4n$ 选通线。第四时钟信号具有与第二时钟信号相反的相位。

在根据本发明的显示设备的另一个示范实施例中，显示设备包括显示面板，其包括每一个都具有第一末端和第二末端的多条选通线。第一移位寄存器响应于选通线的第一末端上的第一时钟信号和第二时钟信号，并响应于选通线的第二末端上的第三时钟信号。第二移位寄存器响应于选通线的第二末端上的第三时钟信号和第四时钟信号，并响应于选通线的第一末端上的第一时钟信号。

因此，可减小第一和第二移位寄存器中的晶体管的数目，以减小第一和

第二移位寄存器的尺寸。另外，可有效地使用阵列基板的空间，以便可减小形成门驱动器电路的阵列基板的面积。

#### 附图说明

通过参照附图而详细描述本发明的示范实施例，本发明的以上和其它特征和优点将变得更为清楚，附图中：

图 1 为图解根据本发明的门驱动器电路的示范实施例的框图；

图 2 为图解图 1 中的门驱动器电路的输入和输出的时序图；

图 3 为图解图 1 中的奇数左级 (left stage) 和偶数左级的电路图；

图 4 为图解图 1 中的奇数右级 (right stage) 和偶数右级的电路图；以及

图 5 为图解具有图 1 中的门驱动器电路的 LCD 设备的示范实施例的示意性平面图。

#### 具体实施方式

应当理解，在不背离这里公开的发明原理的情况下，下面描述的本发明的示范实施例可以很多不同的方式作出变化，并且，因此，本发明的范围不限于下面的这些特定实施例。相反，提供这些实施例，以便通过例子而不是限定的方式，使此公开变得透彻和完整，并将对本领域的技术人员完全地传达本发明的概念。

下文中，将通过参照附图来描述的本发明的实施例。在所有附图中，相同的附图标记表示相同的元素。

图 1 为图解根据本发明的门驱动器电路的示范实施例的框图，而图 2 为图解图 1 中的门驱动器电路的输入和输出的时序图。

参照图 1，门驱动器电路 100 包括第一移位寄存器 110 和第二移位寄存器 120。

第一移位寄存器 110 包括多个左(或第一)级 S-LO 和 S-LE，其将第(4n-3)选通信号和第(4n-2)选通信号分别施加到第(4n-3)选通线 GL4n-3 和第(4n-2)选通线 GL4n-2，并且，第二移位寄存器 120 包括多个右(或第二)级 S-RO 和 S-RE，其将第(4n-1)选通信号和第 4n 选通信号分别施加到第(4n-1)选通线 GL4n-1 和第 4n 选通线 GL4n，其中，“n”表示自然数。换句话说，“n”为正整数。

第一移位寄存器 110 接收扫描开始信号 STV、第一时钟信号 L-CK、第二时钟信号 L-CKB、第三时钟信号 R-CK、以及截止电压 Voff。第二移位寄存器 120 接收第一时钟信号 L-CK、第三时钟信号 R-CK、第四时钟信号 R-CKB、以及截止电压 Voff。传送第一和第二时钟信号 L-CK 和 L-CKB 的第一时钟线路 (wiring) CL1 和第二时钟线路 CL2 与第一移位寄存器 110 相邻。传送第三和第四时钟信号 R-CK 和 R-CKB 的第三时钟线路 CL-3 和第四时钟线路 CL-4 与第二移位寄存器 120 相邻。通常, 如所示出的, 所述时钟线路可与选通线垂直走向。

接收第三时钟信号 R-CK 的第一移位寄存器 110 的右晶体管与第三时钟线路 CL-3 相邻。接收第一时钟信号 L-CK 的第二移位寄存器 120 的左晶体管与第一时钟线路 CL-1 相邻。下面将通过参照图 3 和 4 来进一步说明左和右晶体管的位置。

参照图 2, 第一、第二、第三和第四时钟信号 L-CK、L-CKB、R-CK 和 R-CKB 中的每个具有时间周期 4H。应当理解, “H” 表示水平周期的单位, 例如, “1H” 等于选通时钟信号的一个周期。详细地, 第一、第二、第三和第四时钟信号 L-CK、L-CKB、R-CK 和 R-CKB 中的每个在 2H 时间内具有高状态或电平, 且在 2H 时间内具有低状态或电平。第二时钟信号 L-CKB 的相位相对于第一时钟信号 L-CK 的相位而延迟了 1H 时间。第三时钟信号 R-CK 具有与第一时钟信号 L-CK 的相位相反的相位, 并相对于第二时钟信号 L-CKB 的相位而延迟了 1H 时间, 并且, 第四时钟信号 R-CKB 具有与第二时钟信号 L-CKB 的相位相反的相位, 并相对于第三时钟信号 R-CK 的相位而延迟了 1H 时间,

奇数左级 S-LO 响应于第一时钟信号 L-CK, 而在 1H 时间内将第  $(4n-3)$  选通信号施加到第  $(4n-3)$  选通线 GL $4n-3$ 。在经过了 1H 时间之后, 奇数左级 S-LO 响应于第二时钟信号 L-CKB, 而使第  $(4n-3)$  选通线 GL $4n-3$  的电压下降为截止电压 Voff。随后, 奇数左级响应于第一和第三时钟信号 L-CK 和 R-CK, 而将第  $(4n-3)$  选通信号维持为截止电压 Voff。

偶数左级 S-LE 响应于第二时钟信号 L-CKB, 而在 1H 时间内将第  $(4n-2)$  选通信号施加到第  $(4n-2)$  选通线 GL $4n-2$ 。在经过了 1H 时间之后, 偶数左级 S-LE 响应于第三时钟信号 R-CK, 而使第  $(4n-2)$  选通线 GL $4n-2$  的电压下降为截止电压 Voff。随后, 偶数左级响应于第一和第三时钟信号 L-CK 和

R-CK，而将第 $(4n-2)$ 选通信号维持为截止电压 Voff。

奇数右级 S-RO 响应于第三时钟信号 R-CK，而在 1H 时间内将第 $(4n-1)$ 选通信号施加到第 $(4n-1)$ 选通线 GL $4n-1$ 。在经过了 1H 时间之后，奇数右级 S-RO 响应于第四时钟信号 R-CKB，而使第 $(4n-1)$ 选通线 GL $4n-1$ 的电压下降为截止电压 Voff。随后，奇数右级响应于第一和第三时钟信号 L-CK 和 R-CK，而将第 $(4n-1)$ 选通信号维持为截止电压 Voff。

偶数右级 S-RE 响应于第四时钟信号 R-CKB，而在 1H 时间内将第 $4n$ 选通信号施加到第 $4n$ 选通线 GL $4n$ 。在经过了 1H 时间之后，偶数右级 S-RE 响应于第四时钟信号 R-CKB，而使第 $4n$ 选通线 GL $4n$ 的电压下降为截止电压 Voff。随后，偶数右级响应于第一和第三时钟信号 L-CK 和 R-CK，而将第 $4n$ 选通信号维持为截止电压 Voff。

图 3 为图解图 1 中的奇数左级和偶数左级的电路图。

参照图 3，应当理解，尽管仅图解了一个奇数左级 S-LO 和一个偶数左级 S-LE，但第一移位寄存器 110 可包括多个奇数和偶数左级 S-LO 和 S-LE。奇数左级 S-LO 包括：第一左晶体管 LT1；第二左晶体管 LT2；第四、第五、第六、第七和第八晶体管 LT4、LT5、LT6、LT7 和 LT8；第三右晶体管 RT3；第一左电容器 LC1；以及第二左电容器 LC2。偶数左级 S-LE 包括：第九左晶体管 LT9；第十一、第十二、第十三、第十四和第十五左晶体管 LT11、LT12、LT13、LT14 和 LT15；第十右晶体管 RT10；第三左电容器 LC3；以及第四左电容器 LC4。

第一、第二、第四、第五、第六、第七和第八左晶体管 LT1、LT2 以及 LT4 至 LT8、以及第一和第二左电容器 LC1 和 LC2 与第 $(4n-3)$ 选通线 GL $4n-3$ 的第一末端相邻。第三右晶体管 RT3 与第 $(4n-3)$ 选通线 GL $4n-3$ 的第二末端相邻。第九和第十一至第十五左晶体管 LT9、LT11 至 LT15、以及第三和第四左电容器 LC3 和 LC4 与第 $(4n-2)$ 选通线 GL $4n-2$ 的第一末端相邻。第十右晶体管 RT10 与第 $(4n-2)$ 选通线 GL $4n-2$ 的第二末端相邻。

第一左晶体管 LT1 包括电连接到第一节点 N1 的栅极、接收第一时钟信号 L-CK 的漏极、以及电连接到第 $(4n-3)$ 选通线 GL $4n-3$ 的源极。第二左晶体管 LT2 包括接收第二时钟信号 L-CKB 的栅极、电连接到第 $(4n-3)$ 选通线的漏极、以及接收截止电压 Voff 的源极。

第一左晶体管 LT1 响应于第一节点 N1 的电压，而将高电平的第一时钟

信号 L-CK 施加到第 (4n-3) 选通线 GL4n-3。第二左晶体管 LT2 响应于高电平的第二时钟信号 L-CKB, 而使第 (4n-3) 选通线 GL4n-3 的电压下降为截止电压 Voff, 使得第 (4n-3) 选通线 GL4n-3 被放电为截止电压 Voff。

第三右晶体管 RT3 包括接收第三时钟信号 R-CK 的栅极、电连接到第 (4n-3) 选通线 GL4n-3 的漏极、以及接收截止电压 Voff 的源极。第四左晶体管 LT4 包括电连接到第二节点 N2 的栅极、电连接到第 (4n-3) 选通线 GL4n-3 的漏极、以及接收截止电压 Voff 的源极。第四左晶体管 LT4 的漏极可电连接到第二左晶体管 LT2 的漏极, 或为第二左晶体管 LT2 的相同的漏极, 并且, 第四左晶体管 LT4 的源极可电连接到第二左晶体管 LT2 的漏极, 或为第二左晶体管 LT2 的相同的漏极。第一时钟信号 L-CK 被施加到第二节点 N2。

当第三时钟信号 R-CK 从低电平改变为高电平时, 第三右晶体管 RT3 响应于高电平的第三时钟信号 R-CK, 而将截止电压 Voff 施加到第 (4n-3) 选通线 GL4n-3。结果, 第 (4n-3) 选通线的电压在 2H 的时间周期内变为截止电压 Voff。随后, 当第三时钟信号 R-CK 从高电平改变为低电平时, 第一时钟信号 L-CK 从低电平改变为高电平。因此, 第四左晶体管 LT4 响应于高电平的第一时钟信号 L-CK, 而将截止电压 Voff 施加到第 (4n-3) 选通线 GL4n-3。

因此, 即使在第三时钟信号 R-CK 改变为低电平时, 第 (4n-3) 选通信号也响应于第一时钟信号 L-CK, 而在 2H 时间内维持为截止电压 Voff。换句话说, 通过具有彼此相反的相位的第一和第三时钟信号 L-CK 和 R-CK 而将第 (4n-3) 选通信号维持为截止电压 Voff。

第五左晶体管 LT5 包括栅极、漏极、以及电连接到第一节点 N1 的源极。第五左晶体管 LT5 的栅极和漏极彼此电连接, 并且, 将扫描开始信号 STV 施加到第五左晶体管 LT5 的栅极和漏极。第一左电容器 LC1 包括电连接到第一左晶体管 LT1 的栅极的第一端、以及电连接到第一左晶体管 LT1 的源极的第二端。

当将扫描开始信号 STV 通过第五左晶体管 LT5 而施加到第一节点 N1 时, 第一左晶体管 LT1 响应于扫描开始信号 STV, 经由第一左晶体管 LT1 的栅极而导通。第五左晶体管 LT5 响应于扫描开始信号 STV, 而对第一左电容器 LC1 进行充电。结果, 将高电平的第一时钟信号 L-CK 通过第一左晶体管 LT1 而施加到第 (4n-3) 选通线 GL4n-3, 作为第 (4n-3) 选通信号。可替换地, 如果  $n > 1$ , 则第五左晶体管 LT5 可从先前的选通线接收选通信号。

第六左晶体管 LT6 包括接收第  $(4n-2)$  选通信号的栅极、电连接到第一节点 N1 的漏极、以及接收截止电压  $V_{off}$  的源极。第七左晶体管 LT7 包括电连接到第一节点 N1 的栅极、接收第一时钟信号 L-CK 的漏极、以及接收截止电压  $V_{off}$  的源极。第八左晶体管 LT8 包括接收第二时钟信号 L-CKB 的栅极、电连接到第  $(4n-3)$  选通线 GL4n-3 的漏极、以及接收截止电压  $V_{off}$  的源极。第八左晶体管 LT8 的漏极可电连接到第六左晶体管 LT6 的漏极，或为第六左晶体管 LT6 的相同的漏极，并且，第八左晶体管 LT8 的源极可电连接到第六左晶体管 LT6 的漏极，或为第六左晶体管 LT6 的相同的漏极。

当将第  $(4n-2)$  选通信号通过第六左晶体管 LT6 的栅极而施加到第六左晶体管 LT6 时，截止电压  $V_{off}$  被施加到第一节点 N1，使得第一左晶体管 LT1 通过第一左晶体管 LT1 的栅极而截止。

当第一节点 N1 的电压降低为截止电压  $V_{off}$  时，第七左晶体管 LT7 通过第七左晶体管 LT7 的栅极而截止，使得第一时钟信号 L-CK 被施加到第二节点 N2。当第一时钟信号 L-CK 从低电平改变为高电平时，电连接到第二节点 N2 的第四和第八左晶体管 LT4 和 LT8 响应于高电平的第一时钟信号 L-CK 而导通。导通的第八左晶体管 LT8 使第一节点 N1 的电压下降为截止电压  $V_{off}$ ，并且，导通的第四左晶体管 LT4 将截止电压  $V_{off}$  施加到第  $(4n-3)$  选通线 GL4n-3。

对于偶数左级 S-LE，第九左晶体管 LT9 包括电连接到第三节点 N3 的栅极、接收第二时钟信号 L-CKB 的漏极、以及电连接到第  $(4n-2)$  选通线 GL4n-2 的源极。第十右晶体管 RT10 包括接收第三时钟信号 R-CK 的栅极、电连接到第  $(4n-2)$  选通线 GL4n-2 的漏极、以及接收截止电压  $V_{off}$  的源极。第十一左晶体管 LT11 包括接收第一时钟信号 L-CK 的栅极、电连接到第  $(4n-2)$  选通线 GL4n-2 的漏极、以及接收截止电压  $V_{off}$  的源极。应当注意，偶数左级 S-LE 不需要将第四节点 N4 连接到共享第十一左晶体管 LT11 的漏极和源极的晶体管的栅极的额外的晶体管。

第九左晶体管 LT9 响应于第三节点 N3 的电压而输出高电平的第二时钟信号 L-CKB，作为第  $(4n-2)$  选通信号。因此，与高电平的第二时钟信号 L-CKB 相对应的第  $(4n-2)$  选通信号被施加到第  $(4n-2)$  选通线 GL4n-2。

当第三时钟信号 R-CK 从低电平改变为高电平时，第十右晶体管 RT10 响应于第三时钟信号 R-CK 而将截止电压  $V_{off}$  施加到第  $(4n-2)$  选通线

GL4n-2。结果，第(4n-2)选通线 GL4n-2 在 2H 时间内被维持为低电平。

随后，当第三时钟信号 R-CK 从高电平改变为低电平时，第一时钟信号 L-CK 从低电平改变为高电平。对于高电平的第一时钟信号 L-CK，第十一左晶体管 LT11 使第(4n-2)选通信号的电压下降为截止电压  $V_{off}$ 。结果，第(4n-2)选通线 GL4n-2 的电压降低为截止电压  $V_{off}$ 。

因此，即使在第三时钟信号 R-CK 改变为低电平时，第(4n-2)选通信号也在 2H 时间内维持为截止电压  $V_{off}$ 。换句话说，通过具有彼此相反的相位的第一和第三时钟信号 L-CK 和 R-CK 而将第(4n-2)选通信号维持为截止电压  $V_{off}$ 。

第十二左晶体管 LT12 包括栅极、电连接到栅极的漏极、以及电连接到第三节点 N3 的源极。第十二左晶体管 LT12 的栅极和漏极电连接到选通线 GL4n-3。由此，第(4n-3)选通信号被施加到第十二左晶体管 LT12 的栅极和漏极。第三左电容器 LC3 包括电连接到第九左晶体管 LT9 的栅极的第一端、以及电连接到第九左晶体管 LT9 的源极的第二端。

当将第(4n-3)选通信号通过第十二左晶体管 LT12 而施加到第三节点 N3 时，第九左晶体管 LT9 输出高电平的第二时钟信号 L-CKB，作为第(4n-2)选通信号。将第二时钟信号 L-CKB 施加到第(4n-2)选通线 GL4n-2。

第十三左晶体管 LT13 包括接收第(4n-1)选通信号的栅极、电连接到第三节点 N3 的漏极、以及接收截止电压  $V_{off}$  的源极。第十四左晶体管 LT14 包括电连接到第三节点 N3 的栅极、电连接到第四节点 N4 的漏极、以及接收截止电压  $V_{off}$  的源极。第十五左晶体管 LT15 包括电连接到第四节点 N4 的栅极、电连接到第三节点 N3 的漏极、以及接收截止电压  $V_{off}$  的源极。第十五左晶体管 LT15 的漏极可电连接到第十三左晶体管 LT13 的漏极，或为第十三左晶体管 LT13 的相同的漏极，并且，第十五左晶体管 LT15 的源极可电连接到第十三左晶体管 LT13 的源极、或为第十三左晶体管 LT13 的相同的源极。

当将第(4n-1)选通信号施加到第十三左晶体管 LT13 时，截止电压  $V_{off}$  被施加到第三节点 N3，使得第九左晶体管 LT9 被截止。当第三节点 N3 的电压下降为截止电压  $V_{off}$  时，第十四左晶体管 LT14 被截止，使得第二时钟信号 L-CKB 被施加到第四节点 N4。当第二时钟信号 L-CKB 从低电平改变为高电平时，电连接到第四节点 N4 的第十五左晶体管 LT15 响应于高电平的第二时钟信号 L-CKB，而使第三节点 N3 的电压下降为截止电压  $V_{off}$ 。

如上所述, 通过利用第三时钟信号 R-CK 来控制奇数左级 S-LO 和偶数左级 S-LE, 偶数左级 S-LE 仅包括七个晶体管。因此, 减小了第一移位寄存器 110 的尺寸。

图 4 为图解图 1 中的奇数右级和偶数右级的电路图。

参照图 4, 应当理解, 尽管仅图解了一个奇数右级 S-RO 和一个偶数右级 S-RE, 但第二移位寄存器 120 可包括多个奇数和偶数右级 S-RO 和 S-RE。奇数右级 S-RO 包括: 第一、第二、第四、第五、第六、第七和第八右晶体管 RT1、RT2、RT4、RT5、RT6、RT7 和 RT8; 以及第三左晶体管 LT3。偶数右级 S-RE 包括: 第九、第十一、第十二、第十三、第十四和第十五右晶体管 RT9、RT11、RT12、RT13、RT14 和 RT15; 以及第十左晶体管 LT10。

第一、第二、以及第四至第八右晶体管 RT1、RT2 以及 RT4 至 RT8 电连接到第  $(4n-1)$  选通线 GL4n-1 的第一末端, 并且, 第三左晶体管 LT3 电连接到第  $(4n-1)$  选通线 GL4n-1 的第二末端。第九和第十一至第十五右晶体管 RT9、以及 RT11 至 RT15 电连接到第  $4n$  选通线 GL4n 的第一末端, 并且, 第十左晶体管 LT10 电连接到第  $4n$  选通线 GL4n 的第二末端。

对于奇数右级 S-RO, 第一右晶体管 RT1 包括电连接到第五节点 N5 的栅极、接收第三时钟信号 R-CK 的漏极、以及电连接到第  $(4n-1)$  选通线 GL4n-1 的源极。第二右晶体管 RT2 包括接收第四时钟信号 R-CKB 的栅极、电连接到第  $(4n-1)$  选通线 GL4n-1 的漏极、以及接收截止电压 Voff 的源极。

第一右晶体管 RT1 响应于第五节点 N5 的电压, 经第一右晶体管 RT1 的源极而输出高电平的第三时钟信号 R-CK, 作为第  $(4n-1)$  选通信号。因此, 与高电平的第三时钟信号 R-CK 相对应的第  $(4n-1)$  选通信号被施加到第  $(4n-1)$  选通线 GL4n-1。第二右晶体管 RT2 响应于高电平的第四时钟信号 R-CKB, 而使第  $(4n-1)$  选通信号下降为截止电压 Voff, 使得第  $(4n-1)$  选通线 GL4n-1 降低为截止电压 Voff。

第三左晶体管 LT3 包括接收第一时钟信号 L-CK 的栅极、电连接到第  $(4n-1)$  选通线 GL4n-1 的漏极、以及接收截止电压 Voff 的源极。第四右晶体管 RT4 包括电连接到第六节点 N6 的栅极、电连接到第  $(4n-1)$  选通线 GL4n-1 的漏极、以及接收截止电压 Voff 的源极。第四右晶体管 RT4 的漏极可电连接到第二右晶体管 RT2 的漏极, 或为第二右晶体管 RT2 的相同的漏极, 并且, 第四右晶体管 RT4 的源极可电连接到第二右晶体管 RT2 的漏极, 或为第二右

晶体管 RT2 的相同的漏极。第三时钟信号 R-CK 被施加到第六节点 N6。

当第一时钟信号 L-CK 从低电平改变为高电平时，第三左晶体管 LT3 响应于高电平的第一时钟信号 L-CK，而将截止电压  $V_{off}$  施加到第  $(4n-1)$  选通线 GL $4n-1$ 。因此，第  $(4n-1)$  选通信号可在 2H 时间内维持为截止电压  $V_{off}$ 。随后，当第一时钟信号 L-CK 从高电平改变为低电平时，第三时钟信号 R-CK 从低电平改变为高电平。因此，第四右晶体管 RT4 响应于第三时钟信号 R-CK，而将截止电压  $V_{off}$  施加到第  $(4n-1)$  选通线 GL $4n-1$ 。

结果，即使在第一时钟信号 L-CK 改变为低电平时，第  $(4n-1)$  选通信号也响应于第三时钟信号 R-CK，而在 2H 时间内维持为截止电压  $V_{off}$ 。换句话说，通过具有彼此相反的相位的第一和第三时钟信号 L-CK 和 R-CK 而维持第  $(4n-1)$  选通信号。

第五右晶体管 RT5 包括栅极、电连接到栅极的漏极、以及电连接到第五节点 N5 的源极。第一右电容器 RC1 包括电连接到第一右晶体管 RT1 的栅极的第一端、以及电连接到第一右晶体管 RT1 的源极的第二端。

当将第  $(4n-2)$  选通信号通过第五右晶体管 RT5 而施加到第五节点 N5 时，第一右晶体管 RT1 响应于第  $(4n-2)$  选通信号而被导通。结果，高电平的第三时钟信号 R-CK 被施加到第  $(4n-1)$  选通线 GL $4n-1$ 。换句话说，高电平的第三时钟信号 R-CK 对应于第  $(4n-1)$  选通信号。

第六右晶体管 RT6 包括接收第  $4n$  选通信号的栅极、电连接到第五节点 N5 的漏极、以及接收截止电压  $V_{off}$  的源极。第七右晶体管 RT7 包括电连接到第五节点 N5 的栅极、接收第三时钟信号 R-CK 的漏极、以及接收截止电压  $V_{off}$  的源极。第八右晶体管 RT8 包括接收第四时钟信号 R-CKB 的栅极、电连接到第  $(4n-1)$  选通线 GL $4n-1$  的漏极、以及接收截止电压  $V_{off}$  的源极。第八右晶体管 RT8 的漏极可电连接到第六右晶体管 RT6 的漏极，或为第六右晶体管 RT6 的相同的漏极，并且，第八右晶体管 RT8 的源极可电连接到第六右晶体管 RT6 的漏极、或为第六右晶体管 RT6 的相同的漏极。

当将第  $4n$  选通信号施加到第六右晶体管 RT6 时，截止电压  $V_{off}$  被施加到第五节点 N5，使得第一右晶体管 RT1 被截止。

当第五节点 N5 的电压下降为截止电压  $V_{off}$  时，第七右晶体管 RT7 被截止，使得第三时钟信号 R-CK 被施加到第六节点 N6。当第三时钟信号 R-CK 从低电平改变为高电平时，电连接到第六节点 N6 的第四和第八右晶体管 RT4

和 RT8 响应于高电平的第三时钟信号 R-CK 而被导通。导通的第八右晶体管 RT8 使第五节点 N5 的电压降低为截止电压  $V_{off}$ ，并且，第四右晶体管 RT4 将截止电压施加到第  $(4n-1)$  选通线 GL4n-1。

对于偶数右级 S-RE，第九右晶体管 RT9 包括电连接到第七节点 N7 的栅极、接收第四时钟信号 R-CKB 的漏极、以及电连接到第  $4n$  选通线 GL4n 的源极。第十左晶体管 LT10 包括接收第一时钟信号 L-CK 的栅极、电连接到第  $4n$  选通线 GL4n 的漏极、以及接收截止电压  $V_{off}$  的源极。第十一右晶体管 RT11 包括接收第三时钟信号 R-CK 的栅极、电连接到第  $4n$  选通线 GL4n 的漏极、以及接收截止电压  $V_{off}$  的源极。应当注意，偶数右级 S-RE 不需要将第八节点 N8 连接到共享第十一右晶体管 RT11 的漏极和源极的晶体管的栅极的额外的晶体管。

第九右晶体管 RT9 响应于第七节点 N7 的电压而输出第四时钟信号 R-CKB，作为第  $4n$  选通信号。因此，与第四时钟信号 R-CKB 相对应的第  $4n$  选通信号被施加到第  $4n$  选通线 GL4n。

当第一时钟信号 L-CK 从高电平改变为低电平时，第十左晶体管 LT10 响应于高电平的第一时钟信号 L-CK 而将截止电压  $V_{off}$  施加到第  $4n$  选通线 GL4n。因此，第  $4n$  选通信号在  $1H$  时间内被维持为高电平，并随后在  $2H$  时间内被第一时钟信号 L-CK 维持为低电平。

当第一时钟信号 L-CK 从高电平改变为低电平时，第三时钟信号 R-CK 从低电平改变为高电平。响应于高电平的第三时钟信号 R-CK，第十一右晶体管 RT11 使第  $4n$  选通信号降低为截止电压  $V_{off}$ ，使得第  $4n$  选通线 GL4n 降低为截止电压  $V_{off}$ 。

结果，即使在第一时钟信号 L-CK 改变为低电平时，第  $4n$  选通信号也可在  $2H$  时间内响应于第三时钟信号 R-CK 而被维持为截止电压  $V_{off}$ 。换句话说，通过具有彼此相反的相位的第一和第三时钟信号 L-CK 和 R-CK 而将第  $4n$  选通信号维持为截止电压  $V_{off}$ 。

第十二右晶体管 RT12 包括栅极、电连接到栅极的漏极、以及电连接到第七节点 N7 的源极。第十二右晶体管 RT12 的栅极和漏极电连接到选通线 GL4n-1。第三右电容器 RC3 包括电连接到第九右晶体管 RT9 的栅极的第一端、以及电连接到第九右晶体管 RT9 的源极的第二端。

当将第  $(4n-1)$  选通信号通过第十二右晶体管 RT12 而施加到第七节点

N7 时，第九右晶体管 RT9 响应于第  $(4n-1)$  选通信号而将高电平的第四时钟信号 R-CKB 施加到第  $4n$  选通线 GL $4n$ 。也就是说，高电平的第四时钟信号 R-CKB 对应于第  $4n$  选通信号。

第十三右晶体管 RT13 包括接收第  $(4n-3)$  选通信号的栅极、电连接到第七节点 N7 的漏极、以及接收截止电压 Voff 的源极。第十四右晶体管 RT14 包括电连接到第七节点 N7 的栅极、电连接到第八节点 N8 的漏极、以及接收截止电压 Voff 的源极。第十五右晶体管 RT15 包括电连接到第八节点 N8 的栅极、电连接到第七节点 N7 的漏极、以及接收截止电压 Voff 的源极。第十五右晶体管 RT15 的漏极可电连接到第十三右晶体管 RT13 的漏极，或为第十三右晶体管 RT13 的相同的漏极，并且，第十五右晶体管 RT15 的源极可电连接到第十三右晶体管 RT13 的漏极，或为第十三右晶体管 RT13 的相同的漏极。当将第  $(4n-3)$  选通信号施加到第十三右晶体管 RT13 的栅极时，截止电压 Voff 被施加到第七节点 N7，使得第九右晶体管 RT9 经由第九右晶体管 RT9 的栅极而被截止。当第七节点 N7 的电压降低为截止电压 Voff 时，第十四右晶体管 RT14 经由第十四右晶体管 RT14 的栅极而被截止，使得第四时钟信号 R-CKB 被施加到第八节点 N8。当第四时钟信号 R-CKB 从低电平改变为高电平时，电连接到第八节点 N8 的第十五右晶体管 RT15 响应于高电平的第四时钟信号 R-CKB，而使第七节点 N7 的电压降低为截止电压 Voff。

如上所示，通过第一时钟信号 L-CK 来控制奇数右级 S-RO 和偶数右级 S-RE，偶数右级 S-RE 可仅包括七个晶体管。因此，减小了第二移位寄存器 120 的尺寸。

图 5 为图解具有图 1 中的门驱动器电路的 LCD 设备的示意性平面图。

参照图 1 和 5，液晶显示 (“LCD”) 设备 600 包括显示面板 400、门驱动器电路 100、以及数据驱动器芯片 500。显示面板 400 显示图像，并且，门驱动器电路 100 和数据驱动器芯片 500 驱动显示面板 400。

显示面板 400 包括阵列基板 200、面对阵列基板 200 的滤色器基板 300、以及被置于阵列基板 200 和滤色器基板 300 之间的液晶层 (未示出)。显示面板 400 包括显示区域 DA、第一周边区域 PA1、以及第二周边区域 PA2。第一周边区域 PA1 环绕着显示区域 DA。第二周边区域 PA2 与第一周边区域 PA1 相邻。

阵列基板 200 包括：多条选通线 GL $4n-3$ 、GL $4n-2$ 、GL $4n-1$ 、以及 GL $4n$ ；

以及多条数据线 DL1、DL2、……、DLm。应当理解，尽管仅图解了四条选通线和两条数据线，但可在阵列基板 200 中提供多条类似的选通线和数据线。在显示区域 DA 内布置选通线 GL4n-3、GL4n-2、GL4n-1 和 GL4n、以及数据线 DL1、DL2、……、DLm。选通线 GL4n-3、GL4n-2、GL4n-1 和 GL4n 与数据线 DL1、DL2、……、DLm 电绝缘。选通线 GL4n-3、GL4n-2、GL4n-1 和 GL4n 沿第一方向而延伸，而数据线 DL1、DL2、……、DLm 沿与第一方向基本垂直的第二方向而延伸。薄膜晶体管 (“TFT”) 210 和像素电极 (未示出) 形成在由两条相邻的选通线和两条相邻的数据线定义的区域中。TFT 210 包括：电连接到选通线 GL4n-3、GL4n-2、GL4n-1 和 GL4n 中的一条的栅极；以及电连接到数据线 DL1、DL2、……、DLm 中的一条的源极。像素电极还包括电连接到 TFT 210 的漏极。

门驱动器电路 100 包括第一和第二移位寄存器 110 和 120。第一移位寄存器 110 中的大多数晶体管被置于第一周边区域 PA1 中，使得第一移位寄存器 110 中的大多数晶体管与选通线 GL4n-3、GL4n-2、GL4n-1 和 GL4n 的第一末端相邻。第二移位寄存器 120 中的大多数晶体管被置于第一周边区域 PA1 中，使得第二移位寄存器 120 中的大多数晶体管与选通线 GL4n-3、GL4n-2、GL4n-1 和 GL4n 的第二末端相邻。

分别传送第一和第二时钟信号 L-CK 和 L-CKB 的第一和第二时钟线路 CL1 和 CL2 与第一移位寄存器 110 相邻。传送第三和第四时钟信号 R-CK 和 R-CKB 的第三和第四时钟线路 CL3 和 CL4 与第二移位寄存器 120 相邻。

第一移位寄存器 110 的、接收第三时钟信号 R-CK 的第三和第十右晶体管 RT3 和 RT10 与第二移位寄存器 120 的、邻接第三和第四时钟线路 CL3 和 CL4 的部分相邻。第二移位寄存器 120 的、接收第一时钟信号 L-CK 的第三和第十左晶体管 LT3 和 LT10 与第一移位寄存器 110 的、邻接第一和第二时钟线路 CL1 和 CL2 的部分相邻。

第一移位寄存器 110 将第 (4n-3) 选通信号和第 (4n-2) 选通信号分别施加到第 (4n-3) 选通线 GL4n-3 和第 (4n-2) 选通线 GL4n-2。随后，第二移位寄存器 120 将第 (4n-1) 选通信号和第 4n 选通信号分别施加到第 (4n-1) 选通线 GL4n-1 和第 4n 选通线 GL4n。如上所述，第一和第二移位寄存器 110 和 120 通过双线单元 (two-line units) 交替地输出选通信号，以驱动选通线 GL4n-3、GL4n-2、GL4n-1 和 GL4n。

数据驱动器芯片 500 被安装在阵列基板 200 的第二周边区域 PA2 上。数据驱动器芯片 500 电连接到数据线 DL1、DL2、……、DLm。数据驱动器芯片 500 将数据信号施加到数据线 DL1、DL2、……、DLm。

根据本发明的门驱动器电路和显示设备，通过第一至第三时钟信号来驱动第一移位寄存器，而通过第一、第三和第四时钟信号来驱动第二移位寄存器。

结果，可减小第一和第二移位寄存器中的晶体管的数目，以减小第一和第二移位寄存器的尺寸。

另外，接收第三时钟信号的第一移位寄存器的晶体管被置成与在选通线的第二末端上的第二移位寄存器相邻，而接收第一时钟信号的第二移位寄存器的晶体管被置成与在选通线的第一末端上的第一移位寄存器相邻。

结果，可有效地使用阵列基板的面积，以便可减小形成门驱动器电路的阵列基板的面积。

在描述了本发明的示范实施例及其优点之后，应当注意，在不背离如所附权利要求定义的本发明的精神和范围的情况下，这里可作出各种改变、替换和变更。此外，术语“第一”、“第二”等的使用不表示任何次序或重要性，而是使用术语“第一”、“第二”等来相互区分元素。此外，术语“一个”等的的使用不表示量的限制，而是表示存在所指项中的至少一个。

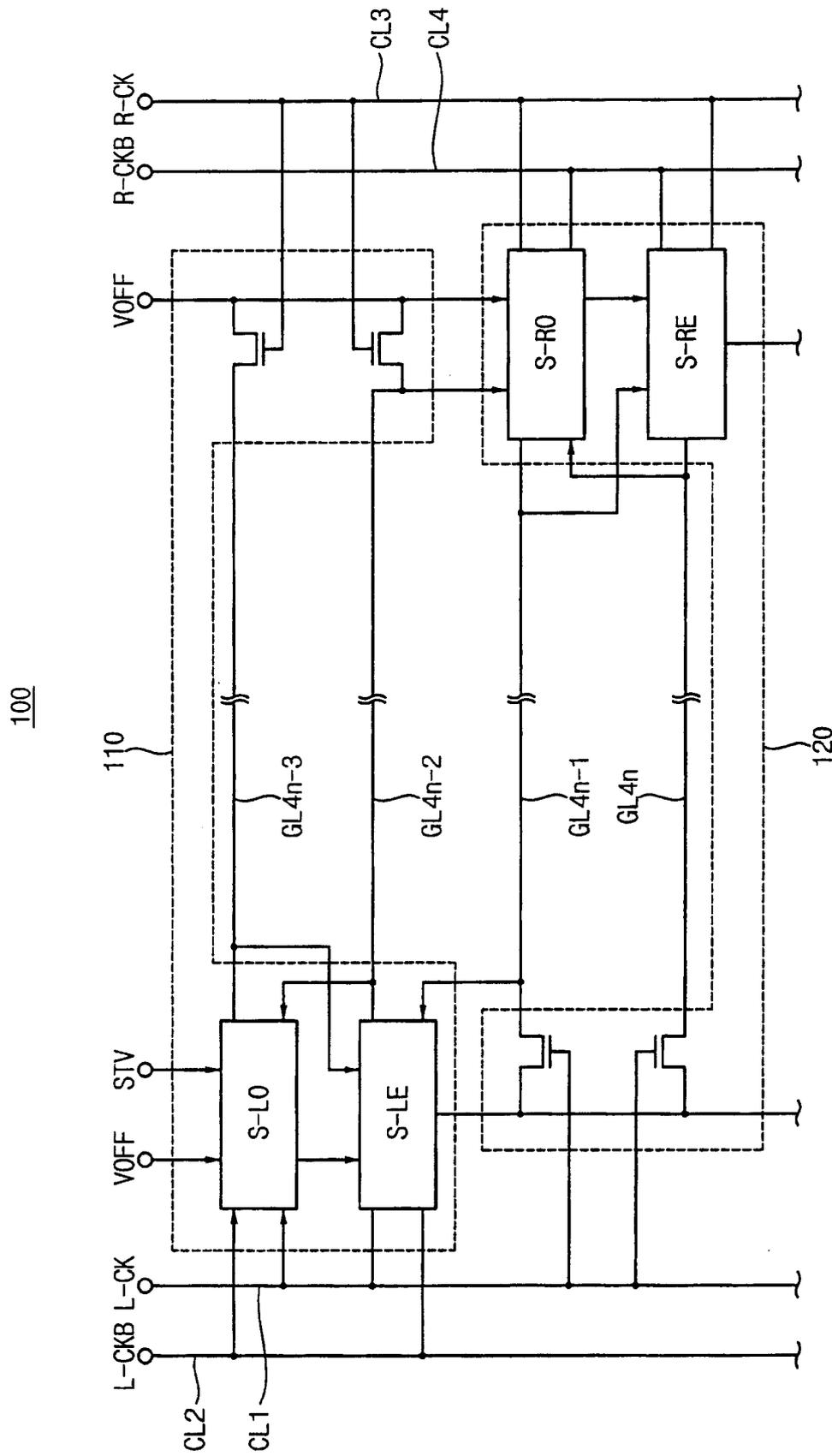


图 1

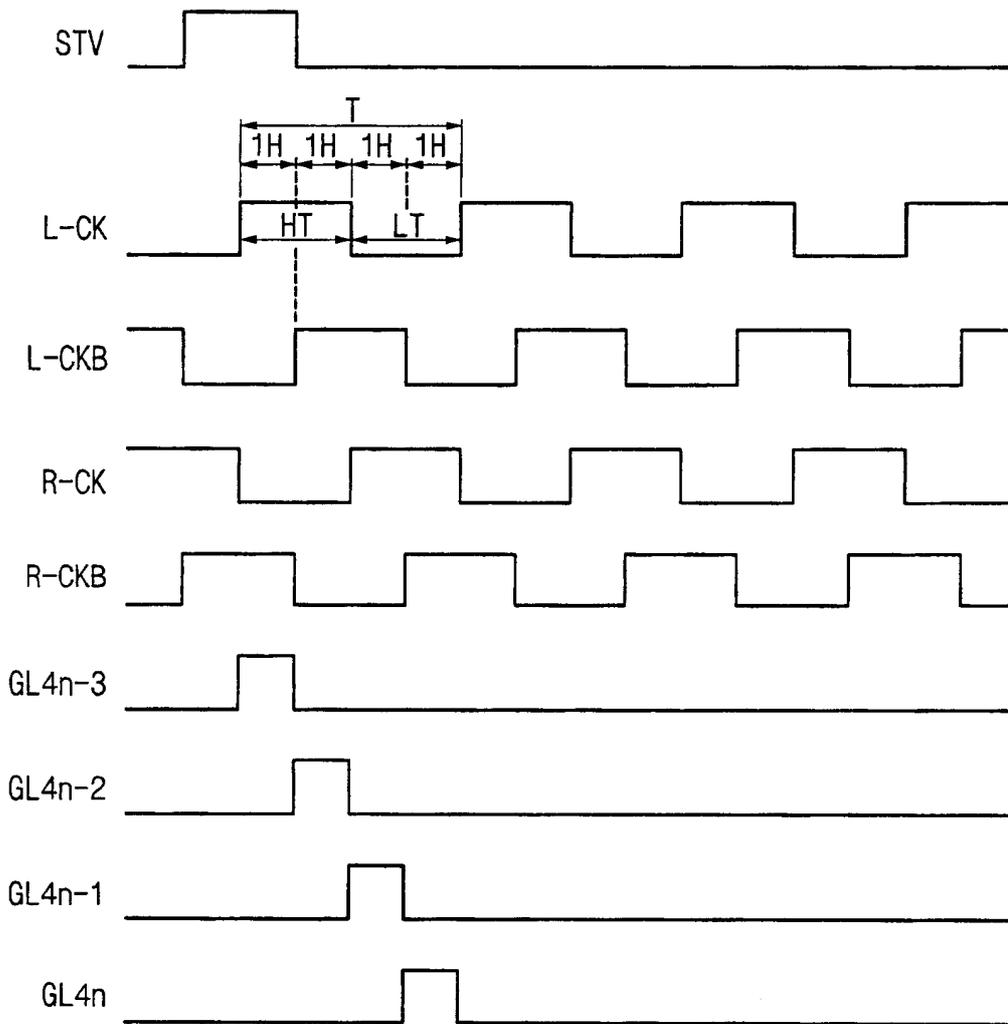


图 2

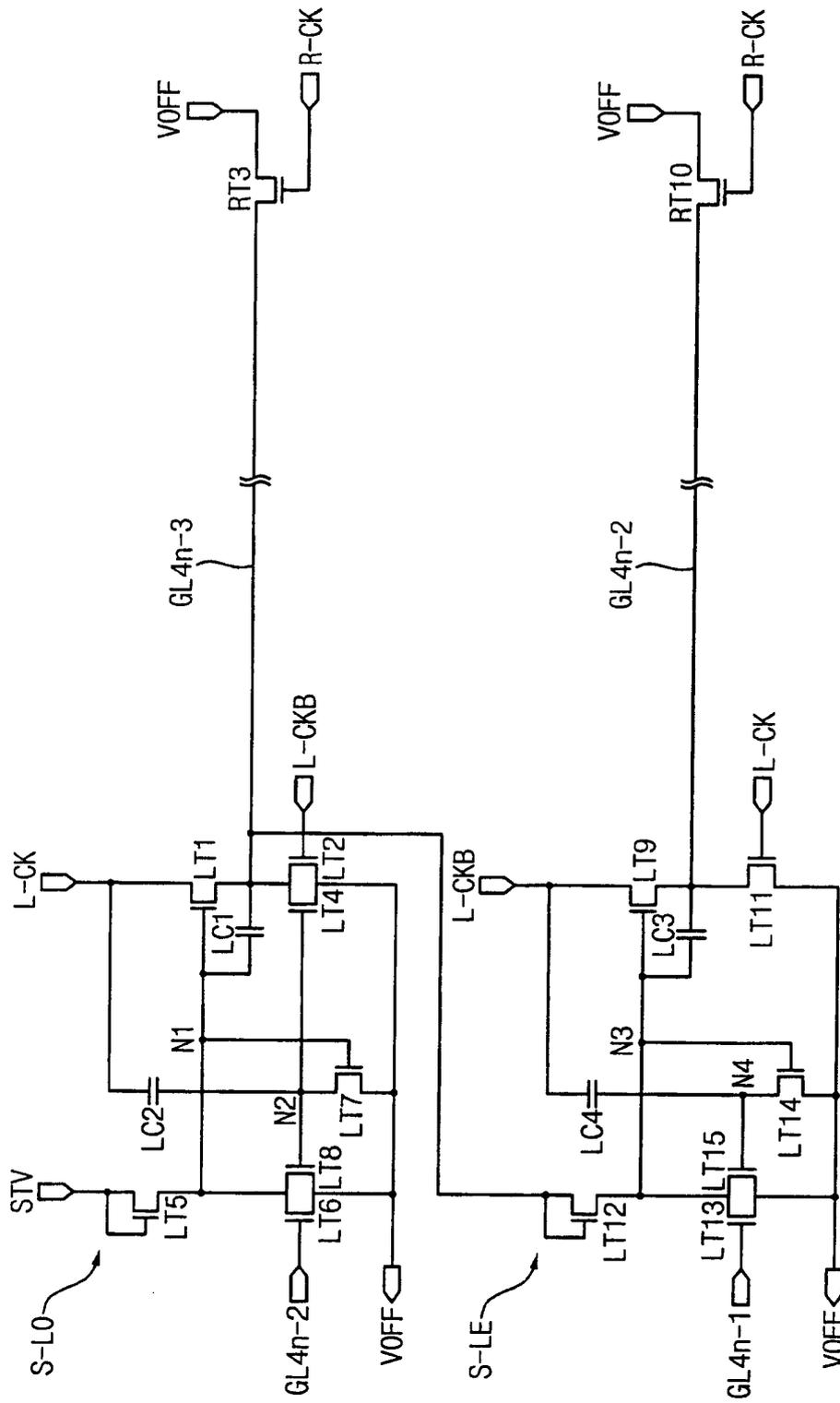


图 3

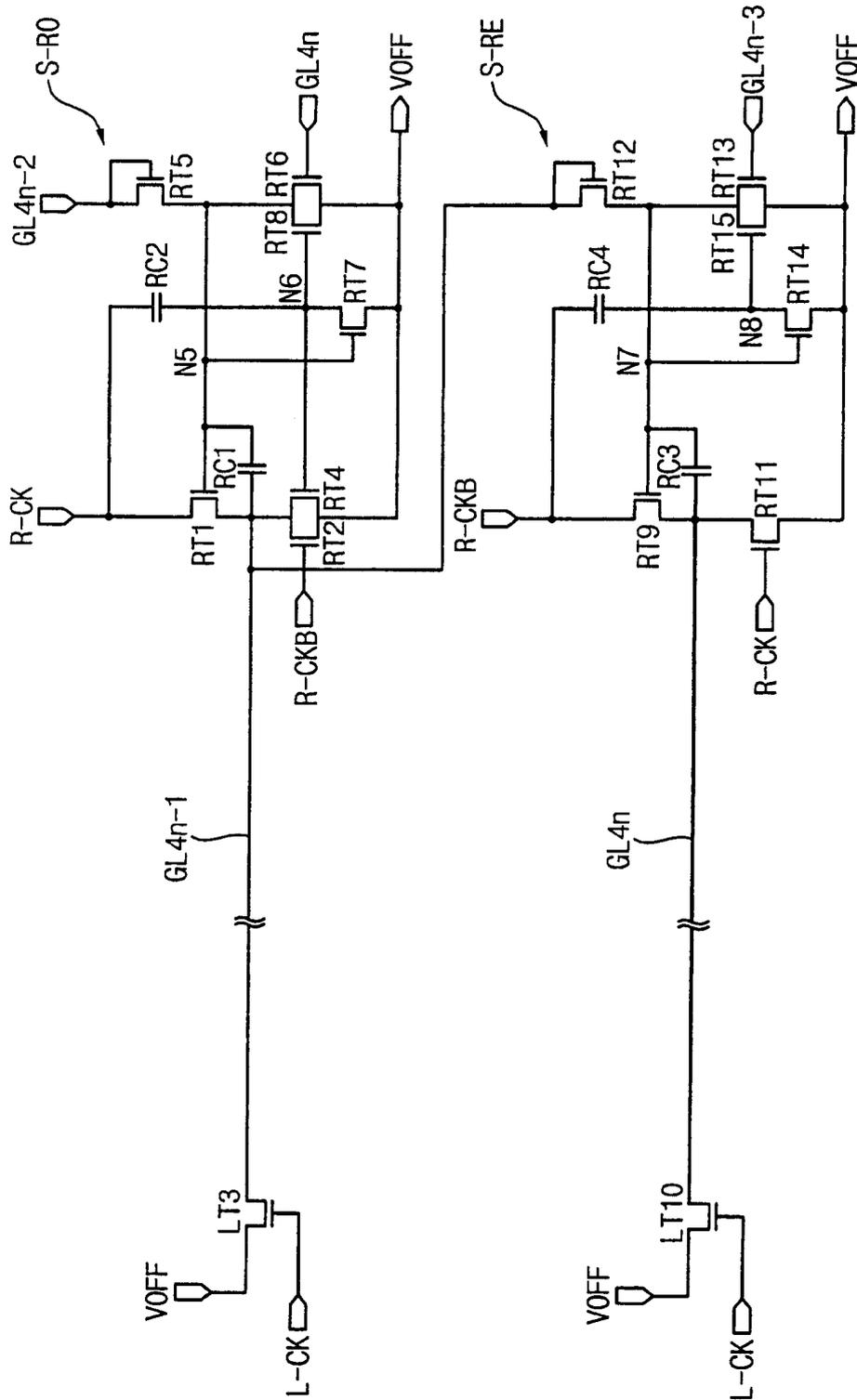


图 4

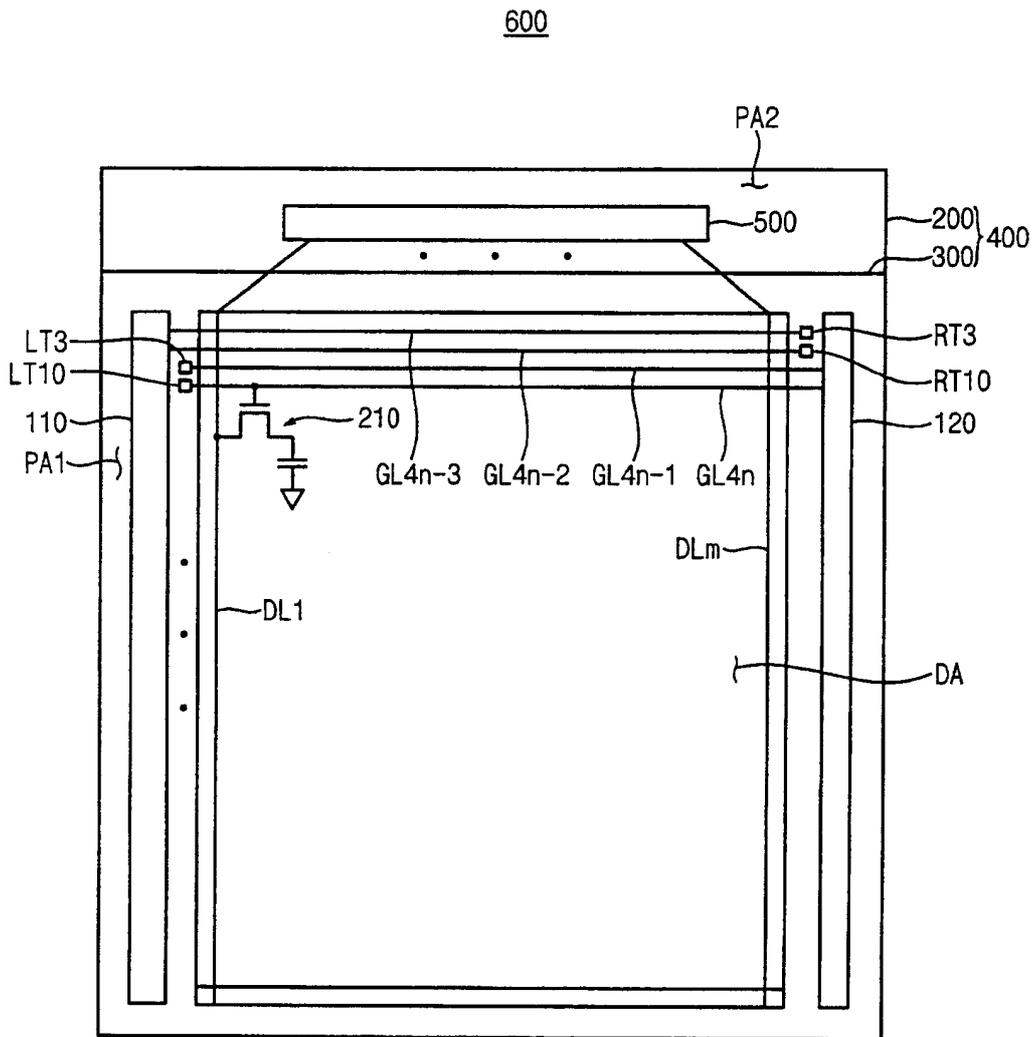


图 5