

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2010年6月3日(03.06.2010)

PCT

(10) 国際公開番号
WO 2010/061656 A1

- (51) 国際特許分類:
G09G 3/36 (2006.01) G09G 3/20 (2006.01)
G02F 1/133 (2006.01)
- (21) 国際出願番号: PCT/JP2009/060758
- (22) 国際出願日: 2009年6月12日(12.06.2009)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2008-303709 2008年11月28日(28.11.2008) JP
- (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社(SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2番22号 Osaka (JP).
- (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 高橋 佳久
(TAKAHASHI, Yoshihisa). 岩瀬 泰章(IWASE, Ya-
suaki). 坂本 真由子(SAKAMOTO, Mayuko).
- (74) 代理人: 島田 明宏(SHIMADA, Akihiro); 〒
6340078 奈良県橿原市八木町1丁目10番3号
萬盛庵ビル 島田特許事務所 Nara (JP).

- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

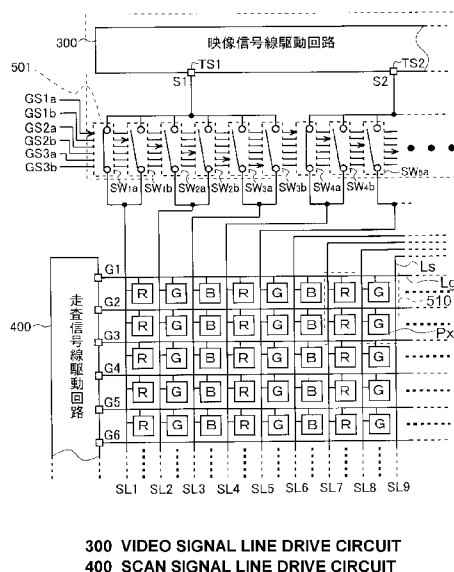
添付公開書類:

- 国際調査報告 (条約第21条(3))

(54) Title: DISPLAY DEVICE AND METHOD FOR DRIVING THE SAME

(54) 発明の名称: 表示装置およびその駆動方法

[図2]



(57) Abstract: A liquid crystal panel of a display device includes a connection switching circuit (501) having switch elements (SW1a, SW1b, ...) for time division drive. Each two of the switch elements constitute a pair connected in parallel to one of the video signal lines (SL1, SL2, ...). Each of the pairs of the switch elements is simultaneously turned ON. Immediately before one of the switch elements is turned OFF upon completion of a charge period of the corresponding video signal line, only the other switch element is turned OFF. This eliminates the affects of the field-through phenomenon caused by one of the switch elements as transistors while maintaining the drive performance as well as suppresses the affect of the field-through phenomenon by the other switch element because a parasitic capacitance formed is small.

(57) 要約: 本発明の表示装置の液晶パネルには、時分割駆動のためのスイッチ素子 (SW1a, SW1b, ...) を含む接続切換回路 (501) が形成されており、これらのスイッチ素子は2つずつ対をなして並列に映像信号線 (SL1, SL2, ...) の1つに接続されている。これら1対のスイッチ素子は同時にオンされるとともに、対応する映像信号線の充電期間終了により一方のスイッチ素子がオフされる直前に他方のスイッチ素子のみがオフされる。このことにより駆動能力を保ちつつ、トランジスタであるスイッチ素子的一方によるフィールドスルー現象の影響を解消するとともに、寄生容量が小さく形成されていることよって他方のスイッチ素子によるフィールドスルー現象の影響を抑制することができる。

明 細 書

発明の名称：表示装置およびその駆動方法

技術分野

[0001] 本発明は、アクティブマトリクス型の表示装置に関し、更に詳しくは、点順次駆動方式、相展開駆動方式、および映像信号線時分割駆動方式などを採用した表示装置であって、表示すべき画像を形成するための複数の画素形成部に映像信号を伝達するための多数の映像信号線に対してスイッチ素子を介して順に駆動回路から映像信号が出力される表示装置およびその駆動方法に関する。

背景技術

[0002] 一般に、アクティブマトリクス型の液晶表示装置は、液晶層を挟持する2枚の基板を含む表示部としての液晶パネルを備えており、当該2枚の基板のうち一方の基板には、映像信号線としての複数のデータ線と走査信号線としての複数のゲート線とが格子状に配置され、それら複数のデータ線とゲート線との交差点にそれぞれ対応してマトリクス状に配置された複数の画素形成部が設けられている。各画素形成部は、液晶パネル上に画像表示を行うための構成要素であって、ゲート線にゲート端子が接続されデータ線にソース端子が接続されたスイッチング素子であるTFT（Thin Film Transistor：薄膜トランジスタ）と、そのTFTのドレイン端子に接続された画素電極とを含む。

[0003] このようなアクティブマトリクス型液晶表示装置は、その液晶パネルのデータ線を駆動するデータドライバと、そのゲート線を駆動するゲートドライバと、上記共通電極を駆動するための共通電極駆動回路と、データドライバ、ゲートドライバ、および共通電極駆動回路を制御するための表示制御回路とを有している。

[0004] ここで近年の表示装置における表示画像の高精細化の進展に伴い、例えばアクティブマトリクス型液晶表示装置のように、表示すべき画像の解像度に

応じた数の信号線（列電極または行電極）を必要とする表示装置では、表示画像の高精細化に伴って単位長さ当たりの信号線数（電極数）が膨大となる。その結果、それらの信号線に信号を印加する駆動回路の実装において、駆動回路の出力端子と表示パネルの信号線との接続部のピッチ（以下「接続ピッチ」という）が極めて小さなものとなる。このような表示画像の高精細化に伴う接続ピッチの狭小化の傾向は、カラー液晶表示装置のようにR（赤）、G（緑）、B（青）の隣接3画素を表示単位とするカラー表示装置の場合には、映像信号線とその駆動回路（データドライバ）との接続部において特に顕著となる。

[0005] このような問題を解決するために、2本以上の映像信号線（例えばR、G、Bの隣接3画素に対応する3本の映像信号線）を1グループとして映像信号線をグループ化し、各グループを構成する複数の映像信号線に映像信号線駆動回路の1つの出力端子を割り当て、画像表示における1水平走査期間内において全ての出力端子から一括して映像信号を出力する（いわゆる線順次駆動方式）とともに、各グループ内の映像信号線に時分割的に映像信号を印加するように構成された液晶表示装置が従来より提案されている。

[0006] 例えば、特開2000-29441号公報には、3つのアナログスイッチを制御することにより、ソースドライバの1つの出力端子に対してR、G、Bの隣接3画素に対応する3本の映像信号線を順に接続する液晶表示装置が開示されている。また、特開2003-5152号公報には、ソースドライバの1つの出力端子に対してスイッチを切り替えることにより2本の映像信号線を交互に接続する液晶表示装置が開示されている。さらに、特開2002-244619号公報には、3つのFETを制御することにより、R、G、Bの色を発光する3つのLEDを定電流ドライバに順に接続するLED表示装置が開示されている。

[0007] 上記のような映像信号線時分割駆動方式の液晶表示装置では、各グループを構成する映像信号線の本数すなわち切換スイッチによる時分割数に応じて、各映像信号線への充電時間が短くなり、上記時分割数を m とすれば、各映

像信号線の充電時間は映像信号線時分割駆動方式でない通常の液晶表示装置の場合の $1/m$ となる。しかし、上記時分割数を m とする切換スイッチを液晶パネル基板に形成することにより、映像信号線駆動回路の出力端子と映像信号線との接続ピッチを通常の液晶表示装置の場合の m 倍にすることができる。また、このような構成により、1つの液晶パネルの駆動に複数の集積回路チップ（ICチップ）からなる映像信号線駆動回路が使用される場合には、そのチップの個数を減らすことができる。このような映像信号線時分割駆動方式による利点は広く知られており、このための映像信号線のグループ化は、R（赤）、G（緑）、B（青）の隣接3画素に映像信号を伝達する3本の映像信号線を1グループとしてグループ化されることが多い。

[0008] また、上記アクティブマトリクス型液晶表示装置のように、表示すべき画像の解像度に応じた数のデータ線またはゲート線（列電極または行電極）を必要とする表示装置では、上記のような線順次駆動方式を採用せず、各映像信号線を順番に駆動するいわゆる点順次駆動方式を採用する場合がある。この点順次駆動方式は、装置構成を簡単なものとすることができる利点を有している。もっともこの点順次駆動方式は、表示画像の高精細化に伴って、各データ線に対して与えるべき映像信号をサンプリングする時間が短くなることもあり、また各データ線に上記映像信号を与える時間（充電時間）が短くなることもある。

[0009] そこで点順次駆動方式の場合よりも装置構成は複雑となるが、上記サンプリング時間および充電時間を長くするため、いわゆる相展開駆動方式（相展開処理方式）が採用されることがある。この相展開処理とは、周波数の高い画像信号の表す画像を適切に表示するために、画像を示す信号の1ドット当たりまたは1画素当たりの持続期間（以下「1ドット当たりの信号持続期間」または「1画素当たりの信号持続期間」という）を長くして、液晶パネルに供給する画像信号の周波数を低くする処理をいう。なお、1ドット当たりの信号持続期間がドットクロックの（パルス繰り返し）周期の n 倍となるように相展開処理が施されたとき、その処理を「 n 相展開」という。

[0010] 図8は、2相展開が行われる液晶表示装置におけるデータ線を駆動する回路であるデータドライバの部分構成図である。このデータドライバには、所定の相展開回路にてR（赤）、G（緑）、B（青）の各色につき2相展開が施されて生成されたアナログビデオ信号AVが6本の信号線によって供給される。シフトレジスタ91は、入力端から出力端の順に、各フリップフロップ回路FF1、FF2、・・・からサンプリングパルスを順次に出力する。これによって図中のアナログスイッチがオンされることにより、相展開回路から送られるアナログビデオ信号AVがカラー画素2つ分ずつ液晶パネルの対応する映像信号線に供給され、画像表示が行われる（ここで、1つのカラー画素は、隣接するR、G、B各色を表示する3つの画素形成部により表示されるものとする）。

[0011] 例えば、特開平5-21036号公報には、4相展開を行う液晶表示装置の構成が開示されている。また、特開平1-202793号公報には、偶数列の画素に繋がる信号ラインと、奇数列の画素に繋がる信号ラインとを2つに分け、パネルの異なる側からそれぞれを駆動する液晶表示装置の構成が開示されている。

考えられる。

先行技術文献

特許文献

[0012] 特許文献1：日本特開2000-29441号公報

特許文献2：日本特開2003-5152号公報

特許文献3：日本特開2002-244619号公報

特許文献4：日本特開平5-21036号公報

特許文献5：日本特開平1-202793号公報

発明の概要

発明が解決しようとする課題

[0013] 上記の映像信号線時分割駆動方式または相展開駆動方式の表示装置に含ま

れる各映像信号線に繋がる切換スイッチ（アナログスイッチ）は、典型的には電界効果トランジスタであり、そのゲート・ドレイン間に寄生容量 C_{gd} を有している。そのことから、このトランジスタをオン状態からオフ状態に切り替えるときに、ドレイン端子の電圧 V_d は寄生容量により変動する。この現象はフィールドスルー現象と呼ばれる。この現象は上記表示装置においては、トランジスタがオンされるときに映像信号線に繋がる容量とトランジスタのゲート・ドレイン間の寄生容量 C_{gd} とに充電された電荷が、ゲート端子の電位低下によりトランジスタのオフ時まで再配分されるため、このときのドレイン端子に接続される映像信号線の電位が低下する現象として現れる。したがって、この寄生容量 C_{gd} を小さくすればフィールドスルー現象を抑制することができる。

[0014] しかし、この寄生容量 C_{gd} を小さくするためにはトランジスタのチャネル幅を小さくすることが必要であるが、チャネル幅を小さくするとトランジスタの駆動能力が低下するため、映像信号線の電位を所定の時間内に所望の電位まで到達させることができなくなる問題点がある。特に、微結晶シリコン（ $\mu c-Si$ ）やアモルファスシリコン（ $a-Si$ ）、または酸化亜鉛（ ZnO ）等の酸化物半導体などを使用した TFT は、移動度が比較的小さいため、画像表示のための十分な駆動能力を得るためには、そのチャネル幅を比較的大きくする必要があり、結果的に寄生容量 C_{gd} が大きくなってしまふ。

[0015] また、上記の映像信号線時分割駆動方式または相展開駆動方式の表示装置に含まれる各映像信号線に繋がる切り換えスイッチまたはアナログスイッチは、画素形成部に含まれる TFT よりもはるかに多くの回数でオンオフされるので、その使用可能期間（素子寿命）が短くなってしまふ。この短い寿命は、TFT のゲート端子に同符号の電圧をかけ続けることによる閾値電圧の（正常範囲外への）シフトの形で現れることが多い。なおアモルファスシリコンを使用した TFT はこのようなシフト現象が特に現れやすい。

[0016] そこで本発明では、上記のような映像信号線時分割駆動方式や相展開方式

などを採用する表示装置であって、各映像信号線に繋がるスイッチに使用されるトランジスタのオン・オフにより生じる問題点であるフィールドスルー現象による映像信号線の電位低下を抑制し、または当該トランジスタのオン・オフにより生じる問題点である短い素子寿命を延長する動作が行われる表示装置およびその駆動方法を提供することを目的とする。

課題を解決するための手段

[0017] 本発明の第1の局面は、表示すべき画像を形成する複数の画素形成部と、前記表示すべき画像を表す信号を伝達するための複数の映像信号線と、前記複数の映像信号線と交差する複数の走査信号線とを備え、前記複数の画素形成部が前記複数の映像信号線と前記複数の走査信号線との交差点にそれぞれ対応してマトリクス状に配置されたアクティブマトリクス型の表示装置であって、

前記複数の走査信号線を選択的に駆動する走査信号線駆動回路と、

前記複数の映像信号線のそれぞれに対応して設けられ並列に接続される複数のスイッチ素子を複数組み、前記表示すべき画像を表す信号として入力される画像信号を前記複数のスイッチ素子を介して所定の順番で印加することにより前記複数の映像信号線を駆動する映像信号線駆動回路と、

同一組の複数のスイッチ素子の少なくとも1つが、対応する映像信号線に対応する画像信号が与えられるために必要な期間中オンされ、かつ同一組の複数のスイッチ素子のうちの一部のスイッチ素子がオフされる時点と、残りのスイッチ素子がオフされる時点とが異なるよう、前記複数のスイッチ素子を制御する表示制御回路とを備えることを特徴とする。

[0018] 本発明の第2の局面は、本発明の第1の局面において、

前記映像信号線駆動回路は、

前記複数の映像信号線をグループ化することにより得られる複数の映像信号線群それぞれに対応する複数の出力端子を有し、各出力端子に対応する映像信号線群によって伝達されるべき映像信号を所定期間内における時分割で

当該出力端子から出力する映像信号出力回路と、

前記映像信号出力回路の各出力端子を当該出力端子に対応する映像信号線群内のいずれかの映像信号線に接続することにより、接続された当該映像信号線と前記走査信号線駆動回路により選択される走査信号線とに繋がる画素形成部に前記映像信号を与えると共に、各出力端子が接続される映像信号線を当該出力端子に対応する映像信号線群内で前記時分割に応じて切り換える前記スイッチ素子からなる接続切換回路とを含むことを特徴とする。

[0019] 本発明の第3の局面は、本発明の第2の局面において、

前記映像信号出力回路は、所定の3原色を表示する3種類の画素形成部にそれぞれ繋がる3つの隣り合う映像信号線を1グループとして前記複数の映像信号線をグループ化することにより得られる複数の映像信号線群にそれぞれ対応する複数の出力端子を有することを特徴とする。

[0020] 本発明の第4の局面は、本発明の第1から第3までのいずれか1つの局面において、

前記スイッチ素子は、微結晶シリコン、アモルファスシリコン、または酸化物半導体からなる半導体層を有する薄膜トランジスタであることを特徴とする。

[0021] 本発明の第5の局面は、本発明の第1から第4までのいずれか1つの局面において、

前記表示制御回路は、水平走査期間毎に、同一組の複数のスイッチ素子が略同一時点でオンされるとともに、同一組の複数のスイッチ素子の一部が最後にオフされるよう、前記複数のスイッチ素子を制御することを特徴とする。

[0022] 本発明の第6の局面は、本発明の第5の局面において、

前記スイッチ素子は、半導体層を有する薄膜トランジスタであり、同一組の複数のスイッチ素子のうちの最後にオフされる一部のスイッチ素子のサイズが、残りのスイッチ素子のサイズよりも小さいことを特徴とする。

[0023] 本発明の第7の局面は、本発明の第1から第4までのいずれか1つの局面

において、

前記表示制御回路は、水平走査期間毎に、同一組の複数のスイッチ素子の一部がオンされるとともに、１以上の水平走査期間毎に同一組の複数のスイッチ素子におけるオン時間の総和が全て略同一となるよう、前記複数のスイッチ素子を制御することを特徴とする。

[0024] 本発明の第８の局面は、本発明の第１から第７までのいずれか１つの局面において、

前記表示制御回路は、同一組の前記複数のスイッチ素子に対して、オフ期間の全部または一部の期間中、オン期間に与えられるオン電位と逆符号の所定の電位を与えることを特徴とする。

[0025] 本発明の第９の局面は、本発明の第８の局面において、

前記表示制御回路は、同一組の複数のスイッチ素子の少なくとも１つに対して、当該スイッチ素子のオフ期間の全部または一部の期間中であって、当該スイッチ素子以外の同一組の残りのスイッチ素子の１つ以上のオン期間中に、前記逆符号の所定の電位を与えることを特徴とする。

[0026] 本発明の第１０の局面は、本発明の第１から第９までのいずれか１つの局面に記載の画素形成部は、液晶素子を含むことを特徴とする、液晶表示装置である。

[0027] 本発明の第１１の局面は、表示すべき画像を形成する複数の画素形成部と、前記表示すべき画像を表す信号を伝達するための複数の映像信号線と、前記複数の映像信号線と交差する複数の走査信号線とを備え、前記複数の画素形成部が前記複数の映像信号線と前記複数の走査信号線との交差点にそれぞれ対応してマトリクス状に配置されたアクティブマトリクス型の表示装置を駆動する方法であって、

前記複数の走査信号線を選択的に駆動する走査信号線駆動ステップと、

前記複数の映像信号線のそれぞれに対応して設けられ並列に接続される複数のスイッチ素子であって複数組備えられる複数のスイッチ素子を介して、前記表示すべき画像を表す信号として入力される映像信号を所定の順番で印

加することにより前記複数の映像信号線を駆動する映像信号線駆動ステップと、

同一組の複数のスイッチ素子の少なくとも1つが、対応する映像信号線に対応する画像信号が与えられるために必要な期間中オンされ、かつ同一組の複数のスイッチ素子のうちの一部のスイッチ素子がオフされる時点と、残りのスイッチ素子がオフされる時点とが異なるよう、前記複数のスイッチ素子を制御する表示制御ステップと

を備えることを特徴とする。

発明の効果

[0028] 本発明の第1の局面によれば、表示制御回路における同一組の複数のスイッチ素子の少なくとも1つが、対応する映像信号線に対応する画像信号が与えられるために必要な期間中オンされ、かつ同一組の複数のスイッチ素子のうちの一部のスイッチ素子がオフされる時点と、残りのスイッチ素子がオフされる時点とが異なるよう制御されることにより、例えば点順次駆動方式、映像信号線時分割駆動方式、または相展開駆動方式などを採用する表示装置において、各映像信号線に繋がるスイッチ素子に使用されるトランジスタのオン・オフにより生じる問題点であるフィールドスルー現象による映像信号線の電位低下を抑制し、または当該トランジスタのオン・オフにより生じる問題点である短い素子寿命を延長することができる。

[0029] 本発明の第2の局面によれば、映像信号線時分割駆動方式を採用することにより、表示装置における出力端子と映像信号線との接続ピッチを広くすることができ、また映像信号線駆動回路の部品点数を小さくすることができるとともに、各映像信号線に繋がるスイッチ素子に使用されるトランジスタのオン・オフにより生じる問題点であるフィールドスルー現象による映像信号線の電位低下を抑制し、または当該トランジスタのオン・オフにより生じる問題点である短い素子寿命を延長することができる。

[0030] 本発明の第3の局面によれば、所定の3原色を表示する3種類の画素形成部にそれぞれ繋がる3つの隣り合う映像信号線を1グループとしたカラー表

示装置において、各映像信号線に繋がるスイッチ素子に使用されるトランジスタのオン・オフにより生じる問題点であるフィールドスルー現象による映像信号線の電位低下を抑制し、または当該トランジスタのオン・オフにより生じる問題点である短い素子寿命を延長することができる。

[0031] 本発明の第4の局面によれば、スイッチ素子が微結晶シリコン、アモルファスシリコン、または酸化物半導体からなる半導体層を有する薄膜トランジスタであることにより、十分な駆動速度を得るためにその寄生容量が比較的大きくなることで特に大きくなるフィールドスルー現象の影響を十分に抑制することができ、また上記閾値電圧のシフトが比較的生じやすいため短くなりやすい素子寿命を十分に延長することができる。

[0032] 本発明の第5の局面によれば、表示制御回路により、水平走査期間毎に同一組の複数のスイッチ素子が略同一時点でオンされるとともに、同一組の複数のスイッチ素子の一部が最後にオフされるよう、複数のスイッチ素子が制御されるので、最後にオフされるスイッチ素子の寄生容量のみが影響するにすぎないことになり、結果的にフィールドスルー現象による映像信号線の電位低下を抑制することができる。

[0033] 本発明の第6の局面によれば、スイッチ素子は半導体層を有する薄膜トランジスタであり、同一組の複数のスイッチ素子のうちの最後にオフされる一部のスイッチ素子のサイズが、残りのスイッチ素子のサイズよりも小さいので、最後にオフされるスイッチ素子の寄生容量をさらに小さくすることができ、フィールドスルー現象による映像信号線の電位低下をさらに抑制することができる。

[0034] 本発明の第7の局面によれば、表示制御回路により、水平走査期間毎に、同一組の複数のスイッチ素子の一部がオンされるとともに、1以上の水平走査期間毎に同一組の複数のスイッチ素子におけるオン時間の総和が全て略同一となるよう複数のスイッチ素子が制御されるので、トランジスタである1つのスイッチ素子あたりのオン時間を減少させることができ、その素子寿命を延長することができる。

- [0035] 本発明の第 8 の局面によれば、表示制御回路により、同一組の複数のスイッチ素子に対して、オフ期間の全部または一部の期間中、オン期間に与えられるオン電位と逆符号の所定の電位が与えられるので、同符号の電圧をかけ続けることによる閾値電圧の（正常範囲外への）シフトを抑制することができる、このことによって素子寿命を延長させることができる。
- [0036] 本発明の第 9 の局面によれば、表示制御回路により、同一組の複数のスイッチ素子の少なくとも 1 つに対して、当該スイッチ素子のオフ期間の全部または一部の期間中であって、当該スイッチ素子以外の同一組の残りのスイッチ素子の 1 つ以上のオン期間中に、逆符号の所定の電位が与えられるので、逆符号の電位が与えられることにより流れる当該スイッチ素子のリーク電流を無視することができる。
- [0037] 本発明の第 10 の局面によれば、本発明の第 1 から第 9 までの各局面における効果を液晶表示装置において奏することができる。
- [0038] 本発明の第 11 の局面によれば、本発明の第 1 の局面における効果と同様の効果を表示装置の駆動方法において奏することができる。

図面の簡単な説明

- [0039] [図1A]本発明の第 1 の実施形態に係る液晶表示装置の構成を示すブロック図である。
- [図1B]上記実施形態に係る液晶表示装置における表示制御回路の構成を示すブロック図である。
- [図2]上記実施形態における液晶パネルの構成を示す模式図である。
- [図3]上記実施形態における液晶パネルの一部（4画素に相当する部分）の等価回路図である。
- [図4]上記実施形態における液晶パネルの接続切換回路を構成する切換スイッチを示す等価回路図である。
- [図5]上記実施形態における液晶表示装置の駆動方法を説明するためのタイミングチャートである。
- [図6]本発明の第 2 の実施形態における液晶表示装置の駆動方法を説明するた

めのタイミングチャートである。

[図7] 本発明の第3の実施形態における液晶表示装置の駆動方法を説明するためのタイミングチャートである。

[図8] 2相展開が行われる従来の液晶表示装置におけるデータドライバの部分構成図である。

発明を実施するための形態

[0040] 以下、本発明の各実施形態について添付図面を参照して説明する。

< 1. 第1の実施形態 >

< 1. 1 液晶表示装置全体の構成および動作 >

図1Aは、本発明の第1の実施形態に係る液晶表示装置の構成を示すブロック図である。この液晶表示装置100は、表示制御回路200と、映像信号線駆動回路（「列電極駆動回路」とも「ソースドライバ」とも呼ばれる）300と、走査信号線駆動回路（「行電極駆動回路」とも「ゲートドライバ」とも呼ばれる）400と、アクティブマトリクス型の液晶パネル500とを備えている。

[0041] この液晶表示装置100における表示部としての液晶パネル500は、外部のコンピュータにおけるCPU等から受け取る画像データDvの表す画像における水平走査線にそれぞれが対応する複数本の走査信号線（行電極）と、それら複数本の走査信号線のそれぞれと交差する複数本の映像信号線（列電極）と、それら複数本の走査信号線と複数本の映像信号線との交差点にそれぞれ対応して設けられた複数の画素形成部とを含む。各画素形成部の構成は、基本的には従来のアクティブマトリクス型液晶パネルにおける構成と同様である（詳細は後述する）。

[0042] 本実施形態では、液晶パネル500に表示すべき画像を表す（狭義の）画像データおよび表示動作のタイミング等を定めるデータ（例えば表示用クロックの周波数を示すデータ）（以下「表示制御データ」という）は、外部のコンピュータにおけるCPU等から表示制御回路200に送られる（以下、外部から送られるこれらのデータDvを「広義の画像データ」という）。す

なわち、外部のCPU等は、広義の画像データD_vを構成する（狭義の）画像データおよび表示制御データを、アドレス信号A_{Dw}を表示制御回路200に供給して、表示制御回路200内の後述の表示メモリおよびレジスタにそれぞれ書き込む。

[0043] 表示制御回路200は、レジスタに書き込まれた表示制御データに基づき、表示のため映像信号線駆動回路300に与えられるソース用クロック信号SCKおよびソース用スタートパルス信号SSPと、表示のため走査信号線駆動回路400に与えられるゲート用クロック信号GCKおよびゲート用スタートパルス信号GSPとを含む各種信号を生成する。これらの信号は公知であるため詳しい説明は省略する。また、表示制御回路200は、外部のCPU等によって表示メモリに書き込まれた（狭義の）画像データを表示メモリから読み出して、デジタル画像信号D_aとして出力する。さらに、表示制御回路200は、映像信号線の時分割駆動のための切換制御信号GS_{1a}～GS_{3b}（これらの信号を以下では「切換制御信号GS」とも言う）を生成し、これらも出力する。

[0044] このようにして、表示制御回路200によって生成される信号のうち、デジタル画像信号D_aは映像信号線駆動回路300に、切換制御信号GS_{1a}～GS_{3b}は映像信号線駆動回路300および液晶パネル500内の後述の接続切換回路に、それぞれ供給される。なお、表示制御回路200から映像信号線駆動回路300にデジタル画像信号D_aを供給するための信号線としては、表示画像の階調数に応じた数の信号線が配設される。

[0045] 映像信号線駆動回路300には、上記のようにして、液晶パネル500に表示すべき画像を表すデータが画素単位でシリアルにデジタル画像信号D_aとして供給されると共に、タイミングを示す信号としてソース用クロック信号SCKおよびソース用スタートパルス信号SSP、および切換制御信号GSが供給される。映像信号線駆動回路300は、これらのデジタル画像信号D_aとソース用クロック信号SCKとソース用スタートパルス信号SSPと切換制御信号GSとに基づき、液晶パネル500を駆動するための映像信号

（以下「駆動用映像信号」ともいう）を生成し、これを液晶パネル５００の各映像信号線に印加する。

[0046] 走査信号線駆動回路４００は、ゲート用クロック信号ＧＣＫおよびゲート用スタートパルス信号ＧＳＰに基づき、液晶パネル５００における走査信号線を１水平走査期間ずつ順次に選択するために各走査信号線に印加すべき走査信号Ｇ１，Ｇ２，Ｇ３，…を生成し、全走査信号線のそれぞれを順に選択するためのアクティブな走査信号の各走査信号線への印加を１垂直走査期間を周期として繰り返す。

[0047] 液晶パネル５００では、上記のようにして映像信号線に、映像信号線駆動回路３００によってデジタル画像信号Ｄａに基づく駆動用の映像信号Ｓ１，Ｓ２，Ｓ３，…が印加され、走査信号線には、走査信号線駆動回路４００によって走査信号Ｇ１，Ｇ２，Ｇ３，…が印加される。これにより液晶パネル５００は、外部のＣＰＵ等から受け取った画像データＤｖの表す画像を表示する。

[0048] < １． ２ 表示制御回路 >

図１Ｂは、上記の液晶表示装置１００における表示制御回路２００の構成を示すブロック図である。この表示制御回路２００は、入力制御回路２０と表示メモリ２１とレジスタ２２とタイミング発生回路２３とメモリ制御回路２４と切換制御回路２５とを備えている。

[0049] この表示制御回路２００が外部のＣＰＵ等から受け取る広義の画像データＤｖを示す信号（以下、この信号も符号“Ｄｖ”で表すものとする）およびアドレス信号ＡＤｗは、入力制御回路２０に入力される。入力制御回路２０は、アドレス信号ＡＤｗに基づき、広義の画像データＤｖを、画像データＤＡと表示制御データＤｃとに振り分ける。そして、画像データＤＡを表す信号（以下、これらの信号も符号“ＤＡ”で表すものとする）をアドレス信号ＡＤｗに基づくアドレス信号ＡＤと共に表示メモリ２１に供給することで画像データＤＡを表示メモリ２１に書き込むと共に、表示制御データＤｃをレジスタ２２に書き込む。表示制御データＤｃは、ソース用クロック信号ＳＣ

Kを含むクロック信号の周波数や画像データD_vの表す画像を表示するための水平走査期間および垂直走査期間を指定するタイミング情報を含んでいる。

[0050] タイミング発生回路（以下「TG」と略記する）23は、レジスタ22の保持する上記表示制御データに基づき、ソース用クロック信号SCK、ソース用スタートパルス信号SSPを生成する。また、TG23は、表示メモリ21およびメモリ制御回路24をソース用クロック信号SCKに同期させて動作させるためのタイミング信号を生成する。

[0051] メモリ制御回路24は、外部から入力されて入力制御回路20を介して表示メモリ21に格納された画像データDAのうち液晶パネル500に表示すべき画像を表すデータを読み出すためのアドレス信号Adrと、表示メモリ21の動作を制御するための信号とを生成する。これらのアドレス信号Adrおよび制御信号は表示メモリ21に与えられ、これにより、液晶パネル500に表示すべき画像を表すデータがデジタル画像信号Daとして表示メモリ21から読み出され、表示制御回路200から出力される。このデジタル画像信号Daは、既述のように映像信号線駆動回路300に供給される。

[0052] 切換制御回路25は、TG23からのタイミング信号に基づき、映像信号線の時分割駆動のための切換制御信号GS1a～GS3cを生成する。この切換制御信号GS1a～GS3bは、後述のように映像信号線を時分割的に駆動するために、映像信号線駆動回路300から出力される映像信号を印加すべき映像信号線を1水平走査期間内で切り換えるための制御信号である。

[0053] 本実施形態では、後述する図5に示すように各水平走査期間（走査信号がアクティブとなる期間）を第1から第3までの期間に典型的には3等分したときの第1の期間でHレベルとなりその他の期間でLレベルとなる信号を切換制御信号GS1bとして生成するとともに、この第1の期間の開始時点からその終了時点よりやや早い時点まで（すなわち第1の期間よりやや短い期間で）Hレベルとなりその他の期間でLレベルとなる信号を切換制御信号GS1aとして生成し、同様に、第2の期間でHレベルとなりその他の期間で

Lレベルとなる信号を切換制御信号GS2bとして生成するとともに、第2の期間よりやや短い期間でHレベルとなりその他の期間でLレベルとなる信号を切換制御信号GS2aとして生成し、また同様に、第3の期間でHレベルとなりその他の期間でLレベルとなる信号を切換制御信号GS3bとして生成するとともに、第3の期間よりやや短い期間でHレベルとなりその他の期間でLレベルとなる信号を切換制御信号GS3aとして生成する。なお、上記第1から第3までの期間の長さは説明の便宜上のものであって、実際には第3の期間の後に信号が安定するまでの待機期間が設けられるなど必ずしも水平走査期間が3等分されたものである必要はない。

[0054] < 1. 3 液晶パネルとその駆動方法 >

< 1. 3. 1 液晶パネルの構成 >

図2は、本実施形態における液晶パネル500の構成を示す模式図であり、図3は、この液晶パネルの一部（4画素に相当する部分）510の等価回路図であり、図4は、液晶パネルにおける後述の接続切換回路501を構成する切換スイッチを示す等価回路図である。

[0055] この液晶パネル500は、スイッチ素子SW1a, SW1b, SW2a, SW2b, …を含む接続切換回路501を介して映像信号線駆動回路300に接続される複数の映像信号線Lsと、走査信号線駆動回路400に接続される複数の走査信号線Lgとを備え、当該複数の映像信号線Lsと当該複数の走査信号線Lgとは、各映像信号線Lsと各走査信号線Lgとが交差するように格子状に配設されている。そして既述のように、当該複数の映像信号線Lsと当該複数の走査信号線Lgとの交差点に対応して複数の画素形成部Pxがそれぞれ設けられている。各画素形成部Pxは、図3に示すように、対応する交差点を通過する映像信号線Lsにソース端子が接続されたTF T10と、そのTF T10のドレイン端子に接続された画素電極Epと、上記複数の画素形成部Pxに共通的に設けられた対向電極Ecと、上記複数の画素形成部Pxに共通的に設けられ画素電極Epと対向電極Ecとの間に挟持された液晶層とからなる。そして、画素電極Epと対向電極Ecとそれらの

間に挟持された液晶層とにより画素容量 C_p が形成される。

[0056] 上記のような画素形成部 P_x は、マトリクス状に配置されて画素形成マトリクスを構成する。ところで、画素形成部 P_x の主要部である画素電極 E_p は、液晶パネルに表示される画像の画素と1対1に対応し同一視できる。そこで、以下では、説明の便宜上、画素形成部 P_x と画素を同一視するものとし、「画素形成マトリクス」を「画素マトリクス」ともいう。

[0057] 図2において、各画素形成部 P_x に付されている“R”“G”または“B”は、当該画素形成部 P_x により形成される画素の色である赤、緑、または青を表している。なお、これらの色は典型的な3原色であるが、その他の3原色であってもよい。また、一般に液晶表示装置では、液晶の劣化を抑えると共に表示品位を維持するために交流化駆動が行われており、本実施形態では、典型的な交流化駆動方式として、画素を形成する液晶層への印加電圧の正負極性を1走査信号線毎かつ1フレーム毎にも反転させるいわゆるライン反転駆動方式が採用されるものとする。また、このライン反転駆動方式に代えて、画素液晶への印加電圧の正負極性を1フレーム毎にのみ反転させる駆動方式であるフレーム反転駆動方式や、1走査信号線毎かつ1映像信号線毎に反転させる（さらに1フレーム毎にも反転させる）いわゆるドット反転駆動方式が採用されてもよい。

[0058] この液晶パネルには、上記のように、各映像信号線 L_s を映像信号線駆動回路300に接続するための部分として、液晶パネル上の映像信号線 L_s にそれぞれ対応するスイッチ素子 $SW1a$, $SW1b$, $SW2a$, $SW2b$, $SW3a$, $SW3b$, …を含む接続切換回路501が形成されており（図2）、これらのスイッチ素子 $SW1a$, $SW1b$, $SW2a$, $SW2b$, $SW3a$, $SW3b$, …は、隣接する6つを1組として複数組（映像信号線 L_s の本数の $1/6$ の数）のスイッチ素子群にグループ化されている。そしてこの1組に含まれる6つのスイッチ素子のうち、隣接する2つずつが1対となって同一の映像信号線に接続されている。すなわち、1対となるそれぞれのスイッチ素子 $SWia$, $SWib$ ($i=1, 2, 3, \dots$)の一端は、これら

のスイッチ素子 $SW_{i a}$, $SW_{i b}$ （以下これらを「スイッチ素子 SW_i 」とも総称する）に対応する同一の映像信号線 L_s に接続され、他端は、そのスイッチ素子 SW_i と同一組に属するスイッチ素子の他端と互いに接続されると共に、映像信号線駆動回路300における1つの出力端子 TS_j （ $j = 1, 2, 3, \dots$ ）に接続されている。このようにして、液晶パネルにおける映像信号線 L_s は3本を1グループとして複数の映像信号線群にグループ化され、各映像信号線群（同一グループとなった3本の映像信号線 L_s ）は、同一組となった6つのスイッチ素子を介して映像信号線駆動回路300における1つの出力端子 TS_j に接続される。このように映像信号線駆動回路300の出力端子 TS_j は、映像信号線群と1対1に対応付けられており、同一組となった6つのスイッチ素子を介して同一グループの映像信号線群（3本の映像信号線 L_s ）に接続される。

[0059] ここで、各スイッチ素子 SW_i は、液晶パネルのガラス基板上に形成され微結晶シリコン（ $\mu c-Si$ ）やアモルファスシリコン（ $a-Si$ ）、または酸化亜鉛（ ZnO ）等の酸化物半導体などの半導体層を有する周知の構成の薄膜トランジスタ（ $TFET$ ）により構成され、図4に示すように、同一組となった6つのスイッチ素子 $SW(3j-2)a$, $SW(3j-2)b$, $SW(3j-1)a$, $SW(3j-1)b$, $SW_{3j}a$, $SW_{3j}b$ は、切換制御信号 $GS1a \sim GS3b$ に応じてオン・オフするように構成されている（ $j = 1, 2, 3, \dots$ ）。また、スイッチ素子 $SW(3j-2)a$ および $SW(3j-2)b$ と、 $SW(3j-1)a$ および $SW(3j-1)b$ と、 $SW_{3j}a$ および $SW_{3j}b$ とは、それぞれ2つが1対をなして並列に接続されており、2つのうちのいずれかがオンされることによりその両端が導通する。このように、図4に示す各組の6つのスイッチ素子は、3対の切換スイッチを構成し、典型的には液晶パネル上に実装されるLSIチップ内に形成される映像信号線駆動回路300における（LSIチップからの）各出力端子 TS_j をその出力端子に対応する映像信号線群内の3本の映像信号線に時分割的に接続する。

[0060] このスイッチ素子 SW_i は、 n チャンネル型の T F T からなり、この T F T のゲート端子は、対応する切換制御信号 $GS_{1a} \sim GS_{3b}$ のいずれかを受け取り、受け取った切換制御信号 $GS_{1a} \sim GS_{3b}$ が H レベルのときにそれぞれの T F T のドレイン・ソース間が導通状態となる。また、後述するように同一組となった 6 つのスイッチ素子 $SW_{(3j-2)a}$, $SW_{(3j-2)b}$, $SW_{(3j-1)a}$, $SW_{(3j-1)b}$, SW_{3ja} , SW_{3jb} は、切換制御信号 $GS_{1a} \sim GS_{3b}$ に応じて 1 対をなす 2 つずつが順にオンされ、残りの 4 つはオフされる。ただし、1 対をなす 2 つのスイッチ素子 SW_{ia} , SW_{ib} がオフされる時点は後述するように異なっている。

[0061] ここで、このスイッチ素子 SW_i である T F T のサイズ、具体的にはそのチャンネル幅は、フィールドスルー現象を引き起こす寄生容量 C_{gd} を小さくするため従来よりも小さく形成されている。そのため、それ 1 つだけでは映像信号線を駆動するのに十分な駆動能力を有していない。しかし、後述するように所定の期間、2 つのスイッチ素子 SW_{ia} , SW_{ib} によって映像信号線が駆動されることにより、結果的に十分な駆動速度が実現されている。以下、上記スイッチ素子の切換動作を含む本液晶表示装置 100 の駆動方法について図 5 を参照して説明する。

[0062] < 1. 3. 2 駆動方法 >

図 5 は、本液晶表示装置における駆動方法を説明するためのタイミングチャートである。図 5 に示すように、液晶パネルにおける走査信号線 L_g には、1 水平走査期間（1 走査線選択期間）ずつ順次 H レベルとなる走査信号 G_1 , G_2 , ... がそれぞれ印加される。このような走査信号 G_1 , G_2 , ... により、各走査信号線 L_g は、H レベルが印加されると選択状態（アクティブ）となり、その選択状態の走査信号線 L_g に接続される画素形成部 P_x における T F T 10 はオン状態となり、一方、L レベルが印加されると非選択状態（非アクティブ）となり、その非選択状態の走査信号線 L_g に接続される画素形成部 P_x における T F T 10 はオフ状態となる。なお、図 5 に示される波形は簡易に表現されており、実際の変化態様とは異なる。

[0063] ここで図5に示すように、切換制御信号GS1bは、各水平走査期間（各走査信号Gk（ $k = 1, 2, 3, \dots$ ）がHレベルとなる期間）を典型的には3等分した第1から第3までの期間のうちの第1の期間（図では時刻t1から時刻t3までの期間）でHレベルとなり、残りの第2および第3の期間（図では時刻t3から時刻t7までの期間）でLレベルとなる。

[0064] このように、接続切換回路501における各スイッチ素子のうち（ $3j - 2$ ）番目の映像信号線Ls（図では $j = 1, 2$ ）に接続されるスイッチ素子SW（ $3j - 2$ ）bは、切換制御信号GS1bがHレベルのときオンし、切換制御信号GS1bがLレベルのときオフする。このとき、スイッチ素子SW（ $3j - 2$ ）bと並列に接続されて対をなすスイッチ素子SW（ $3j - 2$ ）aは、切換制御信号GS1aがHレベルのときオンし、切換制御信号GS1aがLレベルのときオフする。ここで、図5に示されるように、切換制御信号GS1aがHレベルのときは必ず切換制御信号GS1bがHレベルであるので、スイッチ素子SW（ $3j - 2$ ）aがオンされているかオフされているかにかかわらず、スイッチ素子SW（ $3j - 2$ ）bのオン期間にその両端が導通されることになる。このスイッチ素子SW（ $3j - 2$ ）aの機能については、詳しく後述する。

[0065] また、（ $3j - 1$ ）番目の映像信号線Lsに接続されるスイッチ素子SW（ $3j - 1$ ）bは、切換制御信号GS2bがHレベルのときオンし、切換制御信号GS2bがLレベルのときオフする。なお、スイッチ素子SW（ $3j - 1$ ）bと対をなすスイッチ素子SW（ $3j - 1$ ）aも、上述したスイッチ素子SW（ $3j - 2$ ）aと同様の機能を有している。さらに、 $3j$ 番目の映像信号線Lsに接続されるスイッチ素子SW3j bは、切換制御信号GS3aがHレベルのときオンし、切換制御信号GS3aがLレベルのときオフする。なお、スイッチ素子SW3j bと対をなすスイッチ素子SW3j aも、上述したスイッチ素子SW（ $3j - 2$ ）aと同様の機能を有している。

[0066] したがって、映像信号線駆動回路300の各出力端子TSjは、各水平走査期間の第1の期間では（ $3j - 2$ ）番目の映像信号線Lsに接続され、各

水平走査期間の第2の期間では $(3j-1)$ 番目の映像信号線 L_s に接続され、各水平走査期間の第3の期間では $(3j-2)$ 番目の映像信号線 L_s に接続される。この点では、従来の時分割駆動方式を採用した液晶表示装置の動作と同様であるが、上述したスイッチ素子 $SW(3j-2)a$, $SW(3j-1)a$, $SW3ja$ の動作により、前述したフィールドスルー現象による影響が抑制されている。以下、これらスイッチ素子 $SW(3j-2)a$, $SW(3j-1)a$, $SW3ja$ の動作を、時分割駆動方式における各種信号の波形とともに、図5をさらに参照して詳しく説明する。

[0067] 図5におけるタイミングチャートにおいて、映像信号線駆動回路300における出力端子 $TS1$ から出力すべき映像信号 $S1$ と、出力端子 $TS2$ から出力すべき映像信号 $S2$ とはそれぞれ上下2段で示されており、上段はその映像信号 $S1$, $S2$ により画素形成部 P_x に表示されるべき色（の画素値）を示しており、下段はその映像信号 $S1$, $S2$ が印加されるべき映像信号線を示している。

[0068] このような映像信号を出力するために映像信号線駆動回路300は、まず、画素マトリクスにおける $(3j-2)$ 番目の画素列の画素形成部 P_x のうち走査信号 G_k によって $TFT10$ がオンされる画素形成部 P_x に書き込むべき画素値（ここでは R を表示するための画素値）を表示制御回路200から順次入力して、水平走査期間の第1の期間（図5では時刻 $t1$ から時刻 $t3$ までの期間）においてそれらの画素値に相当する映像信号 S_j を出力端子 TS_j から出力する。

[0069] ここで、図5に示される時刻 $t1$ において、前述したように並列に接続された対をなす2つのスイッチ素子 $SW(3j-2)a$, $SW(3j-2)b$ （ここでは $SW1a$, $SW1b$ ）が共にオンされるため、（それぞれ単体では不十分であったとしても）これら2つにより十分な電流駆動能力（画像表示のための駆動速度）が発揮され、映像信号線 $SL1$ に印加される上記映像信号 $S1$ の電位は、画像表示のために十分な速度（変化量）で画素値が示す電位に向かって変化する。なお、上記対をなす2つのスイッチ素子 $SW(3$

$j-2$) a, SW ($3j-2$) b がオンされる時点は完全に同一である必要はなく、全体として画像表示のための十分な速度が得られればよい。また、映像信号 S_j (ここでは S_1) の電位は、遅くとも第 1 の期間終了時点 (図 5 では時刻 t_3) までには画素値が示す電位に達するよう設計されている。

[0070] 続いて、時刻 t_2 において、スイッチ素子 SW ($3j-2$) a (ここでは SW 1 a) がオフされるが、スイッチ素子 SW ($3j-2$) b (ここでは SW 1 b) はまだオンされているため、上記映像信号 S_1 の電位は、映像信号線 SL_1 に印加され続けている。したがって、スイッチ素子 SW ($3j-2$) a (ここでは SW 1 a) の寄生容量 C_{gd} に起因するフィールドスルー現象によって生じるべき映像信号線 SL_1 の電位低下は直ちに解消される。

[0071] 次に、時刻 t_3 において、スイッチ素子 SW ($3j-2$) b (ここでは SW 1 b) がオフされるが、既にスイッチ素子 SW ($3j-2$) a (ここでは SW 1 a) はオフされているため、図 5 に示されるように、スイッチ素子 SW ($3j-2$) b (ここでは SW 1 b) の寄生容量 C_{gd} に起因するフィールドスルー現象によって生じる映像信号線 SL_1 の電位低下はやはり生じる。なお図 5 に示される波形は簡易に表現されており、実際の電位変化量および変化態様とは異なる。

[0072] もっとも、前述したように本実施形態では、従来の映像信号線時分割駆動方式を採用する表示装置のように 1 本の映像信号線あたり 1 つのスイッチ素子が設けられる場合よりも、スイッチ素子 1 つあたりの寄生容量 C_{gd} の値が小さく形成されているため、トランジスタのオフ時までには再配分される寄生容量 C_{gd} に充電される電荷が小さくなり、結果的にフィールドスルー現象によって生じる映像信号線 SL_1 の電位低下が小さくなる。したがって、フィールドスルー現象の影響を抑制することができる。

[0073] なお、本実施形態の構成では、時刻 t_2 において、スイッチ素子 SW ($3j-2$) a (ここでは SW 1 a) がオフされるため、映像信号線 SL_1 をスイッチ素子 SW ($3j-2$) b (ここでは SW 1 b) のみで駆動しなければならない。しかし、この時点では映像信号線 SL_1 に対する充電はほぼ完了

している（すなわち当該電位が画素値が示す電位にほぼ達している）ため、スイッチ素子 $SW(3j-2)b$ （ここでは $SW1b$ ）に大きな駆動能力は必要とはならず、特に問題とはならない。また、このことから駆動能力に問題が生じない程度に、スイッチ素子 $SWib$ のサイズ（具体的にはチャネル幅）をスイッチ素子 $SWia$ のサイズ（具体的にはチャネル幅）よりも小さく（すなわち遅くオフされる方のTFTをより小さく）形成してもよい。そうすれば、さらにスイッチ素子 $SWib$ の寄生容量 Cgd をさらに小さくすることができるので、フィールドスルー現象の影響をさらに抑制することができる。

[0074] 次に、画素マトリクスにおける $(3j-1)$ 番目の画素列の画素形成部 P_x のうち走査信号 G_k によってTFT10がオンされる画素形成部 P_x に書き込むべき画素値（ここでは G を表示するための画素値）を表示制御回路200から順次入力して、水平走査期間の第2の期間（図5では時刻 t_3 から時刻 t_5 までの期間）においてそれらの画素値に相当する映像信号 S_j を出力端子 TS_j から出力する。なお、時刻 t_4 においてスイッチ素子 $SW(3j-1)a$ （ここでは $SW2a$ ）のみがオフされるが、この動作については上述した第1の期間と同様であるのでその説明は省略する。

[0075] 続いて、画素マトリクスにおける $3j$ 番目の画素列の画素形成部 P_x のうち走査信号 G_k によってTFT10がオンされる画素形成部 P_x に書き込むべき画素値（ここでは B を表示するための画素値）を表示制御回路200から順次入力して、水平走査期間の第3の期間（図5では時刻 t_6 から時刻 t_8 までの期間）においてそれらの画素値に相当する映像信号 S_j を出力端子 TS_j から出力する。なお、時刻 t_7 におけるスイッチ素子 $SW(3j)a$ （ここでは $SW3a$ ）の動作についても上述した第1の期間と同様であるのでその説明は省略する。このような動作が1水平走査期間毎に繰り返されることにより、1フレーム期間で液晶パネル500において1枚の画像表示が行われる。

[0076] <1. 4 効果>

以上のように、本実施形態においては、TFTのサイズ（具体的にはチャネル幅）を小さくすることにより寄生容量 C_{gd} を十分に小さくした同一組の6つのスイッチ素子 $SW(3j-2)_a$, $SW(3j-1)_a$, $SW3j_a$, $SW(3j-2)_b$, $SW(3j-1)_b$, $SW3j_b$ のうち、対となる2つのスイッチ素子 SW_{ia} , SW_{ib} を同時にオンするとともに、対応する映像信号線の充電期間（上記第1ないし第3の期間のいずれか）が終了する直前にスイッチ素子 SW_{ia} のみをオフする。このことにより、スイッチ素子 SW_{ia} の寄生容量 C_{gd} によるフィールドスルー現象の影響を解消するとともに、スイッチ素子 SW_{ib} の寄生容量 C_{gd} が小さいためにそれによるフィールドスルー現象の影響を抑制することができる。

[0077] なお、上記スイッチ素子であるTFTの半導体層に微結晶シリコン（ $\mu c-Si$ ）やアモルファスシリコン（ $a-Si$ ）、または酸化亜鉛（ ZnO ）等の酸化物半導体などが使用される場合、十分な駆動速度を得るためにはその寄生容量 C_{gd} が比較的大きくなるため、そのことにより大きくなってしまふフィールドスルー現象の影響を十分に抑制することができる顕著な効果が得られる。

[0078] <2. 第2の実施形態>

<2. 1 液晶表示装置の構成および動作>

本発明の第2の実施形態に係る液晶表示装置100の構成は、液晶パネルにおけるスイッチ素子 SW_i の構成および動作を除くほか、第1の実施形態の場合とほぼ同様であるので、同一の構成要素には同一の符号を付し、その詳しい説明を省略する。

[0079] また、上記スイッチ素子 SW_i であるTFTのサイズ（具体的にはチャネル幅）は、第1の実施形態の場合とは異なって、寄生容量 C_{gd} を小さくするため従来よりも小さく形成されているわけではなく、従来の構成と同様である。そのため、それ1つだけで映像信号線を駆動するのに十分な駆動能力を有している反面、フィールドスルー現象を抑制することはできない。しかし、本実施形態では、このスイッチ素子 SW_i のもう一つの問題点である短

い素子寿命を延長することを可能にするよう動作する。以下では、これらスイッチ素子 SW_i の動作につき、図 6 を参照して液晶パネルの駆動方法とともに説明する。

[0080] < 2. 2 駆動方法 >

図 6 は、本液晶表示装置 100 における駆動方法を説明するためのタイミングチャートである。図 6 に示すように、スイッチ素子 $SW(3j-2)_a$ 、 $SW(3j-1)_a$ 、 SW_{3j}_a の動作タイミングを示す切換制御信号 $GS1a \sim GS3b$ の波形を除くほか、各種信号は、図 5 に示す場合と記載されている期間は異なるがその波形はほぼ同様であるので、詳しい説明を省略する。

[0081] 図 6 に示す切換制御信号 $GS1a$ 、 $GS1b$ は、合成すれば図 5 に示す切換制御信号 $GS1b$ と同一となるものであって、切換制御信号 $GS1a$ は、奇数番目の水平走査期間（各走査信号 G_k ($k=1, 3, 5, \dots$) が H レベルとなる期間）における第 1 の期間（図では時刻 t_1 から時刻 t_2 までの期間および時刻 t_7 から時刻 t_8 までの期間）で H レベルとなり、残りの期間で L レベルとなる。また、切換制御信号 $GS1b$ は、偶数番目の水平走査期間（各走査信号 G_k ($k=2, 4, 6, \dots$) が H レベルとなる期間）における第 1 の期間（図では時刻 t_4 から時刻 t_5 までの期間および時刻 t_{10} から時刻 t_{11} までの期間）で H レベルとなり、残りの期間で L レベルとなる。

[0082] 同様に図 6 に示す切換制御信号 $GS2a$ 、 $GS2b$ は、合成すれば図 5 に示す切換制御信号 $GS2b$ と同一となるものであって、切換制御信号 $GS2a$ は、奇数番目の水平走査期間における第 2 の期間で H レベルとなり、残りの期間で L レベルとなる。また、切換制御信号 $GS2b$ は、偶数番目の水平走査期間における第 2 の期間で H レベルとなり、残りの期間で L レベルとなる。

[0083] また図 6 に示す切換制御信号 $GS3a$ 、 $GS3b$ も、合成すれば図 5 に示す切換制御信号 $GS3b$ と同一となるものであって、切換制御信号 $GS3a$

は、奇数番目の水平走査期間における第3の期間でHレベルとなり、残りの期間でLレベルとなる。また、切換制御信号GS3bは、偶数番目の水平走査期間における第3の期間でHレベルとなり、残りの期間でLレベルとなる。

[0084] このように、並列接続される対となる2つのスイッチ素子SW_{i a}, SW_{i b}は、交互にオンされることにより、従来の1つのスイッチ素子と同様の役割を果たすことになる。したがって、本実施形態のスイッチ素子1つあたりのオンされる回数は、従来の1つのスイッチ素子の半分となるので、一般的にオンオフ回数が多いほど短くなる素子寿命を延長させることが可能となる。特に、スイッチ素子1つあたりのオン時間は、従来の1つのスイッチ素子の半分となるので、TFTのゲート端子に同符号の電圧をかけ続けることによる閾値電圧の（正常範囲外への）シフトを抑制することができ、このことにより素子寿命を延長させることができる。

[0085] <2. 3 効果>

以上のように、本実施形態においては、同一組の6つのスイッチ素子SW_{(3j-2) a}, SW_{(3j-1) a}, SW_{3j a}, SW_{(3j-2) b}, SW_{(3j-1) b}, SW_{3j b}のうち、対となる2つのスイッチ素子SW_{i a}, SW_{i b}で1つのスイッチ素子の動作となるよう交互にオンされる。このことにより、スイッチ素子1つあたりのオン回数およびオン期間は、従来の1つのスイッチ素子の半分となるので、素子寿命を延長させることができる。なお、上記スイッチ素子であるTFTの半導体層にアモルファスシリコン(a-Si)や微結晶シリコン(μ c-Si)、または酸化亜鉛(ZnO)等の酸化物半導体などを使用する場合、上記閾値電圧のシフトが比較的生じやすいため、特に顕著な効果が得られる。

[0086] <3. 第3の実施形態>

<3. 1 液晶表示装置の構成および動作>

本発明の第3の実施形態に係る液晶表示装置100の構成は、液晶パネルにおけるスイッチ素子SW_iの動作を除くほか、第2の実施形態の場合と同

様であるので、同一の構成要素には同一の符号を付し、その詳しい説明を省略する。なお、スイッチ素子 SW_i であるTFTの構成も第2の実施形態の場合と同様である。

[0087] しかし、本実施形態では、第2の実施形態の場合よりも、スイッチ素子 SW_i の短い素子寿命をさらに延長することを可能にするよう動作する。以下では、これらスイッチ素子 SW_i の動作につき、図7を参照して液晶パネルの駆動方法とともに説明する。

[0088] < 3. 2 駆動方法 >

図7は、本液晶表示装置における駆動方法を説明するためのタイミングチャートである。図7に示すように、スイッチ素子 $SW(3j-2)_a$, $SW(3j-1)_a$, SW_{3j}_a の動作タイミングを示す切換制御信号 $GS1_a \sim GS3_b$ の波形を除くほか、各種信号は、図5に示す場合と記載されている期間は異なるがその波形はほぼ同様であるので、詳しい説明を省略する。

[0089] 図7に示す切換制御信号 $GS1_a$ は、Hレベルとなる期間は、図6に示す第2の実施形態の場合と同様であるが、残りの期間の全ての間Lレベルとなるのではなく、残りの期間のうち、対となるスイッチ素子に対応する切換制御信号 $GS1_b$ がHレベルとなる期間に典型的にはLレベルよりもさらに低い（素子に影響が出ない程度に適宜に設定された）負電位となる。また、切換制御信号 $GS1_b$ も同様に、Hレベルとなる期間は、図6に示す第2の実施形態の場合と同様であるが、残りの期間のうち、対となるスイッチ素子に対応する切換制御信号 $GS1_a$ がHレベルとなる期間に負電位となる。なお、図7に示す切換制御信号 $GS2_a$, $GS2_b$ および切換制御信号 $GS3_a$, $GS3_b$ も、同様である。ここで、上記負電位はスイッチ素子のゲート電位が（映像信号線の電位である）ドレイン・ソース電位に対して負になっていればよく、必ずしもLレベルよりもさらに低い電位である必要はない。なおこのことは正負の符号が逆であっても同様に考えることができる。

[0090] このように、並列接続される対となる2つのスイッチ素子 SW_{ia} , SW_{ib} は、交互にオンされることにより、第2の実施形態の場合と同様、従来

の1つのスイッチ素子と同様の役割を果たすことになり、素子寿命を延長させることが可能となる。さらに、対となる一方のスイッチ素子がオンされている時に、他方のスイッチ素子のゲート端子に負電位の切換制御信号を与えることにより、TFTのゲート端子に同符号の電圧をかけ続けることによる閾値電圧の（正常範囲外への）シフトを抑制することができ、このことにより素子寿命を延長させることができる。

[0091] ここで、スイッチ素子のゲート端子に負電位を与えるとドレイン端子に接続されている映像信号線へリーク電流が流れることになるが、上述したようにこのときには当該スイッチ素子と対となるスイッチ素子がオンされているので、当該映像信号線へ映像信号が与えられ続けている。したがって、上記駆動態様では、リーク電流が問題とはならない（無視することができる）という格別の効果も得られる。

[0092] < 3. 3 効果 >

以上のように、本実施形態においては、第2の実施形態と同様、同一組の6つのスイッチ素子 $SW(3j-2)a$ 、 $SW(3j-1)a$ 、 $SW3ja$ 、 $SW(3j-2)b$ 、 $SW(3j-1)b$ 、 $SW3jb$ のうち、対となる2つのスイッチ素子 $SWia$ 、 $SWib$ で1つのスイッチ素子の動作となるよう交互にオンされる。このことにより、スイッチ素子1つあたりのオン回数およびオン期間は、従来の1つのスイッチ素子の半分となるので、素子寿命を延長させることができる。また、対となる2つのスイッチ素子 $SWia$ 、 $SWib$ の一方がオンされている時に、他方のゲート端子に負電位を与えることにより、同符号の電圧をかけ続けることによる閾値電圧の（正常範囲外への）シフトを抑制することができる。よって、このことによっても素子寿命を延長させることができる。なお、上記スイッチ素子であるTFTの半導体層にアモルファスシリコン（ $a-Si$ ）や微結晶シリコン（ $\mu c-Si$ ）、または酸化亜鉛（ ZnO ）等の酸化物半導体などを使用する場合、上記閾値電圧のシフトが比較的生じやすいため、特に顕著な効果が得られる。

[0093] < 4. 変形例 >

上記第3の実施形態は、第2の実施形態の場合に対して、さらに対となる一方のスイッチ素子がオンされている時に、他方のスイッチ素子のゲート端子に負電位の切換制御信号を与える構成を適用するものであるが、この構成は第1の実施形態の場合に適用することが可能である。例えば、図5における時刻 t_2 から時刻 t_3 までの間、切換制御信号 $GS1a$ の電位を負電位にすることにより、スイッチ素子 $SW1a$ の寿命を延長させることができる。

[0094] また、例えば時刻 t_1 から時刻 t_2 までの間の（好ましくは時刻 t_2 に近い）図示されない時刻 t_{1a} を設定し、この時刻 t_{1a} から時刻 t_2 までの間、切換制御信号 $GS1b$ の電位を負電位にすることにより、スイッチ素子 $SW1b$ のリーク電流による影響が問題とならないようにしつつ、このスイッチ素子 $SW1b$ の寿命を延長させることができる。ここでこのような変形例においては、時刻 t_{1a} を時刻 t_1 に近い時点としてもスイッチ素子 $SW1b$ の寿命を延長させることはできるが、第1の実施形態におけるスイッチ素子の駆動能力が小さいことから、映像信号線に充電が開始される時点（ここでは時刻 t_1 ）からできるだけ離れた時点でスイッチ素子 $SW1b$ がオフされる（負電位が与えられる）ことが好ましい。

[0095] さらに、リーク電流による影響が大きい場合には、第1または第2の実施形態においてスイッチ素子 SW_i にLレベルの切り換え信号が与えられている期間の全てまたは一部に負電位を与えるよう構成してもよい。そうすれば、スイッチ素子の寿命を延長させることができる。なお、リーク電流による影響をできるかぎり低減したい場合には、対となるスイッチ素子に対して同時に負電位が与えられないように構成することが好ましい。そうすれば並列接続されている対となるスイッチ素子からのリーク電流が重畳されることがなくなる。

[0096] 上記各実施形態では、1つの映像信号線に対して並列に接続されるスイッチ素子を2つとして説明したが、並列に接続されるスイッチ素子の数は3つ以上であってもよい。例えば、第1の実施形態の場合、1水平走査期間毎に、複数のスイッチ素子が略同一時点でオンされるとともに、同一組の複数の

スイッチ素子のうちの一部が最後にオフされるようこれら複数のスイッチ素子が制御される構成であればよい。

- [0097] また、第2の実施形態の場合、1水平走査期間毎に同一組の複数のスイッチ素子の一部がオンされるとともに、1以上の水平走査期間毎に同一組の複数のスイッチ素子におけるオン時間の総和が全て略同一となるよう、複数のスイッチ素子が制御されればよい。例えば、同一組に3つのスイッチ素子SWA, SWB, SWCが備えられ、これらのうちの2つのスイッチ素子により十分な駆動能力が得られる場合、或る水平走査期間ではスイッチ素子SWA, SWBがオンされるとともにスイッチ素子SWCがオフされ、次の水平走査期間ではスイッチ素子SWB, SWCがオンされるとともにスイッチ素子SWAがオフされ、さらに次の水平走査期間ではスイッチ素子SWA, SWCがオンされるとともにスイッチ素子SWBがオフされる、というように駆動したり、各スイッチ素子における3水平期間毎のオン時間の総和を同一にするとともに、そのオン時間の総和を従来の $2/3$ に低減することができる。また例えば、2水平走査期間中1つのスイッチ素子がオンされるとともに残る2つのスイッチ素子はそのうちの1水平走査期間毎に相反的に切り替わるようにオンオフされ、2水平走査期間毎に各スイッチ素子における（オンオフの）駆動態様を順に入れ替えるように駆動すれば、各スイッチ素子における6水平期間毎のオン時間の総和を同一にするとともに、そのオン時間の総和を従来の $2/3$ に低減することができる。また例えば、1水平走査期間において或る組のいずれかのスイッチ素子をオンとすべき期間を3等分し、最初の $1/3$ の期間においてまずスイッチ素子SWA, SWBがオンされるとともにスイッチ素子SWCがオフされ、次の $1/3$ の期間においてスイッチ素子SWB, SWCがオンされるとともにスイッチ素子SWAがオフされ、さらに最後の $1/3$ の期間においてスイッチ素子SWA, SWCがオンされるとともにスイッチ素子SWBがオフされる、というように1水平走査期間内でオンとするスイッチ素子を切り替えて駆動すれば、各スイッチ素子における1水平期間毎のオン時間の総和を同一にするとともに、そのオン時

間の総和を従来の $2/3$ に低減することができる。なお、上記各スイッチ素子におけるオン時間の総和は実際にはそれぞれが完全に同一である必要はないが、或るスイッチ素子におけるオン時間の総和が他のスイッチ素子におけるオン時間の総和よりも大きければ、装置全体としての寿命が短くなるので、上記各スイッチ素子におけるオン時間の総和はそれぞれ略同一であることが好ましい。

[0098] さらに第3の実施形態の場合、同一組の複数のスイッチ素子の1つに対して、当該スイッチ素子のオフ期間の全部または一部の期間中であって、当該スイッチ素子以外の同一組の残りのスイッチ素子の1つ以上のオン期間中に、逆符号の所定の電位が与えられるよう制御される構成であればよい。

[0099] 上記各実施形態では、1水平走査期間を3つに分割する時分割駆動方式が採用されているが、この時分割数に限定はなく、2つに分割しても4つ以上（例えば80など）に分割してもよい。なお、従来例として前述した相展開駆動方式と、各実施形態における映像信号線時分割駆動方式とは、複数の映像信号線のうち2以上の映像信号線を1グループとしてグループ化することにより得られる複数の映像信号線群に対し、1グループずつ所定の順番で映像信号を印加することにより映像信号線を駆動する点で同様の駆動方式であるとも言える。例えば、各実施形態における液晶表示装置100の映像信号線数を 320×3 （RGB）本であるとする、これを各RGBの画像データ毎に4相展開処理して駆動するには1水平走査期間あたり合計80回の書き込み動作が必要となる。したがって、このような駆動は、時分割数を80とした映像信号線時分割駆動方式による駆動と同視することができる。したがって、本発明は相展開駆動方式を採用した表示装置に適用することができる。この相展開駆動方式を採用した表示装置で例えば第1の実施形態と同様の構成とするためには、上記1組に含まれる対となる並列に接続される2つのスイッチ素子の一方にはシフトレジスタから従来と同様のタイミングでパルスを与え、他方のスイッチ素子にはそのパルスよりやや早い時点で立ち下がるパルスを与える。このことにより、上記他方のスイッチ素子の寄生容量

C g dによるフィールドスルー現象の影響を解消するとともに、上記一方のスイッチ素子の寄生容量C g dを小さくすることによりフィールドスルー現象の影響を抑制することができる。

[0100] また、本発明は点順次駆動方式を採用した表示装置にも適用することができる。すなわち点順次駆動方式は、前述した相展開駆動方式および各実施形態における映像信号線時分割駆動方式とは、2以上の映像信号線を1グループとしてグループ化するわけではない点で異なるが、1つの映像信号線を上記1グループと同視した場合、所定の順番で映像信号を印加することにより映像信号線を駆動する点で同様の駆動方式であるとも言える。この点順次駆動方式を採用した表示装置で例えば第1の実施形態と同様の構成とするためには、上記1組に含まれる対となる並列に接続される2つのスイッチ素子（これらのスイッチ素子は容量素子とともに1つのサンプルアンドホールド回路を形成する）の一方に従来と同様のタイミングでサンプリングパルスを与え、（同一のサンプルアンドホールド回路を形成する）他方のスイッチ素子にはそのサンプリングパルスよりやや早い時点で立ち下がるパルスを与える。このことにより、上記他方のスイッチ素子の寄生容量C g dによるフィールドスルー現象の影響を解消するとともに、上記一方のスイッチ素子の寄生容量C g dを小さくすることによりフィールドスルー現象の影響を抑制することができる。

[0101] なお上記実施形態ではアクティブマトリクス型の液晶表示装置を例に挙げて説明したが、映像信号線時分割駆動方式や相展開方式などを採用するものであれば、液晶素子以外の電気光学素子を使用したアクティブマトリクス型の表示装置にも本発明の適用が可能である。なお、ここで電気光学素子とは、液晶素子の他、有機EL素子や無機EL素子を含むLED（Light Emitting Diode）、FED、電荷駆動素子、およびEインク（Electronic Ink）など、電気を与えることにより光学的な特性が変化する全ての素子をいう。

産業上の利用可能性

[0102] 本発明は、液晶素子やEL素子などをマトリクス状に配置した表示装置に

適用されるものであって、点順次駆動方式、相展開駆動方式、および映像信号線時分割駆動方式などを採用した表示装置に適している。

符号の説明

[0103]	1 0	… T F T (薄膜トランジスタ)
	2 5	… 切換制御回路
	1 0 0	… 液晶表示装置
	2 0 0	… 表示制御回路
	3 0 0	… 映像信号線駆動回路
	4 0 0	… 走査信号線駆動回路
	5 0 0	… 液晶パネル
	5 0 1	… 接続切換回路
	S C K	… ソース用クロック信号
	S S P	… ソース用スタートパルス信号
	G C K	… ゲート用クロック信号
	G S P	… ゲート用スタートパルス信号
	D a	… デジタル画像信号
	G S 1 a ~ G S 3 b	… 切換制御信号
	T S 1, T S 2	… 出力端子
	G k	… 走査信号 (k = 1, 2, 3, …)
	S j	… 映像信号 (j = 1, 2, 3, …)
	S L	… 映像信号線
	L s	… 映像信号線 (列電極)
	L g	… 走査信号線 (行電極)
	P x	… 画素形成部 (画素)
	S W i a, S W i b	… スイッチ素子 (i = 1, 2, 3, …)

請求の範囲

[請求項1]

表示すべき画像を形成する複数の画素形成部と、前記表示すべき画像を表す信号を伝達するための複数の映像信号線と、前記複数の映像信号線と交差する複数の走査信号線とを備え、前記複数の画素形成部が前記複数の映像信号線と前記複数の走査信号線との交差点にそれぞれ対応してマトリクス状に配置されたアクティブマトリクス型の表示装置であって、

前記複数の走査信号線を選択的に駆動する走査信号線駆動回路と、

前記複数の映像信号線のそれぞれに対応して設けられ並列に接続される複数のスイッチ素子を複数組み、前記表示すべき画像を表す信号として入力される画像信号を前記複数のスイッチ素子を介して所定の順番で印加することにより前記複数の映像信号線を駆動する映像信号線駆動回路と、

同一組の複数のスイッチ素子の少なくとも1つが、対応する映像信号線に対応する画像信号が与えられるために必要な期間中オンされ、かつ同一組の複数のスイッチ素子のうちの一部のスイッチ素子がオフされる時点と、残りのスイッチ素子がオフされる時点とが異なるよう、前記複数のスイッチ素子を制御する表示制御回路とを備えることを特徴とする、表示装置。

[請求項2]

前記映像信号線駆動回路は、

前記複数の映像信号線をグループ化することにより得られる複数の映像信号線群それぞれに対応する複数の出力端子を有し、各出力端子に対応する映像信号線群によって伝達されるべき映像信号を所定期間内における時分割で当該出力端子から出力する映像信号出力回路と、

前記映像信号出力回路の各出力端子を当該出力端子に対応する映像信号線群内のいずれかの映像信号線に接続することにより、接続された当該映像信号線と前記走査信号線駆動回路により選択される走査信号線とに繋がる画素形成部に前記映像信号を与えると共に、各出力

端子が接続される映像信号線を当該出力端子に対応する映像信号線群内で前記時分割に応じて切り換える前記スイッチ素子からなる接続切換回路とを含むことを特徴とする、請求項 1 に記載の表示装置。

[請求項3] 前記映像信号出力回路は、所定の 3 原色を表示する 3 種類の画素形成部にそれぞれ繋がる 3 つの隣り合う映像信号線を 1 グループとして前記複数の映像信号線をグループ化することにより得られる複数の映像信号線群にそれぞれ対応する複数の出力端子を有することを特徴とする、請求項 2 に記載の表示装置。

[請求項4] 前記スイッチ素子は、微結晶シリコン、アモルファスシリコン、または酸化物半導体からなる半導体層を有する薄膜トランジスタであることを特徴とする、請求項 1 から請求項 3 までのいずれか 1 項に記載の表示装置。

[請求項5] 前記表示制御回路は、水平走査期間毎に、同一組の複数のスイッチ素子が略同一時点でオンされるとともに、同一組の複数のスイッチ素子の一部が最後にオフされるよう、前記複数のスイッチ素子を制御することを特徴とする、請求項 1 から請求項 4 までのいずれか 1 項に記載の表示装置。

[請求項6] 前記スイッチ素子は、半導体層を有する薄膜トランジスタであり、同一組の複数のスイッチ素子のうちの最後にオフされる一部のスイッチ素子のサイズが、残りのスイッチ素子のサイズよりも小さいことを特徴とする、請求項 5 に記載の表示装置。

[請求項7] 前記表示制御回路は、水平走査期間毎に、同一組の複数のスイッチ素子の一部がオンされるとともに、1 以上の水平走査期間毎に同一組の複数のスイッチ素子におけるオン時間の総和が全て略同一となるよう、前記複数のスイッチ素子を制御することを特徴とする、請求項 1 から請求項 4 までのいずれか 1 項に記載の表示装置。

[請求項8] 前記表示制御回路は、同一組の前記複数のスイッチ素子に対して、オフ期間の全部または一部の期間中、オン期間に与えられるオン電位

と逆符号の所定の電位を与えることを特徴とする、請求項 1 から請求項 7 までのいずれか 1 項に記載の表示装置。

[請求項9] 前記表示制御回路は、同一組の複数のスイッチ素子の少なくとも 1 つに対して、当該スイッチ素子のオフ期間の全部または一部の期間中であって、当該スイッチ素子以外の同一組の残りのスイッチ素子の 1 つ以上のオン期間中に、前記逆符号の所定の電位を与えることを特徴とする、請求項 8 に記載の表示装置。

[請求項10] 請求項 1 から請求項 9 までのいずれか 1 項に記載の画素形成部は、液晶素子を含むことを特徴とする、液晶表示装置。

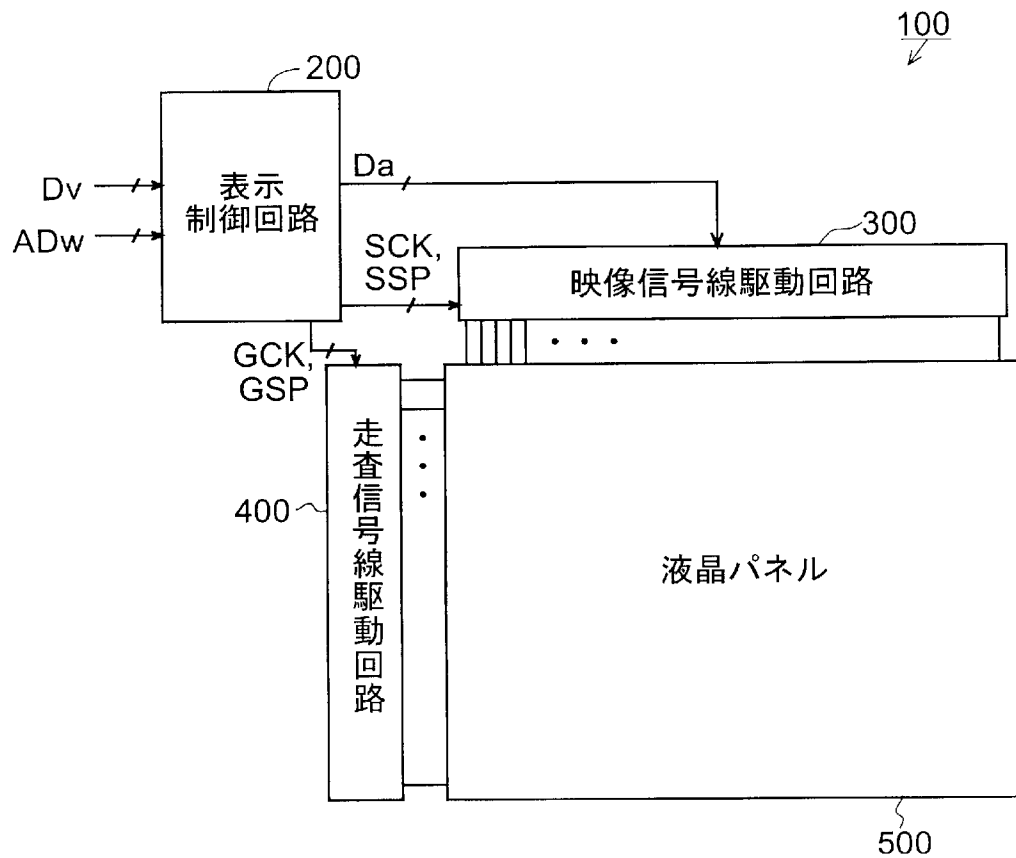
[請求項11] 表示すべき画像を形成する複数の画素形成部と、前記表示すべき画像を表す信号を伝達するための複数の映像信号線と、前記複数の映像信号線と交差する複数の走査信号線とを備え、前記複数の画素形成部が前記複数の映像信号線と前記複数の走査信号線との交差点にそれぞれ対応してマトリクス状に配置されたアクティブマトリクス型の表示装置を駆動する方法であって、

前記複数の走査信号線を選択的に駆動する走査信号線駆動ステップと、

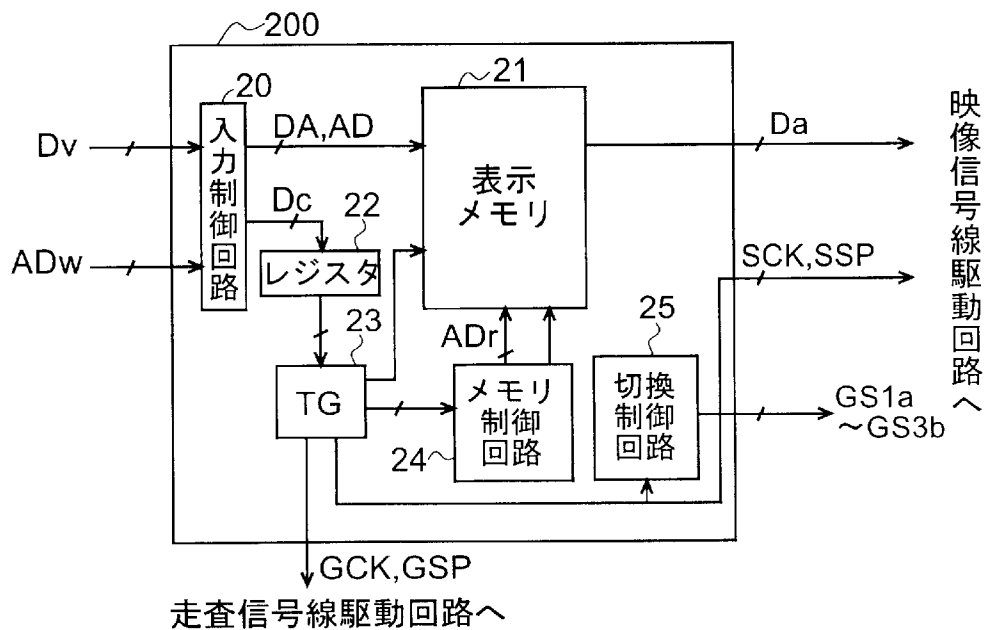
前記複数の映像信号線のそれぞれに対応して設けられ並列に接続される複数のスイッチ素子であって複数組備えられる複数のスイッチ素子を介して、前記表示すべき画像を表す信号として入力される画像信号を所定の順番で印加することにより前記複数の映像信号線を駆動する映像信号線駆動ステップと、

同一組の複数のスイッチ素子の少なくとも 1 つが、対応する映像信号線に対応する画像信号が与えられるために必要な期間中オンされ、かつ同一組の複数のスイッチ素子のうちの一部のスイッチ素子がオフされる時点と、残りのスイッチ素子がオフされる時点とが異なるよう、前記複数のスイッチ素子を制御する表示制御ステップとを備えることを特徴とする、駆動方法。

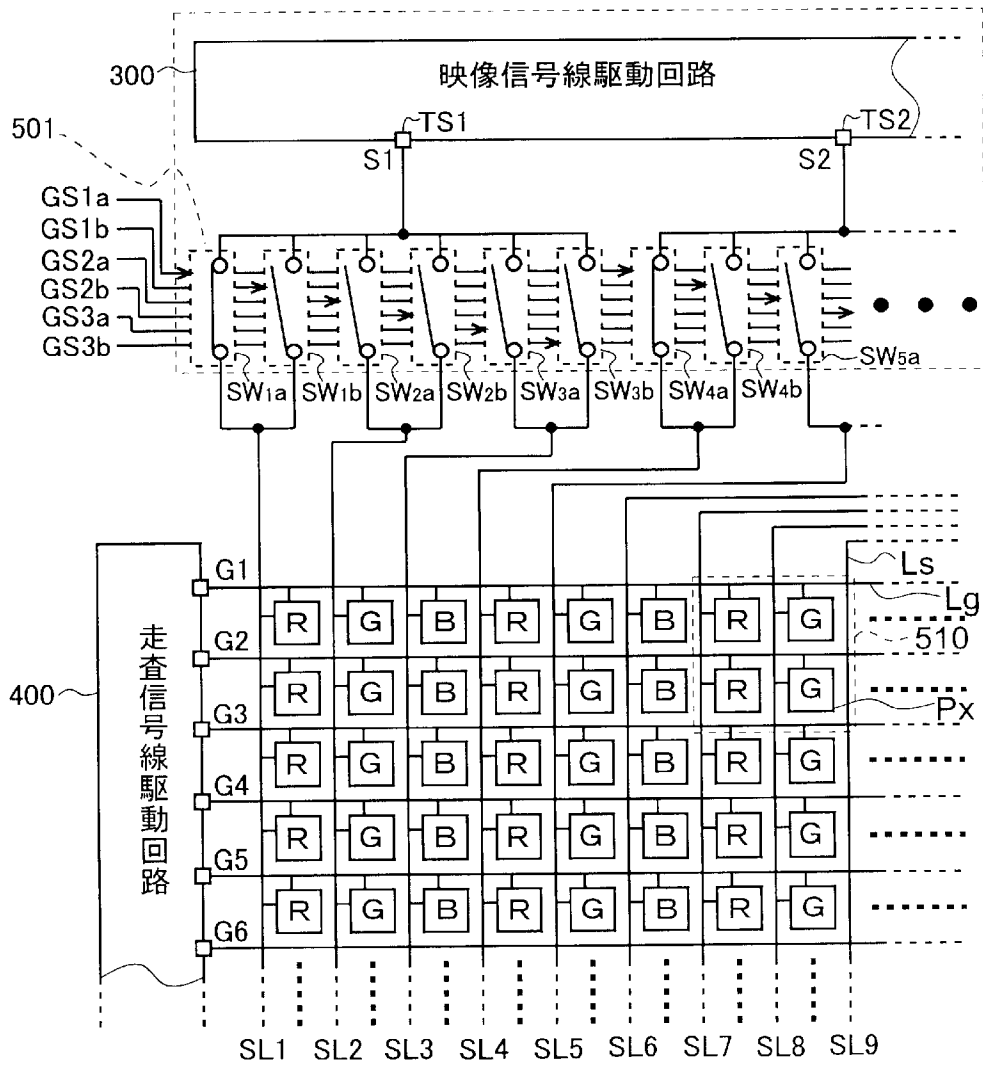
[図1A]



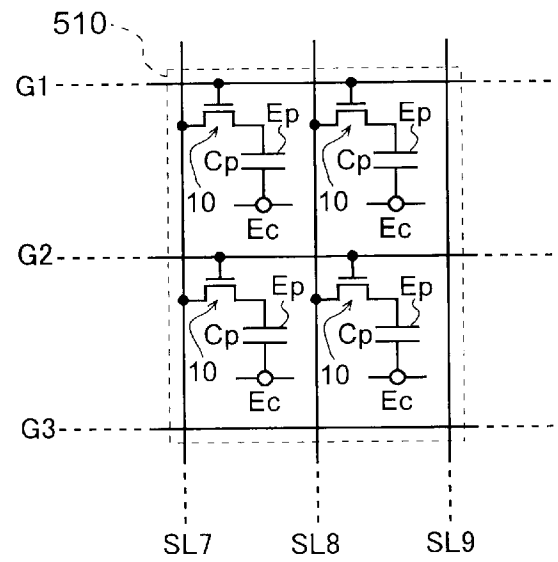
[図1B]



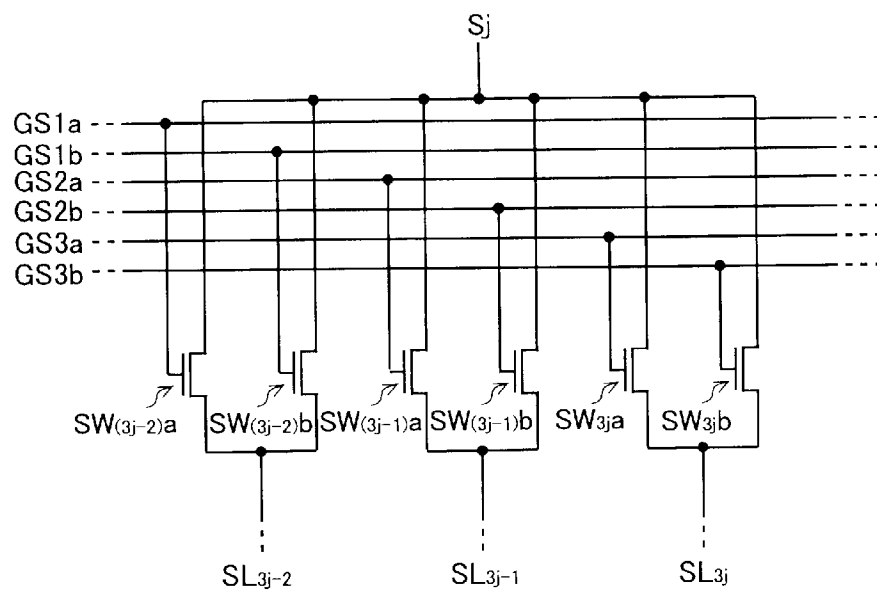
[図2]



[図3]



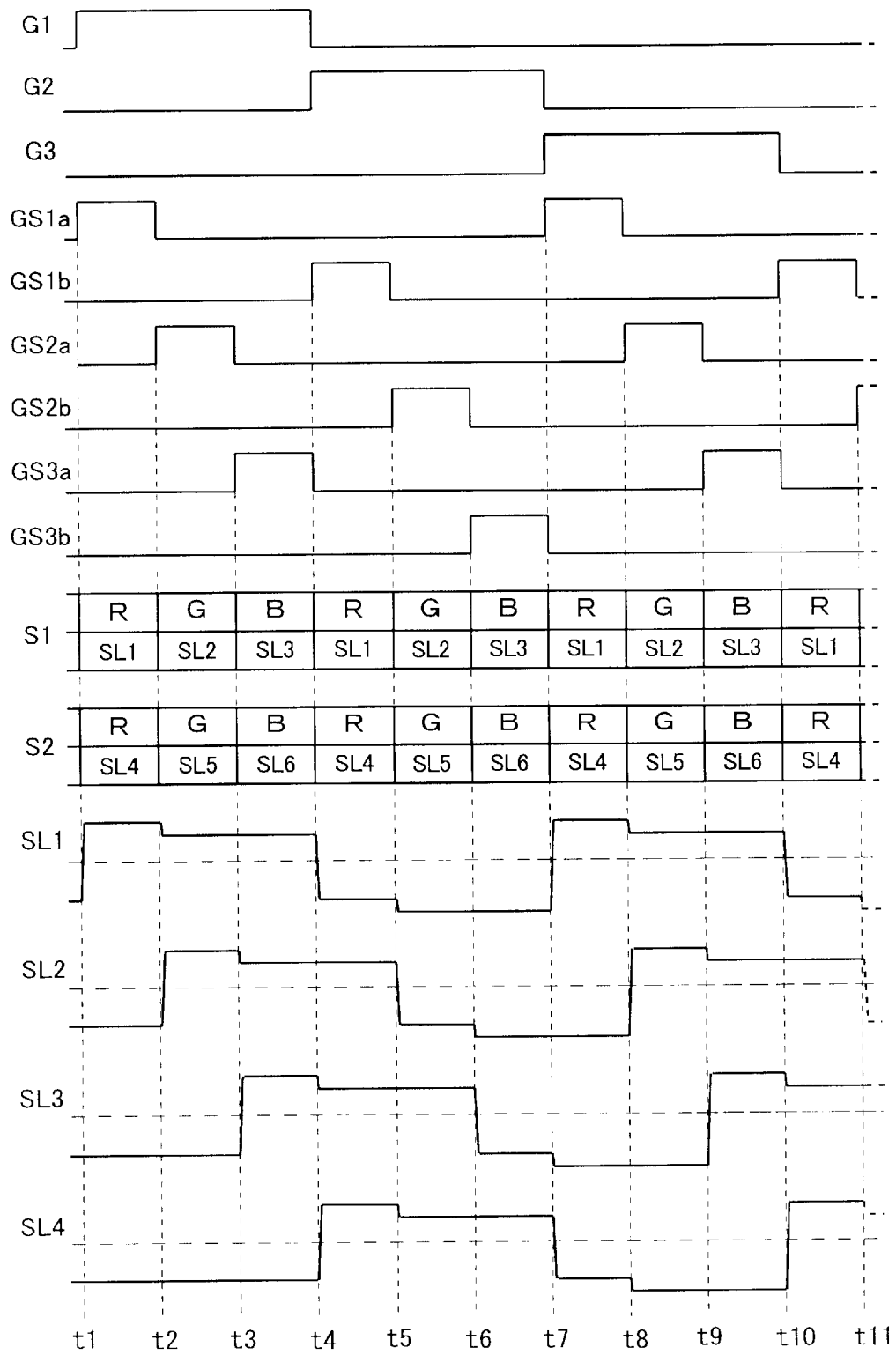
[図4]



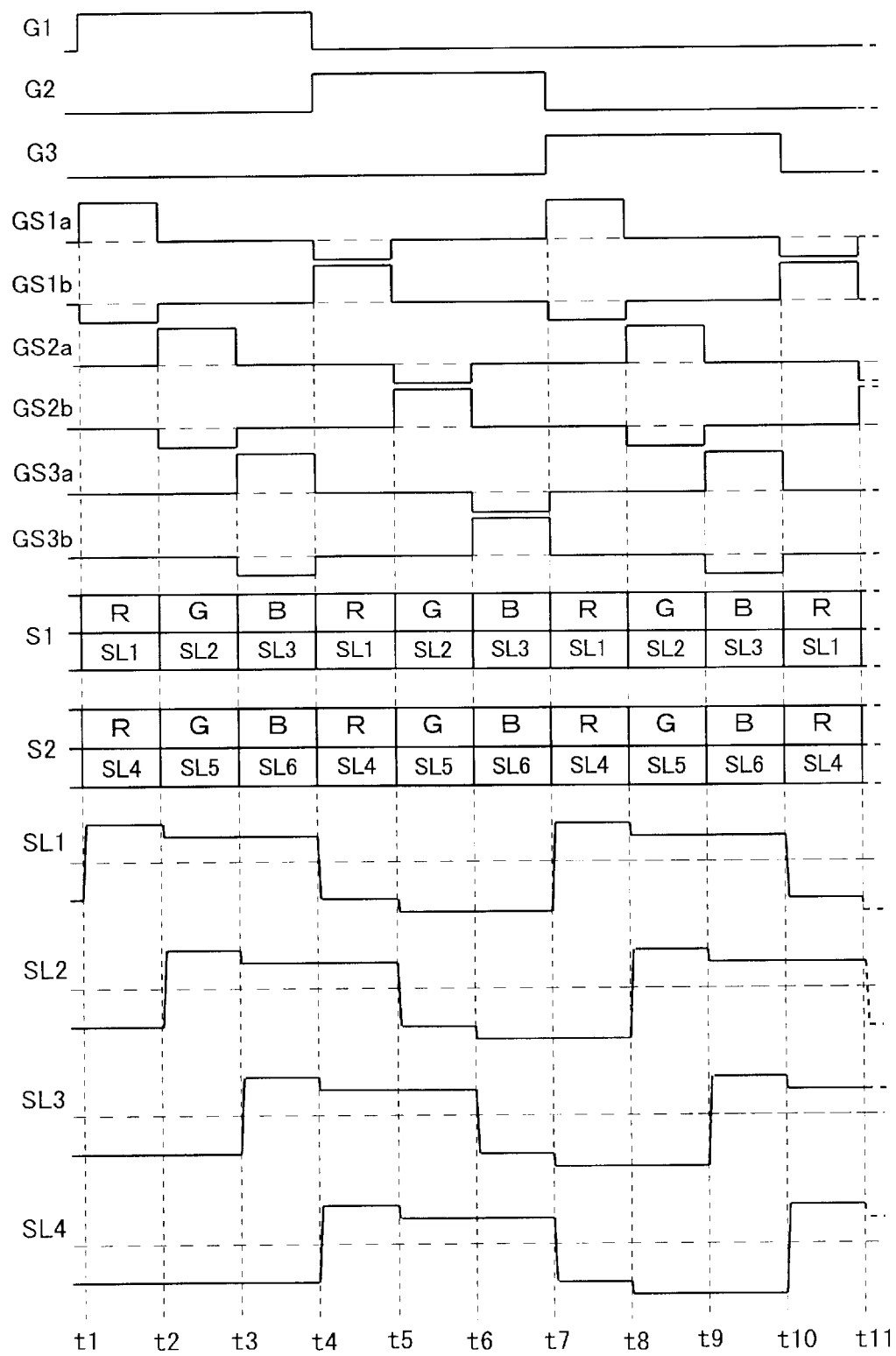
The timing diagram illustrates the relationship between various signals over time. The signals are:

- G1**: High from t_1 to t_6 , then low.
- G2**: Low until t_6 , then high.
- GS1a**: High from t_1 to t_2 and t_7 to t_8 , low otherwise.
- GS1b**: High from t_1 to t_3 and t_7 to t_8 , low otherwise.
- GS2a**: High from t_3 to t_4 and t_8 onwards, low otherwise.
- GS2b**: High from t_3 to t_5 , low otherwise.
- GS3a**: High from t_5 to t_6 , low otherwise.
- GS3b**: High from t_5 to t_7 , low otherwise.
- S1**: A table with two rows: **R** (Red) and **SL1**. Values: R (High) from t_1 to t_2 ; SL1 (High) from t_2 to t_3 ; R (Low) from t_3 to t_4 ; SL2 (High) from t_4 to t_5 ; R (High) from t_5 to t_6 ; SL3 (High) from t_6 to t_7 ; R (Low) from t_7 to t_8 ; SL1 (High) from t_8 onwards.
- S2**: A table with two rows: **R** (Red) and **SL4**. Values: R (High) from t_1 to t_2 ; SL4 (High) from t_2 to t_3 ; R (Low) from t_3 to t_4 ; SL5 (High) from t_4 to t_5 ; R (High) from t_5 to t_6 ; SL6 (High) from t_6 to t_7 ; R (Low) from t_7 to t_8 ; SL4 (High) from t_8 onwards.
- SL1**: High from t_1 to t_2 , low from t_2 to t_6 , high from t_6 to t_8 , low afterwards.
- SL2**: Low until t_3 , high from t_3 to t_5 , low from t_5 to t_8 , high afterwards.
- SL3**: Low until t_5 , high from t_5 to t_7 , low afterwards.
- SL4**: High from t_1 to t_2 , low from t_2 to t_6 , high from t_6 to t_8 , low afterwards.

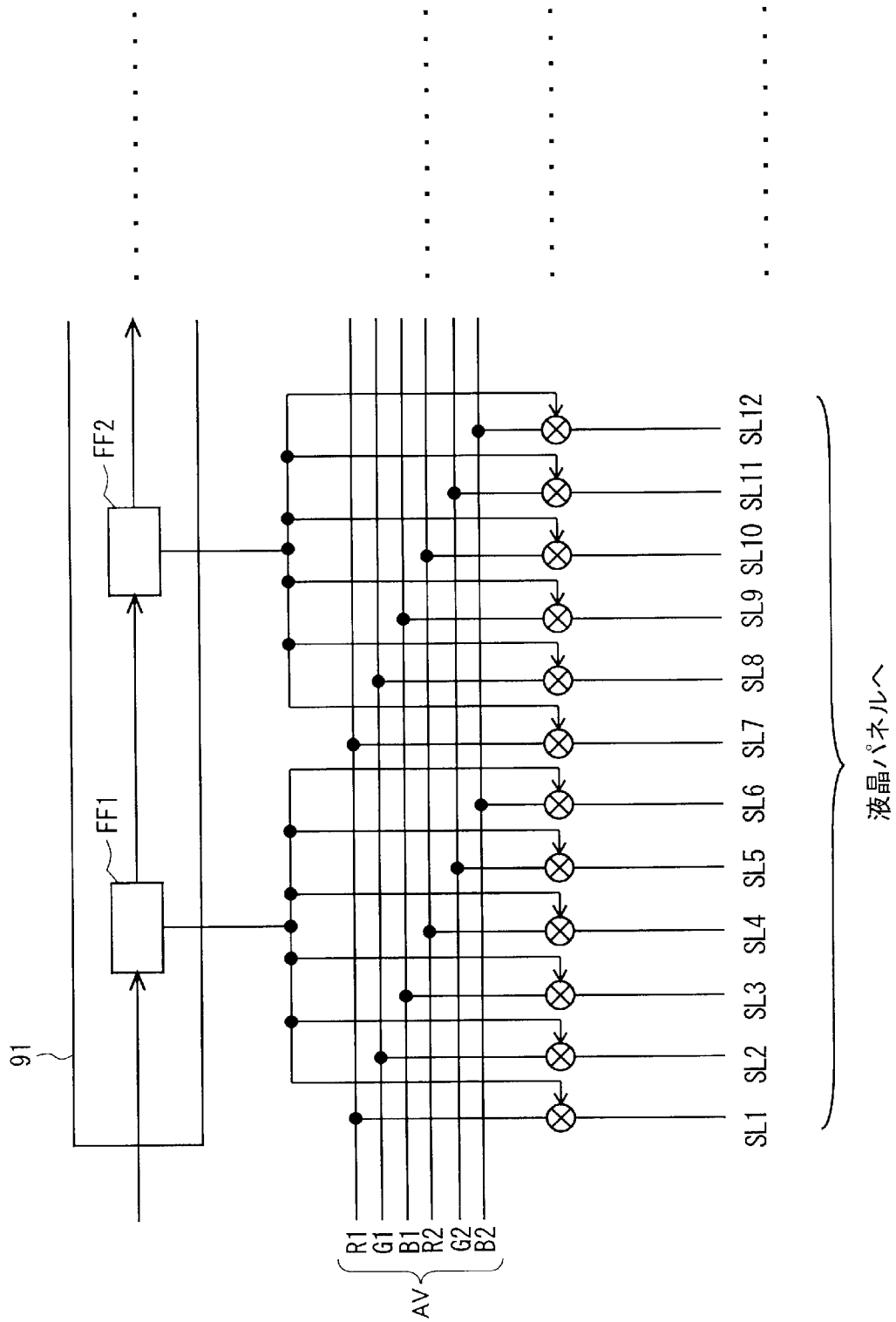
[図6]



[図7]



[図8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/060758

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/36(2006.01) i, G02F1/133(2006.01) i, G09G3/20(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/00-3/38, G02F1/133

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2009
Kokai Jitsuyo Shinan Koho	1971-2009	Toroku Jitsuyo Shinan Koho	1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2008-225036 A (Seiko Epson Corp.), 25 September, 2008 (25.09.08), Full text; Figs. 1 to 9 & US 2008/0225024 A1 & CN 101266742 A	1-11
Y	JP 2008-233454 A (Epson Imaging Devices Corp.), 02 October, 2008 (02.10.08), Full text; Figs. 1 to 7 (Family: none)	1-11
Y	JP 2004-117742 A (Sharp Corp.), 15 April, 2004 (15.04.04), Full text; Figs. 1 to 17 & US 2004/0056833 A1	1-11

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
29 July, 2009 (29.07.09)

Date of mailing of the international search report
11 August, 2009 (11.08.09)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/060758

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2008-65352 A (Seiko Epson Corp.), 21 March, 2008 (21.03.08), Par. Nos. [0190] to [0255]; Figs. 22 to 29 (Family: none)	1-11

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G09G3/36(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G09G3/00-3/38, G02F1/133

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 9 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 9 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 9 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2008-225036 A（セイコーエプソン株式会社）2008.09.25, 全文, 図1-9 & US 2008/0225024 A1 & CN 101266742 A	1-11
Y	JP 2008-233454 A（エプソンイメージングデバイス株式会社）2008.10.02, 全文, 図1-7 (ファミリーなし)	1-11

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 9 . 0 7 . 2 0 0 9

国際調査報告の発送日

1 1 . 0 8 . 2 0 0 9

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

中 村 直 行

2 G

9 2 1 4

電話番号 03-3581-1101 内線 3226

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2004-117742 A (シャープ株式会社) 2004. 04. 15, 全文, 図 1 - 1 7 & US 2004/0056833 A1	1-11
Y	JP 2008-65352 A (セイコーエプソン株式会社) 2008. 03. 21, 段落【0 1 9 0】 - 【0 2 5 5】, 図 2 2 - 2 9 (ファミリーなし)	1-11