(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
G05F 3/00

(45) 공고일자 1999년03월20일
(11) 등록번호 특0161359
(24) 등록일자 1998년08월24일

(21) 출원번호 특1994-036833
(22) 출원일자 1994년12월26일
(65) 공개번호 특1995-020014
(43) 공개일자 1995년07월24일
(30) 우선권주장 93-329482 1993년12월27일 일본(JP)

(73) 특허권자 가부시끼가이샤 도시바 사또 후미오
일본국 가나가와껭 가와사끼시 사이와이꾸 호리까와쪼 72반지
(72) 발명자 가또 하쯔히로
일본국 가나가와껭 가와사끼시 사이와이꾸 호리가와쪼 580-1 가부시끼가이샤 도시바 세미컨덕터 시스템 엔지니어링 센터 내
(74) 대리인 구영창

심사관 : 박정학

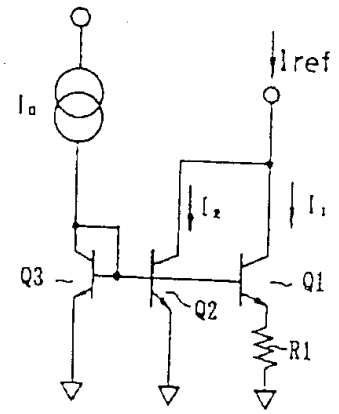
# (54) 기준 전류 발생 회로

## 요약

본 발명은 기준 전류의 온도 특성을 보상함과 동시에, 기준 전류의 온도 특성을 임의로 설정할 수 있는 기준 전류 발생회로를 제공하는 것을 목적으로 한다.

본 발명은 에미터 단자 저항(R1)을 통하여 저전위 전원에 접속된 트랜지스터(Q1)과, 컬렉터 단자가 트랜지스터(Q1)의 컬렉터 단자에 접속되고, 에미터 단자가 저전위 전원에 접속된 트랜지스터(Q2)와, 베이스 단자가 트랜지스터(Q1, Q2)의 베이스 단자에 접속되고, 에미터 단자가 저전위 전원에 접속되고, 컬렉터 단자가 부의 온도 특성을 갖는 정전류원($I_0$)에 접속된 트랜지스터(Q3)를 구비하고, 트랜지스터(Q1)의 컬렉터 전류와 트랜지스터(Q2)의 컬렉터 전류와의 합을 기준 전류로 하여 구성된다.

## 대표도




## 명세서

[발명의 명칭]

기준 전류 발생 회로

[도면의 간단한 설명]

제1도는 본 발명의 하나의 실시예에 다른 기준 전류 발생 회로의 구성을 도시한 도면.

제2도는 제1도에 도시한 정전류원의 구체적인 하나의 구성예를 도시한 도면.

제3도는 제1도에 도시한 정전류원의 구체적인 다른 구성예를 도시한 도면.

제4도는 제1도에 도시한 정전류원의 구체적인 다른 구성예를 도시한 도면.

제5도는 본 발명의 하나의 실시예에 따른 기준 전류 발생 회로의 구성을 도시한 도면.

제6도는 종래의 기준 전류 발생 회로의 한 구성을 도시한 도면.

제7도는 종래의 기준 전류 발생 회로의 다른 구성을 도시한 도면.

* 도면의 주요부분에 대한 부호의 설명

$Q_1$~$Q_4$, $Q_{51}$~$Q_{57}$ : 바이폴라형 트랜지스터

$R_1$~$R_4$, $R_{11}$,$R_{12}$ : 저항 $I_0$ : 전류원

FFT : M1~M5 D1 : 다이오드군

C1 : 용량

[발명의 상세한 설명]

본 발명은 온도 특성을 임의로 설정할 수 있는 기준 전류 발생 회로에 관한 것이다.

종래의 기준 전류 발생 회로로서는 예를 들면, 제6도에 도시한 바와 같이 구성된 것이 알려져 있다.

제6도에서 기준 전류($I_{ref}$)는 트랜지스터(Q51)의 컬렉터 전류로서 얻고 있지만, 이 기준 전류는 트랜지스터(Q52)의 베이스·에미터간 전압($V_f$)와, 트랜지스터(Q51)의 에미터 단자 및 트랜지스터(Q52)의 베이스 단자와 저위(低位) 전원과의 사이에 접속된 저항(R11)과의 값에 따라서 결정된다. 따라서, 온도가 상승하여 트랜지스터(Q52)의 베이스·에미터간 전압($V_f$)가 하강하면 저항(R1)으로 흐르는 전류가 감소하여 기준 전류가 감소하고, 기준 전류는 부(負)의 온도 특성을 갖게 된다.

한편, 종래의 다른 기준 전류 발생 회로로서는 예를 들면, 제7도에 도시한 바와 같이 구성된 것이 알려져 있다.

제7도에서 기준 전류($I_{ref}$)는 트랜지스터(Q53, Q54, Q55, Q56, Q57)로 이루어진 전류 미러 회로의 트랜지스터(Q55)의 컬렉터 전류로서 얻고 있지만, 이 기준 전류는 트랜지스터(Q57)의 컬렉터 전류 즉, 트랜지스터(Q57')의 에미터 단자에 접촉된 저항(R12)를 흐르는 전류로서 얻고 있다. 따라서, 트랜지스터(Q56)의 베이스·에미터간 전압을 $V_{f56,}$ 트랜지스터(Q57)의 베이스·에미터간 전압을 $V_{f57}$, 저항(R12)의 저항치를 R로 하면 기준 전류는 다음 식에 의해 표시된다.

$$I_{ref}=(V_{f56}-V_{f57})/R$$

여기에서, 트랜지스터(Q57)의 에미터 사이즈를 트랜지스터(Q56)의 에이터 사이즈보다도 크게 설정하면, 온도의 상승에 의한 $V_{f57}$의 감소가 $V_{f56}$의 감소보다도 커진다. 따라서, 위 식에 의해 기준 전류는 정(正)의 온도 특성을 갖게 된다.

이상 설명한 바와 같이, 종래의 기준 전류 발생 회로에 있어서는 정 또는 부의 온도 특성을 갖고 있고, 온도 변화에 따른 기준 전류치의 변동을 보상하기 않았었다. 이 때문에, 조그마한 기준 전류의 변동에 동작이 영향을 미쳐서 예를 들면, 센스업 회로 등에 적용하면 오작동을 빈번하게 일으킬 우려가 있었다.

또한, 종래의 기준 전류 발생 회로에 있어서는, 하나의 회로에서 정 또는 부의 어느 한 쪽의 온도 특성을 갖기만 하여서, 회로의 특성에 따라서 온도 특성을 설정할 수 있었다.

그래서, 본 발명은 상기의 내용을 감안하여 이루어진 것으로, 그 목적으로 하는 것은 기준 전류의 온도 특성을 보상함과 동시에 , 기준 전류의 온도 특성을 임의로 설정할 수 있는 기준 전류 발생 회로를 제공하는 데에 있다.

상기 목적은 달성하기 위하여, 본 발명은 에미터 단자가 저항을 통하여 제1전원에 접속된 제1 트랜지스터와, 컬렉터 단자가 제1 트랜지스터의 컬렉터 단자에 접속되고, 에미터 단자가 제1 전원에 접속되고, 베이스 단자가 제1 트랜지스터의 베이스 단자에 접속된 제2 트랜지스터와, 베이스 단자가 제1 트랜지스터의 베이스 단자에 접속되고, 에미터 단자가 제1 전원에 접속되고, 컬렉터 단자가 자신의 베이스 단자 및 온도 상승에 의해 전류치가 감소하는 정전류원에 접속된 제3 트랜지스터를 구비하고 제1 트랜지스터의 컬렉터 전류와 제2 트랜지스터의 컬렉터 전류와의 합을 기준 전류로 하여 구성된다.

본 발명은 상기 정전류원이 컬렉터 단자가 제2 전원에 접속되고, 에미터 단자가 저항을 통하여 제3 트랜지스터의 컬렉터 단자에 접속된 제4 트랜지스터와, 소오스 단자가 제2 전원에 접속되고, 드레인 단자가 제4 트랜지스터의 베이스 단자에 접속된 제1 도전형의 제1 FET(전계 효과 트랜지스터)와, 제4 트랜지스터의 베이스 단자와 제1 전원과의 사이에 삽입된 다이오드와, 제4 트랜지스터의 베이스 단자와 제1 전원과의 사이에 삽입된 용량을 구비하고, 소오스 단자가 제2 전원에 접속되고, 드레인 단자가 제1 트랜지스터의 컬렉터 단자에 접속되고, 게이트 단자가 드레인 단자에 접속된 제1 도전형의 제2 FET의 게이트 단자가 제1 FET의 게이트 단자에 접속되어 구성된다.

상기 구성에서 본 발명은 정의 온도 특성을 갖는 기준 전류와 부의 온도 특성을 갖는 기준 전류와의 합에 의해 기준 전류를 생성하여 각각의 온도 특성을 갖는 기준 전류량을 조정하고, 온도 특성을 보상한 기준 전류, 혹은 정 또는 부의 온도 특성을 갖는 기준 전류를 얻도록 하고 있다.

이하, 도면을 이용하여 본 발명의 실시예를 설명한다.

제1도는 본 발명의 하나의 실시예에 따른 기준 전류 발생 회로의 구성을 도시한 도면이다.

제1도에 있어서 기준 전류 발생 회로는 에미터 단자가 저위 전원에 접속된 바이폴라형의 트랜지스터(Q1)과, 컬렉터 단자가 트랜지스터(Q1)의 컬렉터 단자에 접속되고, 에미터 단자가 저위 전원에 접속된 바이폴

라형 트랜지스터(Q2)와, 베이스 단자가 트랜지스터(Q1) 및 트랜지스터(Q2)의 베이스 단자에 접속되고, 에미터 단자가 저위 전원에 접속되고, 컬렉터 단자가 정전류원($I_0$)에 접속된 바이폴라형 트랜지스터(Q3)로 구성되어 있고, 트랜지스터(Q1)의 컬렉터 전류($I_1$)과 트랜지스터(Q2)의 컬렉터 전류($I_2$)와의 합을 기준 전류($I_{ref}$)로 하고 있다.

이와 같은 구성에 있어서, 트랜지스터(Q1)의 컬렉터 전류($I_1$)은 트랜지스터(Q1)의 베이스·에미터간 전압을 $V_{f1}$, 트랜지스터(Q3)의 베이스·에미터간 전압을 $V_{f3}$, 저항(R1)의 저항치를 R1로 하면, 다음 식으로 표시된다.

$$I_1 = (V_{f3} - V_{f1}) / R1$$

여기에서, 트랜지스터(Q1)의 에미터 사이즈를 트랜지스터(Q3)의 에미터 사이즈보다도 크게 설정하면, 트랜지스터(Q3)의 베이스·에미터간 전압($V_{f3}$)의 온도 변화는 트랜지스터(Q1)의 베이스·에미터간 전압($V_{f1}$)의 온도 변화보다도 작아지기 때문에, 트랜지스터(Q1)의 컬렉터 전류($I_1$)은 정의 온도 특성을 갖게 된다.

한편, 트랜지스터(Q2)의 컬렉터 전류($I_2$)는 트랜지스터($Q_2$,$Q_3$)으로 구성되어 있는 전류 미러 회로에 의해 생성되고 있기 때문에, 정전류원($I_0$)와 같은 온도 특성을 갖게 된다. 그래서, 정전류원($I_0$)가 부의 온도 특성을 갖게 되면 트랜지스터($Q_2$)의 컬렉터 전류($I_2$)는 부의 온도 특성을 갖게 된다.

이러한 것으로부터, 기준 전류($I_{ref}=I_1+I_2$)는 온도 변화에 따른 트랜지스터(Q1)의 컬렉터 전류($I_1$)의 변동량과 트랜지스터($Q_2$)의 컬렉터 전류($I_2$)의 변동량이 상쇄되도록 각각의 컬렉터 전류를 설정하도록 하면, 기준 전류는 온도 변화의 영향을 받은 일이 없게 되어, 온도 보상을 달성할 수 있다.

한편, 온도 변화에 따른 트랜지스터(Q1)의 컬렉터 전류($I_1$)의 변동과 트랜지스터(Q2)의 컬렉터 전류($I_2$)의 변동량을 조정함으로써, 기준 전류에 정의 온도 특성 도는 부의 온도 특성을 임의로 갖게 할 수 있게 된다.

제2도는 제1도에 도시한 정전류원($I_0$)의 구체적인 구성예를 도시한 도면이다.

제2도에 있어서, 정전류원($I_0$)는 저항($R_3$)으로 구성되어 있고, 일단이 고위 전원에 접속된 저항($R_3$)의 타단으로부터 정전류를 얻고 있다. 이와 같은 구성에 있어서, 저항($R_3$)을 폴리실리콘 등으로 형성한다면, 저항의 온도 변화를 부로 할 수 있다.

제3도는 제1도에 도시한 정전류원($I_0$)의 구체적인 다른 구성예를 도시한 도면이다.

제3도에서 정전류원($I_0$)의 정전류는 제6도에 도시한 기준 전류 발생 회로가 게이트 단자에 접속된 한쌍의 P채널 FET(M1, M2)중의 한족의 FET(M2)의 드레인 전류로서 얻고 있다. 이와 같은 구성에 있어서는 트랜지스터(Q5)의 베이스·에미터간 전압을 $V_{f5}$로 하고, 저항(Q5)의 저항치를 R5로 하면, 정전류원($I_0$)는 $I_0=V_{f5}/R5$로 표시되고, 저항(R5)의 온도 상승을 억제하면, 정전류원($I_0$)는 트랜지스터(Q5)의 베이스·에미터간 전압($V_{f5}$)의 온도 특성과 동일한 부의 온도 특성을 갖게 된다.

제4도는 제1도에 도시한 정전류원($I_0$)의 구체적인 다른 구성예를 도시한 도면이다.

제4도에 있어서, 정전류원($I_0$)는 컬렉터 단자가 고위 전원에 접속되고, 에미터 단자가 저항(R4)를 통하여 트랜지스터(Q3)의 컬렉터 단자 및 트랜지스터(Q2)의 베이스 단자에 접속된 바이폴라형 트랜지스터(Q4)와, 고위 전원과 트랜지스터(Q4)의 베이스 단자와의 사이에 삽입되어 게이트 단자에 도통 상태로 하는 신호가 공급된 P채널 FET(M3)과, 트랜지스터(4)의 베이스 단자와 저위 전원과의 사이에 삽입된 다이오드군(D1) 및 용량(C1)을 구비하고, 저항(R3)의 타단으로부터 정전류를 얻도록 구성되어 있다.

제5도는 제1도에 도시한 회로에 제4도에 도시한 회로를 적용한 기준 전류 발생 회로의 구성을 도시한 도면이다.

제5도에서 기준 전류 발생 회로는 제1 도전형 FET(M4, M5)의 공통 접속된 게이트 단자가 정전류원을 구성하는 FET(M3)의 게이트 단자에 접속되고, FET(M4)의 게이트 단자가 접속된 드레인 단자가 트랜지스터(Q1, Q2)의 컬렉터 단자에 접속되어 이루어지고, 트랜지스터(Q1)의 컬렉터 전류와 트랜지스터(Q2)의 컬렉터 전류와의 합의 기준전류와 동등한 전류를 FET(M5)의 드레인 단자에서 기준 전류로서 얻도록 하고 있다.

이 때, 트랜지스터(Q3)에 흐르는 정전류원($I_0$)는 다이오드군(D1)에서의 2개의 다이오드의 순방향 전압을 $V_{FD}$로 하고, 트랜지스터(Q3, Q4)의 베이스·에미터간 전압 $V_{f3}$, $V_{f4}$로 하고, 저항(R4)의 저항치를 R4로 하면, 다음 식으로 표시된다.

$$I_O = (3\,V_{fD} - V_{f4} - V_{f3}) / R4$$

이 값은 다이오드의 순방향 전압($V_{fD}$)를 반영하여 부의 온도 특성을 갖게 된다.

이상 설명한 바와 같이 본 발명에 의하면, 정의 온도 특성을 갖는 기준 전류와 부의 온도 특성을 갖는 기준 전류와의 전류량을 적합하게 기준 전류를 생성하도록 하고 있기 때문에, 온도 특성을 보상한 기준 전류, 혹은 정 또는 부의 임의의 온도 특성을 갖는 기준 전류를 얻을 수 있다.

## *(57) 청구의 범위*

### 청구항 1

기준 전류 발생 회로에 있어서, (a) 제1 저항(R1)을 통해 제1 전원에 접속된 에미터를 갖는 제1 바이폴라 트랜지스터(Q1), (b) 콜렉터가 상기 제1 바이폴라 트랜지스터(Q1)의 콜렉터에 접속되고, 에미터가 상기 제1 전원에 접속되며, 베이스가 상기 제1 바이폴라 트랜지스터(Q1)의 베이스에 접속된 제2 바이폴라 트랜지스터(Q2), (c) 음의 온도 계수를 가지면, 제2 전원에 접속된 일단과 출력 단자로서 작용하는 타단을 구비한 정전류원($I_0$), 및 (d) 베이스가 상기 제1 및 제2 바이폴라 트랜지스터(Q1, Q2)의 베이스에 접속되고, 에미터가 상기 제1 전원에 접속되며, 콜렉터가 자신의 베이스 및 상기 정전류원의 출력 단자에 접속된 제3 바이폴라 트랜지스터(Q3)를 구비하고, 상기 제2 및 제3 바이폴라 트랜지스터(Q2, Q3)가 전류 미러 회로를 구성하며, 상기 기준 전류 발생 회로가, 상기 제1 바이폴라 트랜지스터의 제1 콜렉터 전류 및 상기 제2 바이폴라 트랜지스터의 제2 콜렉터 전류의 합으로서 기준 전류를 제공하고, 온도 변화에 기인한 상기 제1 및 제2 콜렉터 전류의 변동을 보상하여 일정한 기준 전류를 발생시키도록, 상기 제1 콜렉터 전류가 양의 온도 계수를 가지며, 상기 제2 콜렉터 전류가 음의 온도 계수를 갖는 것을 특징으로 하는 기준 전류 발생회로.

### 청구항 2

제1항에 있어서, 상기 제1 바이폴라 트랜지스터(Q1)의 에미터의 크기가 상기 제3 바이폴라 트랜지스터(Q3)의 에미터 크기와 다른 것을 특징으로 하는 기준 전류 발생 회로.

### 청구항 3

제1항에 있어서, 상기 정전류원($I_0$)이 반도체 저항인 것을 특징으로 하는 기준 전류 발생 회로.

### 청구항 4

기준 전류 발생 회로에 있어서, (A) 제1 저항(R1)을 통해 제1 전원에 접속된 에미터를 갖는 제1 트랜지스터(Q1); (B) 콜렉터가 상기 제1 트랜지스터(Q1)의 콜렉터에 접속되고, 에미터가 상기 제1 전원에 접속되며, 베이스가 상기 제1 트랜지스터(Q1)의 베이스에 접속된 제2 트랜지스터(Q2); (C) 베이스가 상기 제1 및 제2 트랜지스터(Q1, Q2)의 베이스에 접속되고, 에미터가 상기 제1 전원에 접속되며, 콜렉터가 자신의 베이스에 접속된 제3 트랜지스터(Q3); 및 (D) (a) 소스가 제2 전원에 접속되고, 게이트가 자신의 드레인에 접속된 제1 FET(M1), (b) 소스가 상기 제2 전원에 접속되고, 드레인이 상기 제3 트랜지스터(Q3)에 접속되며, 게이트가 상기 제1 FET(M1)의 게이트에 접속된 제2 FET(M2), (c) 콜렉터가 제1 FET의 드레인에 접속되고, 에미터가 제2 저항(R5)을 통해 상기 제1 전원에 접속된 제4 트랜지스터(Q4), 및 (d) 콜렉터가 상기 제4 트랜지스터의 베이스에 접속될 뿐만 아니라 제3 저항(R6)을 통해 상기 제2 전원에 접속되고, 에미터가 상기 제1 전원에 접속되며, 베이스가 상기 제4 트랜지스터의 에미터에 접속된 제5 트랜지스터(Q5)를 포함하며, 음의 온도 계수를 갖는 정전류원($I_0$)을 구비하고, 상기 기준 전류 발생 회로가, 상기 제1 트랜지스터의 콜렉터 전류와 상기 제2 트랜지스터의 콜렉터 전류와의 합으로서 기준 전류를 제공하는 것을 특징으로 하는 기준 전류 발생 회로.

### 청구항 5

기준 전류 발생 회로에 있어서, (A) 제1 저항(R1)을 통해 제1 전원에 접속된 에미터를 갖는 제1 트랜지스터(Q1); (B) 콜렉터가 상기 제1 트랜지스터(Q1)의 콜렉터에 접속되고, 에미터가 상기 제1 전원에 접속되며, 베이스가 상기 제1 트랜지스터(Q1)의 베이스에 접속된 제2 트랜지스터(Q2); (C) 베이스가 상기 제1 및 제2 트랜지스터(Q1, Q2)의 베이스에 접속되고, 에미터가 상기 제1 전원에 접속되며, 콜렉터가 자신의 베이스에 접속된 제3 트랜지스터(Q3); 및 (D) (a) 콜렉터가 제2 전원에 접속되고, 에미터가 제2 저항(R4)을 통해 상기 제3 트랜지스터의 콜렉터에 접속된 제4 트랜지스터(Q6), (b) 소스가 상기 제2 전원에 접속되고, 드레인이 상기 제4 트랜지스터(Q6)의 베이스에 접속된 제1 FET(M3), (c) 상기 제4 트랜지스터(Q6)의 베이스와 상기 제1 전원 사이에 배치된 적어도 하나의 다이오드(D1), 및 (d) 상기 제4 트랜지스터(Q6)의 베이스와 상기 제1 전원 사이에 배치된 캐패시터(C1)를 포함하며, 음의 온도 계수를 갖는 정전류원($I_0$)을 구비하고, 상기 기준 전류 발생 회로가, 상기 제1 트랜지스터의 콜렉터 전류와 상기 제2 트랜지스터의 콜렉터 전류와의 합으로서 기준 전류를 제공하는 것을 특징으로 하는 기준 전류 발생 회로.

### 청구항 6

제5항에 있어서, 소스가 상기 제2 전원에 접속되고, 드레인이 상기 제1 트랜지스터(Q1)의 콜렉터에 접속되며, 게이트가 자신의 드레인이 접속될 뿐만 아니라 상기 제1 FET(M3)의 게이트에 접속된 제2 FET(M4)를 더 구비한 것을 특징으로 하는 기준 전류 발생 회로.

### 청구항 7

제5항에 있어서, 상기 다이오드가 직렬로 접속된 것을 특징으로 하는 기준 전류 발생 회로.

### 청구항 8

제5항에 있어서, 상기 다이오드가 부분적으로 병렬로 접속된 것을 특징으로 하는 기준 전류 발생 회로.

### 청구항 9

제6항에 있어서, 상기 다이오드가 직렬로 접속된 것을 특징으로 하는 기준 전류 발생 회로.

**청구항 10**

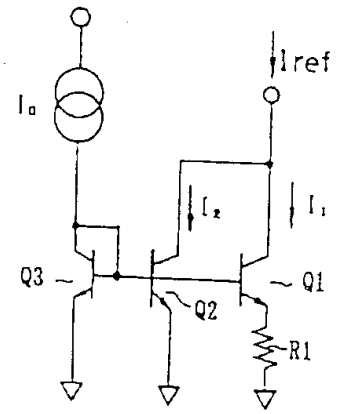
기준 전류 발생 회로에 있어서, (a) 제1 저항(R1)을 통해 제1 전원에 접속된 에미터를 갖는 제1 트랜지스터(Q1), (b) 콜렉터가 상기 제1 트랜지스터(Q1)의 콜렉터에 접속되고, 에미터가 상기 제1 전원에 접속되며, 베이스가 상기 제1 트랜지스터의 베이스에 접속된 제2 트랜지스터(Q2), (c) 베이스가 상기 제1 및 제2 트랜지스터의 베이스에 접속되고, 에미터가 상기 제1 전원에 접속되며, 콜렉터가 자신의 베이스에 접속된 제3 트랜지스터(Q3), (d) 콜렉터가 제2 전원에 접속되고, 에미터가 제2 저항(R4)을 통해 상기 제3 트랜지스터(Q3)의 콜렉터에 접속된 제4 트랜지스터(Q6), (e) 소스가 상기 제2 전원에 접속되고, 드레인이 상기 제4 트랜지스터(Q6)의 베이스에 전속된 제1 FET(M3), (f) 상기 제4 트랜지스터(Q6)의 베이스와 제1 전원과의 사이에 배치된 적어도 하나의 다이오드(D1), (g) 상기 제4 트랜지스터(Q6)와 상기 제1 전원과의 사이에 배치된 캐패시터(C1), (h) 소스가 상기 제2 전원에 접속되고, 드레인이 상기 제1 트랜지스터(Q1)의 콜렉터에 접속되며, 게이트가 자신의 드레인에 접속될 뿐만아니라 상기 제1 FET(M3)의 게이트에 접속된 제2 FET(M4), 및 (i) 소스가 제2 전원에 접속되고, 게이트가 상기 제1 및 제2 FET(M3, M4)의 게이트에 접속되며, 드레인이 기준 전류를 제공하는 제3 FET(M5)를 구비한 것을 특징으로 하는 기준 전류 발생 회로.

**청구항 11**

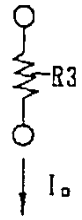
제10항에 있어서, 다이오드가 직렬로 접속된 것을 특징으로 하는 기준 전류 발생 회로.

## *도면*

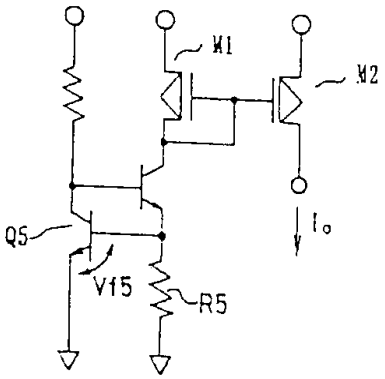
### *도면1*



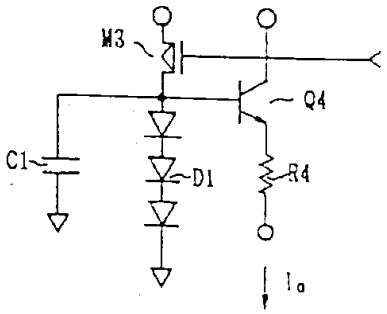

### *도면2*



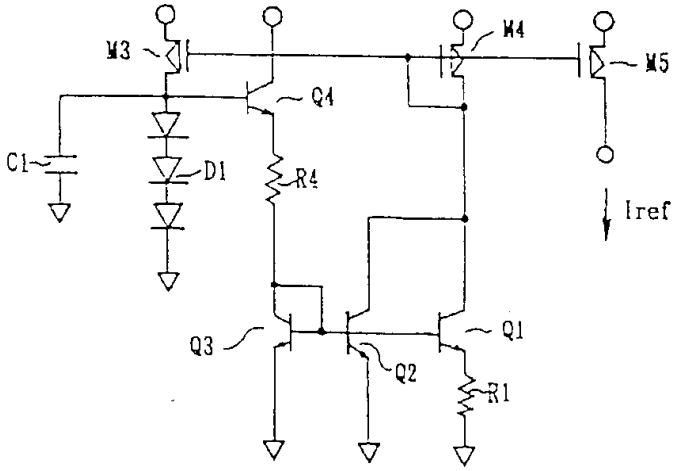
도면3


M1
M2
Q5
Io
V15
R5

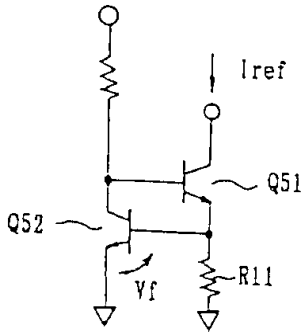
도면4


M3
Q4
C1
D1
R4
Io

도면5


M3
M4
M5
Q4
C1
D1
R4
Iref
Q3
Q1
Q2
R1

도면6




도면7

