



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0022638  
(43) 공개일자 2012년03월12일

(51) 국제특허분류(Int. Cl.)  
*H01L 21/203* (2006.01) *H01L 29/786* (2006.01)  
(21) 출원번호 10-2011-0081634  
(22) 출원일자 2011년08월17일  
심사청구일자 없음  
(30) 우선권주장  
JP-P-2010-183025 2010년08월18일 일본(JP)  
JP-P-2011-083966 2011년04월05일 일본(JP)

(71) 출원인  
가부시키가이샤 한도오따이 에네루기 켄큐쇼  
일본국 가나가와Ken 아쓰기시 하세 398  
(72) 발명자  
야마자키 순페이  
일본 243-0036 가나가와Ken 아쓰기시 하세 398 가  
부시키가이샤 한도오따이 에네루기 켄큐쇼 내  
(74) 대리인  
장훈

전체 청구항 수 : 총 28 항

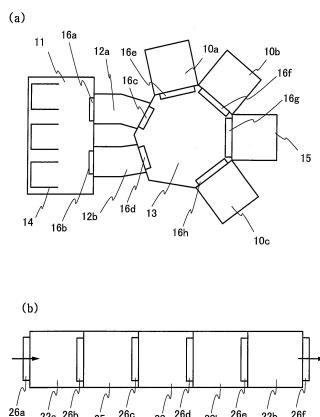
(54) 발명의 명칭 성막 장치 및 성막 방법

### (57) 요 약

산화물 반도체를 사용한 트랜지스터는, 비정질 실리콘을 사용한 트랜지스터와 비교하여 신뢰성이 떨어지는 경우가 있었다. 또한, 산화물 반도체를 사용한 트랜지스터의 전기 특성은, 기판내, 기판간 및 로트간에 있어서, 편차가 큰 경우가 있었다. 그래서, 신뢰성이 높고, 전기 특성의 편차가 작은 산화물 반도체를 사용한 반도체 장치를 제작하는 것을 목적으로 한다.

로드록실과, 로드록실과 게이트 밸브를 통하여 접속된 반송실과, 반송실과 게이트 밸브를 통하여 접속된 기판 가열실과, 반송실과 게이트 밸브를 통하여 접속된 리크 레이트가  $1 \times 10^{-10} \text{ Pa?m}^3/\text{초}$  이하인 성막실을 갖는 성막 장치이다.

### 대 표 도 - 도1



## 특허청구의 범위

### 청구항 1

로드록실(load lock chamber) 및 제 1 게이트 밸브를 통하여 상기 로드록실에 접속된 반송실;

제 2 게이트 밸브를 통하여 상기 반송실에 접속된 기판 가열실; 및

제 3 게이트 밸브를 통하여 상기 반송실에 접속되고  $1 \times 10^{-10}$  Pa?m<sup>3</sup>/초 이하의 리크 레이트를 갖는 성막실을 포함하는, 성막 장치.

### 청구항 2

제 1 항에 있어서,

복수의 성막실들을 포함하는, 성막 장치.

### 청구항 3

제 1 항에 있어서,

복수의 로드록실을 포함하는, 성막 장치.

### 청구항 4

로드록실;

제 1 게이트 밸브를 통하여 상기 로드록실에 접속된 기판 가열실; 및

제 2 게이트 밸브를 통하여 상기 기판 가열실에 접속되고  $1 \times 10^{-10}$  Pa?m<sup>3</sup>/초 이하의 리크 레이트를 갖는 성막실을 포함하는, 성막 장치.

### 청구항 5

로드록실;

제 1 게이트 밸브를 통하여 상기 로드록실에 접속된 기판 가열실;

제 2 게이트 밸브를 통하여 상기 기판 가열실에 접속되고  $1 \times 10^{-10}$  Pa?m<sup>3</sup>/초 이하의 리크 레이트를 갖는 제 1 성막실; 및

제 3 게이트 밸브를 통하여 상기 제 1 성막실에 접속되고  $1 \times 10^{-10}$  Pa?m<sup>3</sup>/초 이하의 리크 레이트를 갖는 제 2 성막실을 포함하는, 성막 장치.

### 청구항 6

제 1 항에 있어서,

상기 기판 가열실은 플라즈마 처리실을 겸하는, 성막 장치.

### 청구항 7

제 4 항에 있어서,

상기 기판 가열실은 플라즈마 처리실을 겸하는, 성막 장치.

### 청구항 8

제 5 항에 있어서,

상기 기판 가열실은 플라즈마 처리실을 겸하는, 성막 장치.

### 청구항 9

제 1 항에 있어서,

상기 성막실에서 타겟과 기판 사이의 거리는 스퍼터 입자, 가스 분자 또는 이온의 평균 자유 행정(mean free path)보다 작은, 성막 장치.

### 청구항 10

제 4 항에 있어서,

상기 성막실에서 타겟과 기판 사이의 거리는 스퍼터 입자, 가스 분자 또는 이온의 평균 자유 행정보다 작은, 성막 장치.

### 청구항 11

제 5 항에 있어서,

상기 제 1 성막실 및 상기 제 2 성막실 중 적어도 하나에서 타겟과 기판 사이의 거리는 스퍼터 입자, 가스 분자 또는 이온의 평균 자유 행정보다 작은, 성막 장치.

### 청구항 12

제 9 항에 있어서,

상기 거리는 25㎚ 이하인, 성막 장치.

### 청구항 13

제 10 항에 있어서,

상기 거리는 25㎚ 이하인, 성막 장치.

### 청구항 14

제 11 항에 있어서,

상기 거리는 25㎚ 이하인, 성막 장치.

### 청구항 15

제 1 항에 있어서,

성막 가스 공급원; 및

상기 성막 가스 공급원과 상기 성막실 사이에 가스 정제기를 더 포함하는, 성막 장치.

### 청구항 16

제 4 항에 있어서,

성막 가스 공급원; 및

상기 성막 가스 공급원과 상기 성막실 사이에 가스 정제기를 더 포함하는, 성막 장치.

### 청구항 17

제 5 항에 있어서,

성막 가스 공급원; 및

상기 제 1 성막실 및 상기 제 2 성막실 중 적어도 하나와 상기 성막 가스 공급원 사이에 가스 정제기를 더 포함하는, 성막 장치.

### 청구항 18

제 15 항에 있어서,

상기 가스 정제기와 상기 성막실 사이의 배관의 길이는 5m 이하인, 성막 장치.

### 청구항 19

제 16 항에 있어서,

상기 가스 정제기와 상기 성막실 사이의 배관의 길이는 5m 이하인, 성막 장치.

### 청구항 20

제 17 항에 있어서,

상기 제 1 성막실 및 상기 제 2 성막실 중 적어도 하나와 상기 가스 정제기 사이의 배관의 길이는 5m 이하인, 성막 장치.

### 청구항 21

리크 레이트가  $1 \times 10^{-10}$  Pa?m<sup>3</sup>/초 이하인 진공 배기된 성막실로 기판을 도입하는 단계;

상기 기판이 상기 성막실로 도입된 후 99.99999% 이상의 순도를 갖는 성막 가스를 상기 성막실로 도입하는 단계; 및

상기 기판 위에 성막하도록 상기 성막 가스를 사용하여 타겟을 스퍼터링하는 단계를 포함하는, 성막 방법.

### 청구항 22

진공 배기된 기판 가열실로 기판을 도입하는 단계;

상기 기판이 상기 기판 가열실로 도입된 후, 불활성 분위기, 감압 분위기 또는 건조 공기 분위기에서 250°C 이 상 기판의 변형점 미만의 온도로 상기 기판을 열처리하는 단계;

상기 열처리된 기판을 대기에 노출하지 않고, 리크 레이트가  $1 \times 10^{-10}$  Pa?m<sup>3</sup>/초 이하인 진공 배기된 성막실로 도입하는 단계;

상기 기판이 상기 성막실로 도입된 후, 상기 성막실로 99.99999% 이상의 순도를 갖는 성막 가스를 도입하는 단계; 및

상기 기판 위에 성막하도록 상기 성막 가스를 사용하여 타겟을 스퍼터링하는 단계를 포함하는, 성막 방법.

### 청구항 23

진공 배기된 기판 가열실로 기판을 도입하는 단계;

상기 기판이 상기 기판 가열실로 도입된 후, 불활성 분위기, 감압 분위기 또는 건조 공기 분위기에서 250°C 이 상 기판의 변형점 미만의 온도로 상기 기판을 열처리하는 단계;

상기 열처리된 기판을 대기에 노출하지 않고 리크 레이트가  $1 \times 10^{-10}$  Pa?m<sup>3</sup>/초 이하인 진공 배기된 제 1 성막실로 도입하는 단계;

상기 기판이 상기 제 1 성막실로 도입된 후, 상기 제 1 성막실에 99.99999% 이상의 순도를 갖는 제 1 성막 가스를 도입하는 단계;

상기 기판 위에 절연막을 성막하도록 상기 제 1 성막 가스를 사용하여 제 1 타겟을 스퍼터링하는 단계;

상기 절연막이 성막된 기판을 대기에 노출하지 않고, 리크 레이트가  $1 \times 10^{-10}$  Pa?m<sup>3</sup>/초 이하인 진공 배기된 제 2 성막실로 도입하는 단계;

상기 기판이 상기 제 2 성막실로 도입된 후, 상기 제 2 성막실에 99.99999% 이상의 순도를 갖는 제 2 성막 가스를 도입하는 단계; 및

상기 절연막 위에 산화물 반도체막을 성막하도록 상기 제 2 성막 가스를 사용하여 제 2 타겟을 스퍼터링하는 단

계를 포함하는, 성막 방법.

#### 청구항 24

진공 배기된 플라즈마 처리실로 기판을 도입하는 단계;

상기 기판이 상기 플라즈마 처리실로 도입된 후, 상기 기판을 플라즈마 처리하는 단계;

상기 플라즈마 처리된 기판을 대기에 노출하지 않고, 리크 레이트가  $1 \times 10^{-10}$  Pa?m<sup>3</sup>/초 이하인 진공 배기된 제 1 성막실로 도입하는 단계;

상기 기판이 상기 제 1 성막실로 도입된 후, 상기 제 1 성막실에 99.99999% 이상의 순도를 갖는 제 1 성막 가스를 도입하는 단계;

상기 기판 위에 절연막을 성막하도록 상기 제 1 성막 가스를 사용하여 제 1 타겟을 스퍼터링하는 단계;

상기 절연막이 성막된 기판을 대기에 노출하지 않고, 리크 레이트가  $1 \times 10^{-10}$  Pa?m<sup>3</sup>/초 이하인 진공 배기된 제 2 성막실로 도입하는 단계;

상기 기판이 상기 제 2 성막실로 도입된 후, 상기 제 2 성막실에 99.99999% 이상의 순도를 갖는 제 2 성막 가스를 도입하는 단계; 및

상기 절연막 위에 산화물 반도체막을 성막하도록 상기 제 2 성막 가스를 사용하여 제 2 타겟을 스퍼터링하는 단계를 포함하는, 성막 방법.

#### 청구항 25

제 23 항에 있어서,

상기 산화물 반도체막이 성막될 때, 기판 온도가 100°C 이상 400°C 이하인, 성막 방법.

#### 청구항 26

제 24 항에 있어서,

상기 산화물 반도체막이 성막될 때, 기판 온도가 100°C 이상 400°C 이하인, 성막 방법.

#### 청구항 27

제 23 항에 있어서,

상기 산화물 반도체막이 성막될 때, 기판 온도가 50°C 이상 450°C 이하인, 성막 방법.

#### 청구항 28

제 24 항에 있어서,

상기 산화물 반도체막이 성막될 때, 기판 온도가 50°C 이상 450°C 이하인, 성막 방법.

### 명세서

#### 기술 분야

[0001]

성막 장치 및 성막 방법에 관한 것이다.

[0002]

또한, 본 명세서에 있어서 반도체 장치란, 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 말하고, 전기 광학 장치, 반도체 회로 및 전자 기기는 모두 반도체 장치이다.

#### 배경 기술

[0003]

절연 표면을 갖는 기판 위에 형성된 반도체 박막을 사용하여 트랜지스터를 구성하는 기술이 주목받고 있다. 상기 트랜지스터는 집적 회로(IC)나 화상 표시 장치(표시 장치)와 같은 전자 디바이스에 널리 응용되고 있다. 트랜지스터에 적용 가능한 반도체 박막의 재료로서 실리콘계 반도체 재료가 널리 알려져 있지만, 그 밖의 재료로

서 산화물 반도체가 주목받고 있다.

[0004] 예를 들면, 트랜지스터의 활성층으로서, 전자 캐리어 농도가  $10^{18}/\text{cm}^3$  미만인 인듐(In), 갈륨(Ga) 및 아연(Zn)을 포함하는 산화물 반도체를 사용한 트랜지스터가 개시되어 있고, 산화물 반도체막의 성막 방법으로서는 스퍼터링 법이 최적이라고 되어 있다(특허 문헌 1 참조.).

### 선행기술문헌

#### 특허문헌

[0005] (특허문헌 0001) 일본 공개특허공보 2006-165528호

### 발명의 내용

#### 해결하려는 과제

[0006] 산화물 반도체를 사용한 트랜지스터는, 비정질 실리콘을 사용한 트랜지스터와 비교하여 신뢰성이 떨어지는 경우가 있었다. 또한, 산화물 반도체를 사용한 트랜지스터의 전기 특성은, 기판내, 기판간 및 로트간에 있어서, 편차가 큰 경우가 있었다. 그래서, 신뢰성이 높고, 전기 특성의 편차가 작은 산화물 반도체를 사용한 반도체 장치를 제작하는 것을 목적으로 하고, 이를 위한 성막 장치 및 상기 성막 장치를 사용한 성막 방법을 나타낸다.

#### 과제의 해결 수단

[0007] 산화물 반도체를 사용한 트랜지스터에 있어서, 수소의 일부가 도너가 되어 전자를 생성하는 것이 알려져 있다. 산화물 반도체 중에서 전자가 발생하면, 게이트 전압을 인가하지 않아도 드레인 전류가 흘러 버린다. 이로 인해, 임계값 전압이 마이너스 시프트한다. 산화물 반도체를 사용한 트랜지스터는 n형을 나타내는 경우가 많으며, 임계값 전압의 마이너스 시프트에 의해 노멀리 온의 특성으로 된다. 여기에서, 「노멀리 온」이란, 게이트 전극에 전압을 인가하지 않아도 채널이 존재하고, 트랜지스터에 전류가 흘러 버리는 상태를 말한다.

[0008] 또한, 트랜지스터를 제작한 후에, 산화물 반도체로 수소가 흡입됨으로써, 트랜지스터의 임계값 전압이 변동되는 경우가 있다. 임계값 전압의 변동은, 트랜지스터의 신뢰성을 현저하게 손상시킨다.

[0009] 본 발명자는 스퍼터링법으로 성막하면 막 중에 의도하지 않은 수소가 포함되어 버리는 것을 밝혀내었다. 또한, 본 명세서에 있어서 「수소」란 수소 원자를 가리키고, 예를 들면 「수소를 포함한다」라고 기재한 경우, 수소 분자, 탄화수소, 하이드록실기 및 물 등에 기인한 수소도 포함한다.

[0010] 본 발명의 일 형태는, 로드록실(load lock chamber)과, 로드록실과 게이트 밸브를 통하여 접속된 반송실과, 반송실과 게이트 밸브를 통하여 접속된 기판 가열실과, 반송실과 게이트 밸브를 통하여 접속된 리크 레이트가  $1 \times 10^{-10} \text{ Pa?m}^3/\text{초}$  이하인 성막실을 갖는 성막 장치이다.

[0011] 또한, 로드록실, 기판 가열실 및 성막실을 각각 복수 가져도 좋다.

[0012] 또한, 본 발명의 일 형태는, 로드록실과, 로드록실과 게이트 밸브를 통하여 접속된 기판 가열실과, 기판 가열실과 게이트 밸브를 통하여 접속된 리크 레이트가  $1 \times 10^{-10} \text{ Pa?m}^3/\text{초}$  이하인 성막실을 갖는 성막 장치이다.

[0013] 또한, 본 발명의 일 형태는, 로드록실과, 로드록실과 게이트 밸브를 통하여 접속된 기판 가열실과, 기판 가열실과 게이트 밸브를 통하여 접속된 리크 레이트가  $1 \times 10^{-10} \text{ Pa?m}^3/\text{초}$  이하인 제 1 성막실과, 제 1 성막실과 게이트 밸브를 통하여 접속된 리크 레이트가  $1 \times 10^{-10} \text{ Pa?m}^3/\text{초}$  이하인 제 2 성막실을 갖는 성막 장치이다.

[0014] 여기서, 성막 가스는 순도가 99.99999% 이상으로 하는 것이 바람직하다. 성막 가스의 순도를 높이기 위해서, 성막 가스의 공급원과 성막실 사이에 정제기를 설치해도 좋다. 정제기로부터 성막실까지의 배관의 길이는 5m 이하, 바람직하게는 1m 이하로 한다.

[0015] 본 발명의 일 형태는, 성막 압력을 0.8Pa 이하, 바람직하게는 0.4Pa 이하로 제어하고, 성막시의 타겟과 기판의

거리를 40mm 이하, 바람직하게는 25mm 이하로 하는 성막 장치이다.

[0016] 본 발명의 일 형태는, 리크 레이트가  $1 \times 10^{-10}$  Pa?m<sup>3</sup>/초 이하인 진공 배기된 성막실에 기판을 도입한 후, 성막실에 99.99999% 이상의 순도인 성막 가스를 도입하고, 상기 성막 가스를 사용하여 타겟을 스퍼터링하여, 기판 위에 막을 성막하는 성막 방법이다.

[0017] 또한, 본 발명의 일 형태는, 진공 배기된 기판 가열실에 기판을 도입한 후, 기판을 불활성 분위기, 감압 분위기 또는 건조 공기 분위기에서 250°C 이상 기판의 변형점 미만으로 열처리하고, 열처리된 기판을 대기에 노출하지 않고 리크 레이트가  $1 \times 10^{-10}$  Pa?m<sup>3</sup>/초 이하인 진공 배기된 성막실에 도입한 후, 성막실에 99.99999% 이상의 순도인 성막 가스를 도입하고, 상기 성막 가스를 사용하여 타겟을 스퍼터링하여, 기판 위에 막을 성막하는 성막 방법이다.

[0018] 본 명세서에 있어서 감압 분위기란, 압력이 10Pa 이하인 것을 가리킨다. 또한, 불활성 분위기란, 불활성 가스(질소, 희가스(헬륨, 네온, 아르곤, 크립톤, 크세논) 등)를 주성분으로 하는 분위기로서, 수소가 포함되지 않는 것이 바람직하다. 예를 들면, 도입하는 불활성 가스의 순도를, 8N(99.999999%) 이상, 바람직하게는 9N(99.9999999%) 이상으로 한다. 또는, 불활성 분위기란, 불활성 가스를 주성분으로 하는 분위기로, 반응성 가스가 0.1ppm 미만인 분위기를 말한다. 반응성 가스란, 반도체나 금속 등과 반응하는 가스를 말한다.

[0019] 또한, 본 발명의 일 형태는, 진공 배기된 기판 가열실에 기판을 도입한 후, 기판을 불활성 분위기, 감압 분위기 또는 건조 공기 분위기에서 250°C 이상 기판의 변형점 미만으로 열처리하고, 열처리된 기판을 대기에 노출하지 않고 리크 레이트가  $1 \times 10^{-10}$  Pa?m<sup>3</sup>/초 이하인 진공 배기된 제 1 성막실에 도입한 후, 제 1 성막실에 99.99999% 이상의 순도인 성막 가스를 도입하고, 상기 성막 가스를 사용하여 타겟을 스퍼터링하여, 기판 위에 절연막을 성막하고, 절연막이 성막된 기판을, 대기에 노출하지 않고, 리크 레이트가  $1 \times 10^{-10}$  Pa?m<sup>3</sup>/초 이하인 진공 배기된 제 2 성막실에 도입한 후, 제 2 성막실에 99.99999% 이상의 순도인 성막 가스를 도입하고, 상기 성막 가스를 사용하여 타겟을 스퍼터링하여, 기판 위에 산화물 반도체막을 성막하는 성막 방법이다.

[0020] 여기서, 절연막은 기판 온도를 50°C 이상 450°C 이하로 하여 성막하면 된다. 기판 온도를 50°C 이상 450°C 이하로 함으로써 절연막에 포함되는 수소를 저감시킬 수 있다. 보다 바람직하게는, 기판 온도를 100°C 이상 400°C 이하로 한다.

[0021] 또한, 산화물 반도체막은, 기판 온도를 100°C 이상 400°C 이하로 하여 성막하면 된다.

[0022] 또한, 기판 가열실이 플라즈마 처리실을 겸하는 경우, 상기의 열처리 대신 플라즈마 처리에 의해 기판 표면의 수소를 저감해도 좋다. 플라즈마 처리는, 저온으로 처리 가능하고, 또한 단시간으로 효율적으로 수소를 제거할 수 있다. 특히, 기판 표면에 강하게 결합하고 있는 수소의 제거에 효과적이다.

[0023] 또한, 수소를 블록킹하는 막으로 트랜지스터를 사이에 개재함으로써, 외부로부터의 수소의 흡입을 억제할 수 있다. 또한, 트랜지스터를 구성하는 막으로부터의 수소의 탈리 및 화산의 영향을 저감시킬 필요가 있다. 이를 위해서는, 트랜지스터를 구성하는 막 중의 수소 농도를 저감시키는 것이 유효하다. 또한, 각 막과 막의 계면에는, 대기중에서 흡착된 수소를 갖는 경우가 있다. 이 수소를 저감시키기 위해서는, 대기 노출을 극력 억제하는 것이 유효하다. 그러나, 대기 노출할 수밖에 없는 경우, 성막 직전에 불활성 분위기, 감압 분위기 또는 건조 공기 분위기에서 250°C 이상 기판의 변형점 미만으로 열처리하는 것이 바람직하다. 상기의 열처리에 의해, 기판 표면에 흡착된 수소를 효율적으로 제거할 수 있다.

[0024] 이와 같이, 본 발명의 일 형태는, 트랜지스터를 구성하는 각 막 및 각 막의 계면에 있어서, 흡입되는 수소를 저감시키는 것을 기술적 사상으로 한다.

### 발명의 효과

[0025] 본 발명의 일 형태에 의해, 산화물 반도체막에 포함되는 수소를 저감시킬 수 있고, 임계값 전압의 편차가 적은, 안정된 전기 특성을 갖는 트랜지스터가 제공된다.

[0026] 또는, 본 발명의 일 형태에 의해, 산화물 반도체막에 접하는 막 중의 수소를 저감시킬 수 있기 때문에, 산화물 반도체막으로의 수소의 흡입을 억제할 수 있다. 이로 인해, 전기 특성이 양호하고 신뢰성이 높은 트랜지스터를 갖는 반도체 장치가 제공된다.

## 도면의 간단한 설명

[0027]

도 1은 본 발명의 일 형태인 성막 장치의 일례를 도시하는 상면도.

도 2는 본 발명의 일 형태인 성막 장치를 설명하는 도면.

도 3은 본 발명의 일 형태인 반도체 장치의 일례를 도시하는 상면도 및 단면도.

도 4는 본 발명의 일 형태인 반도체 장치의 일례를 도시하는 단면도.

도 5는 본 발명의 일 형태인 반도체 장치의 일례를 도시하는 단면도.

도 6은 본 발명의 일 형태인 반도체 장치의 제작 공정의 일례를 도시하는 단면도.

도 7은 본 발명의 일 형태인 반도체 장치의 제작 공정의 일례를 도시하는 단면도.

도 8은 본 발명의 일 형태인 반도체 장치의 제작 공정의 일례를 도시하는 단면도.

도 9는 SIMS에 의한 수소 농도 측정 결과.

도 10은 m/z=18의 TDS 스펙트럼.

## 발명을 실시하기 위한 구체적인 내용

[0028]

이하에서는, 본 발명의 실시형태에 관해서 도면을 사용하여 상세하게 설명한다. 단, 본 발명은 이하의 설명에 한정되지 않으며, 그 형태 및 상세를 다양하게 변경할 수 있는 것은 당업자라면 용이하게 이해된다. 또한, 본 발명은 이하에 나타내는 실시형태의 기재 내용에 한정하여 해석되는 것이 아니다. 또한, 도면을 사용하여 발명의 구성을 설명함에 있어서, 동일한 것을 가리키는 부호는 상이한 도면간에서도 공통적으로 사용한다. 또한, 동일한 것을 가리킬 때는 해치 패턴을 동일하게 하고, 특별히 부호를 붙이지 않는 경우가 있다.

[0029]

또한, 제 1, 제 2로서 붙여지는 서수사는 편의상 사용하는 것이며, 공정순 또는 적층순을 나타내는 것이 아니다. 또한, 본 명세서에 있어서 발명을 특정하기 위한 사항으로서 고유한 명칭을 나타내는 것이 아니다.

[0030]

(실시형태 1)

[0031]

본 실시형태에서는, 성막시에 수소의 혼입이 적은 성막 장치의 구성에 관해서 도 1을 사용하여 설명한다.

[0032]

도 1a는 멀티 챔버의 성막 장치이다. 상기 성막 장치는, 기판을 수용하는 카세트 포트(14)를 3개 갖는 기판 공급실(11)과, 로드록실(12a) 및 로드록실(12b)과, 반송실(13)과, 기판 가열실(15)과, 리크 레이트가  $1 \times 10^{-10}$  Pa?m<sup>3</sup>/초 이하인 성막실(10a)과, 리크 레이트가  $1 \times 10^{-10}$  Pa?m<sup>3</sup>/초 이하인 성막실(10b)과, 리크 레이트가  $1 \times 10^{-10}$  Pa?m<sup>3</sup>/초 이하인 성막실(10c)을 가진다. 기판 공급실은 로드록실(12a) 및 로드록실(12b)과 접속한다. 로드록실(12a) 및 로드록실(12b)은, 반송실(13)과 접속한다. 기판 가열실(15), 성막실(10a), 성막실(10b) 및 성막실(10c)은, 반송실(13)과만 접속한다. 각 실의 접속부에는 게이트 밸브(16a 내지 16h)가 형성되어 있고, 각 실을 독립시켜 진공 상태로 유지할 수 있다. 또한, 성막실(10a), 성막실(10b) 및 성막실(10c)은, 순도가 99.99999% 이상인 성막 가스를 도입할 수 있다. 도시하지 않지만, 반송실(13)은 1 이상의 기판 반송 로보트를 가진다. 여기에서, 기판 가열실(15)은 수소를 거의 포함하지 않는 분위기(불활성 분위기, 감압 분위기 또는 건조 공기 분위기 등) 하로 제어할 수 있다. 예를 들면, 수분에 관해서는 노점(露点) -40°C 이하, 바람직하게는 노점 -50°C 이하의 건조 질소분위기로 할 수 있다. 여기에서, 기판 가열실(15)은 플라즈마 처리실을 겸하면 바람직하다. 매양식(枚樣式) 멀티 챔버의 성막 장치는, 처리와 처리 사이에서 기판을 대기 노출할 필요가 없어 기판에 수소가 흡착되는 것을 억제할 수 있다. 또한, 성막이나 열처리 등의 순서를 자유롭게 구축할 수 있다. 또한, 성막실, 로드록실 및 기판 가열실의 수는, 상기의 수에 한정되는 것은 아니며, 설치 스페이스나 프로세스에 맞춰서 적절히 결정하면 된다.

[0033]

도 2a를 사용하여 도 1a에 도시하는 성막실의 일례에 관해서 설명한다. 성막실(10)은, 타겟(32)과, 타겟을 지지하는 타겟 홀더(34)와, 타겟 홀더(34)에 정합기(52)를 통하여 전력을 공급하는 RF 전원(50)과, 내부에 기판 허터(44)가 내장된 기판을 지지하는 기판 홀더(42)와, 셔터 축(46)을 축으로 하여 회전 가능한 셔터 판(48)과, 성막 가스를 공급하는 성막 가스 공급원(56)과, 성막 가스 공급원(56)과 성막실(10) 사이에 설치된 정제기(54)와, 성막실(10)에 접속한 진공 펌프(58)를 가진다. 여기에서, 성막실(10), RF 전원(50), 셔터 축(46), 셔터 판(48) 및 기판 홀더(42)는 GND에 접속된다. 단, 목적에 따라 성막실(10), 셔터 축(46), 셔터 판(48) 및 기판 홀더(42)는 GND에 접속된다.

더(42) 중 어느 하나 이상을 전기적으로 절연해도 좋다. 또한, 진공 펌프(58)는 1대로 한정되지 않고 복수대 설치해도 좋다. 예를 들면, 러프 펌핑(rough pumping)용 펌프와 고진공용 펌프를 병렬 또는 직렬로 접속해도 상관없다. 또한, 성막 가스 공급원(56) 및 정제기(54)를 복수 설치해도 상관없다. 예를 들면, 성막 가스종의 수에 따라, 성막 가스 공급원 및 정제기의 세트를 증가시킬 수 있다. 증설한 성막 가스 공급원 및 정제기의 세트는, 성막실(10)에 직접 접속해도 좋고, 그 경우, 각각의 정제기와 성막실(10) 사이에 성막 가스 유량을 제어하기 위한 매스플로우 컨트롤러를 설치해도 좋다. 또는, 증설한 성막 가스 공급원 및 정제기의 세트를 성막실(10)과 정제기(54) 사이를 연결하는 배관에 접속해도 상관없다. 도시하지 않지만, 타겟 홀더(34)의 내부 또는 하부에 마그넷을 설치하면, 타겟 주변에 고밀도의 플라즈마를 만들 수 있어서 바람직하다. 이 방법은 마그네트론 스퍼터링법이라고 불리며, 퇴적 속도가 높고, 기판으로의 플라즈마 대미지가 적고, 또한 막질도 양호해진다. 마그네트론 스퍼터링법에 있어서, 마그넷을 회전 가능하게 하면, 자계의 치우침을 저감시킬 수 있기 때문에, 타겟의 사용 효율이 높아지고, 또한 기판의 면내에 있어서의 막질의 편차를 저감시킬 수 있다. 또한, 여기에서는 RF 전원을 스퍼터링용 전원으로서 사용했지만, 반드시 RF 전원에 한정되는 것이 아니며, 용도에 따라 DC 전원 또는 AC 전원으로 대신하거나, 2종류 이상의 전원을 전환 가능하게 하여 설치해도 좋다. DC 전원 또는 AC 전원을 사용하는 경우, 전원과 타겟 홀더 사이의 정합기는 불필요하게 된다. 또한, 기판 홀더에는, 기판을 지지하기 위한 척 기구(chuck system)를 설치할 필요가 있다. 척 기구에는, 정전 척 방식 및 클램프 방식 등이 있다. 막질, 막 두께의 기판면 내의 균일성을 높이기 위해서, 기판 홀더에 회전 기구를 설치해도 좋다. 또한, 기판 홀더를 복수 설치하고, 한번에 복수장의 기판을 성막 가능한 성막실로 해도 상관없다. 또한, 셔터 축(46), 셔터 판(48) 및 기판 히터(44)를 설치하지 않는 구성으로 해도 상관없다. 도 2a에서는, 타겟이 기판 아래에 있는 구성으로 했지만, 타겟이 기판 위에 있는 구성이나 옆에 있는 구성으로 해도 상관없다.

[0034]

기판 가열실(15)은, 예를 들면, 저항 발열체 등을 사용하여 가열해도 좋다. 또는, 가열된 가스 등의 매체로부터의 열전도 또는 열복사에 의해, 가열하여 사용해도 좋다. 예를 들면, GRTA(Gas Rapid Thermal Anneal), LRTA(Lamp Rapid Thermal Anneal) 등의 RTA(Rapid Thermal Anneal)을 사용할 수 있다. LRTA는, 할로겐 램프, 메탈할라이드 램프, 크세논아크 램프, 카본아크 램프, 고압 나트륨 램프, 고압 수은 램프 등의 램프로부터 발산하는 광(전자파)의 복사에 의해, 피처리물을 가열한다. GRTA는 고온의 가스를 사용하여 열처리를 행한다. 가스로서는, 불활성 가스가 사용된다.

[0035]

예를 들면, 기판 가열실(15)은 도 2b의 구성으로 하면 된다. 기판 가열실(15)에는, 내부에 기판 히터(44)가 내장된 기판 홀더(42)와, 성막 가스를 공급하는 성막 가스 공급원(56)과, 성막 가스 공급원(56)과 기판 가열실(15) 사이에 설치된 정제기(54)와, 기판 가열실(15)에 접속한 진공 펌프(58)를 가진다. 여기에서, 기판 가열실(15)이 플라즈마 처리실을 겸하는 경우, 기판 홀더(42)는 정합기(52)를 통하여 RF 전원(50)에 접속되어 대향 전극(68)이 형성된다. 또한, 기판 히터에 의한 가열 기구 대신, 기판 홀더에 대향하는 위치에 LRTA를 설치해도 좋다. 그 경우, 기판에 효율적으로 열을 전달하기 위해서, 기판 홀더(42)에 반사판을 설치해도 좋다.

[0036]

도 1b는 도 1a와 구성이 상이한 성막 장치이다. 상기 성막 장치는, 로드록실(22a)과, 기판 가열실(25)과, 리크 레이트가  $1 \times 10^{-10} \text{ Pa?m}^3/\text{초}$  이하인 성막실(20a)과, 리크 레이트가  $1 \times 10^{-10} \text{ Pa?m}^3/\text{초}$  이하인 성막실(20b)과, 로드 록실(22b)을 가진다. 로드록실(22a)은 기판 가열실(25)과 접속하고, 기판 가열실(25)은 성막실(20a)과 접속하고, 성막실(20a)은 성막실(20b)과 접속하고, 성막실(20b)은 로드록실(22b)과 접속한다. 각 실의 접속부에는 게이트 벨브(26a 내지 26f)가 형성되어 있고, 각 실을 독립시켜 진공 상태로 유지할 수 있다. 또한, 성막실(20a) 및 성막실(20b)은, 도 1a의 성막실(10a), 성막실(10b) 및 성막실(10c)과 같은 구성으로 한다. 또한, 기판 가열실(25)은, 도 1a의 기판 가열실(15)과 같은 구성으로 한다. 기판은 도 1b에 도시하는 화살표의 한쪽으로만 반송되며, 기판의 도입구와 반출구가 상이하다. 도 1a의 매양식 멀티 챔버의 성막 장치와 달리 반송실을 갖지 않기 때문에, 풋프린트를 작게 할 수 있다. 또한, 성막실, 로드록실 및 기판 가열실의 수는, 상기의 수에 한정되는 것은 아니며, 설치 스페이스나 프로세스에 맞춰서 적절히 결정하면 된다. 예를 들면, 성막실(20b)을 생략해도 상관없으며, 성막실(20b)과 접속하는 제 2 기판 가열실 또는 제 3 성막실을 설치해도 좋다.

[0037]

실온에서의 성막에 있어서 막 중에 혼입되는 수소의 양은, 성막실에 포함되는 수소의 양의  $10^2$  내지  $10^4$ 배나 될 것으로 추정된다. 이로 인해, 성막실에 포함되는 수소를 극력 저감시킬 필요가 있다.

[0038]

구체적으로는, 성막실의 리크 레이트를  $1 \times 10^{-10} \text{ Pa?m}^3/\text{초}$  이하로 함으로써, 성막에서의 막 중에 혼입되는 수소를 저감시킬 수 있다.

[0039]

리크는 크게 외부 리크 및 내부 리크로 나누어진다. 외부 리크란, 미소한 구멍이나 밀봉 불량 등에 의해 진공

계의 밖에서부터 기체가 유입되는 것이다. 내부 리크란, 진공계 내의 밸브 등의 칸막이로부터의 누설이나 내부의 부재로부터의 방출 가스에 기인한다. 리크 레이트를  $1 \times 10^{-10}$  Pa<sup>-1</sup> m<sup>3</sup>/초 이하로 하기 위해서, 외부 리크 및 내부 리크의 양면에서 대책을 취할 필요가 있다.

[0040] 예를 들면, 성막실의 개폐 부분은 메탈 가스켓으로 밀봉하면 된다. 메탈 가스켓은, 불화철, 산화알루미늄, 또는 산화크롬에 의해 피복된 금속 재료를 사용하면 바람직하다. 메탈 가스켓은 0링에 비해 밀착성이 높아, 외부 리크를 저감시킬 수 있다. 또한, 불화철, 산화알루미늄, 산화크롬 등에 의해 피복된 금속 재료의 부동태를 사용함으로써, 메탈 가스켓에서 생성되는 수소를 포함하는 방출 가스가 억제되어, 내부 리크를 저감시킬 수 있다.

[0041] 성막 장치를 구성하는 부재로서, 수소를 포함하는 방출 가스가 적은 알루미늄, 크롬, 티탄, 지르코늄, 니켈 또는 바나듐을 사용한다. 또한, 상기의 재료를 철, 크롬 및 니켈 등을 포함하는 합금 재료에 피복하여 사용해도 좋다. 철, 크롬 및 니켈 등을 포함하는 합금 재료는, 강성이 있고, 열에 강하며, 또한 가공에 적합하다. 여기에서, 표면적을 작게 하기 위해 부재의 표면 요철을 연마 등에 의해 저감시켜 두면, 방출 가스를 저감시킬 수 있다.

[0042] 또는, 상기의 성막 장치의 부재를 불화철, 산화알루미늄, 산화크롬 등으로 피복해도 좋다.

[0043] 성막 장치의 부재는, 극히 금속 재료만으로 구성하는 것이 바람직하고, 예를 들면 석영 등으로 구성되는 관찰창 등을 설치하는 경우도, 방출 가스를 억제하기 위해서 표면을 불화철, 산화알루미늄, 산화크롬 등으로 얇게 피복하면 좋다.

[0044] 또한, 성막 압력을 0.8Pa 이하, 바람직하게는 0.4Pa 이하로 하고, 성막시의 타겟과 기판의 거리를 40mm 이하, 바람직하게는 25mm 이하로 함으로써, 스퍼터 입자와, 다른 스퍼터 입자, 가스 분자 또는 이온이 충돌하는 빈도를 낮출 수 있다. 즉, 성막 압력에 따라서 타겟과 기판의 거리를 스퍼터 입자, 가스 분자 또는 이온의 평균 자유 행정(mean free path)보다도 작게 하면 된다. 예를 들면, 압력을 0.4Pa, 온도를 25°C(절대 온도를 298K)에 있어서의 평균 자유 행정은, 아르곤 분자가 28.3mm, 산소 분자가 26.4mm, 수소 분자가 48.7mm, 물 분자가 31.3mm, 헬륨 분자가 57.9mm, 네온 분자가 42.3mm이다. 또한, 압력이 2배가 되면 평균 자유 행정은 2분의 1이 되고, 절대 온도가 2배가 되면 평균 자유 행정은 2배가 된다.

[0045] 여기서, 성막 가스를 도입하기 직전에 정제기를 설치해도 좋다. 이 때, 정제기로부터 성막실까지의 배관의 길이를 5m 이하, 바람직하게는 1m 이하로 한다. 배관의 길이를 5m 이하 또는 1m 이하로 함으로써, 배관으로부터의 방출 가스의 영향을 길이에 따라 저감시킬 수 있다.

[0046] 또한, 성막 가스의 배관에는, 불화철, 산화알루미늄, 산화크롬 등으로 내부가 피복된 금속 배관을 사용하면 좋다. 상기의 배관은, 예를 들면 SUS316L-EP배관과 비교하여, 수소를 포함하는 방출 가스의 양이 적고, 성막 가스로의 불순물의 혼입을 저감시킬 수 있다. 또한, 배관의 이음매에는, 고성능 초소형 메탈 가스켓 이음매(UPG 이음매)를 사용하면 좋다. 또한, 배관의 재료를 모두 금속 재료로 구성함으로써, 수지 등을 사용한 경우와 비교하여, 생성되는 방출 가스 및 외부 리크의 영향을 저감시킬 수 있어 바람직하다.

[0047] 성막실의 배기는 드라이 펌프 등의 러프 펌프와, 스퍼터 이온 펌프, 터보 분자 펌프 및 크라이오 펌프 등의 고진공 펌프를 적절히 조합하여 실시하면 좋다. 터보 분자 펌프는 큰 사이즈의 분자 배기가 우수한 한편, 수소나 물의 배기 능력이 낮다. 그래서, 물의 배기 능력이 높은 크라이오 펌프 및 수소의 배기 능력이 높은 스퍼터 이온 펌프를 조합하는 것이 유효해진다.

[0048] 성막실에 존재하는 흡착물은, 흡착되어 있기 때문에 성막실의 압력에 영향을 주지 않지만, 성막실을 배기했을 때의 가스 방출의 원인이 된다. 이로 인해, 리크 레이트와 배기 속도에 상관은 없지만, 배기 능력이 높은 펌프를 사용하여, 성막실에 존재하는 흡착물을 가능한 한 탈리하여, 미리 배기해 두는 것이 중요하다. 또한, 흡착물의 탈리를 촉진시키기 위해서, 성막실을 베이킹해도 좋다. 베이킹함으로써 흡착물의 탈리 속도를 10배 정도 크게 할 수 있다. 베이킹은 100°C 이상 450°C 이하로 행하면 좋다. 이 때, 불활성 가스를 도입하면서 흡착물의 제거를 행하면, 배기하는 것만으로는 탈리하기 어려운 물 등의 탈리 속도를 더욱 크게 할 수 있다. 또한, 도입하는 불활성 가스를 베이킹의 온도와 동정도로 가열함으로써, 흡착물의 탈리 속도를 더욱 높일 수 있다. 또한, 베이킹과 동시에 더미 성막을 행함으로써 흡착물의 탈리 속도를 더욱 높일 수 있다. 여기서 더미 성막이란, 더미 기판에 대해 스퍼터링에 의한 성막을 행함으로써 더미 기판 및 성막실 내벽에 막을 퇴적시켜 성막실 내의 불순물 및 성막실 내벽의 흡착물을 막 중에 가두는 것을 말한다. 더미 기판은, 방출 가스가 적은 재료가

바람직하고, 예를 들면 후술하는 기판(100)과 같은 재료를 사용해도 좋다.

[0049] 이상의 성막 장치를 사용하여, 산화물 반도체막을 성막함으로써, 산화물 반도체막으로의 수소의 혼입을 억제할 수 있다. 또한, 이상의 성막 장치를 사용하여, 상기 산화물 반도체막에 접하는 막을 성막함으로써, 산화물 반도체막에 접하는 막으로부터 산화물 반도체막으로 수소가 혼입되는 것을 억제할 수 있다. 이 결과, 전기 특성의 편차가 적은, 신뢰성이 높은 반도체 장치를 제작할 수 있다.

[0050] (실시형태 2)

[0051] 본 실시형태에서는, 수소의 혼입이 적은 성막 방법을 사용한 반도체 장치의 제작 방법의 일 형태를, 도 3 내지 도 7을 사용하여 설명한다.

[0052] 도 3에는, 본 발명의 일 형태의 반도체 장치의 예로서, 톱게이트 톱콘택트형인 트랜지스터(151)의 상면도 및 단면도를 도시한다. 여기에서, 도 3a는 상면도이며, 도 3b 및 도 3c는 각각, 도 3a에 있어서의 A-B 단면 및 C-D 단면에 있어서의 단면도이다. 또한, 도 3a에서는, 번잡해지는 것을 피하기 위해서, 트랜지스터(151)의 구성 요소의 일부(예를 들면, 게이트 절연막(112)) 등을 생략하고 있다.

[0053] 도 3에 도시하는 트랜지스터(151)는, 기판(100)과, 기판(100) 위의 절연막(102)과, 절연막(102) 위의 산화물 반도체막(106)과, 산화물 반도체막(106) 위에 형성된 소스 전극(108a) 및 드레인 전극(108b)과, 소스 전극(108a) 및 드레인 전극(108b)을 덮고, 산화물 반도체막(106)과 일부가 접하는 게이트 절연막(112)과, 산화물 반도체막(106) 위에 게이트 절연막(112)을 개재하여 형성된 게이트 전극(114)을 포함한다.

[0054] 기판(100)의 재질 등에 큰 제한은 없지만, 적어도, 나중의 열처리에 견딜 수 있을 정도의 내열성을 가지고 있을 필요가 있다. 예를 들면, 유리 기판, 세라믹 기판, 석영 기판, 사파이어 기판 등을, 기판(100)으로서 사용할 수 있다. 또한, 실리콘이나 탄화실리콘 등의 단결정 반도체 기판, 다결정 반도체 기판, 실리콘 게르마늄 등의 화합물 반도체 기판, SOI 기판 등을 적용하는 것도 가능하며, 이들 기판 위에 반도체 소자가 형성된 것을, 기판(100)으로서 사용해도 좋다.

[0055] 또한, 기판(100)으로서, 가요성 기판을 사용해도 좋다. 그 경우는, 가요성 기판 위에 직접적으로 트랜지스터를 제작해도 좋다. 또한, 가요성 기판 위에 트랜지스터를 설치하기 위해서는, 비가요성 기판 위에 트랜지스터를 제작한 후, 트랜지스터를 박리하고, 기판(100)인 가요성 기판으로 전치하는 방법도 있다. 그 경우에는, 기판(100)과 트랜지스터 사이에 박리층을 설치하면 좋다.

[0056] 절연막(102)의 재료에는, 산화실리콘, 산화질화실리콘, 질화실리콘, 질화산화실리콘, 산화알루미늄 또는 질화알루미늄 등을 단층 또는 적층하여 사용한다. 예를 들면, 절연막(102)을 질화실리콘막과 산화실리콘막의 적층 구조로 하면, 기판 등으로부터 트랜지스터(151)로 수분의 혼입을 방지할 수 있다. 절연막(102)을 적층 구조로 형성하는 경우, 산화물 반도체막(106)과 접하는 층의 막을 가열에 의해 산소를 방출하는 절연막(산화실리콘, 산화질화실리콘, 산화알루미늄 등)으로 하면 된다. 이와 같이 함으로써, 절연막(102)으로부터 산화물 반도체막(106)으로 산소가 공급되어 산화물 반도체막(106)의 산소 결손, 및 절연막(102)과 산화물 반도체막(106)의 계면 준위를 저감시킬 수 있다. 산화물 반도체막(106)의 산소 결손은 임계값 전압의 마이너스 시프트의 원인이 되고, 또한, 절연막(102)과 산화물 반도체막(106)의 계면 준위는 트랜지스터의 신뢰성을 저하시킨다. 또한, 절연막(102)은 트랜지스터(151)의 하지막으로서 기능한다.

[0057] 또한, 여기에서는, 산화질화실리콘이라, 그 조성으로서, 질소보다도 산소의 함유량이 많은 것이며, 바람직하게는, 러더포드 후방 산란법(RBS: Rutherford Backscattering Spectrometry) 및 수소 전방 산란법(HFS: Hydrogen Forward Scattering Spectrometry)을 사용하여 측정한 경우에, 조성 범위로서 산소가 50원자% 내지 70원자%, 질소가 0.5원자% 내지 15원자%, 실리콘 25원자% 내지 35원자%, 수소가 0원자% 내지 10원자%인 범위에서 포함되는 것을 말한다. 또한, 질화산화실리콘이라, 그 조성으로서, 산소보다도 질소의 함유량이 많은 것이며, 바람직하게는, RBS 및 HFS를 사용하여 측정한 경우에, 조성 범위로서 산소가 5원자% 내지 30원자%, 질소가 20원자% 내지 55원자%, 실리콘 25원자% 내지 35원자%, 수소가 10원자% 내지 30원자%인 범위에서 포함되는 것을 말한다. 단, 산화질화실리콘 또는 질화산화실리콘을 구성하는 원자의 합계를 100원자%로 했을 때, 질소, 산소, 실리콘 및 수소의 함유 비율이 상기의 범위내에 포함되는 것으로 한다.

[0058] 「가열에 의해 산소를 방출한다」란, TDS(Thermal Desorption Spectroscopy: 승온 탈리 가스 분광법) 분석으로, 산소 원자로 환산했을 때의 산소의 방출량이  $1.0 \times 10^{18}$  atoms/cm<sup>2</sup> 이상, 바람직하게는  $1.0 \times 10^{20}$  atoms/cm<sup>2</sup> 이상, 더욱 바람직하게는  $3.0 \times 10^{20}$  atoms/cm<sup>2</sup> 이상인 것을 말한다.

- [0059] 여기서, TDS 분석으로 산소 원자로 환산한 산소의 방출량의 측정 방법에 관해서, 이하에 설명한다.
- [0060] TDS 분석했을 때의 기체의 방출량은, 스펙트럼의 적분값에 비례한다. 이로 인해, 절연막의 스펙트럼의 적분값과, 표준 시료의 기준값에 대한 비에 의해, 기체의 방출량을 계산할 수 있다. 표준 시료의 기준값이란, 소정의 원자를 포함하는 시료의 스펙트럼의 적분값에 대한 원자의 밀도 비율이다.
- [0061] 예를 들면, 표준 시료인 소정 밀도의 수소를 포함하는 실리콘 웨이퍼의 TDS 분석 결과, 및 절연막의 TDS 분석 결과로부터, 절연막의 산소 분자의 방출량( $N_{O_2}$ )은, 수학식 1로 구할 수 있다. 여기에서, TDS 분석으로 얻어지는 질량수 32로 검출되는 스펙트럼 전부가 산소 분자 유래라고 가정한다. 질량수 32인 것으로서  $CH_3OH$ 가 있지만, 존재할 가능성이 낮은 것으로서 여기에서는 고려하지 않는다. 또한, 산소 원자의 동위체인 질량수 17의 산소 원자 또는 질량수 18의 산소 원자를 포함하는 산소 분자에 대해서도, 자연계에서의 존재 비율이 극미량이기 때문에 고려하지 않는다.
- [0062] 
$$N_{O_2} = N_{H_2} / S_{H_2} \times S_{O_2} \times a \quad (\text{수학식 1})$$
- [0063]  $N_{H_2}$ 는, 표준 시료로부터 탈리한 수소 분자를 밀도로 환산한 값이다.  $S_{H_2}$ 는, 표준 시료를 TDS 분석했을 때의 스펙트럼의 적분값이다. 여기에서, 표준 시료의 기준값을,  $N_{H_2} / S_{H_2}$ 로 한다.  $S_{O_2}$ 는 절연막을 TDS 분석했을 때의 스펙트럼의 적분값이다.  $a$ 는, TDS 분석에 있어서의 스펙트럼 강도에 영향을 주는 계수이다. 수학식 1의 상세에 대해서는, 일본 공개특허공보 제(평)6-275697호를 참조한다. 또한, 상기 절연막의 산소의 방출량은, 덴시가가 쿠 가부시키가이샤 제조의 승온 탈리 분석 장치 EMD-WA1000S/W를 사용하고, 표준 시료로서  $1 \times 10^{16} \text{ atoms/cm}^2$ 의 수소 원자를 포함하는 실리콘 웨이퍼를 사용하여 측정하였다.
- [0064] 또한, TDS 분석에 있어서, 산소의 일부는 산소 원자로서 검출된다. 산소 분자와 산소 원자의 비율은, 산소 분자의 이온화율로부터 산출할 수 있다. 또한, 상기의  $a$ 는 산소 분자의 이온화율을 포함하기 때문에, 산소 분자의 방출량을 평가함으로써, 산소 원자의 방출량에 대해서도 어림잡을 수 있다.
- [0065] 또한,  $N_{O_2}$ 은 산소 분자의 방출량이다. 절연막에 있어서는, 산소 원자로 환산했을 때의 산소의 방출량은, 산소 분자의 방출량의 2배가 된다.
- [0066] 상기 구성에 있어서, 가열에 의해 산소를 방출하는 절연막은, 산소가 과잉된 산화실리콘( $SiO_x (X > 2)$ )이라도 좋다. 산소가 과잉된 산화실리콘( $SiO_x (X > 2)$ )이란, 실리콘 원자수의 2배보다 많은 산소 원자를 단위 체적당 포함하는 것이다. 단위 체적당 실리콘 원자수 및 산소 원자수는, 러더포드 후방 산란법에 의해 측정한 값이다.
- [0067] 산화물 반도체막에 사용하는 재료로서는, 4원계 금속 산화물인  $In-Sn-Ga-Zn-O$ 계의 재료나, 3원계 금속 산화물인  $In-Ga-Zn-O$ 계의 재료,  $In-Sn-Zn-O$ 계의 재료,  $In-Al-Zn-O$ 계의 재료,  $Sn-Ga-Zn-O$ 계의 재료,  $Al-Ga-Zn-O$ 계의 재료,  $Sn-Al-Zn-O$ 계의 재료나, 2원계 금속 산화물인  $In-Zn-O$ 계의 재료,  $Sn-Zn-O$ 계의 재료,  $Al-Zn-O$ 계의 재료,  $Zn-Mg-O$ 계의 재료,  $Sn-Mg-O$ 계의 재료,  $In-Mg-O$ 계의 재료,  $In-Ga-O$ 계의 재료나,  $In-O$ 계의 재료,  $Sn-O$ 계의 재료,  $Zn-O$ 계의 재료 등을 사용해도 좋다. 또한, 상기의 재료에  $SiO_2$ 를 포함시켜도 좋다. 여기에서, 예를 들면,  $In-Ga-Zn-O$ 계의 재료란, 인듐(In), 갈륨(Ga), 아연(Zn)을 갖는 산화물막이라는 의미이며, 그 조성비는 특별히 상관 없다. 또한, In과 Ga와 Zn 이외의 원소를 포함하고 있어도 좋다.
- [0068] 또한, 산화물 반도체막은, 화학식  $InMO_3 (ZnO)_m (m > 0)$ 로 표기되는 재료를 사용한 박막에 의해 형성한다. 여기에서, M은, Ga, Al, Mn 및 Co로부터 선택된 하나 또는 복수의 금속 원소를 나타낸다. 예를 들면, M으로서, Ga, Ga 및 Al, Ga 및 Mn 또는 Ga 및 Co 등을 사용해도 좋다.
- [0069] 산화물 반도체막은, 밴드갭이 3eV 이상, 바람직하게는 3eV 이상 3.6eV 미만으로 하면 좋다. 또한, 전자 친화력이 4eV 이상, 바람직하게는 4eV 이상 4.9eV 미만으로 하면 좋다. 이러한 재료에 있어서, 또한, 도너 또는 억셉터에 유래하는 캐리어 농도가  $1 \times 10^{14} \text{ cm}^{-3}$  미만, 바람직하게는  $1 \times 10^{11} \text{ cm}^{-3}$  미만으로 하면 좋다. 또한, 산화물 반도체막의 수소 농도는,  $1 \times 10^{18} \text{ cm}^{-3}$  미만, 바람직하게는  $1 \times 10^{16} \text{ cm}^{-3}$  미만으로 하면 좋다. 상기 산화물 반도체막을 활성층에 갖는 박막 트랜지스터는, 오프 전류를  $1ZA$ (џ토팜페어,  $10^{-21} \text{ A}$ )와 같은 매우 낮은 값으로 할 수 있다.
- [0070] 게이트 절연막(112)은, 절연막(102)과 같은 구조으로 해도 좋다. 이 때, 트랜지스터의 게이트 절연막으로서 기

능하는 것을 고려하여, 산화하프늄이나 산화알루미늄 등의 비유전율이 높은 재료를 채용해도 좋다. 또한, 게이트 내압이나 산화물 반도체와 게이트 절연막의 계면 상태 등을 고려하여, 산화실리콘, 산화질화실리콘, 질화실리콘에 산화하프늄이나 산화알루미늄 등의 비유전율이 높은 재료를 적층해도 좋다.

[0071] 트랜지스터(151) 위에는, 또한 보호 절연막이 형성되어 있어도 좋다. 보호 절연막은, 절연막(102)과 같은 구성을 할 수 있다. 또한, 소스 전극(108a)이나 드레인 전극(108b)과 배선을 전기적으로 접속시키기 위해서, 절연막(102), 게이트 절연막(112) 등에는 개구가 형성되어 있어도 좋다. 또한, 산화물 반도체막(106)의 하방에 또한 제 2 게이트 전극을 가지고 있어도 좋다. 또한, 산화물 반도체막(106)은 섬 형상으로 가공되어 있는 것이 바람직하지만, 섬 형상으로 가공되지 않아도 좋다.

[0072] 또한, 산화물 반도체막(106)과 소스 전극(108a), 드레인 전극(108b) 사이에, 소스 영역 및 드레인 영역으로서 기능하는 산화물 도전막을 벼퍼로서 형성해도 좋다.

[0073] 도 4a에서는, 산화물 반도체막(106)과 소스 전극(108a)이 중첩되는 부분 사이에 벼퍼(128a)를, 산화물 반도체막(106)과 드레인 전극(108b)이 중첩되는 부분 사이에 벼퍼(128b)를 형성하고 있다.

[0074] 도 4b에서는, 소스 전극(108a) 및 드레인 전극(108b)의 하부에 접하여 벼퍼(128a) 및 벼퍼(128b)를 형성하고 있다.

[0075] 산화물 도전막은, 산화인듐( $In_2O_3$ ), 산화주석( $SnO_2$ ), 산화아연( $ZnO$ ), 산화인듐 산화주석( $In_2O_3-SnO_2$ , IT0라고 약기한다), 산화인듐산화아연( $In_2O_3-ZnO$ ) 또는 이들 금속 산화물 재료에 산화실리콘을 포함시킨 것을 사용할 수 있다.

[0076] 소스 영역 및 드레인 영역으로서, 산화물 도전막을 산화물 반도체막(106)과 소스 전극(108a), 드레인 전극(108b) 사이에 형성함으로써, 소스 영역 및 드레인 영역과 산화물 반도체막(106)의 콘택트 저항을 낮게 할 수 있어 트랜지스터(151)가 고속 동작을 할 수 있다.

[0077] 도 4a 및 도 4b는 벼퍼가 갖는 기능에 차이는 없으며, 형성 방법에 의해 형상이 상이한 예이다.

[0078] 도 5에는, 트랜지스터(151)와는 상이한 구성의 트랜지스터의 단면 구조를 나타낸다.

[0079] 도 5a에 도시하는 트랜지스터(152)는, 절연막(102), 산화물 반도체막(106), 소스 전극(108a), 드레인 전극(108b), 게이트 절연막(112), 게이트 전극(114)을 포함하는 점에서, 트랜지스터(151)와 공통되고 있다. 트랜지스터(152)와 트랜지스터(151)의 차이는, 산화물 반도체막(106)과, 소스 전극(108a)이나 드레인 전극(108b)이 접속하는 위치이다. 즉, 트랜지스터(152)에서는, 산화물 반도체막(106)의 하부에 있어서, 산화물 반도체막(106)과, 소스 전극(108a)이나 드레인 전극(108b)이 접하고 있다. 그 밖의 구성 요소에 관해서는, 도 1의 트랜지스터(151)와 같다.

[0080] 또한, 산화물 반도체막(106)과 소스 전극(108a), 드레인 전극(108b) 사이에, 소스 영역 및 드레인 영역으로서 기능하는 산화물 도전막을 벼퍼로서 형성해도 좋다.

[0081] 도 5b에서는, 산화물 반도체막(106)과 소스 전극(108a)이 중첩되는 부분 사이에 벼퍼(128a)를, 산화물 반도체막(106)과 드레인 전극(108b)이 중첩되는 부분 사이에 벼퍼(128b)를 형성하고 있다. 또한, 도시하지 않지만, 벼퍼(128a) 및 벼퍼(128b)는, 각각 소스 전극(108a) 및 드레인 전극(108b)과 같은 상면 형상으로 형성되어도 좋다.

[0082] 도 5c에서는, 소스 전극(108a)의 바로 아래에 벼퍼(128a)를, 드레인 전극(108b)의 바로 아래에 벼퍼(128b)를 형성하고 있다. 이 경우, 벼퍼(128a) 및 벼퍼(128b)의 측면부가 산화물 반도체막(106)과의 전기적인 접속 개소가 된다.

[0083] 이하, 도 6a 내지 도 6e를 사용하여, 도 3에 도시하는 트랜지스터(151)의 제작 공정의 일례에 관해서 설명한다. 또한, 본 실시형태에 있어서, 성막 및 열처리 또는 플라즈마 처리는, 가능한 한 진공 상태인 채로 연속(*in situ*)적으로 행한다. 우선은, 도 1a의 성막 장치를 사용한 경우의 공정을 나타낸다.

[0084] 우선, 기판(100)을 로드록실(12a)에 도입한다. 다음에, 기판 가열실(15)로 이동시키고, 기판 가열실(15)에서 기판(100)에 흡착되어 있는 수소를 제 1 열처리 또는 플라즈마 처리 등으로 제거한다. 여기에서, 제 1 열처리는, 불활성 분위기, 감압 분위기 또는 건조 공기 분위기에서, 100°C 이상 기판의 변형점 미만에서 행한다. 또한, 플라즈마 처리는, 희가스, 산소, 질소 또는 산화질소(산화질소, 일산화질소, 이산화질소 등)를 사용한다.

그 후, 리크 레이트가  $1 \times 10^{-10}$  Pa?m<sup>3</sup>/초 이하인 성막실(10a)로 기판(100)을 이동시키고, 두께 50nm 이상 500nm 이하, 바람직하게는 200nm 이상 400nm 이하의 절연막(102)을 스퍼터링법에 의해 성막한다(도 6a 참조.). 그 후, 기판 가열실(15)로 기판(100)을 이동시키고, 불활성 분위기, 감압 분위기 또는 건조 공기 분위기에서 150°C 이상 280°C 이하, 바람직하게는 200°C 이상 250°C 이하에서 제 2 열처리를 행해도 좋다. 제 2 열처리에 의해, 기판(100) 및 절연막(102)으로부터 수소를 제거할 수 있다. 또한, 제 2 열처리는, 절연막(102)으로부터 수소를 제거하지만, 산소를 극력 방출시키지 않는 온도에서 행한다. 그리고, 리크 레이트가  $1 \times 10^{-10}$  Pa?m<sup>3</sup>/초 이하인 성막실(10b)로 기판(100)을 이동시키고, 산화물 반도체막을 스퍼터링법에 의해 성막한다. 그 후, 기판 가열실(15)로 기판(100)을 이동시키고, 불활성 분위기, 감압 분위기 또는 건조 공기 분위기에서 250°C 이상 470°C 이하에서 제 3 열처리를 행하고, 산화물 반도체막 중으로부터 수소를 제거하는 동시에 절연막(102)으로부터 산화물 반도체막으로 산소를 공급해도 좋다. 또한, 제 3 열처리는, 제 2 열처리보다도 5°C 이상 높은 온도로 행한다. 이와 같이 도 1a의 성막 장치를 사용함으로써 성막시에 수소의 혼입이 적은 제작 프로세스를 진행시킬 수 있다.

[0085] 다음에, 같은 공정을 도 1b의 성막 장치를 사용한 경우에 관해서 나타낸다.

[0086] 우선, 기판(100)을 로드록실(22a)에 도입한다. 다음에, 기판 가열실(25)로 이동시키고, 기판 가열실(25)에서 기판(100)에 흡착되어 있는 수소를 제 1 열처리 또는 플라즈마 처리 등으로 제거한다. 여기에서, 제 1 열처리는, 불활성 분위기, 감압 분위기 또는 건조 공기 분위기에서, 100°C 이상 기판의 변형점 미만에서 행한다. 또한, 플라즈마 처리는, 희가스, 산소, 질소 또는 산화질소(아산화질소, 일산화질소, 이산화질소 등)를 사용한다. 그 후, 리크 레이트가  $1 \times 10^{-10}$  Pa?m<sup>3</sup>/초 이하인 성막실(20a)로 기판(100)을 이동시키고, 막 두께 300nm의 절연막(102)을 스퍼터링법에 의해 성막한다(도 6a 참조.). 그리고, 리크 레이트가  $1 \times 10^{-10}$  Pa?m<sup>3</sup>/초 이하인 성막실(20b)로 기판(100)을 이동시키고, 막 두께 30nm의 산화물 반도체막을 스퍼터링법에 의해 성막한다. 이와 같이, 도 1b의 성막 장치를 사용함으로써 성막시에 수소의 혼입이 적은 제작 프로세스를 진행시킬 수 있다.

[0087] 여기서, 기판 가열실(15) 또는 기판 가열실(25)에 있어서, 뜨거워진 불활성 분위기 중에 기판을 투입하는 GRTA 처리를 사용하면, 단시간의 고온 열처리가 가능해지고, 스루풋의 향상을 실현할 수 있다. 또한, 기판의 내열 온도를 초과하는 온도 조건이라도 적용이 가능해진다. 또한, 처리 중에, 불활성 분위기를 산화성 분위기로 전환해도 좋다. 산화성 분위기에서 열처리를 행함으로써, 산화물 반도체막의 산소 결손을 보충할 수 있는 동시에, 산소 결손에 기인하는 에너지갭 중의 결함 준위를 저감시킬 수 있다.

[0088] 산화물 반도체막의 두께는, 3nm 이상 50nm 이하로 하는 것이 바람직하다. 산화물 반도체막을 지나치게 두껍게 하면(예를 들면, 두께를 100nm 이상), 단(短)채널 효과의 영향이 커져 사이즈가 작은 트랜지스터에서 노멀리 온으로 될 우려가 있기 때문이다.

[0089] 본 실시형태에서는, 산화물 반도체막을, In-Ga-Zn-O계의 산화물 타겟을 사용하여 성막한다.

[0090] In-Ga-Zn-O계의 산화물 타겟으로서는, 예를 들면, 조성비로서, In<sub>2</sub>O<sub>3</sub>:Ga<sub>2</sub>O<sub>3</sub>:ZnO=1:1:1[mol수비]의 산화물 타겟을 사용할 수 있다. 또한, 타겟 재료 및 조성을 상기한 것으로 한정할 필요는 없다. 예를 들면, In<sub>2</sub>O<sub>3</sub>:Ga<sub>2</sub>O<sub>3</sub>:ZnO=1:1:2[mol수비]의 조성비의 산화물 타겟을 사용할 수도 있다.

[0091] 산화물 타겟의 상대 밀도는, 90% 이상 100% 이하, 바람직하게는 95% 이상 100% 이하로 한다. 상대 밀도가 높은 금속 산화물 타겟을 사용함으로써, 성막한 산화물 반도체막을 치밀한 막으로 할 수 있기 때문이다.

[0092] 산화물 반도체막의 성막은, 희가스 분위기하, 산소 분위기하 또는 희가스와 산소의 혼합 가스 분위기하 등에서 행하면 좋다.

[0093] 예를 들면, 산화물 반도체막은, 다음과 같이 성막할 수 있다. 기판과 타겟사이의 거리를 60mm, 압력을 0.4Pa, 직류(DC) 전원을 0.5kW, 성막 분위기를 아르곤과 산소의 혼합 분위기(산소 유량 비율 33%)로 할 수 있다. 또한, 펄스 DC 스퍼터링법을 사용하면, 성막시에 발생하는 분말상 물질(파티클, 먼지라고도 한다)을 경감시킬 수 있고, 두께의 분포도 균일해지기 때문에 바람직하다. 기판 온도는 100°C 이상 400°C 이하로 한다. 기판(100)이 가열된 상태에서 성막을 행함으로써, 산화물 반도체막에 포함되는 과잉 수소나 그 밖의 불순물 농도를 저감시킬 수 있다. 또한, 스퍼터링에 의한 손상을 경감시킬 수 있다. 또한, 절연막(102)으로부터 산소가 방출되어 산화물 반도체막 중의 산소 결손 및 절연막(102)과 산화물 반도체막의 계면 준위를 저감시킬 수 있다.

[0094] 기판(100)을 대기에 노출한 후, 산화물 반도체막에 대해 제 3 열처리를 행해도 좋다. 제 2 열처리에 의해 산화

물 반도체막 중의 과잉 수소를 제거하고, 또한 산화물 반도체막의 구조를 갖출 수 있다. 제 3 열처리의 온도는, 100°C 이상 650°C 이하 또는 기판의 변형점 미만, 바람직하게는 250°C 이상 600°C 이하, 더욱 바람직하게는 250°C 이상 450°C 이하로 한다. 열처리는, 산화성 분위기하, 또는 불활성 분위기하로 한다. 또한, 절연막(102)으로부터 산소가 방출되어 산화물 반도체막 중의 산소 결손 및 절연막(102)과 산화물 반도체막의 계면 준위를 저감시킬 수 있다.

[0095] 제 3 열처리는, 예를 들면, 저항 발열체 등을 사용한 전기로에 피처리물을 도입하고, 질소 분위기하에서, 350°C, 1시간의 조건으로 행할 수 있다. 이 동안, 산화물 반도체막은 대기애 접촉시키지 않고, 물이나 수소의 혼입이 일어나지 않도록 한다.

[0096] 제 3 열처리를 행하는 장치는 전기로에 한정되지 않고, 가열된 가스 등의 매체로부터의 열전도 또는 열복사에 의해, 피처리물을 가열하는 장치를 사용해도 좋다. 예를 들면, RTA 장치를 사용할 수 있다.

[0097] 그런데, 그 후의 프로세스 중에 있어서, 제 3 열처리와 같은 열처리를 기판(100)에 대해 반복하여 행해도 좋다.

[0098] 또한, 산화성 분위기란, 산화성 가스(산소 가스, 오존 가스, 산화질소 가스등)의 분위기로서, 수소 등이 포함되지 않는 것이 바람직하다. 예를 들면, 도입하는 산화성 가스의 순도를, 8N(99.999999%) 이상, 바람직하게는 9N(99.9999999%) 이상으로 한다. 산화성 분위기는, 산화성 가스를 불활성 가스와 혼합하여 사용해도 좋고, 산화성 가스가 적어도 10ppm 이상 포함되는 것으로 한다.

[0099] 다음에, 산화물 반도체막을 가공하여 섬 형상의 산화물 반도체막(106)을 형성한다(도 6b 참조.).

[0100] 산화물 반도체막(106)의 가공은, 원하는 형상의 마스크를 산화물 반도체막 위에 형성한 후, 상기 산화물 반도체막을 에칭함으로써 행할 수 있다. 상기의 마스크는, 포토리소그래피 등의 방법을 사용하여 형성할 수 있다. 또는, 잉크젯법 등의 방법을 사용하여 마스크를 형성해도 좋다.

[0101] 계속해서, 절연막(102) 및 산화물 반도체막(106) 위에, 소스 전극 및 드레인 전극(이것과 동일한 막으로 형성되는 배선을 포함)을 형성하기 위한 도전막을 형성하고, 상기 도전막을 가공하여, 소스 전극(108a) 및 드레인 전극(108b)을 형성한다(도 6c 참조.). 또한, 여기에서 형성되는 소스 전극(108a)의 단부와 드레인 전극(108b)의 단부의 간격에 의해, 트랜지스터의 채널 길이(L)가 결정되게 된다.

[0102] 소스 전극(108a) 및 드레인 전극(108b)에 사용하는 도전막으로서는, 예를 들면, Al, Cr, Cu, Ta, Ti, Mo 및 W로부터 선택된 원소를 포함하는 금속막 또는 상기한 원소를 성분으로 하는 금속 질화물막(질화티탄막, 질화몰리브덴막, 질화텅스텐막 등)을 사용할 수 있다. 또한, Al, Cu 등의 금속막의 하측 및 상측의 한쪽 또는 쌍방에 Ti, Mo, W 등의 고용점 금속막 또는 이들의 금속 질화물막(질화티탄막, 질화몰리브덴막, 질화텅스텐막 등)을 적층시킨 구성을 사용해도 좋다. 또한, 소스 전극(108a) 및 드레인 전극(108b)이 되는 도전막을 실시형태 1에 나타내는 장치로 성막해도 좋다.

[0103] 또한, 소스 전극(108a) 및 드레인 전극(108b)에 사용하는 도전막은, 도전성의 금속 산화물로 형성해도 좋다. 도전성의 금속 산화물로서는  $In_2O_3$ ,  $SnO_2$ ,  $ZnO$ , ITO,  $In_2O_3-ZnO$  또는 이들의 금속 산화물 재료에 산화실리콘을 포함시킨 것을 사용할 수 있다.

[0104] 도전막의 가공은, 레지스트 마스크를 사용한 에칭에 의해 행할 수 있다. 상기 에칭에 사용하는 레지스트 마스크 형성시의 노광에는, 자외선이나 KrF 레이저광이나 ArF 레이저광 등을 사용하면 좋다.

[0105] 또한, 채널 길이(L)=25nm 미만이 되도록 노광을 행하는 경우에는, 예를 들면, 수nm 내지 수십nm으로 지극히 좁아 짧은 초자외선(Extreme Ultraviolet)을 사용하여, 레지스트 마스크 형성시의 노광을 행하면 된다. 초자외선에 의한 노광은, 해상도가 높고 초점 심도도 크다. 따라서, 나중에 형성되는 트랜지스터의 채널 길이(L)를 짧게 하는 것이 가능하여, 회로의 동작을 빠르게 할 수 있다.

[0106] 또한, 소위 다계조 마스크에 의해 형성된 레지스트 마스크를 사용하여 에칭을 행해도 좋다. 다계조 마스크를 사용하여 형성된 레지스트 마스크는, 복수의 두께를 갖는 형상이 되어 애성에 의해 다시 형상을 변형시킬 수 있기 때문에, 상이한 패턴으로 가공하는 복수의 에칭 공정에 사용하는 것이 가능하다. 이로 인해, 한장의 다계조 마스크에 의해, 적어도 2종류 이상의 상이한 패턴에 대응하는 레지스트 마스크를 형성할 수 있다. 즉, 공정의 간략화가 가능해진다.

[0107] 또한, 도전막의 에칭시에, 산화물 반도체막(106)의 일부가 에칭되어 홈부(오목부)를 갖는 산화물 반도체막이 되는 경우도 있다.

- [0108] 또한, 산화물 반도체막(106)과 소스 전극(108a), 드레인 전극(108b)과의 사이에, 소스 영역 및 드레인 영역으로서 기능하는 산화물 도전막을 벼퍼로서 형성해도 좋다.
- [0109] 이 경우, 산화물 반도체막과 산화물 도전막의 적층을 형성하고, 산화물 반도체막과 산화물 도전막의 적층을 동일한 포토리소그래피 공정에 의해 형상을 가공하여 섬 형상의 산화물 반도체막(106)과 섬 형상의 산화물 도전막을 형성한다. 산화물 반도체막(106) 및 산화물 도전막 위에 소스 전극(108a), 드레인 전극(108b)을 형성한 후, 소스 전극(108a), 드레인 전극(108b)을 마스크로 하여, 산화물 도전막을 에칭하고, 소스 영역 및 드레인 영역으로 분할하여 벼퍼를 형성한다.
- [0110] 또는, 산화물 반도체막(106) 위에 산화물 도전막을 형성하고, 그 위에 도전막을 형성하고, 산화물 도전막 및 도전막을 동일한 포토리소그래피 공정에 의해 가공하고, 소스 전극(108a) 및 드레인 전극(108b)의 하부에 접하여 각각 소스 영역 및 드레인 영역이 되는 벼퍼를 형성한다.
- [0111] 산화물 도전막의 성막 방법은, 스퍼터링법이나 진공 증착법(전자 빔 증착법등)이나, 아크 방전 이온 플레이팅법이나 스프레이법을 사용한다.
- [0112] 다음에, 소스 전극(108a) 및 드레인 전극(108b)을 덮고, 또한 산화물 반도체막(106)의 일부에 접하도록, 게이트 절연막(112)을 성막한다(도 6d 참조.).
- [0113] 또한, 게이트 절연막(112)의 성막 직전에, 산화성 가스를 사용한 플라즈마 처리를 행하고, 노출되어 있는 산화물 반도체막(106)의 표면을 산화하여, 산소 결손을 보충해도 좋다. 플라즈마 처리를 행한 경우, 상기 플라즈마 처리에 이어서 대기에 접촉시키지 않고, 산화물 반도체막(106)의 일부에 접하는 게이트 절연막(112)을 성막하는 것이 바람직하다.
- [0114] 게이트 절연막(112)은 절연막(102)과 같은 구성으로 할 수 있다. 게이트 절연막(112)의 합계 두께는, 바람직하게는 1nm 이상 300nm 이하, 보다 바람직하게는 5nm 이상 50nm 이하로 한다. 게이트 절연막이 두꺼울수록 단채널 효과가 현저해지고, 임계값 전압이 마이너스 시프트하기 쉬운 경향으로 된다. 또한, 게이트 절연막이 5nm 이하가 되면 터널 전류에 의한 리크가 증대되는 것을 알고 있다. 또한, 게이트 절연막(112)을 실시형태 1에 나타내는 장치로 성막해도 좋다.
- [0115] 그 후, 도전막을 성막하고, 포토리소그래피 공정에 의해 가공하여 게이트 전극(114)을 형성한다(도 6e 참조.). 게이트 전극(114)은 몰리브덴, 티탄, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴, 스칸듐 등의 금속 재료, 이들의 질화물, 또는 이들을 주성분으로 하는 합금 재료를 사용하여 형성할 수 있다. 또한, 게이트 전극(114)은 단층 구조로 해도 좋고, 적층 구조로 해도 좋다.
- [0116] 이상의 공정으로 트랜지스터(151)가 제작된다.
- [0117] 다음에, 도 7a 내지 도 7e를 사용하여, 도 5a에 도시하는 트랜지스터(152)의 제작 공정의 일례에 관해서 설명한다. 또한, 본 실시형태에서는, 도 1a의 성막 장치를 사용한 제작 방법을 나타낸다.
- [0118] 우선, 기판 공급실(11)로부터 기판(100)을 로드록실(12a)로 반송한다. 다음에, 기판(100)을 로드록실(12a)과 반송실(13)을 거쳐 기판 가열실(15)로 이동시키고, 기판 가열실(15)에서 기판(100)에 흡착되어 있는 수소를 제 1 열처리 또는 플라즈마 처리 등으로 제거한다. 그 후, 반송실(13)을 거쳐 리크 레이트가  $1 \times 10^{-10} \text{ Pa?m}^3/\text{초}$  이하인 성막실(10c)로 기판(100)을 이동시키고, 두께 300nm의 절연막(102)을 스퍼터링법에 의해 성막한다(도 7a 참조.). 그 후, 도전막을 성막한다.
- [0119] 일단 기판을 성막 장치로부터 취출하여, 도전막을 포토리소그래피 공정에 의해 가공하여 소스 전극(108a) 및 드레인 전극(108b)을 형성한다(도 7b 참조.).
- [0120] 또한, 절연막(102)과 소스 전극(108a), 드레인 전극(108b) 사이에, 소스 영역 및 드레인 영역으로서 기능하는 산화물 도전막을 벼퍼로서 형성해도 좋다.
- [0121] 이 경우, 절연막(102) 위에 산화물 도전막과 도전막의 적층을 형성하고, 산화물 도전막과 도전막의 적층을 동일한 포토리소그래피 공정에 의해 형상을 가공하여 소스 전극(108a) 및 드레인 전극(108b)과 하부에서 접하는 소스 영역 및 드레인 영역이 되는 벼퍼를 형성하면 된다.
- [0122] 또는, 절연막(102) 위에 도전막과 산화물 도전막의 적층을 형성하고, 도전막 및 산화물 도전막을 동일한 포토리소그래피 공정에 의해 가공하고, 소스 전극(108a) 및 드레인 전극(108b)의 상부에 접하여 각각 소스 영역 및 드

레인 영역이 되는 벼퍼를 형성해도 좋다.

[0123] 다음에, 기판 공급실(11)로부터 기판(100)을 로드록실(12a)로 반송한다. 다음에, 로드록실(12a)과 반송실(13)을 거쳐 기판 가열실(15)로 이동시키고, 기판 가열실(15)에서 기판(100)에 흡착되어 있는 수소를 제 1 열처리 또는 플라즈마 처리 등으로 제거한다. 그 후, 반송실(13)을 거쳐 리크 레이트가  $1 \times 10^{-10}$  Pa?m<sup>3</sup>/초 이하인 성막실(10b)로 기판(100)을 이동시키고, 산화물 반도체막을 스퍼터링법에 의해 성막한다. 이와 같이, 도 1a의 성막장치를 사용함으로써 수소 혼입이 적은 제작 프로세스를 진행시킬 수 있다.

[0124] 다음에, 산화물 반도체막을 가공하여 섬 형상의 산화물 반도체막(106)을 형성한다(도 7c 참조.). 그 후, 트랜지스터(151)와 같은 제 1 열처리를 행해도 좋다.

[0125] 또한, 소스 전극(108a) 및 드레인 전극(108b)의 상부에 접하여 각각 소스 영역 및 드레인 영역이 되는 벼퍼를 형성하는 경우, 산화물 반도체막(106)의 가공시에 벼퍼도 가공되는 경우가 있다. 이 경우도, 최종적인 단면 형상은 상이하지만, 벼퍼가 갖는 기능은 상이하지 않다.

[0126] 다음에, 산화물 반도체막(106)을 덮고, 또한, 소스 전극(108a) 및 드레인 전극(108b)의 일부와 접하도록, 게이트 절연막(112)을 성막한다(도 7d 참조.).

[0127] 그 후, 도전막을 성막하고, 포토리소그래피 공정에 의해 가공하여 게이트 전극(114)을 형성한다(도 7e 참조.).

[0128] 이상의 공정으로 트랜지스터(152)가 형성된다.

[0129] 이상과 같이, 본 실시형태에 의해, 전기 특성의 편차가 적은 산화물 반도체를 사용한 반도체 장치를 제공할 수 있다. 또한, 신뢰성이 높은 반도체 장치를 제공할 수 있다.

[0130] 이상, 본 실시형태에 나타내는 구성, 방법 등은, 다른 실시형태에 나타내는 구성, 방법 등과 적절히 조합하여 사용할 수 있다.

[0131] (실시형태 3)

[0132] 실시형태 2에 있어서, 트랜지스터의 반도체막에 사용할 수 있는 산화물 반도체막의 성막 방법의 일 형태를, 도 8을 사용하여 설명한다.

[0133] 본 실시형태의 산화물 반도체막은, 제 1 결정성 산화물 반도체막 위에 제 1 결정성 산화물 반도체막보다도 두꺼운 제 2 결정성 산화물 반도체막을 갖는 적층 구조이다.

[0134] 우선, 기판(100) 위에 절연막(102)을 성막한다.

[0135] 다음에, 절연막(102) 위에 두께 1nm 이상 10nm 이하의 제 1 산화물 반도체막을 성막한다. 제 1 산화물 반도체막의 형성은, 스퍼터링법을 사용한다. 성막시의 기판 온도는 100°C 이상 400°C 이하로 한다.

[0136] 본 실시형태에서는, 산화물 반도체용 타겟(In-Ga-Zn-O계 산화물 반도체용 타겟( $In_2O_3:Ga_2O_3:ZnO=1:1:2$  [mol수비]))을 사용하고, 기판과 타겟 사이의 거리를 60mm, 기판 온도 200°C, 압력 0.4Pa, 직류(DC) 전원 0.5kW, 산소만, 아르곤만, 또는 아르곤 및 산소 분위기 하에서 두께 5nm의 제 1 산화물 반도체막을 성막한다.

[0137] 계속해서, 기판을 배치하는 성막실 분위기를 질소, 또는 전조 공기로 하고, 제 1 결정화 열처리를 행한다. 제 1 결정화 열처리의 온도는, 400°C 이상 750°C 이하로 한다. 제 1 결정화 열처리에 의해 제 1 결정성 산화물 반도체막(116a)을 형성한다(도 8a 참조.).

[0138] 제 1 결정화 열처리의 온도에도 따르지만, 제 1 결정화 열처리에 의해, 막 표면에서 결정화가 일어나고, 막의 표면으로부터 내부를 향하여 결정 성장하고, c축 배향된 결정이 얻어진다. 제 1 결정화 열처리에 의해, 막 표면의 아연과 산소의 비율이 많아지고, 상평면이 6각형을 이루는 아연과 산소로 이루어지는 그라펜 타입의 이차원 결정이 최표면에 1층 또는 복수층 형성되고, 이것이 막 두께 방향으로 성장하여 중첩된다. 결정화 열처리의 온도를 올리면 표면으로부터 내부, 그리고 내부로부터 저부로 결정 성장이 진행된다.

[0139] 제 1 결정화 열처리에 의해, 절연막(102) 중의 산소를 제 1 결정성 산화물 반도체막(116a)과의 계면 또는 그 근방(계면으로부터 플러스 마이너스 5nm)으로 확산시켜 제 1 결정성 산화물 반도체막의 산소 결손, 및 절연막(102)과 제 1 결정성 산화물 반도체막(116a)의 계면 준위를 저감시킬 수 있다.

[0140] 계속해서, 제 1 결정성 산화물 반도체막(116a) 위에 10nm보다도 두꺼운 제 2 산화물 반도체막을 성막한다. 제 2 산화물 반도체막의 성막은, 스퍼터링법을 사용하고, 성막시의 기판 온도는 100°C 이상 400°C 이하로 한다.

성막시의 기판 온도를 100°C 이상 400°C 이하로 함으로써, 제 1 결정성 산화물 반도체막의 표면 위에 접하여 성막하는 산화물 반도체막에 전구체(Precursor)의 정렬이 일어나 소위 질서성을 갖게 할 수 있다.

[0141] 본 실시형태에서는, 산화물 반도체용 타겟(In-Ga-Zn-O계 산화물 반도체용 타겟( $In_2O_3:Ga_2O_3:ZnO=1:1:2$ [mol수비]))을 사용하여, 기판과 타겟 사이의 거리를 60mm, 기판 온도 400°C, 압력 0.4Pa, 직류(DC) 전원 0.5kW, 산소만, 아르곤만, 또는 아르곤 및 산소 분위기하에서 두께 25nm의 제 2 산화물 반도체막을 성막한다.

[0142] 계속해서, 제 2 결정화 열처리를 행한다. 제 2 결정화 열처리의 온도는, 400°C 이상 750°C 이하로 한다. 제 2 결정화 열처리에 의해 제 2 결정성 산화물 반도체막(116b)을 형성한다(도 8b 참조). 여기에서, 제 2 결정화 열처리는, 질소분위기하, 산소 분위기하, 또는 질소와 산소의 혼합 분위기하에서 행함으로써, 제 2 결정성 산화물 반도체막의 고밀도화 및 결함수의 저감을 도모할 수 있기 때문에 바람직하다. 제 2 결정화 열처리에 의해, 제 1 결정성 산화물 반도체막(116a)을 핵으로 하여 막 두께 방향, 즉 저부로부터 내부로 결정 성장이 진행되어 제 2 결정성 산화물 반도체막(116b)이 형성된다.

[0143] 또한, 절연막(102)의 형성으로부터 제 2 결정화 열처리까지의 공정을 대기에 접촉시키지 않고 연속적으로 행하는 것이 바람직하다. 예를 들면, 도 1a에 상면도를 나타내는 성막 장치를 사용하면 좋다. 성막실(10a, 10b, 10c), 반송실(13), 및 기판 가열실(15)은, 수소 및 수분을 거의 포함하지 않는 분위기 하로 제어하는 것이 바람직하고, 예를 들면, 수분에 관해서는 노점 -40°C 이하, 바람직하게는 노점 -50°C 이하의 건조 질소 분위기로 한다. 도 1a의 성막 장치를 사용한 제작 공정의 순서의 일례는, 우선, 기판 공급실(11)로부터 기판(100)을 반송하고, 로드록실(12a)과 반송실(13)을 거쳐 기판 가열실(15)로 이동시키고, 기판 가열실(15)에서 기판(100)에 부착되어 있는 수소를 진공 베이크 등으로 제거하고, 그 후, 반송실(13)을 거쳐 성막실(10c)로 기판(100)을 이동시키고, 성막실(10c) 내에서 절연막(102)을 성막한다. 그리고, 대기에 접촉하지 않고, 반송실(13)을 거쳐 성막실(10c)로 기판(100)을 이동시키고, 성막실(10a)로 기판(100)을 이동시키고, 성막실(10a) 내에서 두께 5nm의 제 1 산화물 반도체막을 성막한다. 그리고, 대기에 접촉하지 않고, 반송실(13)을 거쳐 기판 가열실(15)로 기판(100)을 이동시키고, 제 1 결정화 열처리를 행한다. 그리고, 대기에 접촉하지 않고, 반송실(13)을 거쳐 성막실(10a)로 기판(100)을 이동시키고, 성막실(10a) 내에서 두께 10nm보다도 두꺼운 제 2 산화물 반도체막을 성막한다. 그리고, 대기에 접촉하지 않고, 반송실(13)을 거쳐 기판 가열실(15)로 기판(100)을 이동시키고, 제 2 결정화 열처리를 행한다. 이와 같이, 도 1a의 성막 장치를 사용함으로써 대기에 접촉하지 않고, 제작 프로세스를 진행시킬 수 있다. 또한, 절연막(102), 제 1 결정성 산화물 반도체막 및 제 2 결정성 산화물 반도체막의 적층을 형성한 후, 대기에 접촉하지 않고, 성막실(10b) 내에서 금속 타겟을 사용하여 소스 전극 및 드레인 전극을 형성하기 위한 도전막을 제 2 결정성 산화물 반도체막 위에 성막할 수도 있다. 또한, 스루풋의 향상을 위해, 제 1 결정성 산화물 반도체막 및 제 2 결정성 산화물 반도체막을 별도로 성막실에서 성막해도 상관없다.

[0144] 계속해서, 제 1 결정성 산화물 반도체막(116a)과 제 2 결정성 산화물 반도체막(116b)으로 이루어지는 산화물 반도체 적층을 가공하여 셀 형상의 산화물 반도체 적층으로 이루어지는 산화물 반도체막(116)을 형성한다(도 8c 참조.). 도면에서는, 제 1 결정성 산화물 반도체막(116a)과 제 2 결정성 산화물 반도체막(116b)의 계면을 점선으로 나타내고, 산화물 반도체 적층으로 설명하고 있지만, 명확한 계면이 존재하고 있는 것이 아니며, 어디까지나 이해하기 쉽게 설명하기 위해서 도시하고 있다.

[0145] 산화물 반도체 적층의 가공은, 원하는 형상의 마스크를 산화물 반도체 적층 위에 형성한 후, 상기 산화물 반도체 적층을 에칭함으로써 행할 수 있다. 상기의 마스크는 포토리소그래피 등의 방법을 사용하여 형성할 수 있다. 또는, 잉크젯법 등의 방법을 사용하여 마스크를 형성해도 좋다.

[0146] 또한, 상기 제작 방법에 의해, 얻어지는 제 1 결정성 산화물 반도체막 및 제 2 결정성 산화물 반도체막은, c축 배향을 가지고 있는 것을 특징의 하나로 하고 있다. 단, 제 1 결정성 산화물 반도체막 및 제 2 결정성 산화물 반도체막은, 단결정 구조가 아니며, 비정질 구조도 아닌 구조이며, c축 배향을 가진 결정성 산화물 반도체(CAAC 산화물 반도체: C Axis Aligned Crystalline Oxide Semiconductor)이다. 또한, 제 1 결정성 산화물 반도체막 및 제 2 결정성 산화물 반도체막은, 일부에 결정립계를 가지고 있다.

[0147] 또한, 제 1 및 제 2 결정성 산화물 반도체막은, 적어도 Zn을 갖는 산화물 재료이며, 4원계 금속 산화물인  $In-Al-Ga-Zn-O$ 계의 재료나,  $In-Al-Ga-Zn-O$ 계의 재료나,  $In-Sn-Ga-Zn-O$ 계의 재료나, 3원계 금속 산화물인  $In-Ga-Zn-O$ 계의 재료,  $In-Al-Zn-O$ 계의 재료,  $In-Sn-Zn-O$ 계의 재료,  $Sn-Ga-Zn-O$ 계의 재료,  $Al-Ga-Zn-O$ 계의 재료,  $Sn-Al-Zn-O$ 계의 재료나, 2원계 금속 산화물인  $In-Zn-O$ 계의 재료,  $Sn-Zn-O$ 계의 재료,  $Al-Zn-O$ 계의 재료,  $Zn-Mg-O$ 계의 재료나,  $Zn-O$ 계의 재료 등이 있다. 또한,  $In-Si-Ga-Zn-O$ 계의 재료나,  $In-Ga-B-Zn-O$ 계의 재료나,  $In-B-Zn-O$

제의 재료를 사용해도 좋다. 또한, 상기의 재료에  $SiO_2$ 을 포함시켜도 좋다. 여기에서, 예를 들면, In-Ga-Zn-O 제의 재료란, 인듐(In), 갈륨(Ga), 아연(Zn)을 갖는 산화물막이라는 의미이며, 그 조성비는 특별히 상관없다. 또한, In과 Ga와 Zn 이외의 원소를 포함하고 있어도 좋다.

[0148] 또한, 제 1 결정성 산화물 반도체막 위에 제 2 결정성 산화물 반도체막을 형성하는 2층 구조에 한정되지 않고, 제 2 결정성 산화물 반도체막의 형성후에 제 3 결정성 산화물 반도체막을 형성하기 위한 성막과 결정화 열처리의 프로세스를 반복 행하여 3층 이상의 적층 구조로 해도 좋다.

[0149] 상기 제작 방법으로 형성된 산화물 반도체 적층으로 이루어지는 산화물 반도체막(116)을, 본 명세서에 개시하는 반도체 장치에 적용할 수 있는 트랜지스터(예를 들면, 실시형태 2에 있어서의 트랜지스터(151), 트랜지스터(152))에 적절히 사용할 수 있다.

[0150] 또한, 산화물 반도체막(106)으로서 본 실시형태의 산화물 반도체 적층을 사용한 실시형태 2에 있어서의 트랜지스터(151)에 있어서는, 산화물 반도체막의 한쪽 면으로부터 다른쪽 면에 전계가 인가되는 경우는 없으며, 또한 전류가 산화물 반도체 적층의 두께 방향(한쪽 면으로부터 다른쪽 면으로 흐르는 방향, 구체적으로는 도 3b에서는 상하 방향)으로 흐르는 구조가 아니다. 전류는, 주로 산화물 반도체 적층의 계면을 흐르는 트랜지스터 구조이기 때문에, 트랜지스터에 광 조사가 이루어지며, 또한 바이어스-열(BT: Bias-Temperature) 스트레스가 주어져도, 전기 특성의 열화는 억제 또는 저감된다.

[0151] 산화물 반도체막(116)과 같은 제 1 결정성 산화물 반도체막과 제 2 결정성 산화물 반도체막의 적층을 트랜지스터에 사용함으로써, 안정된 전기적 특성을 가지며, 또한 신뢰성이 높은 트랜지스터를 실현할 수 있다.

[0152] 본 실시형태는, 다른 실시형태에 기재한 구성과 적절히 조합하여 실시하는 것이 가능하다.

[0153] (실시예 1)

[0154] 본 실시예에서는, 성막 장치인 스퍼터링 장치의 성막실의 시동 방법과, 상기 성막실을 사용하여 성막한 산화물 반도체막 중의 수소 농도를 나타낸다.

[0155] 시료는 6종류 준비하였다. 시료 A, 시료 B 및 시료 C는, 이하의 방법으로 준비하였다. 우선, 스퍼터링 장치의 성막실을 대기 개방한 후, 상기 성막실을 밀봉하여 드라이 펌프 및 크라이오 펌프를 사용하여, 성막실의 압력이  $5 \times 10^{-4}$  Pa가 될 때까지 진공화하였다. 다음에, 실온에서 더미 성막을 1분간  $\times 100$ 장 행한 후, 성막실의 압력이  $8 \times 10^{-5}$  Pa 이하로 된 후 실리콘 웨이퍼 위에 산화물 반도체막을 성막하였다. 단, 100장의 더미 성막은, 1배치에서 20장의 더미 성막을 총 5회 실시하고, 또한 배치간에서 1시간 이상 진공화를 행하고 있다.

[0156] 시료 D, 시료 E 및 시료 F는, 이하의 방법으로 준비하였다. 우선, 스퍼터링 장치의 성막실을 대기 개방한 후, 상기 성막실을 밀봉하여 드라이 펌프 및 크라이오 펌프를 사용하여, 성막실의 압력이  $5 \times 10^{-4}$  Pa가 될 때까지 진공화하였다. 다음에, 기관 온도가 410°C가 되는 온도로 기관 홀더의 온도를 가열하고, 성막실 자체의 온도를 200°C로 한 후, 또한 성막실의 압력이  $5 \times 10^{-4}$  Pa가 될 때까지 진공화하였다. 다음에, 더미 성막을 5분간  $\times 100$ 장 행한 후에,  $9 \times 10^{-5}$  Pa 이하로 된 후 산화물 반도체막을 성막하였다. 단, 100장의 더미 성막은, 1배치에서 20장의 더미 성막을 총 5회 실시하고, 또한 배치간에서 1시간 이상 진공화를 행하고 있다.

[0157] 산화물 반도체막의 성막 조건은 이하와 같다. In-Ga-Zn-O 타겟( $In_2O_3:Ga_2O_3:ZnO=1:1:2$ [mol수비]), 상대 밀도 95% 이상)을 사용하고, 성막 전력을 500W(DC), 성막 압력을 0.4Pa, 성막 가스를 아르곤 30sccm 및 산소 15sccm, 타겟과 기관의 거리를 60mm, 성막시 기관 온도를 실온(시료 A 및 시료 D), 250°C(시료 B 및 시료 E) 또는 400°C(시료 C 및 시료 F)로서 성막하였다. 또한, 더미 성막은 성막시 기관 온도 이외의 조건을, 상기의 산화물 반도체막과 동조건으로 행하고 있다.

[0158] 시료 A 내지 시료 F의 산화물 반도체막의 수소 농도를 SIMS(Secondary Ion Mass Spectrometry)에 의해 측정하고, 결과를 도 9에 도시한다. 여기서, 실선(200A)은 시료 A를, 실선(200B)은 시료 B를, 실선(200C)은 시료 C를, 실선(200D)은 시료 D를, 실선(200E)은 시료 E를, 실선(200F)은 시료 F를 각각 나타낸다. 또한 도 9에 있어서, 약 300nm의 깊이까지가 산화물 반도체막 중의 수소 농도를 나타낸다.

[0159] 도 9a로부터, 기관 온도를 실온에서 성막한 시료 A보다도 기관 온도를 250°C에서 성막한 시료 B의 산화물 반도체막 중의 수소 농도가 높은 것을 알 수 있었다. 이것은, 산화물 반도체막 성막시에, 기관 가열에 의한 복사열

로 성막실 내벽에 흡착되어 있었던 가스 분자가 탈리하여, 산화물 반도체막 중에 도입되었기 때문이라고 이해된다. 또한, 기판 온도를 400°C에서 성막한 시료 C에서는, 기판 온도를 실온에서 성막한 시료 A와 비교하여 산화물 반도체막 중의 수소 농도가 낮은 것을 알 수 있었다. 이것은, 성막실 내벽에 흡착되어 있던 가스 분자가 탈리하여 산화물 반도체막 중에 도입되는 동시에, 산화물 반도체막을 성막하면서 상기 산화물 반도체막으로부터 탈가스가 일어나고 있기 때문이라고 이해된다. 즉, 산화물 반도체막 중에 도입되는 가스 분자 및 방출되는 가스 분자의 비율에 의해, 산화물 반도체막 중의 수소 농도가 도시한 값으로 된 것으로 이해된다.

[0160] 도 9b로부터, 기판 온도를 실온에서 성막한 시료 D 및 기판 온도를 250°C에서 성막한 시료 E의 산화물 반도체막 중의 수소 농도에 거의 차이가 없는 것을 알 수 있었다. 이것은, 성막실 자체의 온도를 높인 것 및 가열하면서 더미 성막을 행한 것에 의해, 미리 성막실 내벽에 흡착되어 있었던 가스 분자를 탈리하고 있었기 때문이라고 이해된다. 또한, 기판 온도를 400°C에서 성막한 시료 F에서는, 기판 온도를 실온에서 성막한 시료 D와 비교하여 산화물 반도체막 중의 수소 농도가 낮은 것을 알 수 있었다. 이것은, 성막실 내벽으로부터의 탈가스가 거의 없고, 또한 산화물 반도체막을 성막하면서 상기 산화물 반도체막으로부터 탈가스가 일어났기 때문이라고 이해된다.

[0161] 이상에 의해, 산화물 반도체막의 성막전의 처리 조건(성막실 시동 조건)에 의해, 성막실에 있어서의 수소의 탈리 속도를 높일 수 있고, 산화물 반도체막 중의 수소 농도를 더욱 저감시킬 수 있는 것을 알 수 있다.

[0162] 다음에, 같은 시료 A 내지 시료 F를 사용하여, TDS 분석에 의한  $m/z=18$ 의 스펙트럼을 비교하였다. 시료 A 내지 시료 F의 TDS 스펙트럼을 도 10에 도시한다. 또한, 산화물 반도체막의 성막전에, 실리콘 웨이퍼에 대해  $1 \times 10^{-5}$  Pa의 감압 분위기에서 기판 온도를 400°C로 하고 5분간의 열처리(기열처리(基熱處理)라고도 한다.)를 행한 경우의 TDS 스펙트럼도 도시한다. 또한, 기열처리를 행한 시료는, 진공 연속으로 산화물 반도체막을 성막하고 있다. 여기에서,  $m/z=18$ 의 스펙트럼을 나타내는 가스 분자에는  $H_2O$ 가 있다.

[0163] 도 10a 내지 도 10f는 각각 시료 A 내지 시료 F의 TDS 스펙트럼을 도시한다. 도 10 중의 피크(250)는, 시료 내부 또는 기판 표면 등으로부터의, 비교적 에너지가 높은 결합이 끊어지는 것에 기인하여 방출하는  $H_2O$ 로 이해된다.

[0164] 피크(250)에 관해서 기열처리를 행한 시료와 기열처리를 행하지 않은 시료를 비교하였다. 도 10에 있어서, 가는 선으로 나타내는 스펙트럼은 기열처리 없는 시료를 나타내고, 굵은 선으로 나타내는 스펙트럼은 기열처리 있는 시료를 나타낸다. 시료 C 및 시료 F에서는 기열처리의 유무에 의한  $H_2O$ 의 방출량은 거의 차이가 없는 것처럼 보이지만, 그 밖의 시료에 있어서는, 기열처리 있는 시료에서 기열처리 없는 시료보다도  $H_2O$ 의 방출량이 적어지고 있는 것을 알 수 있다.

[0165] 이것은 기열처리를 행함으로써, 기판 표면에 흡착되어 있던 가스 분자를 제거할 수 있었기 때문이라고 이해된다.

[0166] 이상에 의해, 산화물 반도체막의 성막전의 기열처리에 의해, 기판 표면에 흡착되어 있는 가스 분자를 제거할 수 있고, 산화물 반도체막으로부터 방출되는  $H_2O$ 의 양을 저감시킬 수 있는 것을 알 수 있다.

## 부호의 설명

[0167] 10 성막실

10a 성막실

10b 성막실

10c 성막실

11 기판 공급실

12a 로드록실

12b 로드록실

13 반송실

14 카세트 포트

15 기판 가열실

20a 성막실

20b 성막실

22a 로드록실

22b 로드록실

25 기판 가열실

32 타겟

34 타겟 홀더

42 기판 홀더

44 기판 히터

46 셔터 축

48 셔터 판

50 RF 전원

52 정합기

54 정제기

56 성막 가스 공급원

58 진공 펌프

68 대향 전극

100 기판

102 절연막

106 산화물 반도체막

108a 소스 전극

108b 드레인 전극

112 게이트 절연막

114 게이트 전극

116 산화물 반도체막

116a 제 1 결정성 산화물 반도체막

116b 제 2 결정성 산화물 반도체막

128a 베퍼

128b 베퍼

151 트랜지스터

152 트랜지스터

200A 실선

200B 실선

200C 실선

200D 실선

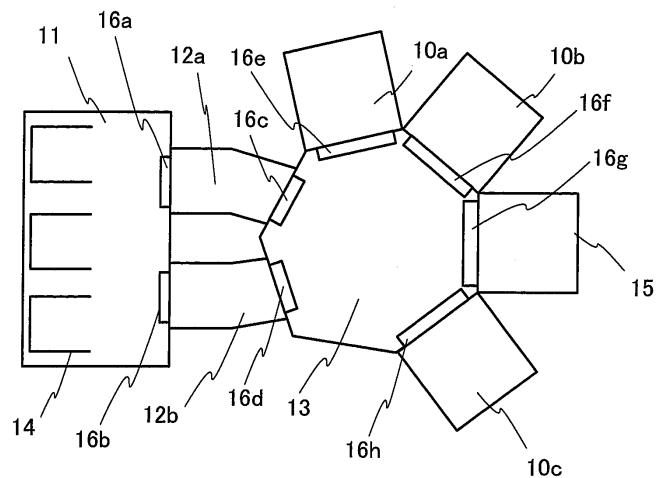
200E 실선

200F 실선

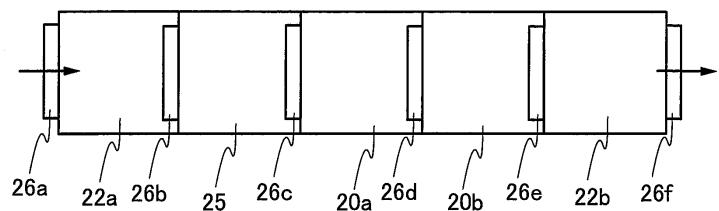
250 피크

**도면****도면1**

(a)

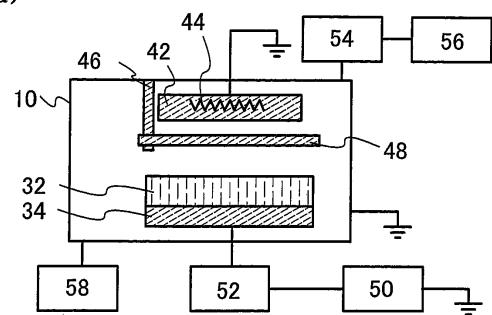


(b)

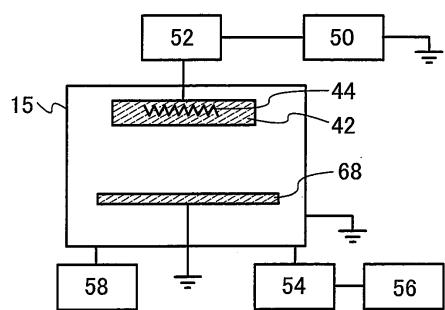


## 도면2

(a)

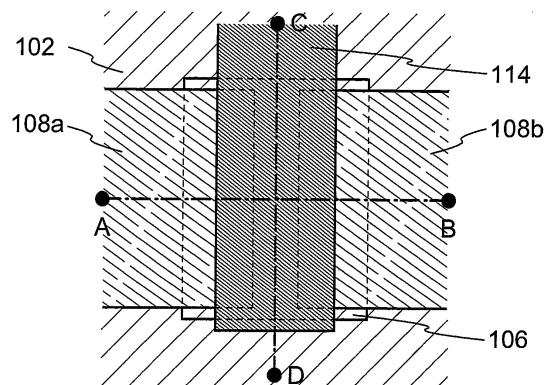


(b)

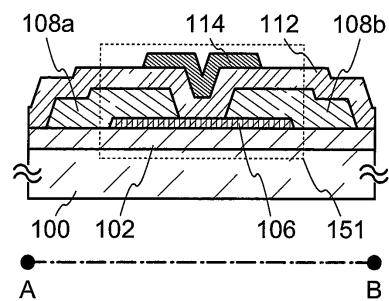


## 도면3

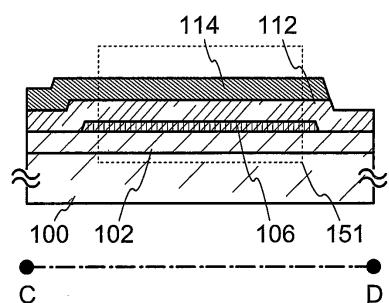
(a)



(b)

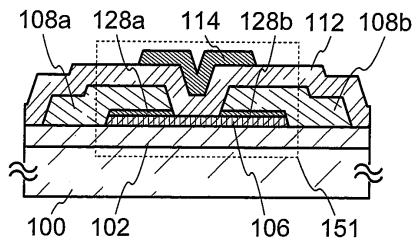


(c)

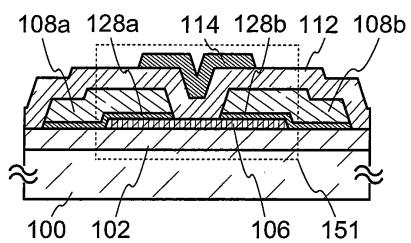


도면4

(a)

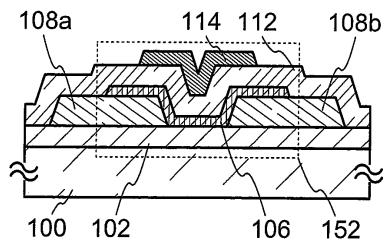


(b)

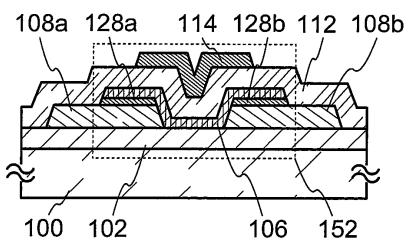


도면5

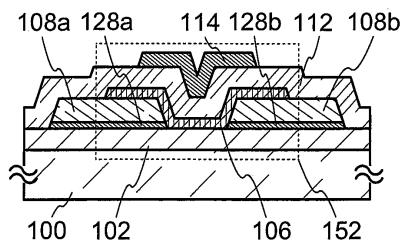
(a)



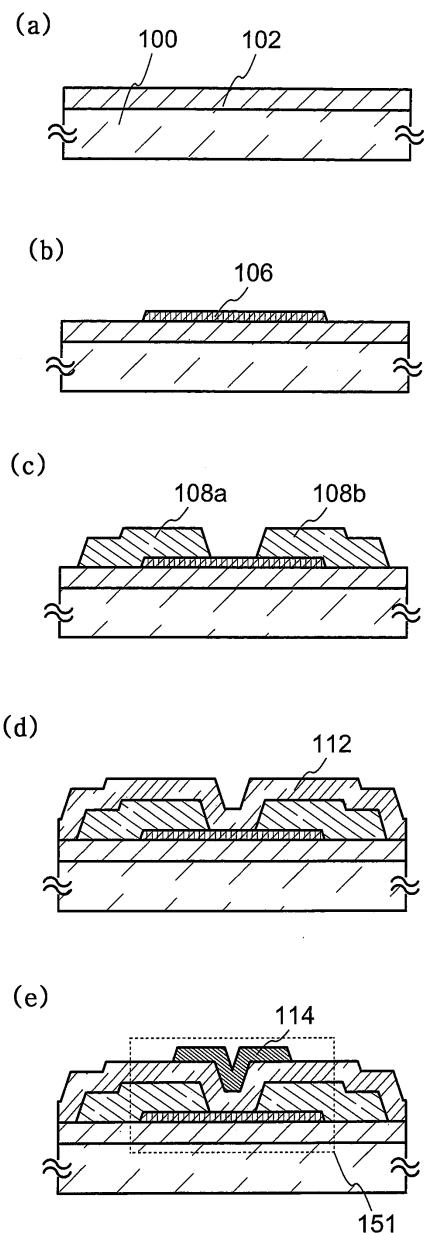
(b)



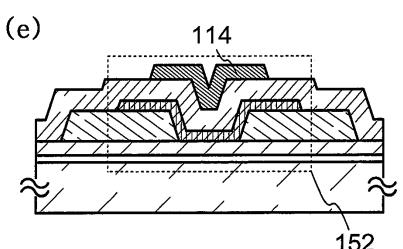
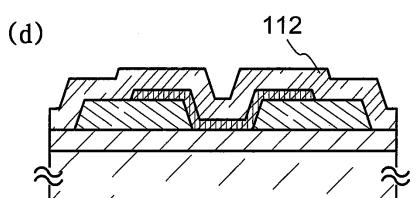
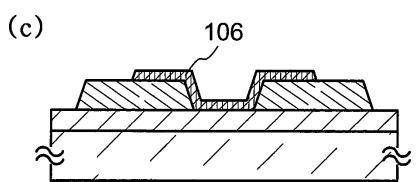
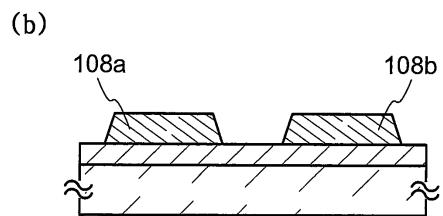
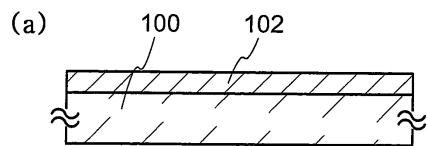
(c)



## 도면6

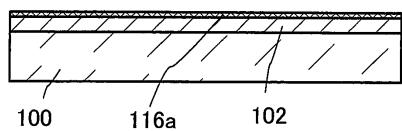


## 도면7

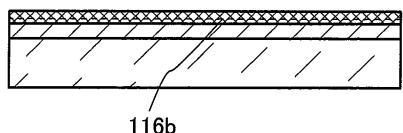


도면8

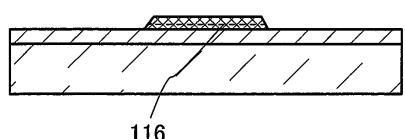
(a)



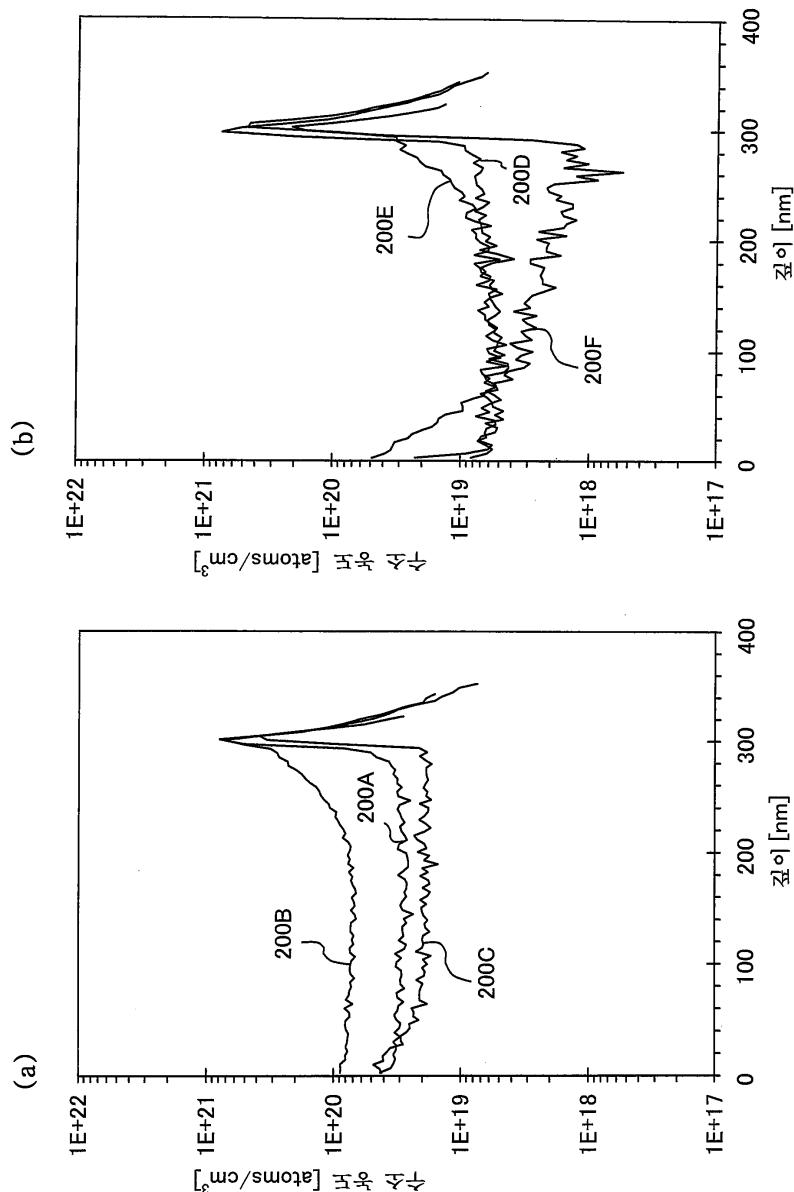
(b)



(c)



도면9



## 도면10

