



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0149629
(43) 공개일자 2016년12월28일

(51) 국제특허분류(Int. Cl.)
G01R 31/333 (2006.01) G01R 31/04 (2006.01)
G01R 31/26 (2014.01)
(52) CPC특허분류
G01R 31/333 (2013.01)
G01R 31/04 (2013.01)
(21) 출원번호 10-2015-0086910
(22) 출원일자 2015년06월18일
심사청구일자 없음

(71) 출원인
엘에스산전 주식회사
경기도 안양시 동안구 엘에스로 127 (호계동)
부경대학교 산학협력단
부산광역시 남구 신전로 365 (용당동,
부경대학교)
(72) 발명자
백승택
경기도 안양시 동안구 관악대로 171 (비산동, 이
편한세상아파트) 110동 403호
노의철
부산광역시 남구 분포로 111, 125동 2003호 (용호
동, 엘지메트로시티아파트)
(뒷면에 계속)
(74) 대리인
김기문

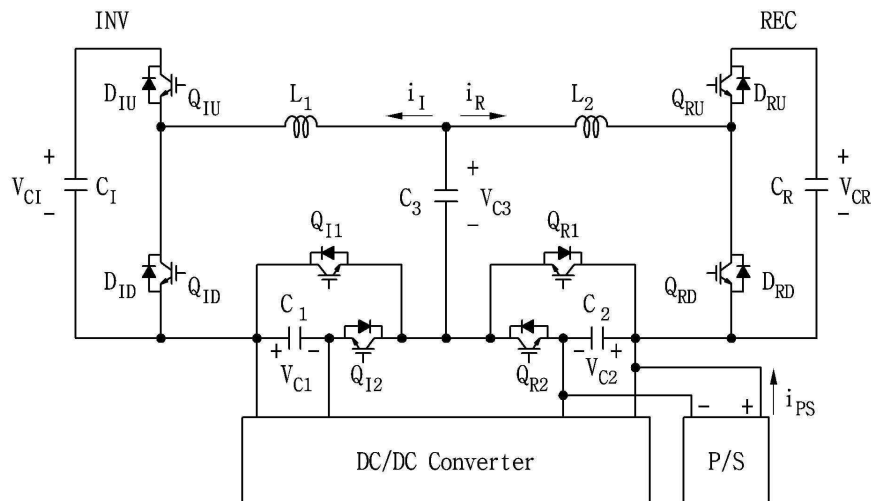
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 초고압직류송전의 밸브 성능 시험을 위한 합성시험 회로

(57) 요약

본 발명의 실시예에 따른 초고압직류송전의 밸브 성능 시험을 위한 합성시험 회로는 인버터 모드의 동작을 시험하는 제1 시험 밸브 및 정류기 모드의 동작을 시험하는 제2 시험 밸브를 포함하는 공진회로; 상기 공진회로에 동작 전압을 제공하는 파워 서플라이(P/S); 및 상기 공진회로의 직류 오프셋 전류를 바이패스하는 DC/DC Converter를 포함하고, 상기 제1 시험 밸브는 인버터 부분이고, 양의 직류 전류 오프셋을 가지고 상기 제2 시험 밸브는 정류기 부분이고, 음의 직류 전류 오프셋을 가진다.

대표도 - 도9



(52) CPC특허분류

G01R 31/2601 (2013.01)

(72) 발명자

정재현

부산광역시 남구 동제당로 103, 11동 203호 (문현
동, 대성주택)

이진희

경기도 안양시 동안구 부림로 55, 303동 1504호 (
평촌동, 초원대원아파트)

정용호

경기도 안산시 상록구 성호로9길 25, 5동 A호(부곡
동, 고려빌라)

명세서

청구범위

청구항 1

초고압직류송전의 밸브 성능 시험을 위한 합성시험 회로에 있어서,

인버터 모드의 동작을 시험하는 제1 시험 밸브 및 정류기 모드의 동작을 시험하는 제2 시험 밸브를 포함하는 공진회로;

상기 공진회로에 동작 전압을 제공하는 파워 서플라이(P/S); 및

상기 공진회로의 직류 오프셋 전류를 바이패스하는 DC/DC Converter를 포함하고,

상기 제1 시험 밸브는 인버터 부분이고, 양의 직류 전류 오프셋을 가지고

상기 제2 시험 밸브는 정류기 부분이고, 음의 직류 전류 오프셋을 가지는 초고압직류송전의 밸브 성능 시험을 위한 합성시험 회로.

청구항 2

제 1항에 있어서,

상기 제1 시험 밸브 및 제2 시험 밸브는 다수의 IGBT 및 커패시터가 구비된 다수의 서브모듈을 포함하고,

상기 공진회로는 상기 제1 시험 밸브 및 제2 시험 밸브 사이에 직렬로 배치되는 제1 인덕터 및 제2 인덕터와, 상기 제1 시험 밸브 및 제2 시험 밸브 사이에 직렬로 배치되는 제1 보조 밸브 및 제2 보조 밸브와, 상기 제1 인덕터와 상기 제2 인덕터 사이의 접점에 일단이 연결되고, 상기 제1 보조 밸브 및 제2 보조 밸브 사이의 접점에 타단이 연결되는 제1 커패시터를 포함하는 초고압직류송전의 밸브 성능 시험을 위한 합성시험 회로.

청구항 3

제 2항에 있어서,

상기 제1 인덕터는 상기 제1 시험 밸브의 IGBT와 IGBT 사이에 연결되고 상기 제2 인덕터는 상기 제2 시험 밸브의 IGBT와 IGBT 사이에 연결되며, 상기 제1 보조 밸브는 상기 제1 시험 밸브의 IGBT와 커패시터 사이에 연결되고 상기 제2 보조 밸브는 상기 제2 시험 밸브의 IGBT와 커패시터 사이에 연결되는 초고압직류송전의 밸브 성능 시험을 위한 합성시험 회로.

청구항 4

제 2항에 있어서,

상기 제1 시험 밸브 및 제2 시험 밸브에 포함된 각각의 서브모듈은 각각 직렬로 연결된 2개의 IGBT와, 상기 IGBT와 병렬로 연결된 1개의 커패시터를 포함하는 초고압직류송전의 밸브 성능 시험을 위한 합성시험 회로.

청구항 5

제 2항에 있어서,

상기 제1 보조 밸브는 제1 IGBT와, 상기 제1 IGBT와 병렬로 연결되고 상호 직렬로 연결되는 제2 IGBT 및 커패시터를 포함하고,

상기 제2 보조 밸브는 제3 IGBT와, 상기 제3 IGBT와 병렬로 연결되고 상호 직렬로 연결되는 제4 IGBT 및 커패시터를 포함하는 초고압직류송전의 밸브 성능 시험을 위한 합성시험 회로.

청구항 6

제 5항에 있어서,

상기 DC/DC Converter는 상기 제1 보조 밸브에 포함된 커패시터 및 상기 제2 보조밸브에 포함된 커패시터의 양단에 연결되는 초고압직류송전의 밸브 성능 시험을 위한 합성시험 회로.

청구항 7

제 5항에 있어서,

상기 파워 서플라이는 상기 제2 보조 밸브에 포함된 커패시터의 양단에 연결되어 시험 밸브와 보조 밸브를 충전하는 초고압직류송전의 밸브 성능 시험을 위한 합성시험 회로.

청구항 8

제 5항에 있어서,

상기 제1 IGBT와 제2 IGBT는 역병렬로 연결되고, 상기 제3 IGBT와 제4 IGBT는 역병렬로 연결되는 초고압직류송전의 밸브 성능 시험을 위한 합성시험 회로.

청구항 9

제 2항에 있어서,

상기 제1 인덕터와 제2 인덕터는 동일한 값을 갖는 초고압직류송전의 밸브 성능 시험을 위한 합성시험 회로.

청구항 10

제1항에 있어서,

상기 파워 서플라이는

제1 시험 밸브 및 제2 시험 밸브에 동작 전압을 제공하는초고압직류송전의 밸브 성능 시험을 위한 합성시험 회로.

발명의 설명

기술 분야

[0001] 본 발명은 HVDC(초고압직류송전)의 밸브 성능 시험을 위한 합성시험 회로에 관한 것으로서, 특히 MMC(Modular Multilevel Converter) 기반 전압원 HVDC가 정상 및 비정상 동작을 할 때 IGBT 밸브에 나타나는 전류 및 전압과 유사한 전류와 전압을 컨버터로부터 독립된 IGBT 밸브 모듈에 인위적으로 인가하여 다양한 시험이 가능하도록 하는 합성시험 회로에 관한 것이다.

배경 기술

[0002] 도 1은 종래의 밸브 성능 시험을 위한 합성시험 회로의 일 예를 도시한 도면이다.

[0003] 도 1에 도시된 전압원 HVDC 합성시험 회로는 여러 개의 서브모듈이 직렬 연결된 시험 밸브(Test valve 1, Test valve 2) 2세트와, 시험 밸브의 커패시터를 충전하기 위한 DC전원(E) 1개, 합성시험회로 운전 중 발생하는 손실을 보충하기 위한 보조밸브(Auxiliary valve 1, Auxiliary valve 2) 2개, 각 보조 밸브의 커패시터를 충전하기 위한 보조 DC전원(E1, E2) 2개와, 실제 MMC(Modular Multilevel Converter) 동작 시 밸브에 흐르는 유사 정현파 전류를 모의할 수 있도록 시험 밸브 사이에 직렬 연결된 리액터(L)로 구성된다.

[0004] 하나의 서브모듈은 커패시터 1 개와 직렬 연결된 2 개의 IGBT가 병렬로 연결되어 구성되며 제 1 시험 밸브와 제 2 시험 밸브는 각각 m, n 개의 서브모듈이 직렬 연결되어 구성된다. 보조 밸브는 각각 1 개의 서브모듈로 구성되며 보조 밸브의 커패시터를 충전하기 위하여 각 커패시터에 병렬로 보조 DC전원이 연결된다. 전압형 HVDC 합성시험 회로는 시험 밸브에 흐르는 전류를 실제 MMC 운전 중에 서브모듈에 흐르는 전류 파형과 동일하게 모의할 수 있어야 한다. 도 1의 시스템은 시험 밸브의 커패시터와 각 시험 밸브 사이에 위치한 인덕터의 공진을 이용하여 유사 정현파 전류 파형을 생성하며 이를 이용하여 시험 밸브를 테스트한다.

[0005] 도 2 내지 도 4는 종래의 밸브 성능 시험을 위한 합성시험 회로의 동작을 설명하는 도면이다.

[0006] 도 2 내지 도 4를 참조하면, 먼저 도 2와 같이, 합성시험 회로에서 모의하고자 하는 전류의 크기와 주파수를 생

성할 수 있는 시험 밸브의 출력전압 u_1 , u_2 를 설정한 후 E1과 E2를 이용하여 보조 밸브의 커패시터를 충전한다. 다음에는 도 3과 같이, E를 이용하여 시험 밸브의 커패시터를 충전하고 난 후 모든 전원을 밸브와 분리한다. 그리고 도 4와 같이, 시험 밸브의 출력 전압을 적절하게 생성하여 모의하고자 하는 전류를 발생한다.

[0007] 도 5는 시험 밸브의 구조를 설명하는 도면이고, 도 6은 시험 밸브의 출력전압을 설명하는 도면이고, 도 7은 합성시험 회로의 등가회로를 설명하는 도면이고, 도 8은 인덕터의 전압을 설명하는 도면이다.

[0008] 실제 시험 밸브에 흐르는 전류를 생성하는 원리는 도 5와 도 6에 도시된 바와 같은 시험밸브의 구조와 출력전압, 도 7에 도시된 바와 같은 합성시험 회로의 등가회로, 도 8에 도시된 바와 같은 인덕터 전압 U_L 을 이용하여 설명할 수 있다.

[0009] 도 5에 도시된 m 개의 서브 모듈로 구성된 시험 밸브의 각 스위치 상태를 적절히 ON, OFF하면 도 6과 같이 $0 \sim V_{SM11} * m$ [V] 전압을 발생할 수 있다. 시험 밸브의 직렬 연결된 서브 모듈이 5 개인 경우 합성시험회로의 등가회로는 도 7와 같이 나타낼 수 있으며 u_2 의 위상을 조절하여 시험 밸브 사이에 위치한 인덕터 L에 도 8과 같은 유사 정현파 전압을 인가하면 리액터에 흐르는 전류 또한 유사 정현파가 된다. 이렇게 함으로써 실제 MMC 동작 시 서브 모듈에 흐르는 전류의 교류성분과 유사한 형태의 전류를 시험 밸브에 흐르게 할 수 있다. 그러나 실제 MMC 동작에 포함되어 있는 직류성분은 흐르게 할 수 없다는 한계가 있다.

[0010] 이와 같은 전압원 HVDC Valve 시험을 위한 합성시험 회로는 시험 밸브 2개와 보조 밸브 2개로 구성된다. 보조 밸브는 합성시험회로 동작 시 시험 밸브에서 발생하는 손실을 충전하기 위한 것이다. 시험 밸브를 테스트 하기 전 시험 밸브의 각 서브 모듈 커패시터와 보조 밸브 커패시터를 충전해야 하는데 시험 밸브를 충전하기 위한 DC 전원 한개와 보조 밸브를 충전하기 위한 DC전원 두개가 필요하여 총 3개의 DC전원이 필요하다는 문제점이 있다. 또한, 시험 밸브의 커패시터와 인덕터의 공진을 이용하여 시험 전류를 생성하기 때문에 실제 MMC 동작시 개별 서브 모듈에 흐르는 DC offset 전류를 포함한 유사 정현파 전류의 파형을 생성할 수 없다는 문제점이 있다. 그리고 실제 MMC 동작시에는 각각의 IGBT와 다이오드에 흐르는 전류는 PWM 된 형태로 흐르는데 이러한 전류모양도 구현이 안된다는 문제점이 있다.

발명의 내용

해결하려는 과제

[0011] 본 발명은 초고압직류송전의 밸브 성능 시험을 위한 새로운 구조의 합성시험 회로를 제공하는 것을 목적으로 한다.

[0012] 본 발명은 직류 오프셋을 포함하는 전류를 제공할 수 있는 초고압직류송전의 밸브 성능 시험을 위한 합성시험 회로를 제공하는 것을 목적으로 한다.

[0013] 본 발명은 1주기 내에 여러번 스위칭 할 수 있는 구조를 가진 초고압직류송전의 밸브 성능 시험을 위한 합성시험 회로를 제공하는 것을 목적으로 한다.

[0014] 본 발명은 전력 소모가 적고 인버터부와 정류기부의 피시험체를 동시에 시험할 수 있는 초고압직류송전의 밸브 성능 시험을 위한 합성시험 회로를 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0015] 본 발명의 실시예에 따른 초고압직류송전의 밸브 성능 시험을 위한 합성시험 회로는 인버터 모드의 동작을 시험하는 제1 시험 밸브 및 정류기 모드의 동작을 시험하는 제2 시험 밸브를 포함하는 공진회로; 상기 공진회로에 동작 전압을 제공하는 파워 서플라이(P/S); 및 상기 공진회로의 직류 오프셋 전류를 바이패스하는 DC/DC Converter를 포함하고, 상기 제1 시험 밸브는 인버터 부분이고, 양의 직류 전류 오프셋을 가지고 상기 제2 시험 밸브는 정류기 부분이고, 음의 직류 전류 오프셋을 가진다.

발명의 효과

[0016] 본 발명은 초고압직류송전의 밸브 성능 시험을 위한 새로운 구조의 합성시험 회로를 제공할 수 있다.

[0017] 본 발명은 직류 오프셋을 포함하는 전류를 제공할 수 있는 초고압직류송전의 밸브 성능 시험을 위한 합성시험 회로를 제공할 수 있다.

[0018] 본 발명은 1주기 내에 여러번 스위칭 할 수 있는 구조를 가진 초고압직류송전의 밸브 성능 시험을 위한 합성시험 회로를 제공할 수 있다.

[0019] 본 발명은 전력 소모가 적고 인버터부와 정류기부의 피시험체를 동시에 시험할 수 있는 초고압직류송전의 밸브 성능 시험을 위한 합성시험 회로를 제공할 수 있다.

도면의 간단한 설명

[0020] 도 1은 종래의 밸브 성능 시험을 위한 합성시험 회로의 일 예를 도시한 도면이다.

도 2 내지 도 4는 종래의 밸브 성능 시험을 위한 합성시험 회로의 동작을 설명하는 도면이다.

도 5는 시험 밸브의 구조를 설명하는 도면이고, 도 6은 시험 밸브의 출력전압을 설명하는 도면이고, 도 7은 합성시험 회로의 등가회로를 설명하는 도면이고, 도 8은 인덕터의 전압을 설명하는 도면이다.

도 9는 본 발명의 실시예에 따른 초고압직류송전의 밸브 성능 시험을 위한 합성시험 회로를 설명하는 도면이다.

도 10은 본 발명의 실시예에 따른 초고압직류송전의 밸브 성능 시험을 위한 합성시험 회로의 피시험체 회로도를 설명하는 도면이다.

도 11은 본 발명의 실시예에 따른 초고압직류송전의 밸브 성능 시험을 위한 합성시험 회로의 정류기 부분 서브모듈의 스위치 신호와 전류 파형을 설명하는 도면이다.

도 12는 본 발명의 실시예에 따른 초고압직류송전의 밸브 성능 시험을 위한 합성시험 회로의 인버터 부분 서브모듈의 스위치 신호와 전류 파형을 설명하는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0021] 이하, 첨부된 도면을 참조하여 본 발명의 실시예에 따른 초고압직류송전의 밸브 성능 시험을 위한 합성시험 회로에 대해 상세히 설명하도록 한다.

[0022] 도 9는 본 발명의 실시예에 따른 초고압직류송전의 밸브 성능 시험을 위한 합성시험 회로를 설명하는 도면이고, 도 10은 본 발명의 실시예에 따른 초고압직류송전의 밸브 성능 시험을 위한 합성시험 회로의 피시험체 회로도를 설명하는 도면이고, 도 11은 본 발명의 실시예에 따른 초고압직류송전의 밸브 성능 시험을 위한 합성시험 회로의 정류기 부분 시험 밸브의 스위치 신호와 전류 파형을 설명하는 도면이고, 도 12는 본 발명의 실시예에 따른 초고압직류송전의 밸브 성능 시험을 위한 합성시험 회로의 인버터 부분 시험 밸브의 스위치 신호와 전류 파형을 설명하는 도면이다.

[0023] MMC 기반 전압원 HVDC의 전력변환부는 수십개 또는 수백개의 IGBT 밸브(서브모듈)를 직렬 연결하여 구성되는데 제작 전에 성능시험이 필요하다.

[0024] 성능 시험 시 수십개 또는 수백개의 직렬 연결된 IGBT 밸브를 동시에 시험하는 것은 불가능하며 국제적 규정에 의하면 5개 이상의 직렬 연결된 IGBT 밸브에 대하여 시험하도록 되어 있다. 이러한 시험을 위해 필수적인 장치가 합성시험 회로이다.

[0025] 도 9를 참조하면, 본 발명의 실시예에 따른 초고압직류송전의 밸브 성능 시험을 위한 합성시험 회로에서, 우측의 정류기(REC) 부분의 시험 밸브는 2 개의 IGBT($Q_{Ru}-D_{Ru}$, $Q_{Rd}-D_{Rd}$)와 하나의 커패시터 C_R 로 표시된다. 그러나, 이 부분의 실제 구성은 도 10과 같이 동일한 IGBT 밸브(서브 모듈)가 6개 직렬 연결된 형태이며 피시험체에 해당한다. 또한, 좌측의 인버터(INV)라고 표시된 부분도 구조는 정류기(REC) 부분과 동일하며 역시 피시험체에 해당한다.

[0026] 전압원 HVDC를 구성하는 IGBT 밸브는 정류기(REC) 모드에서 동작하는 경우와 인버터(INV) 모드에서 동작하는 경우의 특성이 다르기 때문에 각각 테스트를 해야 하는데 본 발명에서는 2개의 동작 모드를 동시에 테스트 할 수 있는 구조를 제공한다.

[0027] 도 9에서 인버터(INV) 부분과 정류기(REC) 부분 사이에 있는 두 개의 직렬 연결된 인덕터 L_1 과 L_2 는 동일한 값을 갖고 전류의 흐름에 관여한다. 중간에 있는 커패시터 C_3 은 상기 인덕터 L_1 과 L_2 사이의 접점에 연결되어 인덕터 L_1 과 L_2 의 전류 리플을 담당한다. 하단에 있는 4개의 IGBT(Q_{I1} , Q_{I2} , Q_{R1} , Q_{R2})와 2개의 커패시터(C_1 , C_2)는 L_1 과 L_2 를 통해 흐르는 전류의 직류 성분을 바이패스 시키는 역할을 하는데 이는 DC/DC Converter를 통해 이루어진다.

도 9에서의 동작을 위해 인가되는 외부전원은 P/S(Power Supply)에서 공급한다.

- [0028] 즉, 본 발명에서는 인버터 모드의 동작을 시험하는 제1 시험 밸브 및 정류기 모드의 동작을 시험하는 제2 시험 밸브를 포함하는 공진회로가 구비된다. 또한 P/S는 상기 공진 회로에 동작 전원을 공급한다. 상세하게, 상기 P/S는 상기 공진회로를 구성하는 제1 시험 밸브 및 제2 시험 밸브에 동작 전원을 공급할 수 있다. 제1 시험 밸브 및 제2 시험 밸브는 다수의 직렬 연결된 서브 모듈을 포함하고, 각각의 서브 모듈은 다수의 IGBT와 커패시터를 구비할 수 있다. 상기 제1 시험 밸브는 인버터(INV) 부분이 될 수 있고, 제2 시험 밸브는 정류기(REC) 부분이 될 수 있다.
- [0029] 상기 제1 시험 밸브 및 제2 시험 밸브에 포함된 각각의 서브 모듈은 각각 직렬로 연결된 2개의 IGBT와, 상기 IGBT와 병렬로 연결된 1개의 커패시터를 포함한다.
- [0030] 상기 제1 시험 밸브는 일단이 제1 인덕터(L_1)와 연결되고 타단이 제1 보조 밸브와 연결된다. 상기 제2 시험 밸브는 일단이 제2 인덕터(L_2)와 연결되고 타단이 제2 보조 밸브와 연결된다.
- [0031] 상기 제1 인덕터(L_1)는 상기 제1 시험 밸브의 IGBT와 IGBT 사이에 연결되고 상기 제1 보조 밸브는 상기 제1 시험 밸브의 IGBT와 커패시터 사이에 연결된다. 상기 제2 인덕터(L_2)는 상기 제2 시험 밸브의 IGBT와 IGBT 사이에 연결되고 상기 제2 보조 밸브는 상기 제2 시험 밸브의 IGBT와 커패시터 사이에 연결된다.
- [0032] 상기 제1 보조 밸브는 2개의 IGBT(Q_{I1} , Q_{I2})와 1개의 커패시터(C_1)를 포함할 수 있으며, 1개의 IGBT(Q_{I2})와 1개의 커패시터(C_1)는 직렬로 연결되고, 1개의 IGBT(Q_{I1})는 다른 1개의 IGBT(Q_{I2}) 및 1개의 커패시터(C_1)와 병렬로 연결된다. 1개의 IGBT(Q_{I1})는 다른 1개의 IGBT(Q_{I2})와 역병렬로 연결된다.
- [0033] 또한, 상기 제2 보조 밸브는 2개의 IGBT(Q_{R1} , Q_{R2})와 1개의 커패시터(C_2)를 포함할 수 있으며, 1개의 IGBT(Q_{R2})와 1개의 커패시터(C_2)는 직렬로 연결되고, 1개의 IGBT(Q_{R1})는 다른 1개의 IGBT(Q_{R2}) 및 1개의 커패시터(C_2)와 병렬로 연결된다. 1개의 IGBT(Q_{R1})는 다른 1개의 IGBT(Q_{R2})와 역병렬로 연결된다.
- [0034] 상기 제1 인덕터(L_1)는 상기 제2 인덕터(L_2)와 직렬로 연결되고, 상기 제1 보조 밸브는 제2 보조 밸브와 직렬로 연결된다.
- [0035] 제1 커패시터(C_3)의 일단은 상기 제1 인덕터(L_1)와 상기 제2 인덕터(L_2) 사이의 접점에 연결되고, 상기 제1 커패시터(C_3)의 타단은 상기 제1 보조 밸브와 제2 보조 밸브 사이의 접점에 연결된다.
- [0036] 상기 DC/DC Converter는 상기 제1 보조 밸브 및 제2 보조 밸브에 포함된 커패시터(C_1, C_2)의 양단에 연결되어 DC 오프셋 전류를 바이패스 시키는 기능을 한다.
- [0037] 또한, 상기 P/S(Power Supply)는 상기 제2 보조 밸브에 포함된 커패시터(C_2)의 양단에 연결되어 초기 기동시 시험 밸브와 보조 밸브를 충전하며 정상 동작시 전력 손실분을 보상하는 기능을 한다. 상기 P/S(Power Supply)는 상기 제1 보조 밸브 및 제2 보조 밸브에 포함된 커패시터(C_1, C_2), 제1 커패시터(C_3), 커패시터(C_1 , C_R)을 스위칭 제어를 통해 충전할 수 있다.
- [0038] 이와 같은 합성시험 회로는 제어 시스템(미도시)에 의해 제어되는데, 설정된 운전 방식에 따라 스위치를 온/오프 제어하여 각각 정류기 모드 및 인버터 모드에서 동작하는 것을 테스트 할 수 있다.
- [0039] 도 11을 참조하면, 정류기(REC) 부분 시험 밸브와 보조 밸브의 스위치 신호와 전류 파형은 다음과 같다. 전압형 HVDC 시스템의 실제 동작시에 서브모듈에 흐르는 전류 파형과 유사하게 모의하기 위하여 다음 식과 같은 조건이 요구된다.

[0040]
$$V_{C2} = V_{C1} = V_{CR} = V_{CI}$$

$$V_{C3} = \frac{3}{4} \times V_{C2}$$

[0041]

[0042]

a. 모드 1 ($t_0 \leq t < t_1$)

[0043]

Q_{RD} 와 Q_{R1} 을 턴온하면 정류기 입력전류 i_R 은 다음과 같이 상승한다.

$$i_R = \frac{V_{C3}}{L_2} \times t$$

[0044]

[0045]

여기서 IGBT 밸브의 온상태 전압강하는 무시하였으며 이하 모든 소자는 이상적인 것으로 가정한다. $t = t_1$ 에서 Q_{RD} 를 턴오프한다.

[0046]

b. 모드 2 ($t_1 \leq t < t_2$)

[0047]

Q_{RD} 를 턴오프하면 Q_{RD} 를 통해 흐르던 전류는 D_{RD} 로 흐르기 시작하며 전류의 크기는 다음과 같다. 여기서, $i(t_1)$ 은 t_1 시간에 흐르는 전류의 순시치이다.

$$i_R = i_{DRD} = i(t_1) + \frac{(V_{C3} - V_{CR})}{L_2} \times t = i(t_1) - \frac{V_{CR}}{4L_2} \times t$$

[0048]

[0049]

c. 모드 3 ($t_2 \leq t < t_3$)

[0050]

$t = t_2$ 에서 Q_{R1} 을 턴오프하고 Q_{RD} 를 턴온한다. 그러면 전류는 $C_3 \rightarrow L_2 \rightarrow Q_{RD} \rightarrow C_2 \rightarrow D(Q_{R2}) \rightarrow C_3$ 의 경로를 따라 흐르기 시작하며 그 크기는 다음과 같다.

$$i_R = i_{QRD} = i(t_2) + \frac{(V_{C3} - V_{C2})}{L_2} \times t = i(t_2) - \frac{V_{C2}}{4L_2} \times t$$

[0051]

[0052]

이 전류가 0으로 감소하면 Q_{RD} 를 턴오프한다.

[0053]

d. 모드 4 ($t_3 \leq t < t_4$)

[0054] $t = t_3$ 에서 Q_{RU} 를 턴온하면 전류는 $C_R \rightarrow Q_{RU} \rightarrow L_2 \rightarrow C_3 \rightarrow D(Q_{R1}) \rightarrow C_R$ 의 경로를 따라 증가하기 시작한다.

$$i_R = i_{Q_{RU}} = i(t_3) + \frac{(V_{C3} - V_{CR})}{L_2} \times t = -\frac{V_{CR}}{4L_2} \times t$$

[0055]

[0056] e. 모드 5 ($t_4 \leq t < t_5$)

[0057] $t = t_4$ 에서 Q_{RU} 를 턴오프하고 Q_{R2} 를 턴온한다. 그러면 Q_{RU} 를 통해 흐르던 전류는 D_{RD} 로 옮겨서 흐르게 된다.

$$i_R = i_{DRD} = i(t_4) + \frac{(V_{C3} - V_{C2})}{L_2} \times t = i(t_4) - \frac{V_{C2}}{4L_2} \times t$$

[0058]

[0059] f. 모드 6 ($t_5 \leq t < t_6$)

[0060] $t = t_5$ 에서 Q_{R2} 를 턴오프하고 Q_{RU} 를 턴온하면 전류는 다시 Q_{RU} 로 이동한다.

$$i_R = i_{Q_{RU}} = i(t_5) + \frac{(V_{C3} - V_{CR})}{L_2} \times t = i(t_5) - \frac{V_{CR}}{4L_2} \times t$$

[0061]

[0062] g. 모드 7 ($t_6 \leq t < t_7$)

[0063] $t = t_6$ 에서 Q_{RU} 를 턴오프하고 Q_{R2} 를 턴온하면 전류는 Q_{RU} 에서 D_{RD} 로 이동한다.

$$i_R = i_{DRD} = i(t_6) + \frac{(V_{C3} - V_{C2})}{L_2} \times t = i(t_6) - \frac{V_{C2}}{4L_2} \times t$$

[0064]

[0065] h. 모드 8 ($t_7 \leq t < t_8$)

[0066] $t = t_7$ 에서 Q_{R2} 를 턴오프하고 Q_{RU} 를 턴온하면 전류는 다시 D_{RD} 에서 Q_{RU} 로 이동한다.

$$i_R = i_{DRU} = i(t_7) + \frac{(V_{C3} - V_{CR})}{L_2} \times t = i(t_7) - \frac{V_{CR}}{4L_2} \times t$$

[0067]

[0068] i. 모드 9 ($t_8 \leq t < t_9$)

[0069] $t = t_8$ 에서 Q_{RU} 를 턴오프하고 Q_{R1} 을 턴온하면 전류는 다음과 같이 된다.

$$i_R = i_{DRD} = i(t_8) + \frac{V_{C3}}{L_2} \times t$$

[0070]

[0071] 이 전류의 크기가 0이 되면 Q_{R1} 을 턴오프한다.

[0072] 도 12를 참조하면, 인버터(INV) 부분 시험 밸브와 보조 밸브의 스위치 신호와 전류 파형은 다음과 같다. 전압형 HVDC 시스템의 실제 동작시에 서브모듈에 흐르는 전류 파형과 유사하게 모의하기 위하여 다음 식과 같은 조건이 요구된다.

[0073] a. 모드 1 ($t_0 \leq t < t_1$)

[0074] Q_{ID} 와 Q_{I1} 을 턴온하면 인버터 입력전류 i_I 는 다음과 같이 상승한다.

$$i_I = \frac{V_{C3}}{L_1} \times t$$

[0075]

[0076] b. 모드 2 ($t_1 \leq t < t_2$)

[0077] $t = t_1$ 에서 Q_{ID} 는 턴오프하면 전류는 Q_{ID} 에서 D_{IU} 로 이동한다.

$$i_I = i_{DIU} = i(t_1) + \frac{(V_{C3} - V_{CI})}{L_1} \times t = i(t_1) - \frac{V_{CI}}{4L_1} \times t$$

[0078]

[0079] c. 모드 3 ($t_2 \leq t < t_3$)

[0080] $t = t_2$ 에서 Q_{ID} 를 턴온하면 전류는 D_{IU} 에서 Q_{ID} 로 이동한다.

$$i_I = i_{QID} = i(t_2) + \frac{V_{C3}}{L_1} \times t$$

[0081]

[0082] d. 모드 4 ($t_3 \leq t < t_4$)

[0083] $t = t_3$ 에서 Q_{ID} 를 턴오프하면 전류는 다시 D_{IU} 로 이동한다.

$$i_I = i_{DIU} = i(t_3) + \frac{(V_{C3} - V_{CI})}{L_1} \times t = i(t_3) - \frac{V_{CI}}{4L_1} \times t$$

[0084]

[0085] e. 모드 5 ($t_4 \leq t < t_5$)

[0086] $t = t_4$ 에서 Q_{I1} 을 턴오프 하고 Q_{I2} 와 Q_{ID} 를 턴온하면 L_1 에는 역전압이 걸려서 전류의 크기가 감소하기 시작한다.

$$i_I = i_{QIU} = i(t_4) + \frac{(V_{C3} - V_{C1})}{L_1} \times t = i(t_4) - \frac{V_{C1}}{4L_1} \times t$$

[0087]

[0088] f. 모드 6 ($t_5 \leq t < t_6$)

[0089] $t = t_5$ 에서 Q_{ID} 와 Q_{I2} 를 턴오프하고 Q_{I1} 을 턴온하면 전류는 Q_{ID} 에서 D_{IU} 로 이동한다.

$$i_I = i_{DIU} = i(t_5) + \frac{(V_{C3} - V_{CI})}{L_1} \times t = i(t_5) - \frac{V_{CI}}{4L_1} \times t$$

[0090]

[0091] g. 모드 7 ($t_6 \leq t < t_7$)

[0092] $t = t_6$ 에서 Q_{I1} 을 턴오프하고 Q_{ID} 와 Q_{I2} 를 턴온하면 전류는 D_{IU} 에서 Q_{ID} 로 이동한다.

$$i_I = i_{QID} = i(t_6) + \frac{(V_{C3} - V_{C1})}{L_1} \times t = i(t_6) - \frac{V_{C1}}{4L_1} \times t$$

[0093]

[0094] 이 전류가 0으로 감소하면 Q_{ID} 와 Q_{I2} 를 턴오프한다.

[0095] h. 모드 8 ($t_7 \leq t < t_8$)

[0096] $t = t_7$ 에서 Q_{I2} 를 턴온하면 i_I 는 마이너스(-)방향으로 증가하기 시작한다.

$$i_I = i_{QIU} = i(t_7) + \frac{(V_{C3} - V_{CI})}{L_1} \times t = i(t_7) - \frac{V_{CI}}{4L_1} \times t$$

[0097]

[0098] i. 모드 9 ($t_8 \leq t < t_9$)

[0099] $t = t_8$ 에서 Q_{IU} 를 턴오프하고 Q_{I2} 를 턴온하면 전류는 Q_{IU} 에서 D_{ID} 로 이동한다.

$$i_I = i_{DID} = i(t_8) + \frac{(V_{C3} - V_{C1})}{L_1} \times t = i(t_8) - \frac{V_{C1}}{4L_1} \times t$$

[0100]

[0101] j. 모드 10 ($t_9 \leq t < t_{10}$)

[0102] $t = t_9$ 에서 Q_{I2} 를 턴오프하고 Q_{IU} 를 턴온하면 전류는 D_{ID} 에서 Q_{IU} 로 이동한다.

$$i_I = i_{QIU} = i(t_9) + \frac{(V_{C3} - V_{CI})}{L_1} \times t = i(t_9) - \frac{V_{CI}}{4L_1} \times t$$

[0104] k. 모드 11 ($t_{10} \leq t < t_{11}$)

[0105] $t = t_{10}$ 에서 Q_{IU} 를 턴오프하면 전류는 Q_{IU} 에서 D_{ID} 로 이동한다.

$$i_I = i_{DID} = i(t_{10}) + \frac{V_{C3}}{L_1} \times t$$

[0107] 이 전류가 0이 되면 모드 11이 종료된다.

[0108] 상술한 바와 같이 정류기(REC) 부분 및 인버터(INV) 부분의 동작에서 알 수 있는 바와 같이 본 발명에 따른 초고압직류송전의 밸브 성능 시험을 위한 합성시험 회로는 직류 오프셋을 추가할 수 있도록 하여 실제 상황과 최대한 모사할 수 있는 합성 시험 회로를 구현한다.

[0109] 즉, 도 11의 전류 i_R 및 도 12의 전류 i_I 에서 볼 수 있는 바와 같이, 제1 시험 밸브는 양의 직류 전류 오프셋을 가지고 제2 시험 밸브는 음의 직류 전류 오프셋을 가진다.

[0110] 실제 전압형 HVDC에서는 운전시 정류기 모드 또는 인버터 모드에 따라 오프셋 전류를 가지므로 본 발명은 그러한 실제 상황과 유사한 합성 시험 회로를 구현하여 신뢰성을 확보할 수 있다.

[0111] 또한, 본 발명에 따른 초고압직류송전의 밸브 성능 시험을 위한 합성시험 회로는 실제 상황에 매우 유사하게 밸브의 전류를 1주기 내에 펄스 폭을 조절하면서 PWM 스위칭할 수 있도록 함으로써 시험회로의 타당성을 극대화할 수 있다.

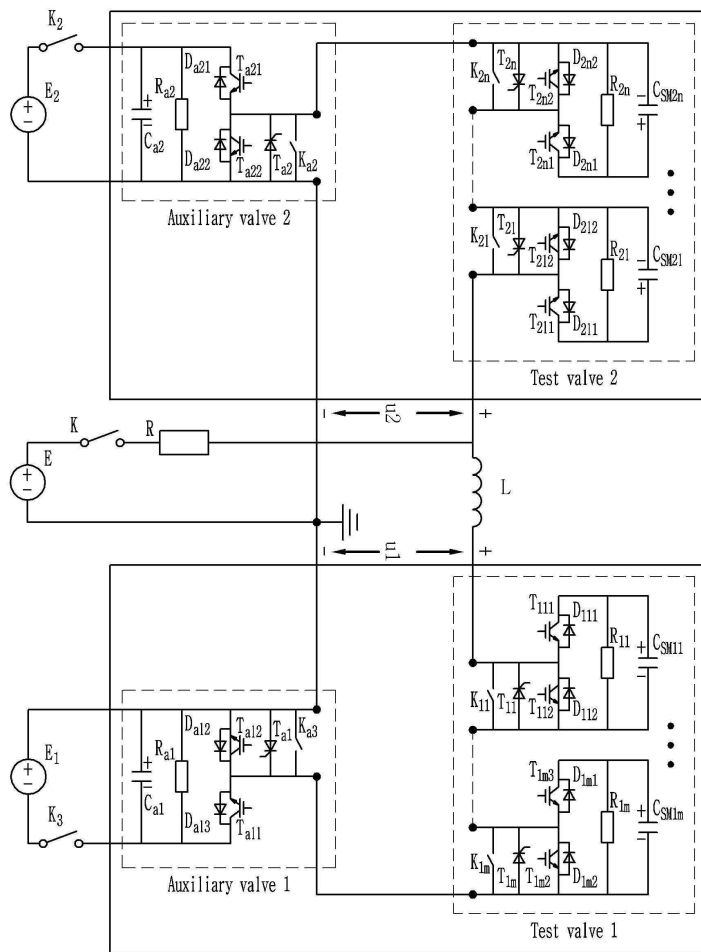
[0112] 본 발명에 따른 초고압직류송전의 밸브 성능 시험을 위한 합성시험 회로는 합성시험회로에 공급되는 전력이 IGBT 밸브의 스위치 손실, 선로 손실 등 회로 상의 손실분만 제공하면 되므로 실제 전력의 1%도 채 되지 않는 미미한 전력으로 실제 용량의 대전력 시험이 가능하다. 따라서 시험 설비의 전력 소모가 극히 적다는 장점이 있다.

[0113] 본 발명에 따른 초고압직류송전의 밸브 성능 시험을 위한 합성시험 회로는 인버터부와 정류기부의 피시험체를 동시에 시험할 수 있도록 함으로써 생산성 향상에 기여할 수 있다.

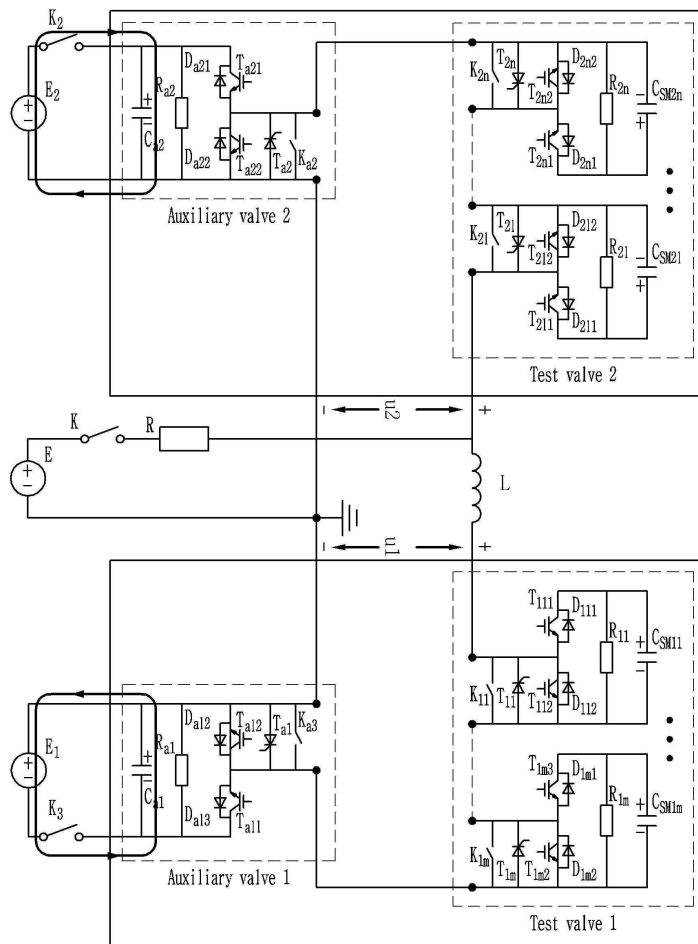
[0114] 이상에서 실시예를 중심으로 설명하였으나 이는 단지 예시일 뿐 본 발명을 한정하는 것이 아니며, 본 발명이 속하는 분야의 통상의 지식을 가진 자라면 본 실시예의 본질적인 특성을 벗어나지 않는 범위에서 이상에 예시되지 않은 여러 가지의 변형과 응용이 가능함을 알 수 있을 것이다. 예를 들어, 실시예에 구체적으로 나타난 각 구성 요소는 변형하여 실시할 수 있는 것이다. 그리고 이러한 변형과 응용에 관계된 차이점들은 첨부된 청구 범위에서 규정하는 본 발명의 범위에 포함되는 것으로 해석되어야 할 것이다.

도면

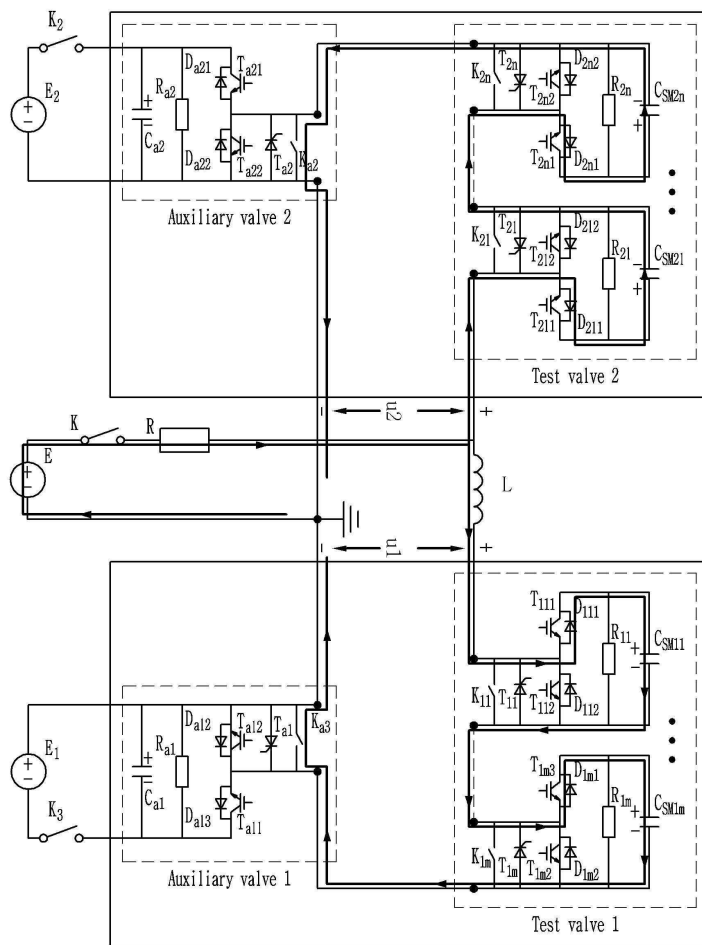
도면1



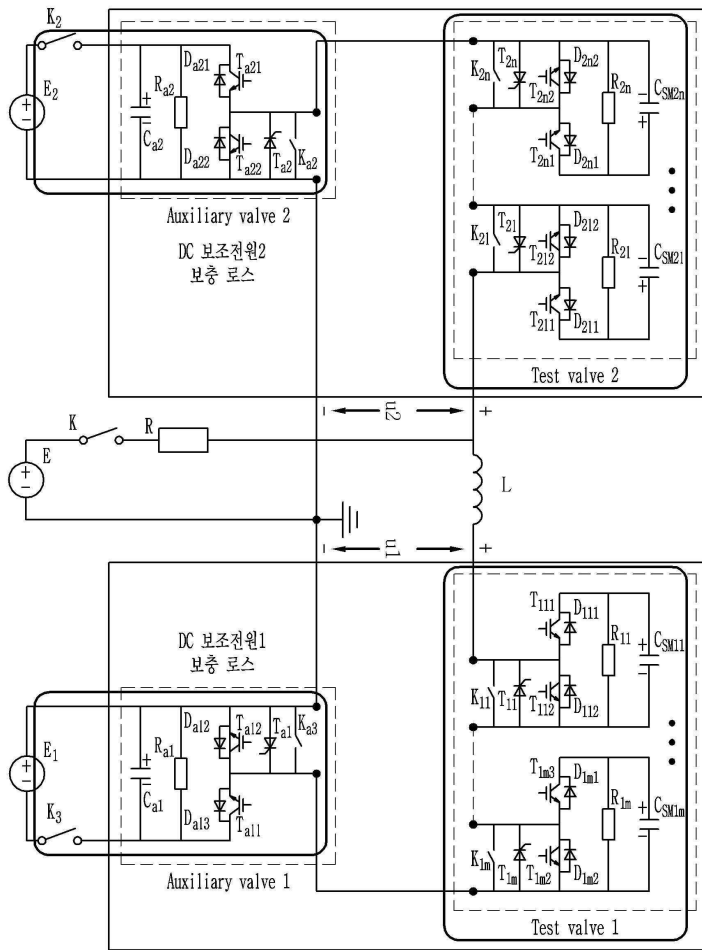
도면2



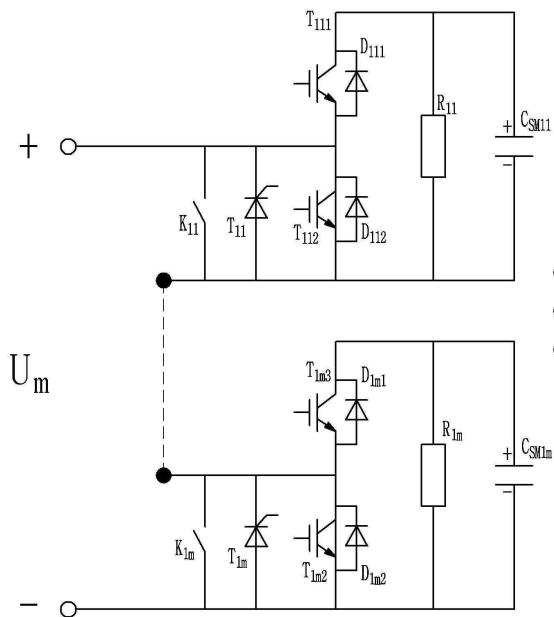
도면3



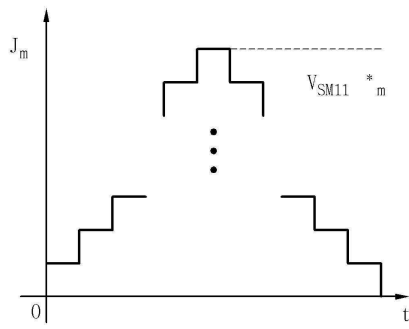
도면4



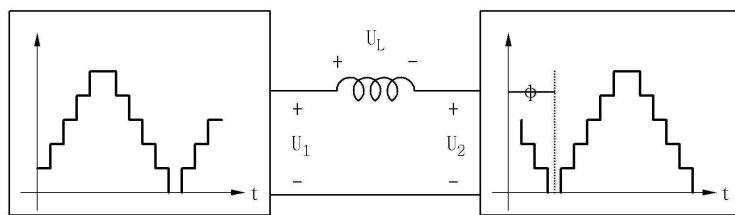
도면5



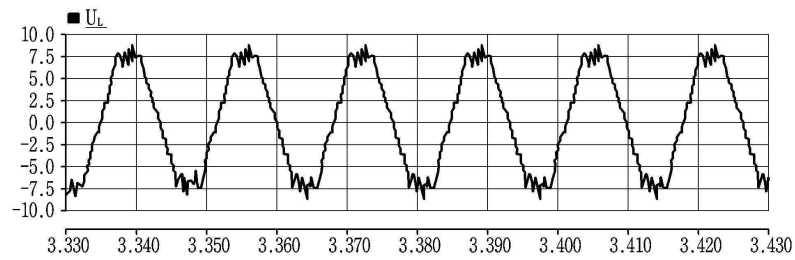
도면6



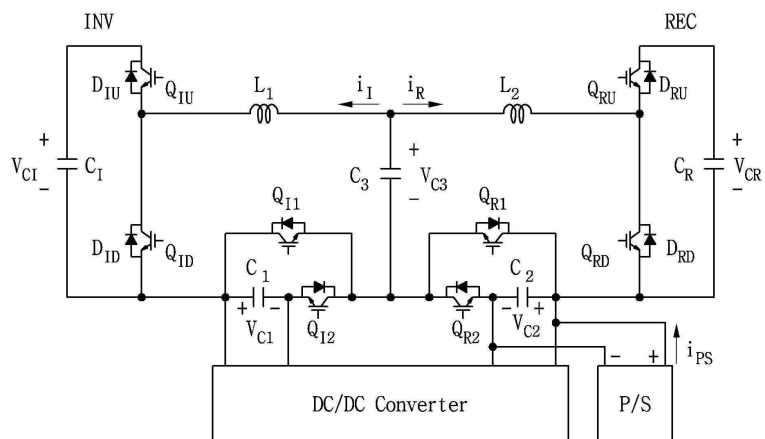
도면7



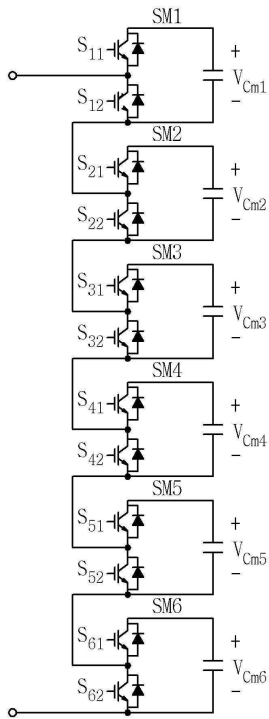
도면8



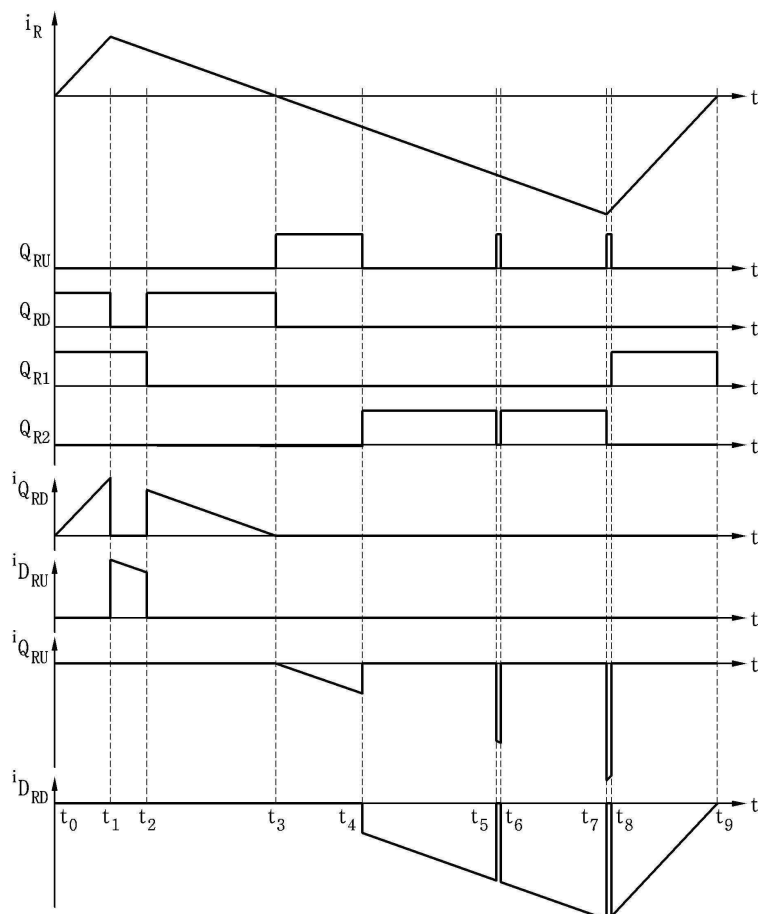
도면9



도면10



도면11



도면12

