

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年1月18日(18.01.2018)



(10) 国際公開番号

WO 2018/012576 A1

- (51) 国際特許分類:
H04L 7/00 (2006.01) H03L 7/08 (2006.01)
H03L 7/00 (2006.01) H04R 3/00 (2006.01)
- (21) 国際出願番号: PCT/JP2017/025503
- (22) 国際出願日: 2017年7月13日(13.07.2017)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2016-139217 2016年7月14日(14.07.2016) JP
- (71) 出願人: ヤマハ株式会社 (YAMAHA CORPORATION) [JP/JP]; 〒4308650 静岡県浜松市中区中沢町10番1号 Shizuoka (JP).
- (72) 発明者: 相曾 優 (AISO Masaru); 〒4308650 静岡県浜松市中区中沢町10番1号 ヤマハ株式会社内 Shizuoka (JP).
- (74) 代理人: 大澤 豊, 外 (OSAWA Yutaka et al.); 〒1700005 東京都豊島区南大塚2-33-1 ストーク南大塚4階 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,

(54) Title: SOUND DATA PROCESSING DEVICE AND SOUND DATA PROCESSING METHOD

(54) 発明の名称: 音データ処理装置及び音データ処理方法

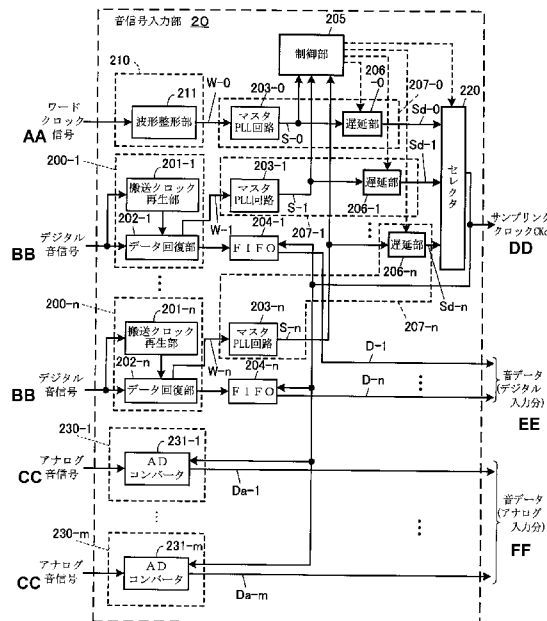


FIG. 2:
20 Sound signal input unit
201-1, 201-n Carrier clock reproduction unit
202-1, 202-n Data recovery unit
203-0, 203-1, 203-n Master PLL circuit
205 Control unit
206-0, 206-1, 206-n Delay unit
211 Waveform shaping unit
220 Selector
231-1, 231-m AD converter
AA Word clock signal
BB Digital sound signal
CC Analog sound signal
DD Sampling clock
EE Sound data (for digital input)
FF Sound data (for analog input)

(57) Abstract: [Solution] A PLL unit (207-x) generates a sampling clock (Sd-x) on the basis of a word clock (W-x) ($x = 0-n$), and a PLL unit (207-y) generates a sampling clock (Sd-y) on the basis of a word clock (W-y) ($x = 0-n, y \neq x$). When having the clock to be outputted switched to the sampling clock (Sd-y) by a selector (220) while the sampling clock (Sd-x) is selected and being outputted, a control unit (205) adjusts the phase of the sampling clock (Sd-y) by a delay unit (206-y) to make the phase of the sampling clock (Sd-y) match the phase of the sampling clock (Sd-x) and then performs

NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

the switching. The sample of a sound signal received by each digital sound signal reception unit (200) is buffered in a FIFO (204) and outputted synchronously with the selected sampling clock.

(57) 要約: 【解決手段】 PLL部(207-x)がワードクロック(W-x)に基づきサンプリングクロック(Sd-x)を生成し(x=0~n)、PLL部(207-y)がワードクロック(W-y)に基づきサンプリングクロック(Sd-y)(y=0~n, y≠x)を生成する。セクタ(220)に、サンプリングクロック(Sd-x)を選択して出力している状態で出力するクロックをサンプリングクロック(Sd-y)に切り替えさせる場合に、制御部(205)が、遅延部(206-y)によりサンプリングクロック(Sd-y)の位相を調整してサンプリングクロック(Sd-x)の位相に合わせた後で、上記切り替えを行う。各デジタル音信号受信部(200)で受信した音信号のサンプルをFIFO(204)にバッファして、上記選択したサンプリングクロックに同期して出力する。

明 細 書

発明の名称：音データ処理装置及び音データ処理方法

技術分野

[0001] この発明は、音データ処理装置及び音データ処理方法に関する。

背景技術

[0002] 従来から、デジタルミキサをはじめとする、デジタルの音信号（「音データ」と呼ぶ）を出力する種々の音データ処理装置において、外部の機器から音データを入力することが行われている。また、特許文献1に記載のように、複数の外部装置から、それぞれワードクロック（タイミング情報）を伴う音データを入力する装置も知られている。

特許文献1には、デジタル音響処理装置において、いずれか1つの音データ供給元を選択し、その供給元から供給されるワードクロックに基づきサンプリングクロックを生成して、その音データの出力用のクロックとしてDSP（デジタル信号処理部）へ供給する音データ処理装置が記載されている。

先行技術文献

特許文献

[0003] 特許文献1：特許第3760483号公報

発明の概要

発明が解決しようとする課題

[0004] しかしながら、特許文献1に記載のような従来の音データ処理装置では、音データの出力タイミングを規定するサンプリングクロックの生成に用いるワードクロックの選択を変更した場合、新たに選択したワードクロックから生成されるサンプリングクロックが安定するまでにある程度の時間を要するという問題があった。そしてこのため、サンプリングクロックが不安定な間は、音データの出力タイミングにゆらぎが発生してしまうため、ワードクロックの選択を変更すると、サンプリングクロックが安定するまでのある程度の時間、音データの出力をミュート（音が聞こえない程度にレベルを絞るこ

と)しなければならなかった。

[0005] この点については、音データを受け取る入力部毎に、音データと共に伝送されるワードクロックに基づきサンプリングクロックの候補を生成するPLL（位相ロックループ）部を設け、その各候補から、音データの出力タイミングを規定するサンプリングクロックを選択するようにすれば、一定程度改善できる。この構成であれば、サンプリングクロックの候補は、選択された時点で既に安定して生成されているためである。

[0006] しかし、この構成の音データ処理装置が、相互に同期する複数のワードクロックを受け取っている場合でも、複数のPLLで生成される複数の候補間で位相は相互に一致しないことが通常である。各候補が追従するワードクロックの位相が、相互に異なるためである。このため、ユーザが候補の選択を変更すると、候補間の位相差のため、サンプリングクロックがゆらいで、出力する音データにノイズが発生する。

従って、音データの入力部毎にPLL部を設ける場合に、相互に同期する複数のワードクロックから複数の候補が生成されていても、それらの候補間で選択変更するときには、僅かな期間ではあるが音データ出力をミュートしなければならないという問題がある。なお、複数の機器のワードクロックを相互に同期させることは、プロ用の音響機器では良く行われている。その場合、それらの機器間では、音データをサンプルレート変換なしに相互に伝送できる。

[0007] この発明は、そういう状況で、音データの出力タイミングを規定するクロック信号の生成に用いるワードクロックの切り替えを、それが同期するクロック間での切り替えである場合に、出力する音データをミュートせず、かつ、位相差に起因するノイズ無しに行えるようにすることを目的とする。

なお、サンプリングクロックは、音データ処理装置において音声データの処理タイミングをつかさどるもので、1サンプルに1クロックのサンプリングワードクロックと、たとえば128倍等それを何分周かしたサンプリングビットクロックとからなる。本明細書では、これらの両信号を示す時は「サ

ンプリングクロック」と表記し、どちらかを示す時はそれぞれの名前で表記する。

課題を解決するための手段

[0008] 上記の目的を達成するため、この発明の音データ処理装置は、音データを受信する受信部と、第1ワードクロックに基づいた第1クロック信号を生成する第1PLL部と、上記第1ワードクロックに同期した第2ワードクロックに基づいた第2クロック信号を生成する第2PLL部と、上記第1クロック信号と上記第2クロック信号との位相差を検出し、その検出された位相差に応じて、上記第2クロック信号の位相を上記第1クロック信号の位相に合わせる位相制御を行う位相制御部と、まず、上記第1クロック信号を出力し、その後、切り替え指示に応じて、上記位相制御により上記第2クロック信号の位相と上記第1クロック信号の位相とが合った後で、出力するクロック信号を、上記位相制御後の上記第2クロック信号に切り替えるクロック出力部と、上記受信部で受信した音データに相当する音データを、上記クロック出力部が出力するクロック信号の示す再生タイミングに関連付けて後段に出力する音データ出力部とを設けたものである。

[0009] このような音データ処理装置において、上記位相制御部が、上記切り替え指示後に、上記位相差を検出し、その検出された位相差に応じて上記位相制御を行うとよい。

あるいは、上記位相制御部は、定期的に、上記第1クロック信号と上記第2クロック信号との位相差を検出し、その検出された位相差に応じて上記位相制御を行うとよい。

この発明は、以上のように装置として実現する他、方法、システム、プログラム、プログラムを記録した記録媒体など、任意の形態で実現可能である。

図面の簡単な説明

[0010] [図1]この発明の音データ処理装置の一実施形態であるデジタルミキサのハードウェア構成例を示す図である。

[図2]図1に示した音信号入力部の構成をより詳細に示す図である。

[図3]図1に示した音信号入力部におけるクロック信号の位相調整について説明するための図である。

[図4]図2に示した音信号入力部の制御部が、サンプリングクロックの選択を検出した場合に実行する処理のフローチャートである。

[図5]ワードクロックソース選択画面の表示例を示す図である。

[図6]変形例において、音信号入力部の制御部が定期的に実行する処理のフローチャートである。

[図7]変形例において、音信号入力部の制御部が、サンプリングクロックの選択を検出した場合に実行する処理のフローチャートである。

[図8]音信号入力部の別の構成例を示す、図2と対応する図である。

発明を実施するための形態

[0011] 以下、この発明を実施するための形態を図面に基づいて具体的に説明する。

〔実施形態：図1乃至図5〕

まず、この発明の音データ処理装置の一実施形態であるデジタルミキサについて説明する。図1は、そのデジタルミキサの構成を示すブロック図である。

図1に示す通り、デジタルミキサ10は、CPU11、ROM12、RAM13、表示器14、操作子15、音信号入力部20、信号処理部(DSP)21、音信号出力部22を備え、これらがシステムバス16によって接続されている。そして、受信部で受信した音信号に対し、複数の信号処理チャンネル(ch)で種々の信号処理を施して出力する機能を有する音信号処理装置であり、受信部で受信した音信号のサンプルをバッファして、後述するクロック信号に同期して出力する音データ処理装置である。

[0012] また、CPU11は、このデジタルミキサ10全体の動作を制御する制御手段であり、ROM12に記憶された所要のプログラムを実行して所要のハードウェアを制御する。そして、このことにより、音信号入力部20及び音

信号出力部 22 における音信号及びその他のデータの入出力、表示器 14 における表示、操作子 15 の操作検出、その検出した操作に従ったパラメータの値の変更及び表示の変更、といったものをはじめとする種々の機能を実現する。

[0013] ROM 12 は、CPU 11 が実行する制御プログラム等を記憶する不揮発性記憶手段である。書き換え可能な不揮発性記憶手段であるフラッシュメモリにより ROM 12 を構成してもよい。

RAM 13 は、一時的に記憶すべきデータを記憶したり、CPU 11 のワークメモリとして使用したりする記憶手段である。

[0014] 表示器 14 は、CPU 11 による制御に従って種々の情報を表示する表示手段であり、例えば液晶パネル（LCD）や発光ダイオード（LED）によって構成することができる。ここで説明する例では、デジタルミキサ 10 は、表示器 14 として少なくとも図 5 に示すワードクロックソース選択画面 300 を表示可能なサイズの LCD を備える。

操作子 15 は、デジタルミキサ 10 に対するユーザ操作を受け付けるためのものであり、種々のキー、ボタン、ロータリーエンコーダ、スライダ等によって構成することができる。表示器 14 である LCD に積層したタッチパネルを用いることもできる。

[0015] 音信号入力部 20 は、少なくとも、外部の機器からデジタルの音データを入力する機能を備え、その音データをその音データに付随するワードクロックとともに受信する複数の受信部を備える。

このワードクロックは、音データの伝送方式によってフォーマットやプロシージャは異なるが、音データに付随して伝送される、その音データの各サンプルを最終的にデジタルアナログ変換器（DAC）で再生するタイミング（再生タイミング）を示すタイミング情報である。ワードクロックの実体は方式により様々であり、電気信号の変化タイミングでサンプルの再生タイミングを示す場合もあるし、サンプルを入れたパケットを受信するタイミングで再生タイミングを示す場合もあるし、タイムスタンプの数値でサンプルの

再生タイミングを示す場合もある。また、この（広義の）ワードクロックは、1サンプル当たり1クロックの「狭義のワードクロック」よりも広い概念である。すなわち、広義のワードクロックにおいては、ワードクロックの1周期を1サンプル分に細分して各サンプルの再生タイミング（サンプル周期）を生成すべき場合もある。

[0016] 具体的には、C o b r a N e t（商標）やD a n t e（商標）のように、1つのパケットに連続する複数サンプルの音データを入れて伝送する場合には、ワードクロックの周期は、各サンプル毎の再生タイミングではなく、 n サンプル毎（ n は2以上の整数）の再生タイミングを示すものとなる。

そして、音データの各サンプルは、必要とされる各種の信号処理が施された後、ワードクロックの示す再生タイミングで（より正確には、そのワードクロックから生成されたサンプリングクロックに同期して）アナログの音信号に変換され出力される。

本明細書において、狭義か広義かを区別せずに「ワードクロック」と述べた場合、この「広義のワードクロック」を示すものとする。

[0017] また、音信号入力部20は、デジタル音信号の受信部毎に、その受信部で取得されたワードクロックを入力し、そのワードクロックからサンプリングクロックS（サンプリングワードクロック及びサンプリングビットクロックの候補を含む）を生成するマスタPLL回路203を備える。

サンプリングワードクロックは、入力した音信号をそのまま、又は、入力した音信号をDSP21等においてサンプル周期単位で信号処理して再生する際のクロックである。またサンプル周波数50kHzのDACで、24ビットのサンプルを4チャンネル分再生するとすると、そのDACへのサンプルのシリアル伝送のため、たとえば、音信号のサンプル周波数の128倍の周波数を持つサンプリングビットクロックも音信号入力部20により生成される。ここで、サンプリングビットクロックの周波数をサンプル周波数の何倍とするかは、そのサンプリングビットクロックの使用目的に応じて適宜変更してよい。

[0018] 音信号入力部20は、サンプリングクロックSの生成機能に加え、アナログ音信号及び外部のクロック源から供給されるワードクロックを入力する機能や、DSP21及び音信号出力部22に供給するサンプリングワードクロックを複数の候補から選択する機能などを備えるが、これらの機能については図2を用いて後述する。

[0019] DSP21は、音信号入力部20から供給される音データの各サンプルに対し、同じく音信号入力部20から供給されるサンプリングワードクロックにより規定されるサンプル周期に同期して信号処理を行い、その処理後の音データを音信号出力部22へ出力する機能を備える。なお、DSP21等が行う途中の信号処理は、そのサンプル周期に厳密に同期している必要はなく、DAC等で最終的にアナログ信号に変換するタイミングが、そのサンプル周期に厳密に同期していれば、品質的にはそれで充分である。

[0020] DSP21が実行する信号処理は、例えばデジタルミキサの場合、外部から音信号入力部20を介して供給される複数の音データの何れかを複数の入力chにそれぞれ供給する入力パッチ処理、その供給された音データに対し、レベル調整、周波数特性調整、効果付与等の種々のch信号処理を行う入力ch処理、各入力chの処理後の音データを複数のミキシングバスに供給してミキシングを行うミキシング処理、各ミキシングバスでミキシングされた音データに対し、そのミキシングバスと対応する出力chにて種々のch信号処理を行う出力ch処理、および、各出力chの処理後の音データを出力chと対応付けられた音信号出力部22の出力ポートに出力する出力処理を含む。

[0021] 音信号出力部22は、DSP21による処理後の音データの各サンプルを、その内部のDACにて、サンプリングクロックにより規定される再生タイミングでアナログの音信号に変換して外部へ出力する機能を備える。また、音信号出力部22は、内部の送信部にて、サンプリングワードクロックの示す再生タイミングをワードクロックに変換してDSP21による処理後の音データに付加し、各種伝送方式でデジタルの音データを外部の機器に送信出

力する機能も備える。

[0022] なお、音データがデジタルのまま他機器へ送信される場合でも、その送信先の何処かで、最終的にはその付加したワードクロックの示す再生タイミングでアナログの音信号に変換される。その点を考慮すると、他機器へデジタル送信する場合でも、サンプリングワードクロックは「音データのサンプルの再生タイミングを示す」と言えるのである。また、この音データの出力先ないし送信先としては、パワースピーカ等の発音装置や、録音装置、別の音信号処理装置など、種々のものが考えられる。オーディオネットワークを用いる場合、音信号入力部20が音信号の受信に用いたものと同じネットワークを介して音信号出力部22が音信号を出力することもできる。

[0023] 以上の構成を備えるデジタルミキサ10において、特徴的な点の一つは、音信号入力部20の構成である。そこで、以下、図2を用いて音信号入力部20の構成について詳細に説明する。

図2に示すように、音信号入力部20は、各種伝送方式のケーブルを介して、それぞれ音データ及びそれに付随するワードクロックを受信する複数（ここでは n 個）のデジタル音信号受信部200-1～200- n （ハイフンの後ろの個体を特定する番号を「添え字」と呼び、以後、個体を特定する必要がある場合には添え字がない符号を用いる。他の添え字付きの符号についても同様とする。）を備える。また、音信号入力部20は、それぞれアナログ音信号の入力を受け付ける複数（ここでは m 個）のアナログ音信号入力部230-1～230- m と、ワードクロック信号（狭義のワードクロック）を受け付けるワードクロック入力部210とを備える。

[0024] これらのうち、各 i 番目（ただし、 $1 \leq i \leq n$ ）の音信号受信部200- i は、搬送クロック再生部201- i とデータ回復部202- i とを備える。また、音信号入力部20には、各受信部200と対応するマスタPLL回路203- i 、FIFO204- i 及び遅延部206- i が設けられる。図中において、これらの各部の符号には、受信部200- i と対応する番号 i を添え字として付している。後述する音データ D 、ワードクロック W 、調整

前のサンプリングクロックS及び調整後のサンプリングクロックS_dについても同様である。

また、音信号入力部20は、制御部205も備える。

[0025] これらのうち搬送クロック再生部201-iは、外部から各種伝送方式のケーブルを介して入力する、その伝送方式のビット列信号の波形から、ビット列信号の各ビットに同期する搬送クロックを生成する機能を備える。この搬送クロック再生部201-iは、その伝送方式で規定されるビットレートへの追従性が良いPLL回路により構成することができる。このPLL回路の周波数安定性は余り高くないので、このままではサンプリングクロックとしては使用できない。また、オーディオ伝送ライン用のPLL回路で生成される搬送クロックであっても、マスタPLLを通した方が、より品質の高いワードクロックとすることができる。

[0026] データ回復部202-iは、搬送クロック再生部201-iにより生成された搬送クロックを用いて各伝送方式のビット列信号の波形からビット列を再生し、さらにそのビット列から各サンプルの音データD-iを取り出す機能を備える。より具体的には、搬送クロックが示すタイミングでビット列信号の波形をラッチして、伝送されるビット列の各ビットの値を確定し、そのビット列から、その伝送方式に従ったアルゴリズムで、各サンプルの音データを取り出す。

[0027] 例えば、オーディオ伝送ラインであれば、ビット列から所定ビット数毎に1サンプル分のビット数のデータを取り出せば、それが各サンプルの音データとなる。また、パケットを使用する伝送方式であれば、まず、ビット列からプリアンプルのビットパターンに基づいてフレームを取り出し、そのフレームからパケットを取り出し、さらに、そのパケットの音信号領域のデータを取り出すことにより、各サンプルの音データを得られる。

[0028] そして、データ回復部202-iには、使用する伝送方式に応じた取り出し動作を行うためのFPGA (Field Programmable Gate Array) 等の回路を設けておく。複数の伝送方式から選択した一の伝送方式に従った取り出

し動作を行えるようにしてもよい。

そして、データ回復部202-iは、受信した音信号から取り出した音データD-iを対応するFIFO204-iに供給する。このとき、複数ch分の音データを取り出していれば、ch毎に区別して音データを供給する。

また、データ回復部202-iは、音データを含むパケットの受信タイミングや音データに付されたタイムスタンプ等に基づき、音データのサンプルの再生タイミングを示すワードクロックW-iを生成して、マスタPLL回路203-iへ供給する。

[0029] マスタPLL回路203-iは、入力されたワードクロックW-iの位相に追従し、ワードクロックW-iと同じサンプル周波数を持つ高安定度のサンプリングワードクロックと、そのサンプル周波数を、例えば、128倍に通倍した高安定度のサンプリングビットクロックとからなるサンプリングクロックS-iを生成する機能を備える。マスタPLL回路203-iは、生成したサンプリングクロックS-iを制御部205及び遅延部206-iへ供給する。

制御部205は、各マスタPLL回路203-0~nから供給される複数のサンプリングクロックSに基づき、各遅延部206-0~nにおける遅延量（位相調整量）を制御する機能を備える。この制御のアルゴリズムについては、図3乃至図5を用いて後述する。また、制御部205は、セレクタ220におけるサンプリングクロックの選択を制御する機能も備える。これらの動作は、専用のハードウェアによって実現しても、ソフトウェアによって実現しても、その組み合わせであってもよい。

[0030] 遅延部206-iは、マスタPLL回路203-iから供給されるサンプリングクロックS-iを、制御部205により設定された遅延量だけ遅延して、位相調整済みのサンプリングクロックSd-iを生成し、セレクタ220へ、サンプリングクロックCKoの候補として供給する機能を備える。

マスタPLL回路203-iと遅延部206-iとが、ワードクロックW-iに基づいた位相調整済みのサンプリングクロックSd-iを生成するP

ＬＬ部２０７－ｉを構成する。

[0031] なお、セクタ２２０は、クロック出力部であり、詳細は後述するが、ＣＰＵ１１からの指示に従い、セクタ２２０に供給される複数のサンプリングクロックＳｄの中から１つを選択する。セクタ２２０は、その選択したクロック信号を、音データの各サンプルの再生タイミングを規定するサンプリングクロックＣＫｏとして、ＤＳＰ２１及び音信号出力部２２へ供給する。また、セクタ２２０は、サンプリングクロックＣＫｏを、各受信部２００－１～２００－ｎと対応するＦＩＦＯ２０４へも供給する。

[0032] ＦＩＦＯ２０４－ｉは、ファーストイン・ファーストアウト（ＦＩＦＯ）のアルゴリズムで制御されるバッファメモリであり、データ回復部２０２－ｉから順次入力される音データの各サンプルを格納し、サンプリングクロックＣＫｏ中のサンプリングワードクロックの示す各再生タイミングで１サンプルずつ、音データＤ－ｉとして後段のＤＳＰ２１へ出力する音データ出力部の１つの機能を備える。

[0033] なお、ワードクロックＷ－ｉと上記サンプリングワードクロックのタイミングずれがあると、そのずれ分だけ、所定時間内にＦＩＦＯ２０４－ｉへ入力されるサンプル数とＦＩＦＯ２０４－ｉが出力するサンプル数が異なることになる。しかし、バッファがあふれたり、空になったりしない範囲であれば特に問題はない。バッファのあふれやサンプルの枯渇が起こるほどずれが大きい場合には、バッファエラーとして当該バッファからの音データの出力をミュートする（値がゼロのサンプルを出力する）とよい。つまり、音データ出力部をＦＩＦＯ２０４で構成した場合、ＤＳＰ２１に供給される音データは、外部機器から受信する音データのうちの、その音データに付随するワードクロックが、サンプリングワードクロックと同期している音データのみということである。

なお、データ回復部２０２－ｉが複数ｃｈ分の音データを取り出す場合、ＦＩＦＯ２０４－ｉは、バッファ機能をそのｃｈ毎に動作させる。

[0034] また、音信号入力部２０において、ワードクロック入力部２１０の波形整

形部 211 は、外部から入力されるワードクロック信号（狭義のワードクロック）の波形を整える機能を備える。この波形整形部 211 は、フィルタやコンパレータにより構成することができる。

[0035] 波形を整えられたワードクロック信号は、電圧の反転タイミングがサンプルの再生タイミングを示しており、データ回復部 202 が出力するワードクロック W と同様に扱われる。このワードクロックは、ここでは添え字「0」を用いてワードクロック W-0 と呼ぶことにする。また、ワードクロック入力部 210 と対応するマスタ PLL 回路 203 及び遅延部 206 にも添え字「0」を用いる。

[0036] マスタ PLL 回路 203-0 の機能は、他のマスタ PLL 回路 203 と同様であり、入力するワードクロック W-0 から、安定度の高いサンプリングクロック S-0 を生成する。遅延部 206-0 の機能も、他の遅延部 206 と同様であり、マスタ PLL 回路 203-0 が生成したサンプリングクロック S-0 を設定された遅延量だけ遅延して、位相調整済みのサンプリングクロック Sd-0 を生成してセレクタ 220 へ供給する。

[0037] また、アナログ音信号入力部 230 は、それぞれ AD コンバータ 231 を備え、セレクタ 220 から供給されるサンプリングクロック CKo 中のサンプリングワードクロックが示すタイミングで、入力するアナログの音信号を AD 変換し、この変換で得られる音データ Da を、DSP 21 における信号処理周期毎に 1 サンプルずつ DSP 21 へ出力する。この AD コンバータ 231 は、出力部として機能する。

[0038] 次に、以上説明した音信号入力部 20 において制御部 205 が実行する、サンプリングクロック S の位相調整に関する動作について説明する。

この実施形態のデジタルミキサ 10 において、制御部 205 は、位相制御部として機能し、セレクタ 220 があるサンプリングクロック Sd（切り替え前に選択される第 1 クロック信号：Sd-x とする）をサンプリングクロック CKo として選択し出力している状態で、別のサンプリングクロック Sd（切り替え後に選択される、切り替え先の第 2 クロック信号：Sd-y と

する)への切り替え指示を検出した場合に、サンプリングクロック $Sd-y$ の位相を調整する。この調整は、その切り替え指示に応じて、セクタ220にサンプリングクロック $Sd-y$ を選択し出力させる前に、サンプリングクロック $Sd-y$ を生成する遅延部206-yに対して適当な遅延量を設定することにより行う。

[0039] なお、第1クロック信号を生成するPLL部207-xが第1PLL部であり、第1クロック信号の生成に用いるワードクロック $W-x$ が第1ワードクロックである。第2クロック信号を生成するPLL部207-yが第2PLL部であり、第2クロック信号の生成に用いるワードクロック $W-y$ が第2ワードクロックである。

[0040] ここで、図3を用いて、切り替え前の時点において、制御部205が各遅延部206に設定する遅延量について説明する。図3の例では、各サンプリングクロックに含まれるサンプリングワードクロックの立ち上がりタイミングを基準に位相調整を行っており、波形もサンプリングワードクロックの波形を示しているが、他の位置を基準としてもよいことはもちろんである。なお、マスタPLL回路203において、サンプリングワードクロックの立ち上がりタイミングでサンプリングビットクロックも立ち上がるようにタイミング調整がされているので、サンプリングワードクロックの位相が一致すれば、必然的にサンプリングビットクロックの位相も一致することになる。

図3に(b)で示す、現在選択されている切り替え前のサンプリングクロック $Sd-x$ は、マスタPLL回路203-xが生成した(a)に示すサンプリングクロック $S-x$ を、遅延部206-xにて遅延量 P_x だけ遅延させて得られるクロック信号である。この遅延量 P_x は、前回の切り替え時に制御部205により設定された正の値であり、サンプリングワードクロックの立ち上がりタイミングを、タイミング T_x から所定の目標タイミング T_s に変化させるための遅延量である。

[0041] また、セクタ220は、サンプリングクロック $Sd-x$ を選択しているため、セクタ220が出力するサンプリングクロック CKo のタイミング

は、当然サンプリングクロック S_{d-x} と一致する（（c）参照）。

[0042] ここで、制御部 205 は、セクタ 220 に新たに選択させるべき切り替え後のサンプリングクロック S_{d-y} の位相が、切り替え前のサンプリングクロック S_{d-x} の位相と合うように、遅延部 206-y に適当な正の値の遅延量を設定して位相の調整を行う。ここで設定すべき遅延量 P_y は、サンプリングワードクロックの立ち上がりタイミングを、サンプリングクロック $S-y$ のタイミング T_y からタイミング T_s に変化させるための遅延量である。

[0043] この遅延量 P_y は、例えば、サンプリングワードクロックに関して、サンプリングクロック $S-x$ と、サンプリングクロック $S-y$ との位相差（正の値と負の値）を検出し、その位相差を、遅延量 P_x に加算して、所定の範囲（1 周期相当）内の値を選択して求めることができる。或いは、サンプリングクロック S_{d-x} ($=CK_o$) と、サンプリングクロック $S-y$ との位相差を、直接遅延量 P_y として求めてもよい。又は、サンプリングクロック S_{d-x} と、遅延量変更前（今回の位相調整前、すなわち調整開始時点）のサンプリングクロック S_{d-y} との位相差を検出し、その位相差を、変更前の遅延量に加算して、変更後に設定すべき遅延量 P_y を求めてもよい。いずれにせよ、制御部 205 は、その時点のサンプリングクロック $S-x$, S_{d-x} , $S-y$, S_{d-y} の位相及び、既に遅延部 206-x, y に設定されている遅延量等を適宜に用いて適当な遅延量 P_y を求め、切り替えに先立って、遅延部 206-y に設定する。

[0044] 以上の調整後には、サンプリングクロック S_{d-x} とサンプリングクロック S_{d-y} とではサンプリングワードクロックの位相がほぼ完全に一致する。従って、この状態でセクタ 220 が選択するクロックを S_{d-x} から S_{d-y} に切り替えても、位相の乱れはおこらず、サンプリングクロック CK_o として、切り替え前と実質的に同じ位相のクロックが出力される。すなわち、音データの出力タイミングを規定するサンプリングクロック CK_o の生成に用いるワードクロック W の切り替えを、出力する音データをミュートセ

ず、かつ、位相の乱れに起因するノイズ無しに行うことができる。

[0045] 次に、制御部205が実行するサンプリングクロックの切り替え時の動作について説明する。

図4は、この動作のフローチャートである。

制御部205は、CPU11からの、サンプリングクロックの選択切り替え指示を検出した場合に、切り替え前のサンプリングクロックと切り替え後のサンプリングクロックとでサンプリングワードクロックの周期が合っていれば、図4のフローチャートに示す動作を開始する。なお、周期が合っていない場合は、FIFO204およびアナログ音信号入力部230が出力する音データを、全て一旦ミュートしてから、サンプリングクロックの切り替えを行い、その後にそのミュートを解除する。

[0046] 図4の動作において、制御部205は、現在セクタ220に選択されている切り替え前のサンプリングクロックと、切り替え先のサンプリングクロックとの間でのサンプリングワードクロックの位相差を検出し（S11）、切り替え後のサンプリングクロックと対応する遅延部206に、ステップS11で検出した位相差を補償する遅延量を設定する（S12）。これらの動作は、上述した位相調整の動作に該当するものである。また、ステップS12では、切り替え前のサンプリングクロックと対応する遅延部206の遅延量を変更してはならない。

[0047] その後、切り替え先のサンプリングクロックの位相が設定した遅延量と対応する位相になるまでに時間を要する場合には、制御部205は、その対応する位相になるまで待機する（S13）。その後、制御部205は、セクタ220に、検出した指示に従って切り替え先のサンプリングクロックを選択させ（S14）、図4の動作を終了する。すなわち、制御部205は、サンプリングクロックの位相制御が完了し、切り替え前のサンプリングクロックの位相と切り替え先のサンプリングクロックの位相とが合った後で、サンプリングクロックの選択を切り替える。

以上の動作により、図3を用いて説明した効果を得ることができる。

[0048] ここで、CPU 11は、例えばユーザから受け付けた操作に基づき制御部205へサンプリングクロックの選択切り替え指示を行う。この指示は、クロック信号の生成に用いるワードクロック（ワードクロックソース）の選択切り替え指示と考えることもできる。図5に、その操作を受け付けるためのワードクロックソース選択画面300の例を示す。

このワードクロックソース選択画面300は、ユーザから、どの供給源（受信部200あるいはワードクロック入力部210）から供給されるワードクロックWに基づき生成されたサンプリングクロックS_dを、サンプリングクロックCK_oとして用いるかの選択を受け付けるための画面である。

[0049] ボタン301-0はワードクロック入力部210と対応し、ボタン301-1～nはそれぞれ受信部200-1～nと対応する。ユーザは、所望のボタン301を操作することにより、いずれか1つの供給源を選択することができる。図5では、ボタン301-2が操作されていることを、ハッチングにより示している。

[0050] なお、図3を用いて説明した位相合わせは、安定したサンプリングクロックSが生成されていなかったり、あるいは切り替え先と切り替え前とで、サンプリングワードクロックの周波数が同期していない場合には、意味をなさない。

そこで、制御部205に、各マスタPLL回路203から供給されるサンプリングクロックS間の周波数同期を検出する機能が設けられている。さらに、制御部205に、安定しないサンプリングクロックSのもとになったワードクロックWの供給源を、ワードクロックソース選択画面300における選択対象から外すよう、CPU 11に要求する機能を設けるとよい。

CPU 11は、この要求に応じて、図5のボタン301-3のように、選択対象から除外する供給源と対応するボタンにその旨を示す表示（ここでは×印で示した）を行い、そのボタンを操作できないようにするとよい。

[0051] 以上で実施形態の説明を終了するが、装置の構成、画面の表示内容、具体的な動作の手順、使用する伝送方式などが、上述の実施形態で説明したもの

に限られないことはもちろんである。

例えば、上述した実施形態では、サンプリングクロックの選択切り替え指示があった後で、サンプリングクロック間の位相調整を行うようにしていたが、これに限られることはない。全サンプリングクロックの位相調整を定期的に行うようにしてもよい。

[0052] すなわち、制御部205が、定期的に図6の動作を実行し、現在セクタ220に選択されているサンプリングクロック $S_d - x$ （又は $S - x$ ）と、他の各サンプリングクロック S とでサンプリングワードクロックの周期が合っている場合は、そのサンプリングクロック S との間のサンプリングワードクロックの位相差を検出し（S21）、そのサンプリングクロック S と対応する遅延部206に、ステップS21で当該サンプリングクロック S について検出した位相差を補償する遅延量を設定する（S22）。

[0053] この場合、サンプリングクロックの選択切り替え指示があった場合の動作は、図7に示すように、単に指示に従ってセクタ220に切り替え後のサンプリングクロック $S_d - y$ を選択させる（S31）だけでよい。どのサンプリングクロックを選択する場合であっても、切り替え前と切り替え後のサンプリングクロック間の位相調整は、図6の動作で完了しているためである。

このような構成によれば、サンプリングクロックの選択切り替えを、レスポンスよく行うことができる。

[0054] 以上の他、セクタ220にどのサンプリングクロック S を選択させるかを、何らかの基準でCPU11が自動的に決定してもよい。例えば、周波数が所定範囲内にありかつ揺れ幅が最も少ないサンプリングクロックを自動選択する等である。

また、上述した実施形態において、ワードクロック入力部210やアナログ音信号入力部230を設けることは必須ではない。逆に、ワードクロック入力部210を複数設け、複数の外部装置からワードクロックを入力して、それらのワードクロックに基づき生成した複数のサンプリングクロックを、

セクタ 220 における選択の候補としてもよい。また、デジタル音信号受信部 200 及びアナログ音信号入力部 230 の数は、もちろん任意である。

[0055] また、上述した実施例における各音データ出力部は F I F O 204 で構成されていたが、図 8 に示すように S R C (Sampling Rate Converter) 204' で構成したり、または、受信部毎に、S R C と F I F O の何れか一方を選択的に使用する構成としてもよい。S R C 204' - i は、マスタ P L L 回路 203 - i からのサンプリングクロック S - i と、サンプリングクロック C K o とを使用して、受信部 200 - i からの音データのサンプルに補間演算を施して、その音データの、サンプリングクロック C K o のタイミングの仮想的なサンプルを算出する。

[0056] 音データ出力部を F I F O 204 構成とした場合は、サンプリングクロック S - i とサンプリングクロック C K o の間でサンプリングワードクロックの周波数が合っていなければ、バッファエラーによるノイズを防ぐため、D S P 21 に供給する音データをミュートせざるを得ない。それに対し、音データ出力部を S R C 204' 構成とした場合は、原理的にバッファエラーが生じないので、サンプリングクロック S - i とサンプリングクロック C K o の間でサンプリングワードクロックの周波数が合っているか否かに関わらず、受信部 200 - i からの音データに相当する音データを D S P 21 に供給できる。

[0057] ここで、F I F O 204 を用いる場合、データ回復部 202 が取り出した音データのサンプルは、出力タイミングを微調整された上で全て出力される。S R C 204' を用いる場合、出力されるのは補間演算により生成されたサンプルである。しかし、いずれの場合も、出力される音データは、データ回復部 202 が取り出した音データにより示される音と（ほぼ）同じ音を示す音データである。このことを、受信した音データに相当する音データを出力する、という。またここでは、いずれの場合も音データの各サンプル又は仮想的なサンプルをサンプリングクロック C K o 中のサンプリングワードが示す再生タイミングに出力している。しかし、サンプルと再生タイミングと

の関連付けがなされていれば、必ずしも出力タイミングが再生タイミングと一致していなくてもよい。

[0058] また、この発明は、デジタルミキサ以外にも、それぞれデジタル音信号及びそれに付随するワードクロックのタイミング情報を受信し、そのタイミング情報に基づいたクロック信号を生成して信号処理や音データ出力のタイミング制御に用いる音信号処理装置に適用可能である。例えば、エフェクタ、レコーダ、アンプ、シンセサイザ等に適用可能であるし、外部から音信号の入力を受け付けて特定の装置あるいはネットワークに供給する信号入力装置や、特定の装置あるいはネットワークから受け取った音信号をその外部へ出力する信号出力装置やパワースピーカにも適用可能である。

また、以上述べてきた構成及び変形例は、矛盾しない範囲で適宜組み合わせ適用することも可能である。

産業上の利用可能性

[0059] 以上の説明から明らかなように、この発明によれば、音データの出力タイミングを規定するクロック信号の生成に用いるワードクロックの切り替えを、それが同期するクロック間での切り替えである場合に、出力する音データをミュートせずに、かつ、位相差に起因するノイズ無しに行うことができる音データ処理装置を実現可能である。

符号の説明

[0060] 10 : デジタルミキサ、11 : CPU、12 : ROM、13 : RAM、14 : 表示器、15 : 操作子、16 : システムバス、20 : 音信号入力部、21 : 信号処理部 (DSP)、22 : 音信号出力部、200 : デジタル音信号受信部、201 : 搬送クロック再生部、202 : データ回復部、203 : マスタPLL回路、204 : FIFO、204' : SRC、205 : 制御部、206 : 遅延部、207 : PLL部、210 : ワードクロック入力部、211 : 波形整形部、220 : セレクタ、230 : アナログ音信号入力部、231 : ADコンバータ、300 : ワードクロックソース選択画面、301 : ボタン、D、Da : 音データ、CKo、S、Sd : サンプルングクロック (サンプル

リングワードクロック、サンプリングビットクロック)、W : ワードクロック

請求の範囲

- [請求項1] 音データを受信する受信部と、
 第1ワードクロックに基づいた第1クロック信号を生成する第1PLL部と、
 前記第1ワードクロックに同期した第2ワードクロックに基づいた第2クロック信号を生成する第2PLL部と、
 前記第1クロック信号と前記第2クロック信号の位相差を検出し、該検出された位相差に応じて、前記第2クロック信号の位相を前記第1クロック信号の位相に合わせる位相制御を行う位相制御部と、
 まず、前記第1クロック信号を出力し、その後、切り替え指示に応じて、前記位相制御により前記第2クロック信号の位相と前記第1クロック信号の位相とが合った後で、出力するクロック信号を、前記位相制御後の前記第2クロック信号に切り替えるクロック出力部と、
 前記受信部で受信した音データに相当する音データを、前記クロック出力部が出力するクロック信号の示す再生タイミングに関連付けて後段に出力する音データ出力部とを備えることを特徴とする音データ処理装置。
- [請求項2] 請求項1に記載の音データ処理装置であって、
 前記位相制御部は、前記切り替え指示後に、前記位相差を検出し、該検出された位相差に応じて前記位相制御を行うことを特徴とする音データ処理装置。
- [請求項3] 請求項1に記載の音データ処理装置であって、
 前記位相制御部は、定期的に、前記第1クロック信号と前記第2クロック信号との位相差を検出し、該検出された位相差に応じて前記位相制御を行うことを特徴とする音データ処理装置。
- [請求項4] 音データを受信する受信手順と、
 第1PLL部により第1ワードクロックに基づいた第1クロック信号を生成する第1生成手順と、

第2PLL部により前記第1ワードクロックに同期した第2ワードクロックに基づいた第2クロック信号を生成する第2生成手順と、

前記第1クロック信号と前記第2クロック信号との位相差を検出し、該検出された位相差に応じて、前記第2クロック信号の位相を前記第1クロック信号の位相に合わせる位相制御を行う位相制御手順と、

まず、前記第1クロック信号を出力し、その後、切り替え指示に応じて、前記位相制御により前記第2クロック信号の位相と前記第1クロック信号の位相とが合った後で、出力するクロック信号を、前記位相制御後の前記第2クロック信号に切り替えるクロック出力手順と、

前記受信手順で受信した音データに相当する音データを、前記クロック出力手順で出力するクロック信号の示す再生タイミングに関連付けて後段に出力する音データ出力手順とを備えることを特徴とする音データ処理方法。

[請求項5]

請求項4に記載の音データ処理方法であって、

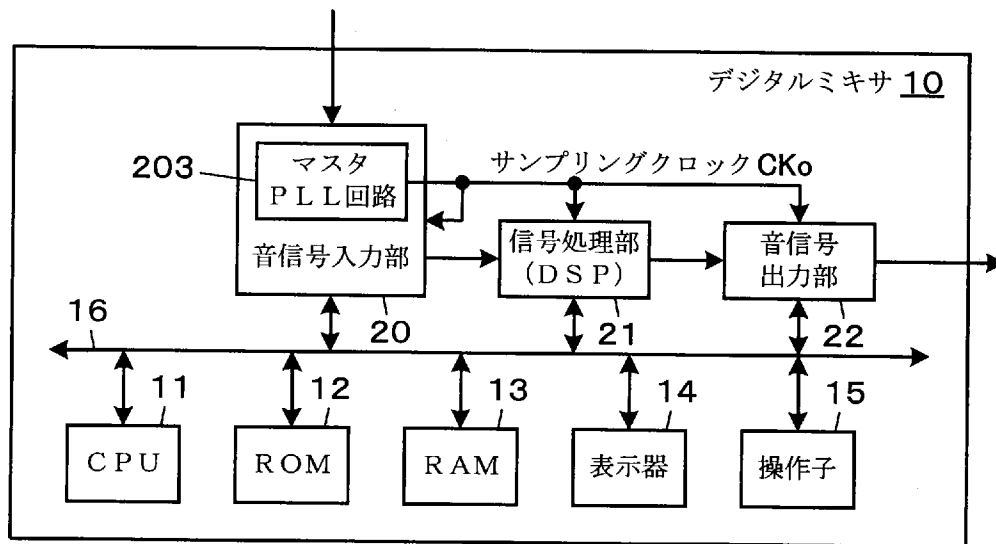
前記位相制御手順は、前記切り替え指示後に、前記位相差を検出し、該検出された位相差に応じて前記位相制御を行う手順であることを特徴とする音データ処理方法。

[請求項6]

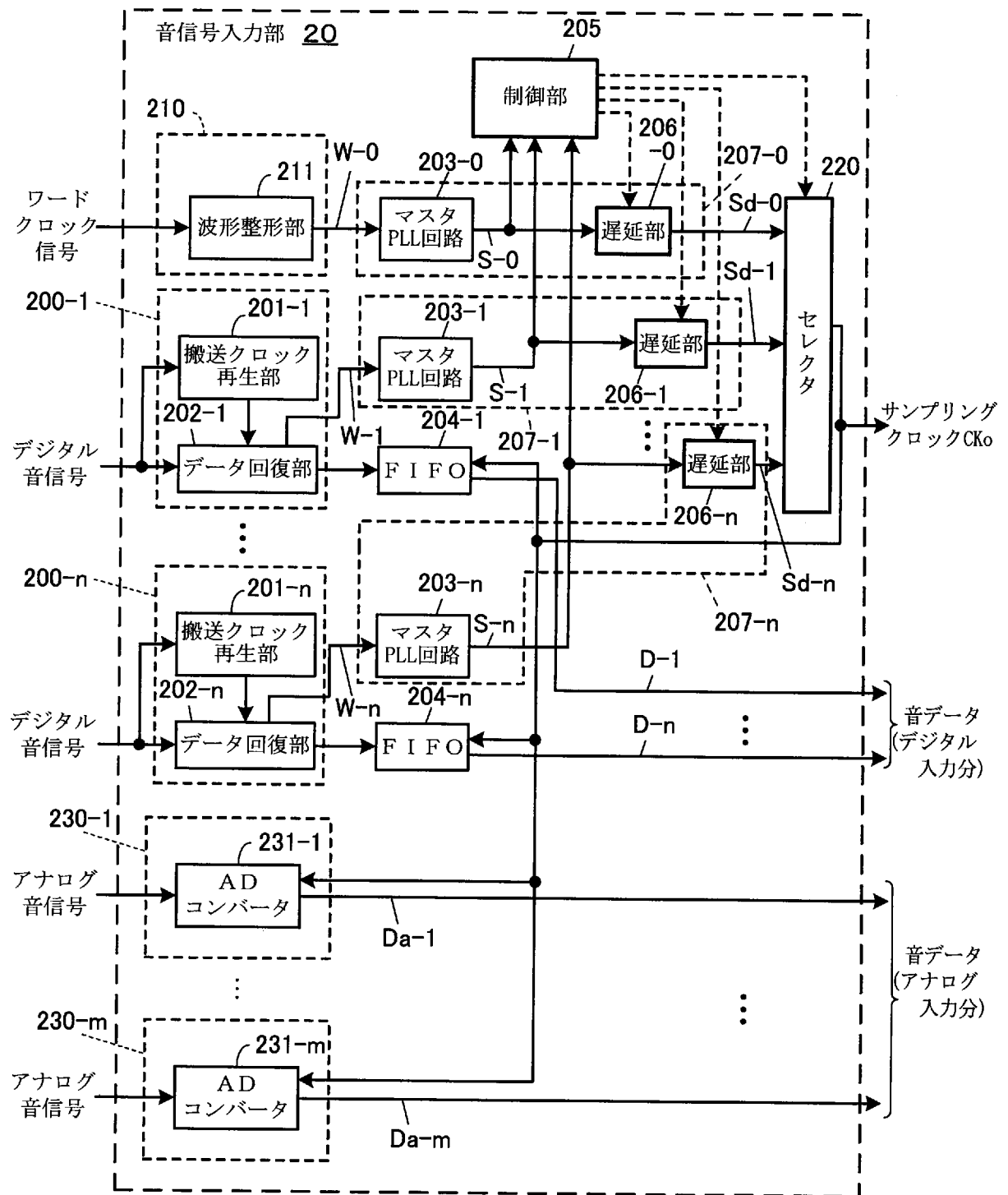
請求項4に記載の音データ処理方法であって、

前記位相制御手順は、定期的に、前記第1クロック信号と前記第2クロック信号との位相差を検出し、該検出された位相差に応じて前記位相制御を行う手順であることを特徴とする音データ処理方法。

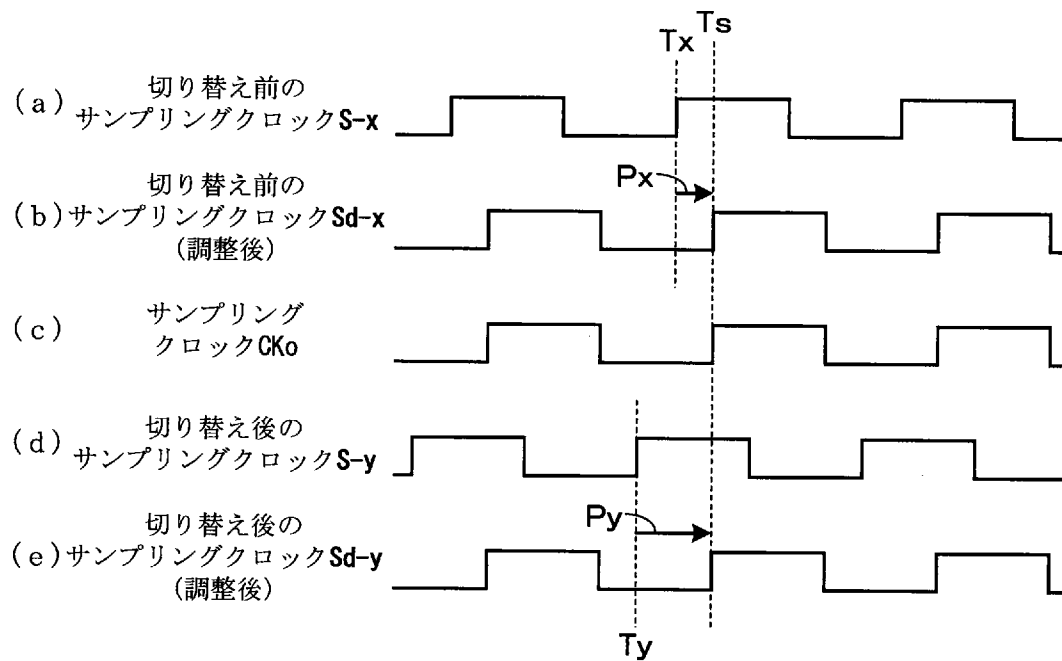
[図1]



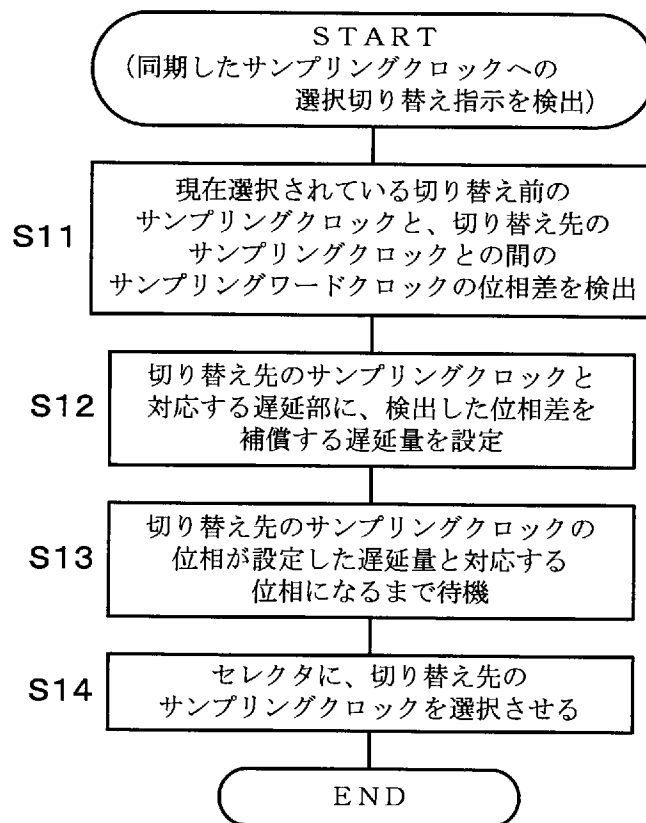
[図2]



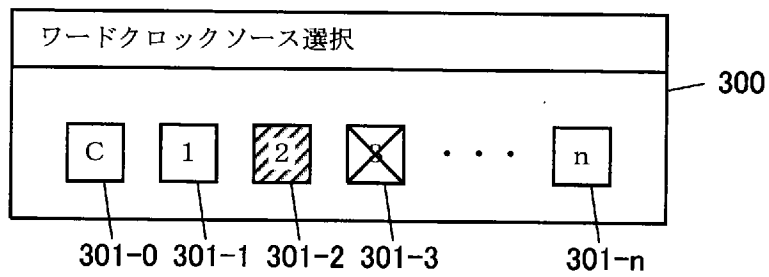
[図3]



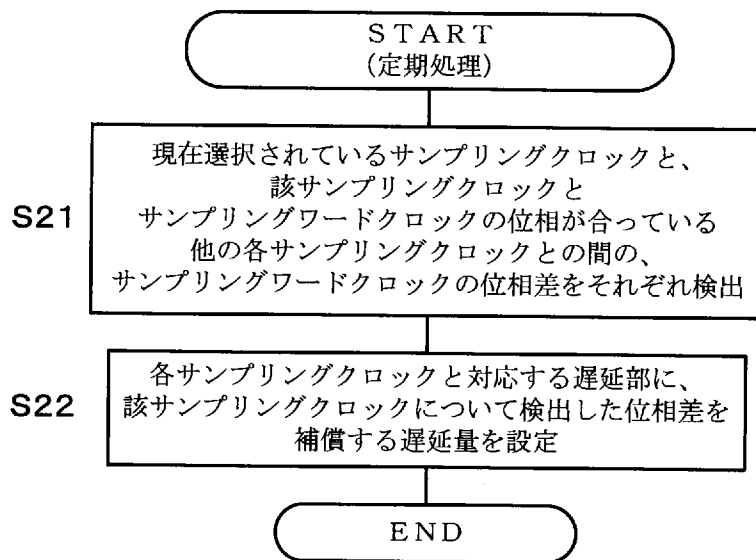
[図4]



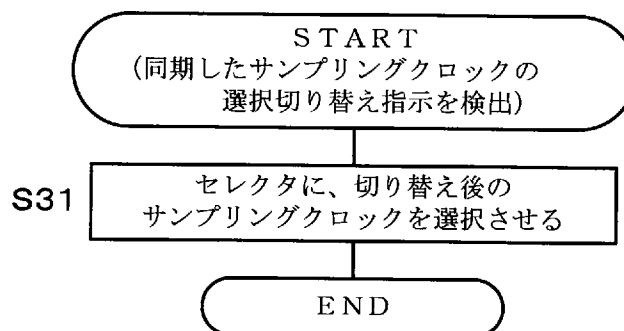
[図5]



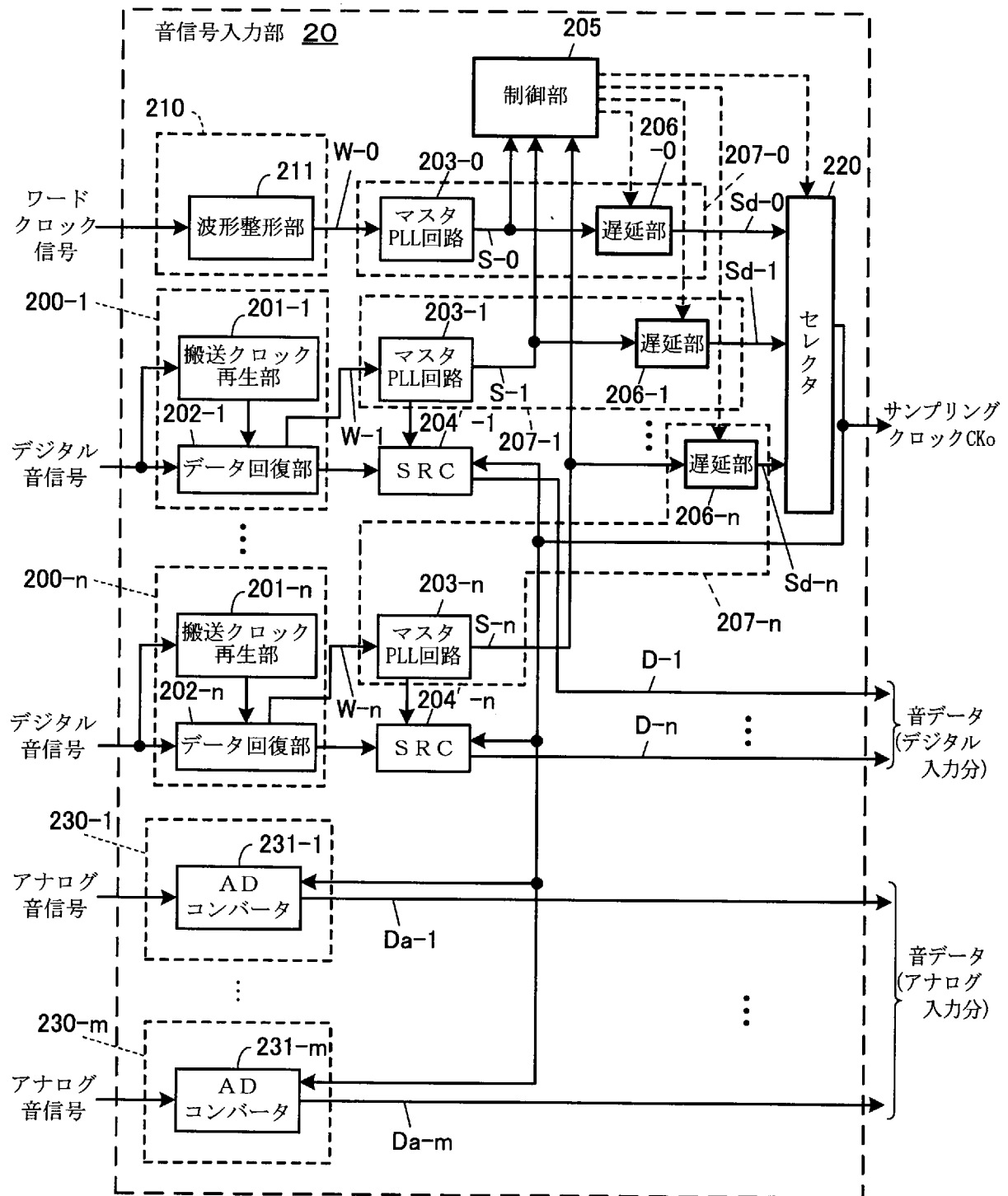
[図6]



[図7]



[図8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/025503

A. CLASSIFICATION OF SUBJECT MATTER

H04L7/00(2006.01)i, H03L7/00(2006.01)i, H03L7/08(2006.01)i, H04R3/00(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04L7/00, H03L7/00, H03L7/08, H04R3/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 9-9399 A (Yamaha Corp.), 10 January 1997 (10.01.1997), paragraphs [0009] to [0013]; fig. 1 (Family: none)	1-6
Y	JP 2013-183403 A (NEC Corp.), 12 September 2013 (12.09.2013), paragraphs [0005] to [0008], [0034] to [0056]; fig. 5 (Family: none)	1-6
Y	JP 11-289590 A (Sony Corp.), 19 October 1999 (19.10.1999), paragraph [0018]; fig. 4 (Family: none)	1-6

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
28 September 2017 (28.09.17)

Date of mailing of the international search report
10 October 2017 (10.10.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H04L7/00(2006.01)i, H03L7/00(2006.01)i, H03L7/08(2006.01)i, H04R3/00(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H04L7/00, H03L7/00, H03L7/08, H04R3/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 9-9399 A（ヤマハ株式会社）1997.01.10, 段落[0009]-[0013], 第1図 (ファミリーなし)	1-6
Y	JP 2013-183403 A（日本電気株式会社）2013.09.12, 段落[0005]-[0008], [0034]-[0056], 第5図 (ファミリーなし)	1-6

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

28.09.2017

国際調査報告の発送日

10.10.2017

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

阿部 弘

5 K

9382

電話番号 03-3581-1101 内線 3556

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 11-289590 A (ソニー株式会社) 1999. 10. 19, 段落[0018], 第4図 (ファミリーなし)	1-6