

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-282081
(P2004-282081A)

(43) 公開日 平成16年10月7日(2004.10.7)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
HO 1 L 21/822	HO 1 L 27/04	5 F O 3 3
HO 1 L 21/768	HO 1 L 21/90	5 F O 3 8
HO 1 L 27/04		

審査請求 未請求 請求項の数 1 O L (全 9 頁)

(21) 出願番号	特願2004-73661 (P2004-73661)	(71) 出願人	501229528 テキサス インストルメンツ インコーポ レイテッド
(22) 出願日	平成16年3月16日 (2004. 3. 16)		アメリカ合衆国、テキサス、ダラス、チャ ーチル ウエイ 7 8 3 9
(31) 優先権主張番号	390054	(74) 代理人	100066692 弁理士 浅村 皓
(32) 優先日	平成15年3月17日 (2003. 3. 17)	(74) 代理人	100072040 弁理士 浅村 肇
(33) 優先権主張国	米国 (US)	(74) 代理人	100107504 弁理士 安藤 克則
		(74) 代理人	100102897 弁理士 池田 幸弘

最終頁に続く

(54) 【発明の名称】 二重ダマシン構造への薄膜レジスターの集積方法

(57) 【要約】

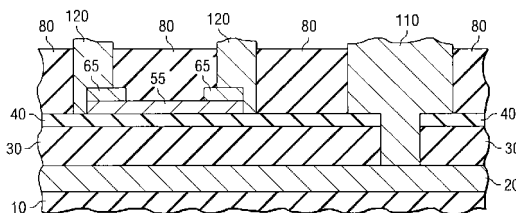
【課題】

二重ダマシン構造を使用して形成された銅インターコ
ネクトを含む集積回路内に薄膜レジスターを組み入れる
方法を提供する。

【解決手段】

以下の工程を包含する集積回路用薄膜レジスターを形
成する方法：

- 第一の誘電層を半導体の上側に形成する；
- エッチング停止層を上記誘電層上に形成する；
- 薄膜レジスターを上記エッチング停止層の上側に形成
する；
- 第二の誘電層を上記薄膜レジスターの上側に形成する
；
- 少なくとも1個のトレンチと薄膜レジスターバイア（
複数）を上記第二の誘電層内に同時に形成する；
- 1個のトレンチバイアを上記少なくとも1個のトレン
チ内に形成する；および
- 上記薄膜レジスターバイア、トレンチおよびトレンチ
バイアを金属で満たす。



【特許請求の範囲】

【請求項 1】

以下の工程を包含する集積回路用薄膜レジスタを形成する方法：

第一の誘電層を半導体の上側に形成する；

エッチング停止層を上記誘電層上に形成する；

薄膜レジスタを上記エッチング停止層の上側に形成する；

第二の誘電層を上記薄膜レジスタの上側に形成する；

少なくとも 1 個のトレンチと薄膜レジスタビア（複数）を上記第二の誘電層内に同時に形成する；

1 個のトレンチビアを上記少なくとも 1 個のトレンチ内に形成する；および

上記薄膜レジスタビア、トレンチおよびトレンチビアを金属で満たす。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は一般的に薄膜レジスタの分野に関し、より詳細には銅インターコネクタにより二重ダマシ構造内に薄膜レジスタを形成する方法に関する。

【背景技術】

【0002】

発明の背景

薄膜レジスタは高精度のアナログおよび混合シグナルのアプリケーションのための非常に魅力的な部品である。抵抗の熱係数が低いことの他に、抵抗の電圧係数が低いこととレジスタのマッチングが優れていることにより、これらはストレス下で優れた安定性を示す筈である。

20

【0003】

高周波混合シグナルのアプリケーションには銅インターコネクタの使用が必要である。集積回路のための銅インターコネクタはダマシ・プロセスにより形成される。同プロセスでは、最初にトレンチを誘電層内に形成する。次いで、銅を同トレンチ内に満たし、余剰の銅は各種の方法（例えば化学機械的なポリッシング）により除去される。

【発明の開示】

【発明が解決しようとする課題】

30

【0004】

銅インターコネクタを含む集積回路内に薄膜レジスタを形成するためには多くの困難が付きまとう。薄膜レジスタは銅を使用して形成するわけではないので、既存のダマシ・プロセスによる形成は適切ではない。薄膜レジスタは銅インターコネクタと同一の高さで形成する必要があるので、同プロセスの不適切さは更に増すことになる。従って、ダマシ・プロセスにより形成された銅インターコネクタを使用して集積回路内に薄膜レジスタを形成する方法が必要である。

【課題を解決するための手段】

【0005】

発明の要約

40

本発明は、二重ダマシ構造を使用して形成された銅インターコネクタを含む集積回路内に薄膜レジスタを組み入れる方法に関する。本発明のひとつの実施態様においては、誘電層をエッチング停止層上に形成する。薄膜レジスタをエッチング停止層の上側に形成し、更に導体パッドを薄膜レジスタ上に形成する。第二の誘電層を薄膜レジスタの上側に形成し、同第二の誘電層内に少なくとも 1 個のトレンチを形成する。それと同時に、薄膜レジスタ上の導体パッドの上側に薄膜レジスタのためのビア（vias）を形成する。トレンチ構造内に 1 個のビアトレンチを形成し、トレンチ、ビアトレンチおよび薄膜レジスタの複数のビア内に金属を満たす（formed：形成する）。

同様の特徴を説明する図全体にわたって共通の符号が用いられている。

これらの図は縮尺どおりに描かれているのではなく、単なる説明のための目的で描かれて

50

いる。

【0006】

発明の詳細な説明

以下において本発明を図1～2を参照して説明するが、本発明は多くの半導体装置構造のために使用可能である。本発明の方法論により、銅インターコネクトを含む集積回路内に薄膜レジスタを形成するための解決策が提供される。

【0007】

図1(a)～1(f)に本発明の一実施態様を説明している。図1(a)に示すように、金属製インターコネクト20は誘電層10の上側に形成される。誘電層10は半導体基板および介在する層(その数は指定されない)の上側に形成される。簡便のために、半導体基板および介在する層(その数は指定されない)はこれらの図には示されていない。これらの図には示されていないが、誘電層10の下側には実際の働きをする層(例えば、MOSおよび/あるいはバイポーラートランジスタ、その数は指定されない)や金属製インターコネクト層(その数は指定されない)が存在するであろう。図1(a)に示すように、中間層としての誘電層30を金属製インターコネクト20の上側に形成する。中間層としての誘電層30は化学蒸着のような適切な方法(その種類は問わない)で形成された酸化ケイ素を含んでいてもよい。第一の実施態様においては、中間層としての誘電層30は、TEOS酸化ケイ素、PECVD酸化ケイ素、窒化ケイ素、酸窒化ケイ素、炭化ケイ素、スピノングラス(SOG、例えば、シルセスキオキサンおよびシロキサン)、乾膠体(xerogels:キセロゲル)、その他の全ての適切な材料からなる群より選ばれる材料を用いて形成する。中間層としての誘電層30を形成した後、エッチング停止層40を同の誘電層30の上側に形成する。本発明の一実施態様においては、エッチング停止層40は窒化ケイ素、炭化ケイ素、酸窒化ケイ素、これらのひとつあるいは全てとその他の適切な層の組み合わせ、および種類を問わずその他の適切な誘電材料を含んでよい。次いで、薄膜レジスタ層50をエッチング停止層40の上側に形成する。それに続く処理において、薄膜レジスタ層50をエッチング処理して薄膜レジスタ(TFR)が形成されよう。本発明の一実施態様においては、薄膜レジスタ層50を形成する材料はシリコン/クロム(SiCr)合金、ニッケル/クロム(NiCr)合金、窒化タンタル、窒化チタン、タングステンその他の適切などのような材料でもよい。フォトレジスト層58を薄膜レジスタ層50の上側に形成してパターン化する。これは、エッチング工程中でTFRを特徴付けるために使用されることになる。 10 20 30

【0008】

図1(b)に薄膜レジスタ層50の上側に形成したTFR55を示している。これは図1(a)に示すフォトレジスト層58をマスキング層として使用してエッチングにより形成した。薄膜レジスタ層50はいかなる適切なドライあるいはウェット・エッチングによりエッチングできる。TFR構造55の形成後、導電性の導体層60をTFR構造55の上側に形成する。本発明の一実施態様においては、導電性の導体層(contact layer:接触層)60を形成する材料は窒化チタン、窒化タングステン、その他の適切などのような導電性材料でもよい。本発明の別の実施態様においては、導電性の導体層60は同じあるいは異なった種類の導電性材料による多層構造であってもよい。導体層60の形成後、パターン化されたフォトレジスト層70をキャッピング層の上側に形成する(図1(b)を参照)。これはその後導体層60のパターニングのために使用されることになる。 40

【0009】

図1(b)に示す導体層60のエッチングが完了後、導体パッド65を形成する(図1(c)を参照)。導体パッド65は続いて実施されるトレンチのエッチング中にTFR55を保護することになる。導体パッド65の形成後、中間層としての誘電層80をTFR55の上側に形成する。中間層としての誘電層80は化学蒸着のような適切な方法(その種類は問わない)で形成された酸化ケイ素を含んでいてもよい。本発明の一実施態様においては、中間層としての誘電層80は、TEOS酸化ケイ素、PECVD酸化ケイ素、 50

窒化ケイ素、酸窒化ケイ素、炭化ケイ素、スピノングラス（SOG、例えば、シルセスキオキサンおよびシロキサン）、乾膠体、その他の全ての適切な材料からなる群より選ばれる材料を用いて形成する。中間層としての誘電層80を形成した後、パターン化されたフォトレジスト層90を誘電層80の上側に形成する。パターン化されたフォトレジスト層90は続いて実施される誘電層80内のビアおよびトレンチのエッチング中にマスクの役割を果たすことになる。

【0010】

図1(d)に、図1(c)に示す構造において中間層としての誘電層80内のTFRビア92（複数）およびトレンチ94を同時にエッチングした後の構造を示している。同図ではTFRおよびトレンチを各々1個しか示していないが、本発明の方法では複数のTFRビアの他に、誘電層内にトレンチ構造およびビア構造をいかなる数でも形成するために使用できることに注意されたい。また、ビアは本発明において、その下側にある導電性層（例えば、TFRあるいは金属製インターコネク）あるいは電子装置と接触する構造を説明する際に用いられること、またトレンチはその中に金属製インターコネク線が形成される誘電層内に形成される構造体を説明する際に用いられることにも注意されたい。

10

【0011】

図1(d)に示す中間層としての誘電層80のエッチングは、エッチング停止層40の所でエッチングを停止するように設計されたドライエッチング・プロセスによって実施する。誘電層80が酸化ケイ素製でありエッチング停止層40が窒化ケイ素製の場合には、窒化ケイ素に対する酸化ケイ素の選択性が高いどのようなドライエッチング・プロセスでも使用できる。誘電層80のエッチング工程では、導体パッド65はエッチング・プロセスに曝された可能性があるTFR領域を保護するであろうことに注意されたい。従って、使用されるエッチング・プロセスは、誘電層80と導体パッド65の間にも高い選択性を有していなければならない。エッチング処理を受けたTFRビア92はTFR55に対する電氣的接点を提供するために使用されるであろうし、また銅製のインターコネク金属線はトレンチ構造94内に形成されることになる。

20

【0012】

図1(d)に示すトレンチ94およびTFRビア92の形成後、パターン化されたフォトレジスト層100を形成し、これをトレンチビア96の形成工程中にマスクとして使用する。トレンチビア96をエッチング停止層40およびその下側の誘電層30を通過して実施されるエッチングにより形成する。図1(f)に示すように、トレンチビア96の形成後、フォトレジスト層100を除去し、またメタル120および110を各々TFRビアとトレンチ内およびトレンチビア内に形成する。本発明の一実施態様においては、形成される金属は銅でもよいし、それ以外の適切ないかなるものでもよい。銅金属を使用する場合には、それ（120及び110）の形成には集積回路を処理するどのような既知の方法（例えば、銅金属付着および化学機械的なポリッシング）を用いてよい。図1(f)に示す構造の形成後、既知の製造方法により集積回路を完成できる。

30

【0013】

本発明の他の実施態様を図2(a)~2(d)に示している。図2(a)に誘電層10の上側に形成した金属製インターコネク20を示している。中間層としての誘電層30を金属製インターコネク層10の上側に形成する。中間層としての誘電層30は化学蒸着のような適切な方法（その種類は問わない）で形成された酸化ケイ素を含んでいてもよい。第一の実施態様においては、中間層としての誘電層30は、TEOS酸化ケイ素、PECVD酸化ケイ素、窒化ケイ素、酸窒化ケイ素、炭化ケイ素、スピノングラス（SOG、例えば、シルセスキオキサンおよびシロキサン）、乾膠体、その他の全ての適切な材料からなる群より選ばれる材料を用いて形成する。中間層としての誘電層30を形成した後、薄膜レジスター55および導体パッド65をこの順に形成する。本発明の一実施態様においては、同レジスター層を形成する材料はシリコン/クロム（SiCr）合金、ニッケル/クロム（NiCr）合金、窒化タンタル、窒化チタン、タングステンその他の適切

40

50

などのような材料でもよい。

【0014】

TFR55と導体パッド65の形成後、導電性の導体層80をTFR55の上側に形成する。中間層としての誘電層80は化学蒸着のような適切な方法(その種類は問わない)で形成された酸化ケイ素を含んでいてもよい。本発明の一実施態様においては、中間層としての誘電層80は、TEOS酸化ケイ素、PECVD酸化ケイ素、窒化ケイ素、酸窒化ケイ素、炭化ケイ素、スピノングラス(SOG、例えば、シルセスキオキサンおよびシロキサン)、乾膠体、その他の全ての適切な材料からなる群より選ばれる材料を用いて形成する。中間層としての誘電層80を形成した後、パターン化されたフォトレジスト層90を誘電層80の上側に形成する。パターン化されたフォトレジスト層90は続いて実施される誘電層80内のトレンチのエッチング中にマスクの役割を果たすことになる。 10

【0015】

図2(b)に、図2(a)に示す構造において中間層としての誘電層80内のTFRバイア92(複数)およびトレンチ94を同時にエッチングした後の構造を示している。図2(b)に示す中間層としての誘電層80のエッチングは、誘電層80を通してエッチング停止層40の所でエッチングを停止するように設計されたプログラム化されたドライエッチング・プロセスによって実施する。エッチングを誘電層80と30の間の界面で厳密に停止することは必須ではない。それでも、エッチング・プロセス完了後には導体パッド(contact pads)65が外面に露出することは重要である。中間層としての誘電層80のエッチング工程では、導体パッド65はエッチング・プロセスに曝された可能性のあるTFR55を保護することになる。このことは、使用されるエッチング・プロセスは誘電層80と導体パッド65の間にも高い選択性を有していなければならないことを意味する。エッチング処理を受けたTFRバイア92はTFR55に対する電氣的接点を提供するために使用されるであろうし、また銅製のインターコネクタ金属はトレンチ構造94内に形成されることになる。 20

【0016】

図2(b)に示すトレンチ94およびTFRバイア92の形成後、パターン化されたフォトレジスト層100を形成し、これをトレンチバイア96の形成工程中にマスクとして使用する。トレンチバイア96をエッチング停止層40およびその下側の誘電層30を通過して実施されるエッチングにより形成する。図2(d)に示すように、トレンチバイア96の形成後、フォトレジスト層100を除去し、また銅メタル120および110を各々TFRバイアとトレンチ内およびトレンチバイア内に形成する。銅メタル120および110の形成には集積回路を処理するどのような既知の方法(例えば、銅金属付着および化学機械的なポリッシング)を用いてよい。図2(d)に示す構造の形成後、既知の製造方法により集積回路を完成できる。 30

【0017】

本発明を説明的な実施態様を参照しつつ説明したが、これらの記載事項は本発明を制限するためのものではないと解釈すべきである。当業界での熟練者は本明細書での記載事項を参照すれば、上記の説明的な実施態様およびその他の本発明の実施態様を変更したりそれらを組み合わせることが可能であることは明らかである。従って、添付の特許請求の範囲はそのような変更あるいは実施態様を包含していると解釈される。 40

【0018】

以上の説明に関して更に以下の項を開示する。

(1)以下の工程を包含する集積回路用薄膜レジスタ(thin film resistor)を形成する方法:

第一の誘電層を半導体の上側に形成する;

エッチング停止層(etch stop layer:エッチストップ層)を上記誘電層上に形成する;

薄膜レジスタを上記エッチング停止層の上側に形成する;

第二の誘電層を上記薄膜レジスタの上側に形成する;

少なくとも1個のトレンチと薄膜レジスタバイア(複数)を上記第二の誘電層内に同時に形成する;

1個のトレンチバイアを上記少なくとも1個のトレンチ内に形成する;および上記薄膜レジスタバイア、トレンチおよびトレンチバイアを金属で満たす。

(2)上記の第二の誘電層が、TEOS酸化ケイ素、PECVD酸化ケイ素、シルセスキオキサン、シロキサンおよび乾膠体(キセロゲル)からなる群より選ばれる材料を含む、(1)記載の方法。

(3)上記のエッチング停止層が窒化ケイ素を含むことを特徴とする(2)記載の方法。

(4)上記の薄膜レジスタの上更に導体パッドを形成する第1クレームの方法において、上記薄膜レジスタでのバイアが上記導体パッドの上に位置していることを特徴とする(1)記載の方法。

(5)上記の薄膜レジスタがシリコン/クロム(SiCr)合金、ニッケル/クロム(NiCr)合金、窒化タンタル、窒化チタンおよびタングステンからなる群より選ばれる材料を用いて形成されることを特徴とする(1)記載の方法。

(6)以下の工程から構成されることを特徴とする薄膜レジスタを形成する方法:

第一の誘電層を半導体の上側に形成する;

薄膜レジスタを上記第一の誘電層の上側に形成する;

第二の誘電層を上記薄膜レジスタの上側に形成する;

少なくとも1個のトレンチと薄膜レジスタバイア(複数)を上記第二の誘電層内に同時に形成する;

1個のトレンチバイアを上記少なくとも1個のトレンチ内に形成する;および上記薄膜レジスタバイア、トレンチおよびトレンチバイアを金属で満たす。

(7)上記の第二の誘電層がTEOS酸化ケイ素、PECVD酸化ケイ素、シルセスキオキサンおよび乾膠体からなる群より選ばれる材料を用いて形成されることを特徴とする(6)記載の方法。

(8)上記の薄膜レジスタの上更に導体パッドを形成し、上記薄膜レジスタでのバイアが上記導体パッドの上に位置していることを特徴とする(6)記載の方法。

(9)上記の薄膜レジスタがシリコン/クロム(SiCr)合金、ニッケル/クロム(NiCr)合金、窒化タンタル、窒化チタンおよびタングステンからなる群より選ばれる材料を用いて形成されることを特徴とする(6)記載の方法。

(10)エッチング停止層(40)の上側に薄膜レジスタ(55)を形成する。導体パッド(65)を薄膜レジスタ(55)の上に形成し、誘電層(80)を薄膜レジスタ(55)の上側に形成する。金属構造(120)を薄膜レジスタ(55)の上に形成し、誘電層(80)の中に形成されたバイア及びトレンチを充てんするために金属(110)を使用する。

【図面の簡単な説明】

【0019】

【図1a】本発明の一実施態様を説明する断面図である。

【図1b】本発明の一実施態様を説明する断面図である。

【図1c】本発明の一実施態様を説明する断面図である。

【図1d】本発明の一実施態様を説明する断面図である。

【図1e】本発明の一実施態様を説明する断面図である。

【図1f】本発明の一実施態様を説明する断面図である。

【図2a】本発明の他の実施態様を説明する断面図である。

【図2b】本発明の他の実施態様を説明する断面図である。

【図2c】本発明の他の実施態様を説明する断面図である。

【図2d】本発明の他の実施態様を説明する断面図である。

【符号の説明】

【0020】

10 誘電層

10

20

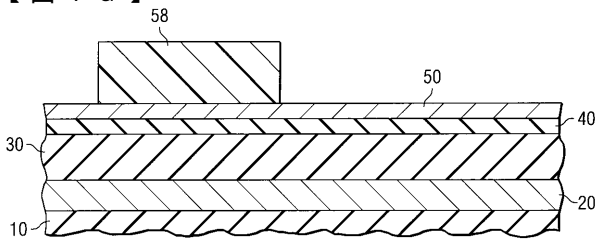
30

40

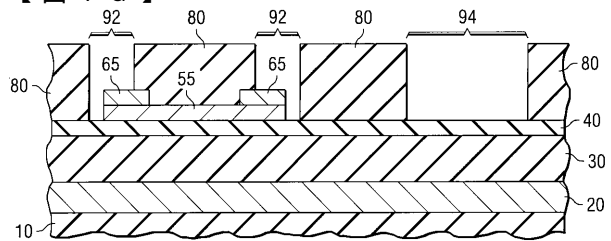
50

- 20 金属製インターコネク
- 30 誘電層
- 40 エッチング停止層
- 50 薄膜レジスタ層
- 55 TFR
- 58 フォトレジスト層
- 60 導体層
- 65 導体パッド
- 80 誘電層
- 90 フォトレジスト層
- 92 TFRパイア
- 94 トレンチ
- 96 トレンチパイア
- 100 フォトレジスト層
- 110 メタル
- 120 メタル

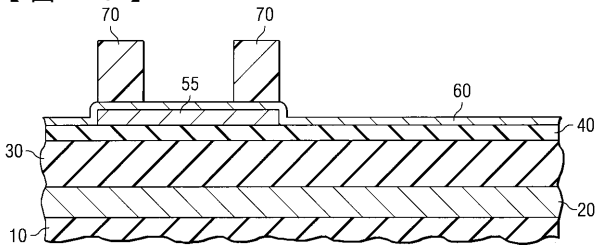
【図1a】



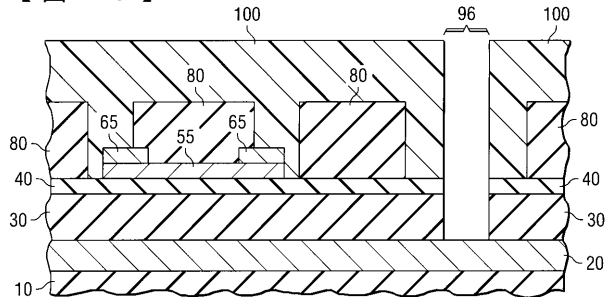
【図1d】



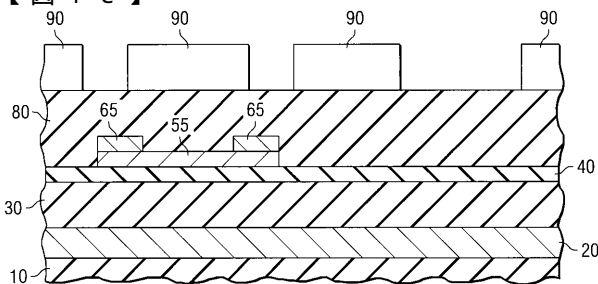
【図1b】



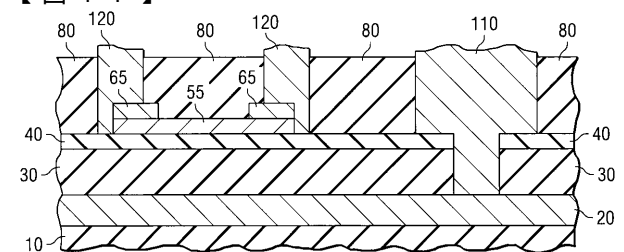
【図1e】



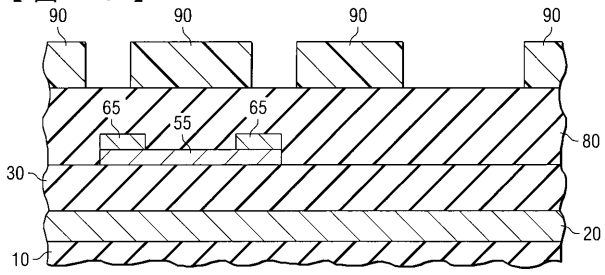
【図1c】



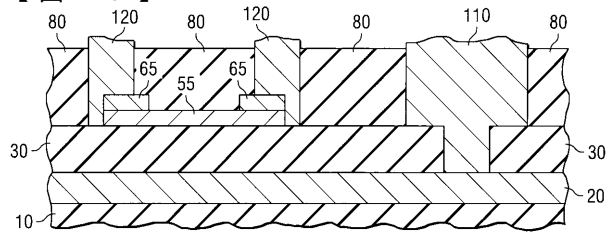
【図1f】



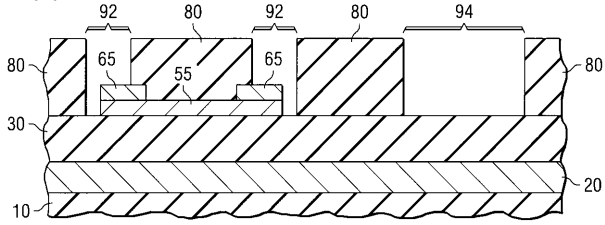
【 図 2 a 】



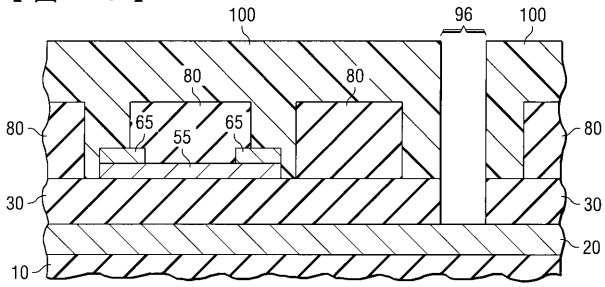
【 図 2 d 】



【 図 2 b 】



【 図 2 c 】



フロントページの続き

(72)発明者 ラジネーシュ ジャイスワル
アメリカ合衆国 アリゾナ、ツーソン、 イースト ピマ ストリート 6201 ナンバー 4
0

(72)発明者 エリク ダブリュー、ピーチ
アメリカ合衆国 アリゾナ、ツーソン、 ノース マリア ドライブ 5515

Fターム(参考) 5F033 HH19 HH21 HH22 HH26 HH32 HH33 JJ11 KK19 KK21 KK22
KK26 KK32 KK33 MM02 NN30 QQ09 QQ25 QQ37 QQ48 RR01
RR04 RR06 RR08 RR09 RR25 RR29 SS04 SS15 VV09
5F038 AR07 AR08 AR16 BE07 CD18 CD20 EZ15 EZ20

【要約の続き】

【選択図】図1f