

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成22年5月6日(2010.5.6)

【公表番号】特表2010-502025(P2010-502025A)

【公表日】平成22年1月21日(2010.1.21)

【年通号数】公開・登録公報2010-003

【出願番号】特願2009-525999(P2009-525999)

【国際特許分類】

H 01 L	29/786	(2006.01)
H 01 L	21/8234	(2006.01)
H 01 L	27/088	(2006.01)
H 01 L	27/08	(2006.01)
H 01 L	21/8238	(2006.01)
H 01 L	27/092	(2006.01)
H 01 L	29/78	(2006.01)
H 01 L	21/336	(2006.01)

【F I】

H 01 L	29/78	6 1 9 A
H 01 L	27/08	1 0 2 B
H 01 L	27/08	3 3 1 E
H 01 L	27/08	3 2 1 C
H 01 L	29/78	6 1 7 M
H 01 L	29/78	6 1 3 A
H 01 L	29/78	3 0 1 N
H 01 L	29/78	6 1 8 Z

【手続補正書】

【提出日】平成22年3月16日(2010.3.16)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

半導体構造体の表面上に配置された少なくとも1つのn型電界効果トランジスタ(nFET)であって、ゲート誘電体の上にある完全にシリサイド化されたゲート電極を含む材料スタックと、前記材料スタックの垂直側壁上に配置された少なくとも1つのスペーサとを含む、少なくとも1つのn型電界効果トランジスタ(nFET)と、

前記半導体基板上に配置され、かつ、前記少なくとも1つのnFETの前記ゲート電極の両側を部分的に囲む第1の応力ライナであって、前記少なくとも1つのnFETの前記完全にシリサイド化されたゲート電極の上面と同一平面にある上面を有する、第1の応力ライナと、前記第1の応力ライナのものとは反対の応力型の第2の応力ライナであって、前記第1の応力ライナの前記上面上及び前記少なくとも1つのnFETの上に配置された、第2の応力ライナと、

を備える半導体構造体。

【請求項2】

前記第1の応力ライナは引張応力ライナであり、前記第2の応力ライナは圧縮応力ライナである、請求項1に記載の半導体構造体。

**【請求項 3】**

前記半導体基板は、バルク半導体材料又は半導体オン・インシュレータである、請求項1に記載の半導体構造体。

**【請求項 4】**

前記半導体基板は、異なる結晶配向の表面領域を有するハイブリッド基板であり、前記少なくとも1つのnFETは、前記ハイブリッド基板の(100)結晶面上に配置される、請求項1に記載の半導体構造体。

**【請求項 5】**

前記完全にシリサイド化されたゲート電極は金属シリサイドを含み、前記金属は、Ti、Ta、W、Co、Ni、Pt、Pd、又はそれらの合金を含む、請求項1に記載の半導体構造体。

**【請求項 6】**

前記完全にシリサイド化されたゲート電極は、10nmから50nmまでの垂直方向高さを有する、請求項1に記載の半導体構造体。

**【請求項 7】**

少なくとも1つのpFETをさらに備え、前記少なくとも1つのpFETは、トレンチ分離領域によって前記少なくとも1つのnFETから部分的に分離され、前記第2の応力ライナは、前記少なくとも1つのpFETのゲート電極を完全に囲む、請求項1に記載の半導体構造体。

**【請求項 8】**

半導体構造体の表面上に配置された少なくとも1つのn型電界効果トランジスタであって、ゲート誘電体の上にある完全にシリサイド化されたゲート電極を含む材料スタックと、前記材料スタックの垂直側壁上に配置された少なくとも1つのスペーサとを含む、少なくとも1つのn型電界効果トランジスタと、

前記半導体基板上に配置され、かつ、前記少なくとも1つのn型電界効果トランジスタの前記ゲート電極の両側を部分的に囲む引張応力窒化物ライナであって、前記完全にシリサイド化されたゲート電極の上面と同一平面にある上面を有する、引張応力窒化物ライナと、

前記引張応力窒化物ライナの前記上面上及び前記少なくとも1つのn型電界効果トランジスタの上に配置された圧縮応力窒化物ライナと、  
を備える半導体構造体。

**【請求項 9】**

前記引張応力窒化物ライナは内因性引張応力を有する、請求項8に記載の半導体構造体。

**【請求項 10】**

前記半導体基板は、バルク半導体材料又は半導体オン・インシュレータである、請求項8に記載の半導体構造体。

**【請求項 11】**

半導体構造体の表面上に配置された少なくとも1つのn型電界効果トランジスタ及び少なくとも1つのp型電界効果トランジスタであって、ゲート誘電体の上にある完全にシリサイド化されたゲート電極を含む材料スタックと、前記材料スタックの垂直側壁上に配置された少なくとも1つのスペーサとを含む、少なくとも1つのn型電界効果トランジスタ及び少なくとも1つのp型電界効果トランジスタと、

前記少なくとも1つのn型電界効果トランジスタを含む前記半導体基板の部分上に配置された引張応力ライナであって、前記少なくとも1つのn型電界効果トランジスタを部分的に包み込み、かつ、前記完全にシリサイド化されたゲート電極の上面と同一平面にある上面を有する、引張応力ライナと、

前記引張応力ライナの前記上面上及び前記少なくとも1つのn型電界効果トランジスタの上に配置された圧縮応力ライナであって、前記少なくとも1つのp型電界効果トランジスタを完全に囲む、圧縮応力ライナと、

を備える半導体構造体。

【請求項 1 2】

前記引張応力ライナ及び前記圧縮応力ライナは、両方とも窒化物である、請求項 1 1 に記載の半導体構造体。

【請求項 1 3】

前記引張応力ライナは内因性引張応力を有する、請求項 1 2 に記載の半導体構造体。

【請求項 1 4】

半導体構造体を形成する方法であって、

半導体構造体の表面上に少なくとも 1 つの n 型電界効果トランジスタを準備することであって、前記少なくとも 1 つの n 型電界効果トランジスタは、ゲート誘電体の上にある完全にシリサイド化されたゲート電極を含む材料スタックと、前記材料スタックの垂直側壁上に配置された少なくとも 1 つのスペーサとを含む、ことと、

前記半導体基板上に第 1 の応力ライナを形成することであって、前記第 1 の応力ライナは、前記少なくとも 1 つの n 型電界効果トランジスタの前記ゲート電極の両側を部分的に囲み、かつ、前記 n 型電界効果トランジスタの前記完全にシリサイド化されたゲート電極の上面と同一平面にある上面を有する、ことと、

前記第 1 の応力ライナの前記上面上及び前記少なくとも 1 つの n 型電界効果トランジスタの上に、前記第 1 の応力ライナのものとは反対の応力型の第 2 の応力ライナを形成することと、

を含む方法。

【請求項 1 5】

前記少なくとも 1 つの n 型電界効果トランジスタを準備することは、前記ゲート誘電体及び Si 含有材料を含むスタックを形成することと、前記スタックをパターン形成することと、前記パターン形成されたスタックの垂直側壁上にスペーサを形成することと、前記 Si 含有材料の部分を選択的に除去し、一部の Si 含有材料が前記ゲート誘電体上に残るようにすることと、前記残りの Si 含有材料上に金属層を形成することと、前記金属層と前記残りの Si 含有材料との間に反応を引き起こす少なくとも 1 つのアニール・プロセスを行なうこととを含む、請求項 1 4 に記載の方法。

【請求項 1 6】

前記第 1 の応力ライナを形成することは、少なくとも 1 つの第 1 の応力誘起材料の化学気相堆積と、前記少なくとも 1 つの電界効果トランジスタの上に前記第 1 の応力ライナの部分を露出させる平坦化材料を形成することと、前記第 1 の応力ライナ材料の前記露出された部分を選択的に除去することと、前記平坦化材料を除去することとを含む、請求項 1 4 に記載の方法。

【請求項 1 7】

前記半導体基板上の少なくとも 1 つの p FET をさらに含み、前記少なくとも 1 つの p FET は、分離領域によって前記少なくとも 1 つの n FET から分離され、前記第 2 の応力ライナは、前記少なくとも 1 つの p FET のゲート電極を完全に囲む、請求項 1 4 に記載の方法。