(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
G11C 11/401

(45) 공고일자 2000년02월01일
(11) 등록번호 10-0241957
(24) 등록일자 1999년11월06일

(21) 출원번호 10-1997-0006859
(22) 출원일자 1997년02월28일
(65) 공개번호 특1997-0067347
(43) 공개일자 1997년10월13일
(30) 우선권주장 96-044804 1996년03월01일 일본(JP)

(73) 특허권자 가부시키가이샤 도시바 니시무로 타이죠
일본국 가나가와껭 가와사끼시 사이와이꾸 호리가와쪼 72반지
(72) 발명자 야베 도모아끼
일본 가나가와껭 가와사끼시 사이와이꾸 고무까이도시바쪼 1 가부시키가이샤 도시바 리서치 앤드 디벨롭먼트 센터 내
(74) 대리인 구영창, 장수길

심사관 : 김종찬

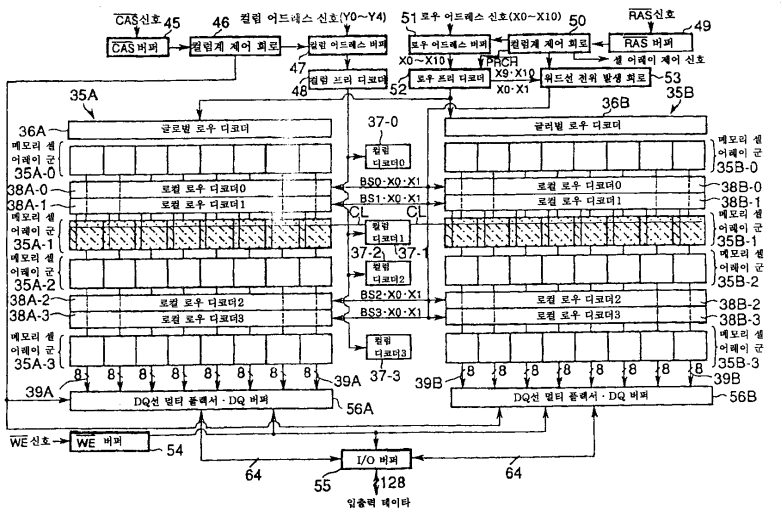
(54) 반도체 기억 장치

요약

칩 사이즈의 대폭적인 증대를 초래하지 않고 다비트 입·출력과 큰 리프레시 사이클수를 양립시킬 수 있는 DRAM을 제공하는 것을 목적으로 하고 있다.

메모리 셀 어레이(35A,35B)를 컬럼 방향뿐만 아니라 워드선 WL 방향으로 복수의 블럭으로 분할하고, RAS 사이클시 한번에 활성화되는 블럭수를 억제하면서 활성화된 블럭으로부터 병렬로 데이타를 판독함으로써 1블럭당 DQ버스(39A,39B)의 수를 줄이는 것을 특징으로 하고 있다. 계층 워드선 방식을 채용하여 워드선 WL은 글로벌 로우 디코더(35A,35B)와 로컬 로우 디코더(38A-0~38A-3, 38B-0~38B-3)를 이용하여 구동한다. 각 블럭으로부터 인출하는 DQ버스가 적고, DQ버스의 점유 면적을 대폭적으로 삭감시킬 수 있으므로, 칩 사이즈의 대폭적인 증대를 초래하지 않고 다비트 입·출력과 큰 리프레시 사이클 수를 양립할 수 있다.

대표도



명세서

도면의 간단한 설명

제1도는 본 발명의 제1실시 형태에 관한 반도체 기억장치에 관하여 설명하기 위한 것으로 DRAM 블럭도.

제2도는 제1도에 도시한 회로에 있어서의 메모리 셀 어레이군의 일부를 확대하여 도시한 도면.

제3도는 제1도에 도시한 회로에 있어서의 글로벌 로우 디코더와 로컬 로우 디코더의 구성예를 도시한 회로도.

제4도는 본 발명의 제2실시 형태에 관한 반도체 기억장치에 관하여 설명하기 위한 것으로, DRAM 메모리

코어부를 추출하여 도시한 블럭도.

제5도는 종래의 반도체 기억장치의 개략 구성을 도시한 것으로 8M비트×128 입·출력의 DRAM 블럭도.

제6도는 제5도에 도시한 회로에 있어서의 메모리 셀 어레이의 일부를 확대하여 도시한 도면.

제7도는 미니 셀 어레이의 1024개의 컬럼 중, 컬럼 0번과 1번의 회로도.

* 도면의 주요부분에 대한 부호의 설명

35A,35B : 메모리 셀 어레이

35A-0～35A-3, 35B-0～35B-3 : 메모리 셀 어레이군

35-0,35-1 : 미니 셀 어레이(서브 블럭)

36A,36B : 글로벌 로우 디코더

37-0~37-3 : 컬럼 디코더

38A-0～38A-3, 38B-0～38B-3 : 로컬 로우 디코더

39A,39B,39-0,39-1,39-2 : DQ선쌍

40-0,40-1,40-2 : 센스 앰프

44A,44B : DQ선 멀티플렉서 및 DQ 버퍼

45 : /CAS 버퍼 46 : 컬럼계 제어 회로

47 : 컬럼 어드레스 버퍼 48 : 컬럼 프리 디코더

49 : /RAS 버퍼 50 : 로우계 제어 회로

51 : 로우 어드레스 버퍼 52 : 로우 프리 디코더

53 : 워드선 전위 발생 회로 54 : /WE 버퍼

55 : I/O 버퍼 56A,56B : 회로 블럭

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체 기억장치에 관한 것으로, 특히 다비트 DRAM에 사용되는 것이다.

제5도는 종래의 반도체 기억장치의 개략 구성을 도시한 것으로, 8M비트×128입· 출력의 DRAM의 블럭도이다. 이와 같은 초다비트 입·출력의 DRAM은 근년 워크스테이션이나 퍼스널 컴퓨터의 화상 처리 등을 위해 그래픽스 콘트롤러와 메모리를 혼재한 LSI에 이용되고 있다. 이런 종류의 DRAM에서는 저소비 전력화에 대한 요구가 강하므로, RAS 사이클의 소비 전력을 줄이기 위해 리프레시 사이클수가 큰 DRAM(예컨대, 2K 리프레시, 4K 리프레시 등)이 이용된다. 제5도에 도시한 DRAM은 2K 리프레시의 구성을 갖는 예이다.

제5도에 있어서, 참조 번호 10은 메모리 코어부로서, 이 메모리 코어부(10)에는 메모리 셀 어레이(11A,11B), 로우 디코더(12A,12B) 및 컬럼 디코더(13) 등이 포함되어 있다. 메모리 셀 어레이(11A,11B)는 2048(로우)×32(컬럼)×128(비트)=8M 비트의 구성으로 되어 있다. 본 예에서는 메모리 셀 어레이(11A,11B)는 각각 8개, 즉 합계 16개의 블럭으로 구성되고, 각각의 블럭의 용량은 512(로우)×1024(컬럼)=0.5M 비트이다. 데이타의 입·출력은 각 블럭으로부터 각각 32쌍의 DQ버스(14A,14B)를 통하여 행해진다. 상기 로우 디코더(12A)로부터 출력되는 로우 디코드 신호는 메모리 셀 어레이(11A) 중의 각 워드선 WL에 공급되고, 상기 로우 디코더(12B)로부터 출력되는 로우 디코드 신호는 메모리 셀 어레이(11B)중의 각 워드선 WL에 공급된다. 컬럼 디코더(13)으로부터 출력되는 컬럼 디코드 신호는 메모리 셀 어레이(11A,11B)중의 공통 컬럼 선택선 CL에 공급된다.

또, 참조 번호 15는 /CAS(부호의 앞에 붙은 "/"는 반전 신호, 즉 바(bar)를 의미함) 신호를 받는 /CAS 버퍼, 참조 번호 16은 상기 /CAS 버퍼(15)의 출력에 응답하여 컬럼계의 회로를 제어하는 컬럼계 제어 회로, 참조 번호(17)은 컬럼 어드레스 신호 Y0～Y4가 입력되고, 상기 컬럼계 제어 회로(16)의 출력에서 제어되는 컬럼 어드레스 버퍼, 참조 번호 18은 상기 컬럼 어드레스 버퍼(17)로부터 출력된 컬럼 어드레스 신호를 프리 디코드하는 컬럼 프리 디코더이고, 이 컬럼 프리 디코더(18)의 프리 디코드 신호가 상기 컬럼 디코더(13)에 공급된다. 참조 번호 19는 /RAS 신호를 받는 /RAS 버퍼, 참조 번호 20은 상기 /RAS 버퍼(19)의 출력에 응답하여 로우계의 회로를 제어하는 로우계 제어 회로이며, 상기 로우계 제어 회로(20)으로부터 셀 어레이 제어 신호, 예컨대 센스 앰프 활성화 신호, 이퀄라이즈 신호, 및 FIT 신호 등이 출력된다. 참조 번호(21)은 로우 어드레스 신호 X0～X11이 입력되고, 상기 로우계 제어 회로(20)의 출력으로 제어되는 로우 어드레스 버퍼, 참조 번호(22)는 상기 로우 어드레스 버퍼(21)로부터 출력된 로우 어드레스 신호를 프리 디코드하는 로우 프리 디코더, 참조 번호(23)는 상기 로우계 제어 회로(20)의 출력으로 제어되고, 상기 로우 프리 디코더(22)로부터 출력되는 프리 디코드 신호를 받아 워드선 전위를 발생하는 워드선 전위 발생 회로이며, 상기 로우 프리 디코더(22)의 프리 디코드 신호와 상기 워드선 전위 발생 회로

(23)로부터 출력되는 워드선 전위가 상기 로우 디코더(12A,12B)에 공급된다.

또한, 참조 번호 24는 /WE 신호를 받는 /WE 버퍼, 참조 번호 25는 상기 /WE 버퍼(24)에서 제어되고 데이타를 입·출력하는 I/O 버퍼이고, 상기 I/O 버퍼(25)에 입력된 데이타는 회로 블럭(26A,26B)에 공급된다. 이들 회로 블럭(26A,26B)에는 각각 DQ선 멀티플렉서 및 DQ 버퍼가 포함되어 있고, 상기 컬럼계 제어 회로(16)에 의해 제어된다. 그리고, I/O 버퍼(25)에 입력된 데이타는 회로 블럭(26A,26B) 및 DQ 버스(14A,14B)를 통해 각 메모리 셀에 공급되고, 메모리 셀로부터 판독된 데이타는 상기 DQ 버스(14A,14B) 및 회로 블럭(26A,26B)를 통하여 I/O 버퍼(25)로부터 출력된다.

제6도는 상기 제5도에 도시한 회로에 있어서의 메모리 셀 어레이(11A,11B)중의 하나의 블럭을 추출하여 나타내고 있다. 각 블럭은 256(로우)×1024(컬럼)=256K 비트의 용량을 갖는 2개의 미니 셀 어레이(서브 블럭; 11-0,11-1)로 구성되어 있다. 각각의 미니 셀 어레이(11-0,11-1)의 양단에는 센스 앰프(27-0,27-1,27-2)가 배치된다. 상기 센스 앰프(27-0,27-1,27-2)는 칩 면적의 증대를 방지하기 위해 공유형(shared-sense amplifier)의 구성으로 되어 있다. 즉, 미니 셀 어레이(11-0,11-1)에 끼워진 영역의 센스 앰프(27-1)는 상기 2개의 미니 셀 어레이(11-0,11-1)에서 공유된다. 상기 미니 셀 어레이(11-0,11-1)의 양측에는 각각 16쌍씩의 DQ 버스(14-0,14-1,14-2)가 설치되어 있다. 상기 미니 셀 어레이(11-0,11-1)은 어느 한쪽만 동시에 활성화되도록 제어되므로, 공유형 센스 앰프는 활성화된 측의 미니 셀 어레이의 셀 데이타를 증폭 및 보유한다. 그리고, 활성화된 미니 셀 어레이의 양측의 데이타 버스(합계 32쌍)로부터 보유된 데이타가 출력된다.

제7도는 상기 미니 셀 어레이(11-0)의 구성을 더욱 상세하게 설명하기 위한 것으로, 제6도의 점선(29)으로 둘러싼 영역의 확대도이다. 제7도에서는 미니 셀 어레이(11-0)의 1024개의 컬럼중, 컬럼 0번과 1번의 회로도를 추출하여 나타내고 있다. 컬럼 2번 이후에도 동일한 구성으로 되어 있다. 우수 번지(예컨대, 컬럼 0번)의 데이타는 미니 셀 어레이(11-0)의 좌측의 DQ 버스(14-0), 기수 번지(예컨대, 컬럼 1번)의 데이타는 상기 미니 셀 어레이(11-0)의 우측의 DQ 버스(14-1)로부터 출력된다. 도시하지 않았지만, 하나의 공통 컬럼 선택선 CL에 대하여 32개의 컬럼이 접속되고, 이들 컬럼에 컬럼 선택 신호 CSL이 공급된다. 그리고, 32개 중 16개는 미니 셀 어레이(11-0)의 좌측의 16쌍의 DQ 버스(14-0)에, 나머지 16개는 우측의 16쌍의 DQ 버스(14-1)에 각각 접속되어 있다.

미니 셀 어레이(11-0)의 양측에는 비트선 이퀄라이저(30a,30b), P채널형 센스 앰프(31a,31b), FIT 게이트(32a,32b), N채널형 센스 앰프(33a,33b), 컬럼 선택 게이트(34a,34b) 및 DQ 버스(28-0,28-1)이 배치되어 있다. 상기 비트선 이퀄라이저(30a,30b)에는 각각 이퀄라이즈 신호 EQ가 공급되어 제어되고, 비트선쌍 BL,/BL을 전위 V_{BL}에 이퀄라이즈한다. 상기 P채널형 센스 앰프(31a,31b)에는 각각 센스 앰프 활성화 신호 SPA0이 공급되어 제어된다. 상기 FIT 게이트(32a,32b)에는 각각 FIT 신호(FIT0)이 공급되어 제어된다. 상기 N채널형 센스 앰프(33a)에는 센스 앰프 활성화 신호 /BSAN이 공급되어 제어되고, 상기 N채널형 센스 앰프(33b)에는 센스 앰프 활성화 신호 /SAN이 공급되어 제어된다. 상기 컬럼 선택 게이트(34a,34b)에는 각각 컬럼 선택 신호 CSL이 공급되어 제어된다.

여기서, 미니 셀 어레이(11-0,11-1)에 끼워진 영역의 FIT게이트(32b), N채널형 센스 앰프(33b), 컬럼 선택 게이트(34b) 및 DQ 버스(28-1)는 2개의 미니 셀 어레이(11-0,11-1)에서 공유된다. 또, 제6도 및 제7도에는 도시하지 않았지만, 미니 셀 어레이(11-0)의 좌측에 미니 셀 어레이가 존재하는 경우에는 상기 미니 셀 어레이(11-0)의 좌측에 존재하는 FIT게이트(32a), N채널형 센스 앰프(33a), 컬럼 선택 게이트(34a) 및 DQ 버스(14-0)은 미니 셀 어레이(11-0)의 좌측에 배치된 미니 셀 어레이와 해당 미니 셀 어레이(11-0) 사이에 공유된다. 마찬가지로 해서 미니 셀 어레이(11-1)의 우측에 배치되는 회로 부품, 즉 FIT게이트(32b), N채널형 센스 앰프(33b), 컬럼 선택 게이트(34b) 및 DQ 버스(14-1)는 미니 셀 어레이(11-1)의 우측에 배치되는 미니 셀 어레이와 해당 미니 셀 어레이(11-1) 사이에 공유된다.

상기 미니 셀 어레이(11-0,11-1)에서 공유된 회로 부품은 다음과 같이 제어됨으로써 선택적으로 사용된다. 워드선 WL0이 선택되고, 미니 셀 어레이(11-0)이 활성화되면 동시에 신호 FIT0이 "H" 레벨로 되어 선택되고(이때, 신호 FIT1은 "L" 레벨), FIT게이트(32a)가 온함에 따라 N채널형 센스 앰프(33a)와 컬럼 선택 게이트(34a)가 미니 셀 어레이(11-0)에 접속된다. 이 상태에서 워드선 WL0에 의해 선택된 메모리 셀의 데이타가 비트선 BL에 나타나면, 신호 SAP0, 신호 /SAN이 Vcc/2 프리차지 상태에서 각각 "H" 레벨, "L" 레벨로 활성화되고(신호 SAP1은 Vcc/2 프리차지 상태를 유지), P채널형 센스 앰프(31a)와 N채널형 센스 앰프(33a)에 셀 데이타가 래치된다.

이에 대하여 미니 셀 어레이(11-1)이 활성화되는 경우에는 신호 FIT1, 신호 /SAN 및 신호 SAP1이 활성화되고, 신호 FIT0은 "L" 레벨, 신호 SAP0은 Vcc/2 프리차지 상태를 유지한다.

이와 같이, 워드선은 미니 셀 어레이(11-0,11-1)의 계 512 로우중 하나만 동시에 활성화되고, 활성화된 미니 셀 어레이의 양측의 32쌍의 DQ 버스로부터 공통 컬럼 선택 신호 CSL에 의해 선택된 컬럼 데이타가 판독된다. 제5도에 도시한 바와 같이, DQ 버스(14A,14B)는 각각 DQ선 멀티플렉서를 통하여 DQ 버퍼에 접속된다. 여기서, DQ선 멀티플렉서는 데이타가 판독된 DQ선쌍을 선택하여 DQ 버퍼에 접속하고, DQ 버퍼에서 더욱 증폭된 데이타가 I/O 버퍼(25)를 통하여 입·출력 데이타 버스에 출력된다. 또, 공통 컬럼 선택 신호선 CSL은 16개의 블럭(즉, 32개의 미니 셀 어레이)에서 공유된다. 로우 디코더(12A,12B)는 소정의 로우 어드레스 신호(X0~X10의 11비트)에 대하여 동시에 4개의 블럭 중의 워드선을 활성화한다(이에 따라, 합계 32×4=128쌍의 DQ선쌍으로부터 데이타가 출력된다). 이것으로부터 알 수 있는 바와 같이 모든 로우를 리프레시하기 위해서는

512로우/블럭×4블럭=2K사이클

이 필요하게 되고, 2K사이클에서 활성화되는 워드선은 X0~X10의 11비트(2^{11}=2K)의 로우 어드레스 신호로 선택된다.

종래 기술에 따른 2K 리프레시 사이클의 8M비트×128 입·출력 DRAM은 상술한 바와 같이 구성되어 있다. 그러나, 본 예에서는 각 블럭으로부터 32쌍의 DQ선쌍을 인출해야만 하고, 메모리 코어부 전체에서는 DQ선

쌍의 점유 면적이 매우 크다는 문제가 있었다.

또한, 인출해야 할 DQ선쌍의 수는 RAS 사이클의 저소비 전류화를 노리고 리프레시 사이클수를 늘리면(예컨대, 4K 리프레시로 함) 증가하는 점에 주의할 필요가 있다. 즉, 4K 리프레시의 구성에서는 제5도에 도시한 회로에서 동시에 활성화되는 블럭 중의 워드선 WL의 수는 2개가 되므로, 128 입·출력을 얻기 위해서는 하나의 블럭으로부터 64개의 DQ선쌍을 인출해야만 하고, DQ선쌍이 차지하는 면적은 2K 리프레시의 경우의 2배가 된다. 이와 같이, 종래의 DRAM은 다비트 입·출력과 큰 리프레시 사이클수를 양립시키도록 하면 칩 사이즈의 대폭적인 증대를 초래한다는 문제가 있었다.

발명이 이루고자 하는 기술적 과제

상기와 같이 종래의 반도체 기억장치는 다(多)비트 입·출력과 큰 리프레시 사이클수를 양립시키도록 하면 칩 사이즈의 대폭적인 증대를 초래한다고 하는 문제가 있었다.

본 발명은 상기와 같은 사정을 감안하여 이루어진 것으로, 그 목적하는 바는 칩 사이즈의 대폭적인 증대를 초래하지 않고 다비트 입·출력과 큰 리프레시 사이클수를 양립시킬 수 있는 반도체 기억장치를 제공하는데 있다.

발명의 구성 및 작용

청구항 1에 기재된 본 발명의 반도체 기억장치는 행방향 m열, 열방향으로 n행 배역된 m×n개의 블럭으로 분할되고, 각각의 블럭에 다이나믹형의 메모리 셀이 행열상으로 배치된 메모리 셀 어레이와, 상기 각각의 블럭에 다이나믹형의 메모리 셀이 행열상으로 배열된 메모리 셀 어레이와, 상기 각 블럭에 대응하여 설치되고, 선택된 메모리 셀로부터 판독된 데이타 또는 선택된 메모리 셀에 기입하는 데이타를 증폭하는 센스 앰프 수단과, 상기 각 블럭에 대응하여 설치되고 컬럼 선택 게이트를 통하여 상기 센스 앰프 수단에 접속된 데이타 버스와, 어드레스 신호를 디코드하여 상기 메모리 셀 어레이 중의 임의의 메모리 셀을 선택하기 위한 행 디코드 수단 및 열 디코드 수단을 구비하고, 상기 메모리 셀 어레이의 블럭중 동일 행상에 배치된 블럭군은 상기 행 디코드 수단과 데이타 버스를 공유하고, 동일 열상에 배치된 블럭군은 상기 열 디코드 수단을 공유하여 상기 각 블럭중 임의의 열상에 배치된 n개의 블럭군을 선택적으로 동시에 활성화하고, 상기 활성화한 블럭군의 각각의 데이타 버스를 통하여 상기 열 디코드 수단에 의해 선택한 열의 메모리 셀의 데이타를 병렬로 판독 기입하는 바와 같이 구성한 것을 특징으로 하고 있다.

청구항 2에 나타낸 바와 같이, 상기 행 디코드 수단은 동일 행상의 블럭군에서 공유되는 주행 디코드 수단과, 동일 행상의 블럭에 각각 대응하여 배치된 종행 디코드 수단을 구비하고, 상기 종행 디코드 수단은 상기 주행 디코드 수단의 출력과 종행 디코더 선택 신호를 받아 동일 행상의 블럭군 중의 임의의 하나의 블럭을 활성화하고, 상기 블럭의 임의의 한행을 선택하도록 제어되는 것을 특징으로 한다.

청구항 3에 나타낸 바와 같이, 상기 m×n개의 블럭군은 각각 행방향으로 복수의 서브 블럭군으로 분할되고, 분할된 서브 블럭군에 포함되는 동일 행상의 블럭은 각각 상기 데이타 버스를 공유하며, 상기 서브 블럭군에 접속된 데이타 버스군은 멀티플렉서를 통하여 주데이타 버스에 접속되고, 상기 멀티플렉서는 상기 데이타 버스군 중 활성화된 블럭을 포함하는 서브 블럭군과 접속된 데이타를 선택하고, 주데이타 버스와 상기 데이타 버스간에 신호의 수수를 행하도록 제어되는 것을 특징으로 한다.

청구항 4에 기재된 본 발명의 반도체 기억장치는 행방향으로 분할된 복수의 메모리 셀 어레이군을 갖는 다이나믹형의 제1메모리 셀 어레이와, 상기 제1메모리 셀 어레이의 행방향으로 인접하여 배치되고, 행방향으로 분할된 복수의 메모리 셀 어레이군을 갖는 제2메모리 셀 어레이와, 상기 제1,제2메모리 셀 어레이의 각 메모리 셀 어레이군 사이에 각각 배치된 컬럼 디코더군과, 상기 컬럼 디코더군으로부터 디코드 출력이 공급되고, 각 메모리 셀 어레이군 중의 메모리 셀의 열을 선택하는 공통 컬럼 선택선과, 상기 제1메모리 셀 어레이중의 메모리 셀 어레이군을 선택하는 제1글로벌 로우 디코더와, 상기 제1메모리 셀 어레이중 메모리 셀 어레이군 사이에 설치되고, 상기 제1글로벌 로우 디코더의 출력을 디코드하여 상기 메모리 셀 어레이군중의 메모리 셀의 행을 선택하는 제1로컬 로우 디코더군과, 상기 제2메모리 셀 어레이중의 메모리 셀 어레이군을 선택하는 제2글로벌 로우 디코더와, 상기 제2메모리 셀 어레이중의 메모리 셀 어레이군 사이에 설치되고, 상기 제2글로벌 로우 디코더의 출력을 디코드하여 상기 메모리 셀 어레이군 중의 메모리 셀의 행을 선택하는 제2로컬 로우 디코더군과, 상기 제1메모리 셀 어레이중의 메모리 셀 어레이군 사이에 설치되고, 선택된 메모리 셀로부터 판독한 데이타 또는 선택된 메모리 셀에 기입하는 데이타를 증폭하는 제1센스 앰프군과, 상기 제2메모리 셀 어레이중 메모리 셀 어레이군 사이에 설치되고, 선택된 메모리 셀로부터 판독한 데이타 또는 선택한 메모리 셀에 기입하는 데이타를 증폭하는 제2센스 앰프군와, 제1컬럼 선택 게이트군을 통하여 상기 제1센스 앰프군에 접속된 제1DQ 버스군와, 제2컬럼 선택 게이트군을 통하여 상기 제2센스 앰프군에 접속된 제2DQ 버스군을 구비하고, 상기 제1메모리 셀 어레이중의 메모리 셀 어레이군은 상기 제1DQ 버스군을 공유하고, 상기 제2메모리 셀 어레이중의 메모리 셀군은 상기 제2DQ 버스군을 공유하며, 상기 제1,제2메모리 셀 어레군중 동일한 임의의 열을 선택적으로 동시에 활성화하며, 상기 활성화된 제1,제2메모리 셀 어레이군의 각각의 제1,제2DQ 버스군을 통하여 상기 컬럼 디코더군에 의해 선택된 열의 메모리 셀의 데이타를 병렬로 판독 기입하는 바와 같이 구성한 것을 특징으로 한다.

청구항 5에 나타낸 바와 같이, 상기 제1메모리 셀 어레이에 있어서의 메모리 셀 어레이군 사이에 설치되고, 상기 제1DQ 버스군에 접속된 제1DQ선 멀티플렉서 및 제1DQ 버퍼와, 상기 제2메모리 셀 어레이에 있어서의 메모리 셀 어레이군 사이에 설치되고, 상기 제2DQ 버스군에 접속된 제2DQ선 멀티플렉서 및 제2DQ 버퍼와, 상기 제1,제2의 DQ선 멀티플렉서 및 상기 제1,제2DQ 버퍼와 데이타의 수수를 행하는 I/O 게이트를 더 구비하는 것을 특징으로 한다.

청구항 1과 같은 구성에 따르면, 메모리 셀 어레이를 행방향과 열방향으로 m×n개의 블럭으로 분할하고, 각 블럭중 임의의 한 열상에 배치된 n개의 블럭군을 선택적으로 동시에 활성화시켜 데이타를 병렬적으로 판독 기입하므로, 각 블럭으로부터 인출하는 데이타 버스의 수가 적어지고, 데이타 버스의 점유 면적을

대폭적으로 저감시킬 수 있다. 이에 따라, 칩 사이즈의 대폭적인 증대를 초래하지 않고 다비트 입·출력과 큰 리프레시 사이클수를 양립시킬 수 있다.

청구항 2에 기재한 바와 같이, 상기 행 디코드 수단을 주행 디코드 수단과 종행 디코드 수단으로 구성하여 계층 워드선 구조로 하면, 행 디코드 수단의 수가 증가함에 따른 칩 사이즈의 증대를 억제할 수 있다.

청구항 3에 기재한 바와 같이 블럭군을 각각 서브 블럭군으로 분할하여 이들 서브 블럭군에서 데이타 버스를 공유하고, 주데이타 버스와 상기 데이타 버스 사이에 신호의 수수를 행하도록 하면 칩 사이즈의 증대를 억제할 수 있다.

청구항 4와 같은 구성에 따르면, 제1,제2의 메모리 셀 어레이를 각각 열방향으로 분할하고, 이들 메모리 셀 어레이에 있어서의 각 블럭 중의 동일한 임의의 일 열상에 배치된 블럭군을 선택적으로 동시에 활성화하여 메모리 셀의 데이타를 병렬적으로 판독 기입할 수 있으므로, 각 블럭으로부터 인출하는 DQ 버스의 수가 적어지고, DQ 버스의 칩 점유 면적으로 대폭적으로 저감시킬 수 있다. 이에 따라 칩 사이즈의 대폭적인 증대를 초래하지 않고 다비트 입·출력과 큰 리프레시 사이클을 양립시킬 수 있다.

청구항 5에 기재한 바와 같이 제1DQ 버스군과 제2DQ 버스군을 분할하고 메모리 셀 어레이군 사이에, 제1,제2의 DQ선 멀티플렉서 및 제1,제2의 DQ 버퍼를 설치함으로써 DQ 버스의 기생 용량을 저감시킬 수 있고 고속 동작이 가능해진다.

이하, 본 발명의 실시 형태에 관해 도면을 참조하여 설명한다.

제1도는 본 발명의 제1실시 형태에 관한 반도체 기억장치의 개략 구성을 도시한 블럭도이다. 제5도와 같이 /CAS 버프(45), 컬럼계 제어 회로(46), 컬럼 어드레스 버퍼(47), 컬럼 프리 디코더(48), /RAS 버퍼(49), 로우계 제어 회로(50), 로우 어드레스 버퍼(51), 로우 프리 디코더(52), 워드선 전위 발생 회로(53), /WE 버퍼(54), I/O 버퍼(55) 등이 설치되어 있다. 본 예에서는 계층 워드선 방식(예컨대, 1993 IEEE International Solid-State Circuits Conference DIGEST OF TECHNICAL PAPERS FEBRUARY 24, 1993 pp.50-51, T. Sugibayashi et al., "A 30ns 256Mb DRAM with Multi-Divided Array Structure"를 참조)를 채용하고 있고, 글로벌 로우 디코더와 로컬 로우 디코더를 이용하여 워드선을 구동하고 있다.

이들 주변 회로부의 기본적인 구성 및 동작은 제5도에 도시한 회로와 동일하지만, 계층 워드선 방식을 채용하기 때문에, 로우계 제어 회로(50), 로우 디코더(52) 및 워드선 전위 발생 회로(53) 등이 다르다. 즉, 로우 프리 디코더(52)에는 로우 어드레스 버퍼(51)로부터 로우 어드레스 신호 X0~X10이 공급됨과 동시에, 로우계 제어 회로(50)으로부터 워드선 프리차지 신호 /PRCH가 공급되고, 상기 로우 프리 디코더(52)로부터 워드선 전위 발생 회로(53)에 프리 디코드 신호 X9, X10과 X0, X1이 공급되도록 되어 있다.

메모리 코어부에는 메모리 셀 어레이(35A,35B), 글로벌 로우 디코더(36A,36B), 컬럼 디코더(37-0~37-3), 로컬 로우 디코더(38A-0~38A-3, 38B0~38B-3) 및 DQ 버퍼(56A,56B) 등이 설치되어 있다. 메모리 셀 어레이(35A,35B)는 각각 행방향(로우 방향)으로 4분할, 열방향(컬럼 방향)으로 8분할되어 있다. 즉, 메모리 코어부에는 행방향으로 4열, 열방향으로 16행 배열된 64개 블럭의 메모리 셀 어레이군이 배치되어 있다. 상기 메모리 셀 어레이군(35A-0~35A-3)의 각각에 대응하여 상기 로컬 로우 디코더(38A-0~38A-3)이 설치되고, 마찬가지로 메모리 셀 어레이군(35B-0~35B-3)의 각각에 대응하여 상기 로컬 로우 디코더(38B-0~38B-3)이 설치되어 있다. 로컬 로우 디코더(38A-0~38B-0)에는 상기 워드선 전위 발생 회로(53)으로부터 워드선 승압 전위로서 BS0·X0·X1신호, 로컬 로우 디코더(38A-1~38B-1)에는 상기 워드선 전위 발생 회로(53)으로부터 워드선 승압 전위로서 BS1·X0·X1신호, 로컬 로우 디코더(38A-2~38B-2)에는 상기 워드선 전위 발생 회로(53)으로부터 워드선 승압 전위로서 BS2·X0·X1신호, 및 로컬 로우 디코더(38A-3~38B-3)에는 상기 워드선 전위 발생 회로(53)로부터 워드선 승압 전위로서 BS3·X0·X1신호가 각각 공급된다. 상기 메모리 셀 어레이(35A,35B) 사이에는 상기 컬럼 디코더(37-0~37-3)가 배치되고, 동일 열의 메모리 셀 어레이군에 속하는 블럭은 이들 컬럼 디코더(37-0~37-3)와 공통 컬럼 선택 신호선 CL을 공유한다. 상기 컬럼 디코더(37-0~37-3)에는 상기 컬럼 프리 디코더(48)의 프리 디코드 신호가 공급되어 제어된다. 또, 64개의 블럭은 각각 8쌍의 DQ 버스(39A,…,39A 및 39B,…,39B)와 접속되어 있고, 동일행의 블럭간에 이들 DQ 버스(39A 또는 39B)를 공유한다. 따라서, 16행의 블럭군으로부터는 합계 8×16=128쌍의 DQ 버스가 인출되고, 회로 블럭(56A,56B)에 공유된다. 이들 회로 블럭(56A,56B)는 DQ선 멀티플렉서 및 DQ 버퍼가 포함되어 있고, 상기 컬럼계 제어 회로(46)과 /WE 버퍼(54)에 의해 제어된다. 그리고, I/O 버퍼(55)에 입력된 데이타는 회로 블럭(56A,56B) 및 DQ 버스(39A,39B)를 통하여 각 메모리 셀에 공급되고, 메모리 셀로부터 판독된 데이타는 상기 DQ 버스(39A,39B) 및 회로 블럭(56A,56B)을 통하여 I/O 버퍼(55)로부터 출력된다. 상기 I/O 버퍼(55)의 입력 동작과 출력 동작의 전환은 상기 /WE 버퍼(54)의 출력으로 행해진다.

제2도는 상기 제1도에 도시한 블럭도에 있어서의 하나의 블럭을 확대하여 도시하고 있다. 각 블럭은 256(로우)×256(컬럼)=64K 비트의 용량을 갖는 2개의 미니 셀 어레이(서브 블럭:35-0,35-1)로 구성되어 있다. 이들 미니 셀 어레이(35-0,35-1)의 양단에는 각각 센스 앰프(40-0,40-1,40-2)가 배치된다. 센스 앰프(40-0,40-1,40-2)는 칩 면적의 증대를 방지하기 위해 공유형으로 구성되어 있다. 즉, 미니 셀 어레이(35-0,35-1)에 끼워진 영역의 센스 앰프(40-1)는 상기 2개의 미니 셀 어레이(35-0,35-1)에서 공유된다. 상기 미니 셀 어레이(35-0,35-1)의 양측에는 각각 4쌍씩의 DQ 버스(39-0,39-1,39-2)가 설치되어 있다. 상기 미니 셀 어레이(35-0,35-1)는 어느 한쪽만 동시에 활성화되도록 제어되므로, 공유형 센스 앰프는 활성화된 측의 미니 셀 어레이의 셀 데이타를 증폭 및 보유하고, 활성화된 미니 셀 어레이의 양측의 합계 8쌍의 DQ 버스(데이타 버스)로부터 보유된 데이타가 출력되도록 되어 있다.

상기 제2도에 도시한 블럭과 제6도에 도시한 종래의 블럭의 상위점은 컬럼수가 종래의 1024에서 그 1/4인 256으로 되어 있는 점과, 각 공유형 센스 앰프로부터 인출되는 DQ 버스가 종래의 16쌍에서 그 1/4인 4쌍으로 되어 있는 점이다. 센스 앰프부 등의 상세한 구성은 제7도에 도시한 구성과 동일하고, 공유형 센스 앰프의 동작도 실질적으로 종래와 동일하다.

제3도는 상기 제1도에 도시한 회로에서 이용되고 있는 계층 워드선 방식에 관계하는 회로부를 추출하여 그 구성예를 도시하고 있다. 계층 워드선 방식은 글로벌 로우 디코더(36)와, 이 글로벌 로우 디코더(36)

의 출력이 공급되는 글로벌 워드선 GWL, /GWL에 4개씩 접속된 로컬 로우 디코더(38-0,…,38-3)로 구성된다. 상기 글로벌 로우 디코더(36)는 NAND 게이트(41)과 인버터(42,43)로 구성되어 있다. NAND 게이트(41)의 제1입력단에는 로우 프리 디코더(52)로부터 출력되는 프리 디코드 신호 X2,X3,X4, 제2입력단에는 로우 프리 디코더(52)로부터 출력되는 프리 디코드 신호 X5,X6,X7, 제3입력단에는 로우 프리 디코더(52)로부터 출력되는 프리 디코드 신호 X5와 워드선 프리차지 신호 /PRCH와의 논리곱 신호 X5, /PRCH가 각각 공급된다. 각각의 로컬 로우 디코더(38-0,…,38-3)는 부트 스트랩형의 승압 회로로 구성되어 있고, 로컬 워드선 LWL0,…,LWL3의 풀업용 N채널형 MOS트랜지스터, Q1, 로컬 워드선 LWL0,…,LWL3의 풀 다운용 N채널형 MOS트랜지스터 Q2, 및 전원 전위 Vcc에서 도통 설정된 N채널형 MOS트랜지스터 Q3을 포함하고 있다. 각 풀업용 MOS트랜지스터 Q1의 드레인에는 각각 워드선 전위 발생 회로(53)로부터 출력되는 신호 BS0 · X0 · X1(BS0=/X9 · /X10)~BS3 · X0 · X1(BS3=X9 · X10)이 각각 공급된다. 이들 로컬 로우 디코더(38-0,…,38-3)의 출력단에는 각각 상기 로컬 워드선 LWL0,…,LWL3이 접속된다. 각 메모리 셀 MC0,…,MC3은 각각 상기 로컬 워드선 LWL0,…,LWL3과 비트선 BL0,…,BL3과의 교차 위치에 배치된다.

다음으로, 제3도에 도시한 회로의 동작을 설명한다. 글로벌 로우 디코더(36)은 7비트의 로우 어드레스 신호(X2~X8)과 워드선 프리차지 신호 /PRCH를 디코드하고, 글로벌 워드선 GWL,/GWL을 구동한다. 즉, 로우 어드레스 신호 X2~X8에 의해 선택된 어드레스의 글로벌 로우 디코더(36)는 워드선 프리차지 신호 /PRCH가 “H” 레벨일 때 활성화되고, 글로벌 워드선 /GWL을 “L” 레벨, GWL을 “H” 레벨로 한다. 한편, 글로벌 워드선 /GWL, GWL에 접속되어 있는 로컬 로우 디코더(38-0,…,38-3)는 2비트의 로우 어드레스 신호(X0,X1)와 로컬 로우 디코더 선택 신호(BS0~BS3:BSi)는 각각 2비트의 로우 어드레스 입력 X9, X10에서 디코드됨)에 의해 선택된다. 상기 각 로컬 디코더(38-0,…,38-3)에 있어서의 풀업용 MOS트랜지스터 Q1의 드레인에 입력되는 BSi · X0 · X1신호로서는 활성화시에 워드선 승압 전위가 주어진다. 이에 따라 선택된 로컬 워드선은 워드선 승압 전위까지 승압된다. 여기서, 제1도에 도시한 바와 같이 동일 메모리 셀 어레이군에 속하는 블럭은 로컬 로우 디코더를 공유하고 있고, 제3도에서 명백한 바와 같이 로컬 로우 디코더 선택 신호 BSi · X0 · X1신호(i:0~3)를 공유한다. 따라서, 임의의 로우 어드레스 입력이 주어지면, 4개의 메모리 셀 어레이군(35A-0과 35B-0, 35A-1과 35B-1, 35A-2와 35B-2 및 35A-3과 35B-3)중 신호 BSi에 의해 선택된 어느 하나의 메모리 셀 어레이군에 속하는 16개의 블럭이 동시에 활성화된다. 각 블럭으로부터는 8쌍의 DQ선쌍으로부터 데이타가 출력되므로, 전체에서는 128쌍의 데이타가 출력되게 된다. 또, 각 블럭은 512로우 사이클에서 리프레시되므로, 제1도의 메모리 셀 어레이 전체에서는 512×4=2K 리프레시 사이클이 된다.

상기 제1실시 형태에서는 상술한 바와 같이 128 입 · 출력에서 2K 리프레시의 8M 비트 DRAM이 구성된다. 상기 제1실시 형태에 관한 반도체 기억장치에서는 각 블럭으로부터 인출되는 DQ 버스가 8쌍이고, 메모리 셀 어레이 전체에서는 512쌍의 1/4인 128쌍의 DQ 버스를 인출하면 된다. 따라서, DQ 버스(DQ선쌍)에 의한 칩 점유 면적을 대폭적으로 저감시킬 수 있다.

또한, 상기 제1실시 형태에서는 워드선을 분할함에 따른 칩 면적의 증가는 있지만, 통상의 로우 디코더(결국 제3도의 글로벌 로우 디코더와 로컬 로우 디코더의 회로를 합친 것)를 각 메모리 셀 어레이군에 설치하는 것이 아니라, 글로벌 로우 디코더를 동일 행상의 블럭에서 공유하고, 부트 스트랩 회로부만을 로컬 로우 디코더로서 각 메모리 셀 어레이군에 설치하고 있기 때문에, 로우 디코더에 의한 면적의 증가는 DQ선쌍의 면적의 저감분에 비교하면 충분히 작다. 따라서, 상기 제1실시 형태의 DRAM에서는 칩 전체로서 보면 종래에 비해 대폭적으로 면적을 저감시킬 수 있고, 다비트 입 · 출력으로 큰 리프레시 사이클을 실현할 수 있다.

제4도는 본 발명의 제2실시 형태에 관한 반도체 기억장치에 관하여 설명하기 위한 것으로, DRAM의 메모리 코어부를 추출하여 도시하고 있다. 주변 회로부의 구성을 제1도에 도시한 회로와 동일하다. 상기 제2실시 형태에 의한 DRAM이 상기 제1실시 형태의 DRAM과 상위한 것은 DQ 버스를 행방향으로 2분할하고, 칩의 중앙부에 DQ선 멀티플렉서 및 DQ 버퍼(44A,44B)를 설치하며, DQ 버스상의 데이타를 DQ선 멀티플렉서에 의해 멀티플렉스하고, 128비트의 출력을 인출하고 있는 점이다. 본 예에서는 메모리 셀 어레이군(35A-0과 35A-1, 35B-0과 35B-1)이 DQ선쌍을 공유하고, 메모리 셀 어레이군(35A-2와 35A-3, 35B-2와 35B-3)이 DQ선쌍을 공유하고 있다. 따라서, 예컨대 메모리 셀 어레이군(35A-1,35B-1)이 활성화되는 경우에는 DQ선 멀티플렉서(44A,44B)에 의해 메모리 셀 어레이군(35A-0과 35A-1, 35B-0과 35B-1)측의 DQ선쌍이 선택되어 데이타가 외부로 인출된다.

이와 같은 구성에 따르면, DQ선쌍의 수를 줄이고 칩 면적을 저감시키는 제1실시 형태의 장점을 유지하면서, DQ선쌍을 분할함으로써 DQ선의 기생 용량을 저감시켜 고속 동작이 가능해진다.

또한, 상기 제1,제2실시 형태에서는 2K 리프레시 사이클의 예를 설명했으나, 4K 리프레시 사이클의 경우에는 워드선의 분할수를 4에서 8로 늘리면 마찬가지로 해서 실현할 수 있다. 이 경우에도 분할수를 늘림으로써 로컬 로우 디코더가 증가하는 분만큼 면적의 증분은 있으나, 종래 기술에 비해 DQ선쌍의 수가 1/8로(종래는 64×16=1K쌍, 본 발명에서는 128쌍)되는 것에 따른 면적의 저감 효과는 더욱 크기 때문에, 칩 전체의 면적을 작게 할 수 있다는 특징은 2K 리프레시 사이클의 경우와 같다.

발명의 효과

이상 설명한 바와 같이 본 발명에 따르면, 칩 사이즈의 대폭적인 증대를 초래하지 않고 다비트 입 · 출력과 큰 리프레시 사이클수를 양립시킬 수 있는 반도체 기억장치를 얻을 수 있다.

또한, 본원 청구범위의 각 구성 요건에 병기한 도면 참조부호는 본원 발명의 이해를 용이하게 하기 위한 것으로, 본원 발명의 기술적 범위를 도면에 도시한 실시예에 한정할 의도로 병기한 것은 아니다.

(57) 청구의 범위

청구항 1

행방향 m열, 열방향으로 n행 배열된 m×n개의 블럭으로 분할되고, 각각의 블럭에 다이나믹형의 메모리 셀

이 행열상으로 배치된 메모리 셀 어레이(35-A,35-B)와, 상기 각 블럭에 대응하여 설치되고, 선택된 메모리 셀로부터 판독된 데이타 또는 선택된 메모리 셀에 기입하는 데이타를 증폭하는 센스 앰프 수단(40-0,40-1,40-2)과, 상기 각 블럭에 대응하여 설치되고, 컬럼 선택 게이트를 통하여 상기 센스 앰프 수단에 접속된 데이타 버스(39-0,39-1,39-2)와, 어드레스 신호를 디코드하여 상기 메모리 셀 어레이 중의 임의의 메모리 셀을 선택하기 위한 행 디코드 수단(36A,36B,38A-0～38,38B-0～38) 및 열 디코드 수단(37-0～37-3)을 구비하고, 상기 메모리 셀 어레이의 블럭 중 동일행 상에 배치된 블럭군은 상기 행 디코드 수단과 데이타 버스를 공유하고, 동일열 상에 배치된 블럭군은 상기 열 디코드 수단을 공유하며, 상기 각 블럭중 임의의 일열 상에 배치된 n개의 블럭군을 선택적으로 동시에 활성화하고, 상기 활성화한 블럭군 각각의 데이타 버스를 통하여 상기 열 디코드 수단에 의해 선택한 열의 메모리 셀의 데이타를 병렬로 판독 기입하는 바와 같이 구성한 것을 특징으로 하는 반도체 기억장치.

청구항 2

제1항에 있어서, 상기 행 디코드 수단은 동일행 상의 블럭군에서 공유되는 주행(主行) 디코드 수단(36A,36B)과, 동일행 상의 블럭에 각각 대응하여 배치된 종행(從行) 디코드 수단(38A-0～38A-3,38B-0～38B-3)을 구비하고, 상기 종행 디코드 수단은 상기 주행 디코드 수단의 출력과 종행 디코더 선택 신호를 받아 동일행 상의 블럭군 중 임의의 하나의 블럭을 활성화하고, 상기 블럭의 임의의 행을 선택하도록 제어되는 것을 특징으로 하는 반도체 기억장치.

청구항 3

제1항 또는 제2항에 있어서, 상기 m×n개의 블럭군은 각각 행방향으로 복수의 서브 블럭군으로 분할되고, 분할된 서브 블럭군에 포함되는 동일행 상의 블럭은 각각 상기 데이타 버스를 공유하며, 상기 서브 블럭군에 접속된 데이타 버스군은 멀티플렉서(26A,26B)를 통하여 주데이타 버스(39A,39B)에 접속되고, 상기 멀티플렉서는 상기 데이타 버스군 중 활성화된 블럭을 포함하는 서브 블럭군과 접속된 데이타를 선택하고, 주데이타 버스와 상기 데이타 버스 간에 신호의 수수를 행하도록 제어되는 것을 특징으로 하는 반도체 기억장치.

청구항 4

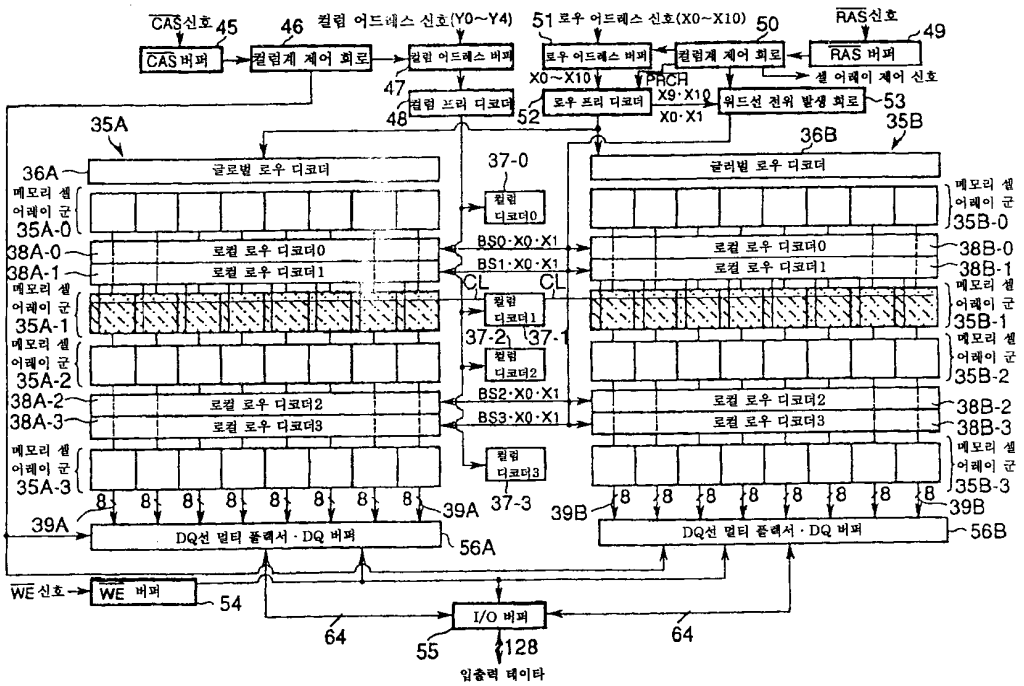
행방향으로 분할된 복수의 메모리 셀 어레이군을 갖는 다이나믹형의 제1메모리 셀 어레이(35-A)와, 상기 제1메모리 셀 어레이의 행방향으로 인접하여 배치되고, 행방향으로 분할된 복수의 메모리 셀 어레이군을 갖는 제2메모리 셀 어레이(35-B)와, 상기 제1,제2메모리 셀 어레이의 각 메모리 셀 어레이군 사이에 각각 배치된 컬럼 디코더군(37-0～37-3)과, 상기 컬럼 디코더군으로부터 디코드 출력이 공급되고, 각 메모리 셀 어레이군 중의 메모리 셀의 열을 선택하는 공통 컬럼 선택선과, 상기 제1메모리 셀 어레이중의 메모리 셀 어레이군을 선택하는 제1 글로벌 로우 디코더(36A)와, 상기 제1메모리 셀 어레이중 메모리 셀 어레이군 사이에 설치되고, 상기 제1글로벌 로우 디코더의 출력을 디코드하여 상기 메모리 셀 어레이군중의 메모리 셀의 행을 선택하는 제1로컬 로우 디코더군(38A-0～38A-3)과, 상기 제2메모리 셀 어레이중의 메모리 셀 어레이군을 선택하는 제2 글로벌 로우 디코더(36B)와, 상기 제2메모리 셀 어레이 중의 메모리 셀 어레이군 사이에 설치되고, 상기 제2글로벌 로우 디코더의 출력을 디코드하여 상기 메모리 셀 어레이군 중의 메모리 셀의 행을 선택하는 제2로컬 로우 디코더군(38B-0～38B-3)과, 상기 제1메모리 셀 어레이중의 메모리 셀 어레이군 사이에 설치되고, 선택된 메모리 셀로부터 판독한 데이타 또는 선택된 메모리 셀에 기입하는 데이타를 증폭하는 제1센스 앰프군(40-0,40-1,40-2)와, 상기 제2메모리 셀 어레이중 메모리 셀 어레이군 사이에 설치되고, 선택된 메모리 셀로부터 판독한 데이타 또는 선택한 메모리 셀에 기입하는 데이타를 증폭하는 제2센스 앰프군(40-0,40-1,40-2)와, 제1컬럼 선택 게이트군을 통하여 상기 제1센스 앰프군에 접속된 제1DQ 버스군(39A)와, 제2컬럼 선택 게이트군을 통하여 상기 제2센스 앰프군에 접속된 제2DQ 버스군(39B)를 구비하고, 상기 제1메모리 셀 어레이중의 메모리 셀 어레이군은 상기 제1DQ 버스군을 공유하고, 상기 제2메모리 셀 어레이중의 메모리 셀군은 상기 제2DQ 버스군을 공유하며, 상기 제1,제2메모리 셀 어레군중 동일한 임의의 열을 선택적으로 동시에 활성화하며, 상기 활성화된 제1,제2메모리 셀 어레이군의 각각의 제1,제2DQ 버스군을 통하여 상기 컬럼 디코더군에 의해 선택된 열의 메모리 셀의 데이타를 병렬로 판독 기입하는 바와 같이 구성한 것을 특징으로 하는 반도체 기억장치.

청구항 5

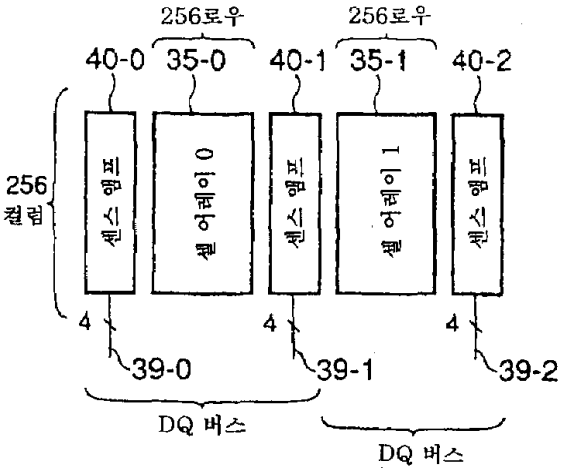
제4항에 있어서, 상기 제1메모리 셀 어레이에 있어서의 메모리 셀 어레이군 사이에 설치되고, 상기 제1DQ 버스군에 접속된 제1DQ선 멀티플렉서 및 제1DQ 버퍼(44A)와, 상기 제2메모리 셀 어레이에 있어서의 메모리 셀 어레이군 사이에 설치되고, 상기 제2DQ 버스군에 접속된 제2DQ선 멀티플렉서 및 제2DQ 버퍼(44B)와, 상기 제1,제2의 DQ선 멀티플렉서 및 상기 제1,제2DQ 버퍼와 데이타의 수수를 행하는 I/O 게이트(55)를 더 구비하는 것을 특징으로 하는 반도체 기억장치.

도면

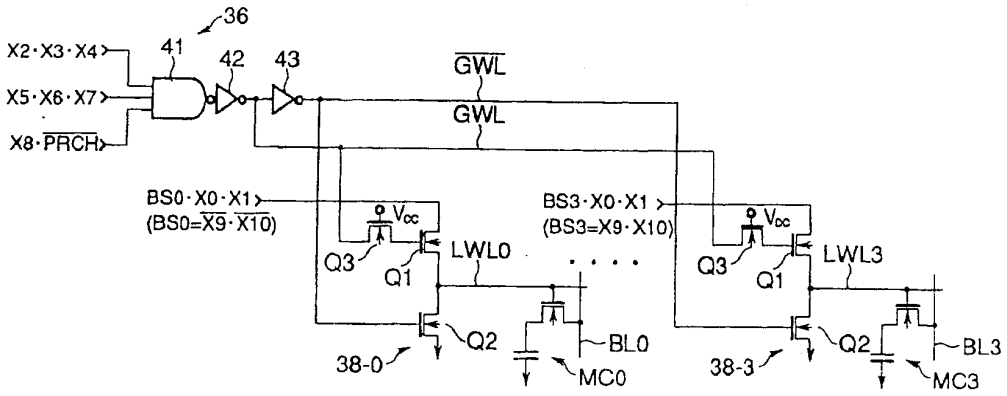
도면1


CAS신호
CAS 버퍼
컬럼계 제어 회로
컬럼 어드레스 신호(Y0~Y4)
컬럼 어드레스 버퍼
컬럼 프리 디코더
로우 어드레스 신호(X0~X10)
로우 어드레스 버퍼
로우 프리 디코더
컬럼계 제어 회로
RAS신호
RAS 버퍼
셀 어레이 제어 신호
PRCH
워드선 전위 발생 회로
X0~X10
X9·X10
X0·X1
글로벌 로우 디코더
로컬 로우 디코더0
로컬 로우 디코더1
로컬 로우 디코더2
로컬 로우 디코더3
컬럼 디코더0
컬럼 디코더1
컬럼 디코더2
컬럼 디코더3
BS0·X0·X1
BS1·X0·X1
BS2·X0·X1
BS3·X0·X1
CL
메모리 셀 어레이 군
DQ선 멀티 플렉서 · DQ 버퍼
WE신호
WE 버퍼
I/O 버퍼
입출력 데이타

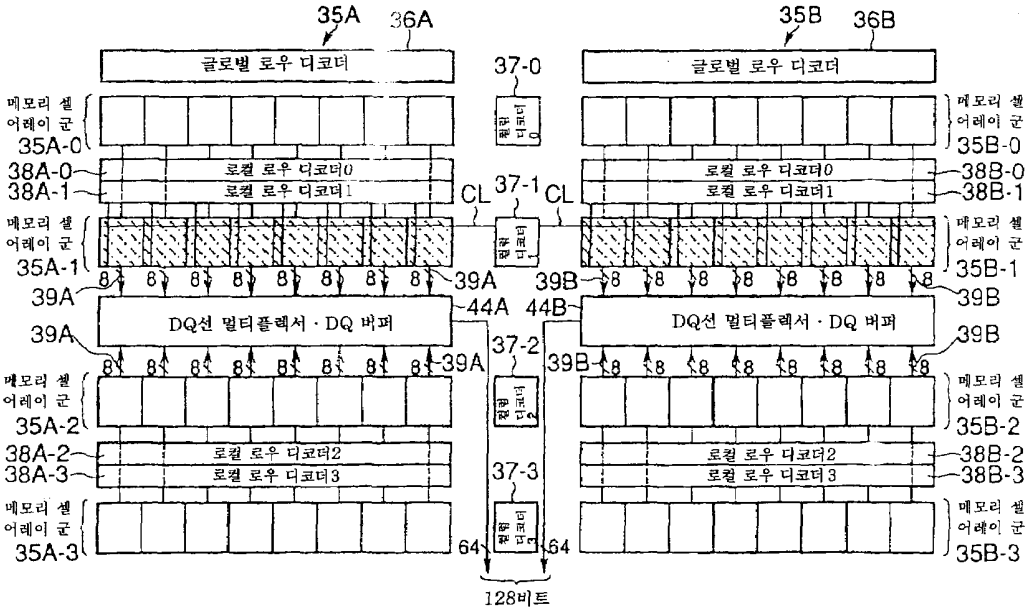
도면2


256로우
256로우
256 컬럼
센스 앰프
셀 어레이 0
셀 어레이 1
DQ 버스
DQ 버스

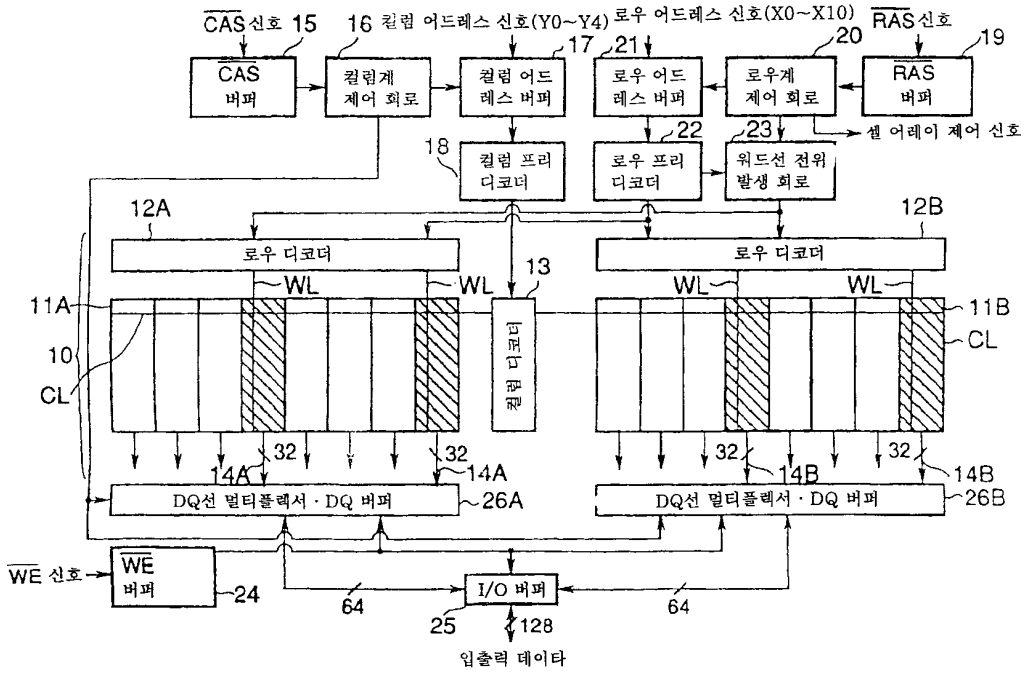
도면3


36
41
42
43
X2·X3·X4
X5·X6·X7
X8·PRCH
GWL
GWL
BS0·X0·X1
(BS0=X9·X10)
BS3·X0·X1
(BS3=X9·X10)
Vcc
Q3
Q1
LWL0
LWL3
Q2
BL0
BL3
MC0
MC3
38-0
38-3

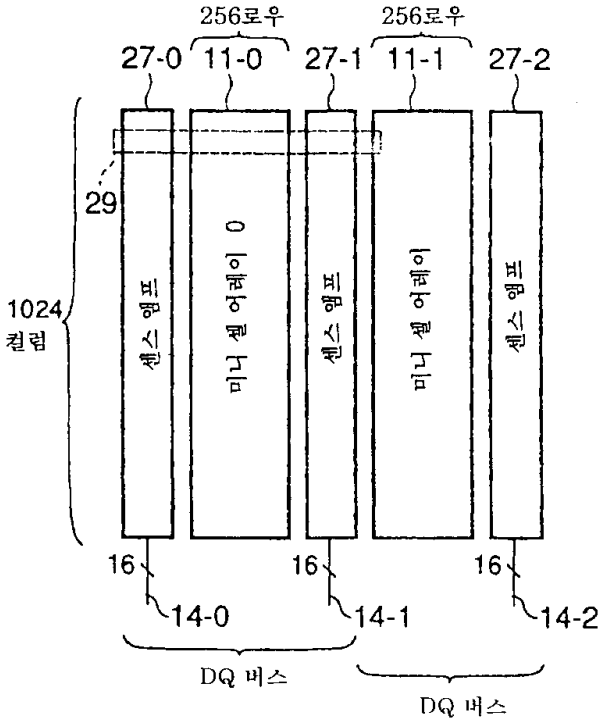
도면4


35A
36A
35B
36B
글로벌 로우 디코더
37-0
37-1
37-2
37-3
메모리 셀 어레이 군
35A-0
35A-1
35A-2
35A-3
35B-0
35B-1
35B-2
35B-3
로컬 로우 디코더0
로컬 로우 디코더1
로컬 로우 디코더2
로컬 로우 디코더3
38A-0
38A-1
38A-2
38A-3
38B-0
38B-1
38B-2
38B-3
CL
39A
39B
DQ선 멀티플렉서 · DQ 버퍼
44A
44B
64
128비트

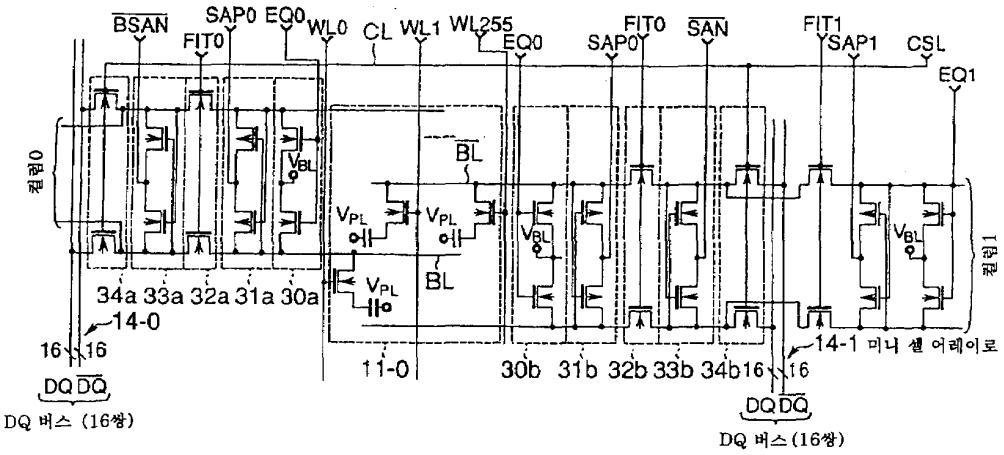
도면5


CAS신호 15
16 컬럼 어드레스 신호(Y0~Y4)
로우 어드레스 신호(X0~X10)
RAS신호
19
CAS 버퍼
컬럼계 제어 회로
컬럼 어드레스 버퍼
17
21
로우 어드레스 버퍼
20
로우계 제어 회로
RAS 버퍼
셀 어레이 제어 신호
18
컬럼 프리 디코더
로우 프리 디코더
22
23
워드선 전위 발생 회로
12A
12B
로우 디코더
로우 디코더
WL
WL
13
WL
WL
11A
11B
10
CL
CL
컬럼 디코더
32
32
32
32
14A
14A
14B
14B
DQ선 멀티플렉서 · DQ 버퍼
26A
DQ선 멀티플렉서 · DQ 버퍼
26B
WE 신호
WE 버퍼
24
64
I/O 버퍼
64
25
128
입출력 데이타

도면6


256로우
256로우
27-0
11-0
27-1
11-1
27-2
29
1024 컬럼
센스 앰프
미니 셀 어레이 0
센스 앰프
미니 셀 어레이
센스 앰프
16
16
16
14-0
14-1
14-2
DQ 버스
DQ 버스

도면7


BSAN
SAP0
EQ0
WL0
CL
WL1
WL255
FIT0
SAN
FIT1
SAP1
CSL
EQ1
컬럼0
컬럼1
VBL
VPL
BL
34a 33a 32a 31a 30a
14-0
16
DQ DQ
DQ 버스 (16쌍)
11-0
30b 31b 32b 33b 34b
14-1 미니 셀 어레이로
DQ 버스 (16쌍)