



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) . Int. Cl.
HO1L 29/78 (2006.01)

(11) 공개번호 10-2007-0007900
(43) 공개일자 2007년01월16일

(21) 출원번호	10-2006-7023143
(22) 출원일자	2006년11월03일
심사청구일자	없음
번역문 제출일자	2006년11월03일
(86) 국제출원번호	PCT/US2005/012252
국제출원일자	2005년04월13일
	(87) 국제공개번호 WO 2005/112099
	국제공개일자 2005년11월24일

(30) 우선권주장 10/839,385 2004년05월05일 미국(US)

(71) 출원인
 프리스케일 세미컨덕터, 인크.
 미합중국 텍사스 (우편번호 78735) 오스틴 월리암 캐논 드라이브 웨스트 6501

(72) 발명자
 첸, 지안
 미국, 텍사스 78750, 아우스틴, 스위트니스 랜 8413
 모라, 로드 알.
 미국, 텍사스 78749, 아우스틴, 휘트 루프 3720
 로스소우, 마크 에이.
 미국, 텍사스 78739, 아우스틴, 레이노사 드라이브 3907
 시호, 야수히토
 미국, 텍사스 78729, 아우스틴, 트위스티드 브리어 12720

(74) 대리인
 이범래

전체 청구항 수 : 총 20 항

(54) 상승된 소스/드레인 프로세싱으로 배치 가능한 스페이서를 결합시키는 반도체 제조의 방법

(57) 요약

반도체 제조 프로세스는 기판(108)을 오버라잉하는 게이트 전극(110)을 형성하는 단계를 포함한다. 제 1 실리콘 질화물 스페이서(122)는 상기 게이트 전극 측벽들에 인접하여 형성되고, 그 후에 배치 가능한 실리콘 질화물 스페이서(130)는 상기 오프셋 스페이서에 인접하여 형성된다. 그 다음으로, 상기 배치 가능한 스페이서(12)의 경계들에 의해 규정되는 높여진 소스/드레인 구조(132)가 에피택셜로 형성된다. 상기 배치 가능한 스페이서(130)는 그 후에 상기 게이트 전극(110)에 가까운 상기 기판(108)을 노출시키기 위해 제거되며, 헤일로(140) 또는 연장 이식(142)과 같은 얇은 이식은 상기 게이트 전극에 가까운 상기 노출된 기판으로 유입된다. 대체 스페이서(136)는 실질적으로 기존 상기 배치 가능한 스페이서(130) 및 소스/드레인 이식이 소스/드레인 불순물 분포를 상기 높여진 소스/드레인(132)으로 유입시키도록 행해지는 경우에 형성된다. 상기 게이트 전극(110)은 오버라잉하는 실리콘 질화물 덮개 층(144)을 포함하며, 상기 제 1 실리콘 질화물 스페이서(122)는 실리콘 질화물에서 폴리실리콘 게이트 전극(110)을 둘러싸도록 상기 덮개 층(144)에 접촉할 수 있다.

내포도

도 8

특허청구의 범위

청구항 1.

반도체 제조 프로세스에 있어서,

기판을 오버라잉하는 게이트 전극을 형성하는 단계;

상기 게이트 전극의 측벽들에 인접한 제 1 실리콘 질화물 스페이서를 형성하는 단계;

상기 오프셋 스페이서에 인접한 배치 가능한 실리콘 질화물 스페이서를 형성하는 단계;

상기 게이트 전극 또는 상기 배치 가능한 스페이서에 의해 보호되지 않는 상기 기판의 영역들을 오버라잉하는 높여진 소스/드레인을 형성하는 단계;

상기 오프셋 스페이서를 제거하지 않으면서, 상기 게이트 전극에 가까운 상기 기판을 노출시키기 위해 상기 배치 가능한 스페이서를 제거하는 단계;

상기 게이트 전극에 가까운 상기 노출된 기판으로 불순물 분포를 이식하는 단계;

실질적으로 상기 배치 가능한 스페이서가 존재하는 대체 스페이서를 형성하는 단계; 및

소스/드레인 불순물 분포를 상기 높여진 소스 드레인으로 유입시키기 위해 소스/드레인 이식을 수행하는 단계를 포함하는, 반도체 제조 프로세스.

청구항 2.

제 1 항에 있어서,

상기 게이트 전극을 형성하는 단계는 폴리실리콘 게이트 전극을 오버라잉하는 실리콘 질화물 덮개 층을 형성하는 단계를 포함하는, 반도체 제조 프로세스.

청구항 3.

제 2 항에 있어서,

상기 제 1 실리콘 질화물 스페이서는 실리콘 질화물에서 상기 폴리실리콘 게이트 전극을 둘러싸기 위해 상기 덮개 층에 접촉하는, 반도체 제조 프로세스.

청구항 4.

제 1 항에 있어서,

상기 제 1 실리콘 질화물 스페이서는 약 150 Å의 두께를 갖는 실리콘 질화막으로부터 형성되는, 반도체 제조 프로세스.

청구항 5.

제 4 항에 있어서,

상기 배치 가능한 실리콘 질화물 스페이서는 약 900 Å의 두께를 갖는 실리콘 질화막으로부터 형성되는, 반도체 제조 프로세스.

청구항 6.

제 1 항에 있어서,

상기 제 1 실리콘 질화물 스페이서와 상기 게이트 전극의 측벽간 제 1 산화물 라이너를 형성하는 단계, 및 상기 제 1 실리콘 질화물 스페이서와 상기 배치 가능한 스페이서간 제 2 산화물 라이너를 형성하는 단계를 더 포함하는, 반도체 제조 프로세스.

청구항 7.

제 1 항에 있어서,

약 5초의 지속기간 동안 약 1060°C의 온도에서 유지되는 환경에서 상기 웨이퍼를 노출시킴으로써 상기 배치 가능한 스페이서의 형성에 따라 상기 웨이퍼를 빠른 열 어닐링하는 단계를 더 포함하는, 반도체 제조 프로세스.

청구항 8.

제 1 항에 있어서,

상기 소스/드레인 이식에 따라 상기 웨이퍼 위에 코발트를 침착시키는 단계 및 그것이 상기 높여진 소스/드레인 내 실리콘 및 상기 게이트 전극 내 실리콘을 포함하는 실리콘에 접촉하는 상기 코발트에 반응하도록 상기 웨이퍼를 가열하는 단계를 더 포함하는, 반도체 제조 프로세스.

청구항 9.

제 1 항에 있어서,

상기 높여진 소스/드레인 형성에 따라서 그리고 상기 배치 가능한 스페이서의 제거에 선행하여, 상기 높여진 소스/드레인을 오버라잉하는 25 Å 보다 적은 산화물을 열로 형성하는 단계를 더 포함하는, 반도체 제조 프로세스.

청구항 10.

반도체 제조 프로세스에 있어서,

기판을 오버라잉하는 게이트 전극을 형성하는 단계;

상기 게이트 전극의 측벽들 상에 산화물 라이너를 형성하는 단계;

상기 산화물 라이너에 인접한 실리콘 질화물의 오프셋 스페이서를 형성하는 단계;

상기 오프셋 스페이서에 인접한 실리콘 질화물의 중간 라이너를 형성하는 단계;

상기 중간 라이너에 인접한 실리콘 질화물의 배치 가능한 스페이서를 형성하는 단계; 및

상기 기판을 오버라잉하고, 상기 배치 가능한 스페이서에 의해 상기 게이트 전극의 측벽들로부터 옆으로 배치되는 높여진 소스/드레인을 형성하는 단계를 포함하는, 반도체 제조 프로세스.

청구항 11.

제 10 항에 있어서,

상기 게이트 전극을 오버라잉하는 실리콘 질화물의 반사 방지 코팅(ARC: antireflective coating)을 형성하는 단계를 더 포함하는, 반도체 제조 프로세스.

청구항 12.

제 11 항에 있어서,

상기 오프셋 라이너는 실리콘 질화물에서 상기 게이트 전극을 에워싸도록 상기 ARC에 접촉하는, 반도체 제조 프로세스.

청구항 13.

제 10 항에 있어서,

상기 높여진 소스/드레인을 형성하는데 따라, 상기 기판의 상위 표면을 노출시키기 위해 상기 중간 산화물 라이너 및 상기 배치 가능한 스페이서를 제거하는 단계, 및 상기 노출된 기판으로 헤일로 및 연장 이식들을 이식하는 단계를 더 포함하는, 반도체 제조 프로세스.

청구항 14.

제 13 항에 있어서,

상기 헤일로 및 연장 이식들을 수행하는데 따라, 상기 최초 중간 산화물 라이너 및 배치 가능한 스페이서가 위치되는 경우에 실질적으로 위치되는 대체 중간 산화물 라이너 및 대체 스페이서를 형성하는 단계를 더 포함하는, 반도체 제조 프로세스.

청구항 15.

제 14 항에 있어서,

상기 대체 스페이서의 형성에 따라, 소스/드레인 불순물 분포를 상기 높여진 소스/드레인으로 유입시키기 위해 소스/드레인 이식을 수행하는 단계를 더 포함하는, 반도체 제조 프로세스.

청구항 16.

반도체 제조 프로세스에 있어서,

기판을 오버라잉하는 게이트 전극을 형성하는 단계;

실리콘 질화물 내에 상기 게이트 전극을 에워싸는 단계;

상기 게이트 전극의 측벽들에 인접한 배치 가능한 스페이서를 형성하는 단계;

상기 배치 가능한 스페이서에 의해 규정되는 상기 기판의 영역을 오버라잉하는 높여진 소스/드레인을 형성하는 단계;

상기 배치 가능한 스페이서를 제거하는 단계;

상기 배치 가능한 스페이서가 위치되는 경우에 실질적으로 위치되는 대체 스페이서를 형성하는 단계; 및

소스/드레인 이식을 수행하는 단계를 포함하는, 반도체 제조 프로세스.

청구항 17.

제 1 항에 있어서,

상기 게이트 전극을 에워싸는 단계는 상기 게이트 전극의 측벽들에 인접한 실리콘 질화물 오프셋 스페이서를 형성하는 단계를 포함하며, 상기 오프셋 스페이서는 상기 게이트 전극을 오버라잉하는 실리콘 질화물 덮개에 접촉하는, 반도체 제조 프로세스.

청구항 18.

제 17 항에 있어서,

상기 게이트 전극 및 상기 오프셋 스페이서 사이 중간에 제 1 라이너 산화물을 형성하는 단계, 및 상기 오프셋 스페이서 및 상기 배치 가능한 스페이서 사이 중간에 제 2 라인 산화물을 형성하는 단계를 더 포함하는, 반도체 제조 프로세스.

청구항 19.

제 18 항에 있어서,

상기 배치 가능한 스페이서는 실리콘 질화물을 포함하며, 상기 제 1 및 제 2 라이너 유전체들은 실리콘 산화물 혼합물을 포함하는, 반도체 제조 프로세스.

청구항 20.

제 16 항에 있어서,

상기 높여진 소스/드레인을 형성하는 단계는 적어도 1000°C의 온도에서 상기 높여진 소스/드레인의 에피택셜 형성을 포함하는, 반도체 제조 프로세스.

명세서

기술분야

본 발명은 반도체 제조 분야, 보다 구체적으로는 높여진 소스/드레인 프로세싱을 활용하는 반도체 제조 프로세스들에 관한 것이다.

배경기술

반도체 제조의 분야에 있어서, SOI(silicon-on-insulator) 테크놀로지에서 실리콘 막 두께의 스케일링은 높여진 소스/드레인 구조들의 사용을 필요로 해 왔다. SOI 웨이퍼들은 실리콘 산화물과 같은 매립된 전기적 절연층을 오버라잉하는 (트랜지스터 채널과 같은 트랜지스터 구조들이 위치되는) 얇은 실리콘 영역을 포함한다. 얇은 실리콘 층은 너무 얕아서 바람직하지 않고 성능을 제한하는 전류 혼잡없이 트랜지스터 소스/드레인 영역을 포함할 수 없다. 높여진 소스/드레인 구조들은 소스/드레인 영역들이 형성되는 보다 두꺼운 실리콘 막을 제공함으로써 이러한 문제를 완화한다.

일반적으로, 높여진 소스/드레인 구조들은 선택적 에피택셜 프로세스를 통해 제조된다. 높여진 소스/드레인 영역들을 형성하는 에피택셜 프로세스는 불행히도 프로세싱 시퀀스로 추가적인 열 사이클을 유입시킨다. 그 추가적인 열 사이클은 웨이퍼로 이미 유입된 불순물 분포들에 바람직하지 않은 영향을 갖는다. 종래의 프로세스들에 있어서, 이러한 불순물 분포들은 CMOS 제조의 분야에 공지되어 있는 헤일로 및 연장 불순물 분포들을 포함할 수 있다. 그것이 헤일로 및 연장 이식 분포들의 깊이를 최소화하기 위해 매우 바람직하기 때문에, 에피택셜 프로세스에 의해 표현되는 추가적인 열 사이클이 문제가 된다.

발명의 상세한 설명

따라서, 웨이퍼 내에 기존 불순물 프로파일들의 결과적인 영향과 연관되어 동시에 어드레싱이 유출되는 동안, 높여진 소스/드레인 프로세싱을 포함하는 반도체 제조의 방법을 도입하는 것이 매우 바람직하다. 구현된 해결책이 매우 반복적이고 신뢰 가능한 경우와, 구현된 프로세스가 게이트 전극과 같은 다른 트랜지스터 구조들에 대해 어떠한 역효과도 갖지 않는 경우 더욱 바람직할 것이다.

본 발명은 예를 들어 설명되며, 유사한 참조 부호들은 유사한 요소들을 표시하는 첨부된 도면들에 의해 제한되지 않는다.

실시예

일반적으로 말해서, 본 발명은 배치 가능한 스페이서가 신뢰 가능한 높여진 소스/드레인 프로세스 시퀀스를 제공하기 위해 높여진 소스/드레인 프로세싱과 관련하여 사용되는 반도체 제조 프로세스 및 그 결과적인 트랜지스터 구조를 포함한다. 배치 가능한 스페이서와 관련하는 오프셋 스페이서의 사용은 높여진 소스/드레인 형성 후에 얇은 이식들의 유입을 계속해서 인에이블하는 반면에, 높여진 소스/드레인 형성 시퀀스 동안 게이트 전극상에 "마우스 이어들(mouse ears)"과 같은 원치 않는 구조들의 형성을 방지하는데 유리하다. 하나의 구현에 있어서, 실리콘 질화물 오프셋 스페이서는 높여진 소스/드레인의 에피택셜 프로세싱 동안 트랜지스터 게이트 전극의 코너들에서 이른바 "마우스 이어들"의 형성을 방지하도록 사용된다. 원치 않는 구조들의 형성을 방지함으로써, 본 발명의 제조 프로세스는 보다 유리하게 신뢰 가능하며 재생산 가능하다.

이제 도면들을 참조하면, 반도체 웨이퍼의 부분 단면도들의 시퀀스는 본 발명의 일 실시예에 따른 제조 프로세스의 선택된 단계들을 반영하여 표현된다. 도 1에서, 웨이퍼(100)는 본 발명에 따른 제조 프로세스의 제 1 선택된 단계에서 도시된다. 상기 도시된 실시예에서, 웨이퍼(100)는 매립된 산화물(BOX) 층(104)을 오버라잉하는 실리콘 층(108)을 포함하는 SOI (silicon-on-insulator) 웨이퍼이다. BOX 층(104)은 웨이퍼(100)의 실리콘 벌크 영역(도시되지 않음)을 오버라잉할 가능성이 높다. 실리콘 층(108)은 약 700 Å의 두께를 갖는 단일한 결정성 실리콘인 것이 바람직하며, BOX 층(104)은 약 1400 Å의 두께를 갖는 실리콘 산화물과 같은 실리콘 산화 혼합물인 것이 바람직하다.

도 1에 도시된 바와 같이, 웨이퍼(100)는 실리콘 층(108)을 오버라잉하는 게이트 구조를 포함한다. 게이트 구조는 실리콘 층(108)을 오버라잉하는 게이트 유전체(112), 게이트 유전체(112)를 오버라잉하는 전도성 게이트 전극(110), 및 게이트 전극(110)을 오버라잉하는 덮개 층(capping layer)(114)을 포함한다. 일 실시예에서, 게이트 유전체(112)는 열로 형성된 실리콘 산화물과 같은 실리콘 산화 혼합물이며, 게이트 전극(110)은 종래의 폴리실리콘 게이트 전극이다. 다른 실시예들에서, 게이트 유전체(112)는 게이트 전극(110)이 티타늄, 탄탈, 및 그의 합금들과 같은 하나 또는 그 이상의 금속 재료들을 포함할 수 있는 반면에, HfO(hafnium oxide)와 같은 "높은 K" 유전체 재료(즉, 실리콘 산화물의 유전체 상수보다 더 큰 유전체 상수를 갖는 유전체)를 포함할 수 있다. 덮개 층(114)은 게이트 전극(110) 위에 ARC(antireflective coating)를 제공하는 것이 바람직하다. 그러한 일 실시예에서, (또한 본 명세서에서 ARC(114)로도 언급되는) 덮개 층(114)은 실리콘 질화막이다.

이제 도 2를 참조로 하면, 본 발명에 따른 높여진 소스/드레인 프로세싱은 게이트 전극(110)의 외부 및 실리콘 층(108)의 상위 표면상에 라이너 유전체(120)를 형성함으로써 개시된다. 일 실시예에서, 라이너 유전체(120)는 폴리실리콘 게이트 전극(110) (및 실리콘 층(108))을 열로 산화시킴으로써 형성되는 약 23 Å의 상대적으로 얇은 실리콘 산화물 라이너이다.

도 3을 참조로 하면, 오프셋 스페이서(122)로 본 명세서에서 언급되는 상대적으로 얇은 유전체 스페이서가 게이트 전극(110)의 측벽들에 인접하여 라이너 유전체(120)의 측벽상에 형성된다. 일 실시예에서, 오프셋 스페이서(122)는 CVD 리액터를 사용하여 웨이퍼(100)상에 실리콘 질화물을 침착시키고, 그 후에 실리콘 층(108) 위에 라이너 유전체(120)의 상위 표면과 같이 수평으로 향하는 표면들로부터 실리콘 질화물을 제거하는 동안, 라이너 유전체(120)의 측벽들과 같이 수직으로 향하는 표면들 상에 실리콘 질화물을 남기기 위해 침착된 막을 비등방성으로 에칭함으로써 형성된다. 도시된 실시예에서, 오프셋 스페이서(122)는 ARC(114)에 접촉하고, 그에 의해 계속되는 프로세싱 동안, 보다 구체적으로는 계속되는 실리콘 형성 프로세싱 동안 게이트 전극에 대해 보호성 장벽을 제공하기 위해 실리콘 질화물 내 게이트 전극(110)을 에워싸거나 둘러싸는데 유리하다. 일 실시예에서, 실리콘 질화물의 150 Angstrom 두께 층은 오프셋 스페이서(122)를 형성하기 위해 침착되어 에칭된다.

도 4에서, 제 2 라이너 유전체(124)는 오프셋 스페이서(122)의 측벽들과 (제 1) 라이너 유전체(120)의 상위 표면상에 형성된다. (라이너 유전체들(120, 124)이 모두 실리콘 산화 혼합물들인 것이 바람직하기 때문에, 그 막은 실리콘 층(108)을 오버라잉하는 단일한 참조 번호(124)를 통해 도시된다). 하나의 구현에 있어서, 제 2 라이너 유전체(124)는 약 150 Å의 두께를 갖는 CVD 실리콘 산화막인 것이 바람직하다. 제 1 라이너 유전체(120)가 열로 형성된 산화물이고 제 2 라이너 유전체가 CVD 산화물인 실시예들에 대해, HF 용액에서 제 1 라이너 유전체(120)의 에칭 레이트가 제 2 유전체(124)의 에칭 레이트보다 현저히 낮다는 것이 이해될 것이다. 제 1 라이너 유전체(120)의 보다 느린 에칭 레이트는 제 1 라이너 유전체(120)가 게이트 전극을 보호하고 오프셋 스페이서(122)에 대한 기계적 지원을 제공하기 위해 계속되는 프로세싱 동안 남아있는데 유리하다는 것을 보장할 것이다.

도 5에서, 배치 가능한 스페이서(130)로 본 명세서에서 언급되는 스페이서는 오프셋 스페이서(122)에 인접하여 제 2 라이너 유전체(124)의 측벽들 상에 형성되어 있다. 양호한 실시예에서, 배치 가능한 스페이서는 비등방성 실리콘 질화물 에칭 이전에 실리콘 질화물의 약 900 Å를 침착시킴으로써 형성되는 실리콘 질화물 스페이서이다. 그 후에, 배치 가능한 스페이서(130)는 그에 따라 침착된 실리콘 질화물 밀도를 높이기 위해 빠른 열 어닐(예로써, 1060°C에서 5초)에 적용될 수 있다. (덮개 층(114) 및 오프셋 스페이서(122)와 관련된) 배치 가능한 스페이서(130)는 높여진 소스/드레인 구조가 형성될 밑에 있는 실리콘 웨이퍼(108)의 일부분들을 규정하는 마스크로 작용한다.

도 5에 도시된 바와 같이, 실리콘 웨이퍼(100)는 높여진 소스/드레인을 에피택셜로 형성하도록 요구되는 고온 프로세스에 의해 부정적으로 영향을 받는 연장 및 헤일로 이식 프로세스들과 같은 얇은 이식 프로세스들 이전에 높여진 소스/드레인 영역들의 형성을 인에이블하는 배치 가능한 스페이서를 포함하는데 유리하다. 추가로, 오프셋 스페이서(122) 및 ARC(114)의 포함은 고온의 실리콘 형성 프로세스 동안 게이트 전극(110)을 보호하고, 그에 의해 게이트 전극의 코너들에서 이른바 마우스 이어들의 형성을 방지한다. 따라서, 도 5에 도시된 바와 같은 웨이퍼(100)는 게이트 전극 구조의 물리적 치수들을 손상시키지 않으며 높여진 소스/드레인 형성 프로세스 시퀀스와 같은 에피택셜 또는 다른 고온, 실리콘 형성 프로세스에 적용되기에 적절하다.

실리콘 게이트 전극과 접촉 상태에 있는 매우 얇은 산화물 라이너상에 직접적으로 스페이서(130)와 유사한 질화물 스페이서를 전형적으로 형성하는 얇은 이식들 이전에 높여진 소스/드레인 구조들을 형성하는 종래의 프로세스들이 에피택셜 프로세싱 동안 게이트 전극상에 상당한 원치않는 실리콘 형성을 나타낼 수 있는 반면에, 기술된 본 발명은 게이트 전극의 보다 양호한 보호를 제공함으로써 더 우수한 반복성 및 신뢰성을 촉진한다. 본 발명의 게이트 전극(110)은 오프셋 스페이서(122)가 ARC(114)와 접촉하여 형성될 때 형성되는 실리콘 질화물 망 내에서 밀봉된다. 추가로, 이하 기술되는 바와 같이, 오프셋 스페이서(122)는 계속되는 에칭 프로세싱 동안 양호한 에칭 멈춤과 얇은 이식들에 대한 바람직한 오프셋 스페이서를 제공한다.

이제 도 6으로 돌아가면, 높여진 실리콘 층(132)이 실리콘 층(108)의 노출된 부분들(즉, 게이트 전극(110)이나 배치 가능한 스페이서(130)에 의해 커버되지 않는 실리콘 층(108)의 일부분들)을 오버라잉하여 형성된다. 높여진 소스/드레인 층(132)을 형성하는 양호한 실시예는 1000°C를 넘는 온도에서 SiHCl_3 와 같은 실리콘 염화물 소스를 사용하여 높여진 소스/드레인 층(132)의 에피택셜 성장을 포함한다. 하나의 구현에서 높여진 소스/드레인 층(132)의 두께는 약 200 내지 300 Å의 범위내에 있다. 에피택셜 프로세싱 동안 배치 가능한 스페이서(130)의 존재는 그 스페이서 아래 에피택셜 층의 형성을 방지한다. 마찬가지로, 오프셋 스페이서(122) 및 ARC(114)의 존재는 에피택셜 프로세싱이 게이트 전극(110)의 프로파일

에 영향을 미치는 것을 방지한다. 일 실시예에서, 높여진 소스/드레인(132)의 형성을 따라서, 산화물의 얇은(즉, 25 Å 보다 적은) 층이 높여진 소스/드레인(132)을 오버라잉하여 열로 성장된다. 계속해서 스트립핑되는 이러한 얇은 산화물은 에피택셜 막의 상위 표면에서 오염물들 및 결함들을 제거하는 희생 층이다.

이제 도 7을 참조로 하면, 높여진 소스/드레인 영역(132)에 따라, 배치 가능한 스페이서(130) 및 제 2 라이너 유전체(124)는 게이트 전극(110)에 매우 근접하여 실리콘 층(108)의 일부분들을 노출시키기 위해 오프셋 스페이서(122)를 제거하지 않으며 제거된다(단지 라이너(120) 및 오프셋 스페이서(122)의 결합된 두께에 의해서만 게이트 전극(110)으로부터 옆으로 배치된다). 배치 가능한 스페이서(130)는 제 2 라이너 유전체(124)가 HF 담금 또는 또 다른 적절한 에칭 프로세스를 통해 제거되는 반면에, 인산 용액 내에 웨이퍼(100)를 담금으로써 제거되는 것이 바람직하다. HF가 적절히 제거되는 경우, 오프셋 스페이서(122) 밑에 있는 열로 형성된 제 1 라이너 유전체(120)는 CVD 제 2 라이너 유전체(124)가 HF에서 그것들의 각각의 에칭 레이트들에 따른 차이들로 인해 제거된 후에 원래 상태로 남아있을 것이다.

라이너(120), 스페이서(122), 라이너(124), 및 스페이서(130)의 산화물 질화물 산화물 질화물 층은 각각의 막의 별개의 제거를 인에이블하고, 그에 의해 오프셋 스페이서(122)에 영향을 미치지 않으며 배치 가능한 스페이서(130)의 제거를 용이하게 한다. 오프셋 스페이서(122)의 존재는 제 2 라이너 유전체(124)의 제거 동안 게이트 전극(110)의 측벽들을 보호하는데 유리하다. ARC(114) 및 배치 가능한 스페이서(130)가 모두 실리콘 질화물인 실시예들에 대해, 배치 가능한 스페이서(130)의 제거는 또한 (도 7에 도시된 바와 같이) ARC(114)를 제거한다. 스페이서(130) 및 라이너(124)의 제거는 게이트 전극(110)에 가까운 실리콘 층(108)의 상위 표면을 노출시킨다.

이제 도 8을 참조로 하면, 참조 번호 140으로 표현되는 헤일로 이식을 포함하는 얇은 이식들과 참조 번호(142)에 의해 표현되는 연장 이식이 수행된다. 헤일로 이식(140)은 자산이 유입되는 웰 영역과 같이 동일한 종들의 불순물을 유입시키는 각을 이루는 이식이다. 연장 이식(142)은 각각의 웰 영역으로 반대 형태의 불순물을 유입시킨다. 따라서, (P 웰들에 대한) NMOS 트랜지스터들에 대해, 헤일로 이식(140)은 연장 이식(142)이 인 또는 비소와 같은 N형 도편트인 반면에, 봉소와 같은 P형 도편트이다. 얇은 이식들 동안 약 100 Å의 두께를 갖는 오프셋 스페이서(122)의 존재는 게이트 전극(110) 및 밑에 있는 트랜지스터 채널에 비하여 이식된 불순물 분포들의 위치를 최적화하는데 유리하다.

이제 도 9를 참조로 하면, 얇은 이식들에 따라, 제 3 라이너 유전체(134) 및 대체 스페이서(136)는 실리콘 층(108)의 일부분을 커버하기 위에 이전에 있던 배치 가능한 스페이서(130) 및 라인(124)이 그 배치 가능한 스페이서가 제거될 때 노출되는 경우에 형성된다. 일 실시예에서, 라이너(134) 및 스페이서(136)의 형성은 제 2 라이너 유전체(124) 및 배치 가능한 스페이서(130)의 형성과 실질적으로 같다. 그러므로, 이러한 실시예에서, 제 3 라이너 유전체(134)는 대체 스페이서(136)가 실리콘 질화물인 반면에 실리콘 산화물 층이다.

도 10을 참조로 하면, 참조 번호 140에 의해 표현되는 소스/드레인 이식은 높여진 소스/드레인(132)으로 상대적으로 높은 불순물 농도를 갖는 소스/드레인 불순물 분포를 유입시키기 위해 수행된다. NMOS 트랜지스터들에 대해, 소스/드레인 이식(140)은 P형 도편트가 PMOS 트랜지스터들에 대해 사용되는 반면에, 비소 또는 인과 같은 N형 도편트이다. 빠른 열 어닐 프로세스는 이식된 종들을 활성화시키기 위해 소스/드레인 이식(140)에 따라 수행될 수 있다. 이러한 어닐의 가능한 실시예는 약 5초의 지속기간 동안 약 1000°C의 온도에서 웨이퍼(100)를 노출시킬 것이다.

이제 도 11을 참조로 하면, 웨이퍼(100)의 규화물 프로세싱은 웨이퍼(100) 위에 실리콘과 반응하는 코발트와 같은 금속을 침착시킴으로써 수행된다. 그에 따라, 웨이퍼는 반도체 웨이퍼 제조에 따른 당업자들에게 친숙한 방식으로 참조 번호(150)에 의해 식별되는 규화물 구조들을 형성하기 위해 실리콘을 갖는 금속(금속이 실리콘을 오버라잉한다)과 반응하도록 가열된다. 규화물(150)은 실리콘 게이트(110)를 덮는 것 이외에 높여진 소스/드레인 영역(130)을 덮어서 형성한다. 도시된 실시예에서, 규화물(150)은 전체적으로 향사된 소스/드레인(132)을 통해 그리고 부분적으로 밑에 있는 실리콘 층(108)으로 연장한다.

결과적인 트랜지스터(160)는 트랜지스터 채널 영역(162)을 오버라잉하는 게이트 전극(110)을 포함한다. 규화되고 높여진 소스/드레인 영역은 게이트 전극(110)으로부터 옆으로 배치된다. 모두 실리콘 질화물로 구성된 오프셋 스페이서(122) 및 대체 스페이서(136)는 게이트 전극(110) 및 높여진 소스/드레인(132) 사이에 위치된다. 제 1 라이너 산화물(120)은 제 3 라이너 산화물(134)이 오프셋 스페이서(122) 및 대체 스페이서(136) 사이에 배치되는 반면에, 오프셋 스페이서(122) 및 게이트 전극(110) 사이에 위치된다.

상기된 명세서에서, 본 발명은 특정 실시예들을 참조로 하여 기술하였다. 그러나, 당업자는 다양한 수정들 및 변경들이 이하의 특허청구범위에 설명된 바와 같이 본 발명의 범위로부터 벗어나지 않으며 이루어질 수 있다는 것을 이해할 것이다. 예와 같이, 높여진 소스/드레인(132)의 에피택셜 형성을 위한 다양한 막들 및 소스 가스에 대한 명시된 두께는 본 명세서

에 명시된 것들과 서로 다를 수 있다. 대안의 또 다른 예는 도 11과 관련하여 기술된 규화물 프로세싱에 대해 서로 다른 금속으로 대체하는 것이다. 따라서, 본 명세서 및 도면들은 제한적인 의미 보다는 예시적으로 간주되어야 하며, 모든 그러한 수정들은 본 발명의 범위 내에 포함되는 것으로 의도된다.

이익들, 다른 장점들, 문제들에 대한 해결책들은 특정 실시예들과 관련하여 위에 기술되어 있다. 그러나, 어떠한 이익, 장점, 또는 해결책이 보다 명백하게 되도록 할 수 있는 이익들, 장점들, 문제들에 대한 해결책들, 및 어떠한 요소(들)는 특정 또는 모든 특허청구범위의 중요하거나, 요구되거나, 본질적인 특징 또는 요소로 해석되지 않아야 한다. 본 명세서에 사용된 바와 같이, 용어들 "포함하다", "포함하는", 또는 그의 어떤 다른 변형은 베타적이지 않은 포함을 커버하도록 간주되며, 그와 같이 요소들의 리스트를 포함하는 프로세스, 방법, 물품, 또는 장치는 그러한 요소들을 포함할 뿐만 아니라 그러한 프로세스, 방법, 물품, 또는 장치에 고유하거나 명백히 열거되지 않은 다른 요소들도 포함할 수 있다.

도면의 간단한 설명

도 1은 게이트 전극이 기판을 오버라잉하여 형성되는 본 발명에 따른 제조 프로세스의 일 실시예의 제 1 선택된 단계에서 반도체 웨이퍼를 도시한 부분 단면도.

도 2는 제 1 산화물 라이너가 형성되는 도 1에 따른 프로세싱을 도시한 도면.

도 3은 오프셋 스페이서가 상기 제 1 산화물 라이너에 인접하여 형성되는 도 2에 따른 프로세싱을 도시한 도면.

도 4는 제 2 산화물 라이너가 형성되는 도 3에 따른 프로세싱을 도시한 도면.

도 5는 배치 가능한 스페이서가 형성되는 도 4에 따른 프로세싱을 도시한 도면.

도 6은 높여진 소스/드레인이 형성되는 도 5에 따른 프로세싱을 도시한 도면.

도 7은 배치 가능한 스페이서 및 제 2 산화물 라이너가 제거되는 도 6에 따른 프로세싱을 도시한 도면.

도 8은 얇은 이식들이 수행되는 도 7에 따른 프로세싱을 도시한 도면.

도 9는 배치 가능한 스페이서가 이전에 존재한 경우 대체 산화물 라이너 및 대체 스페이서가 형성되는 도 8에 따른 프로세싱을 도시한 도면.

도 10은 소스/드레인 이식이 높여진 소스/드레인으로 유입되는 도 9에 따른 프로세싱을 도시한 도면.

도 11은 게이트 전극 및 소스/드레인 영역들이 규화되는 도 10에 따른 프로세싱을 도시한 도면.

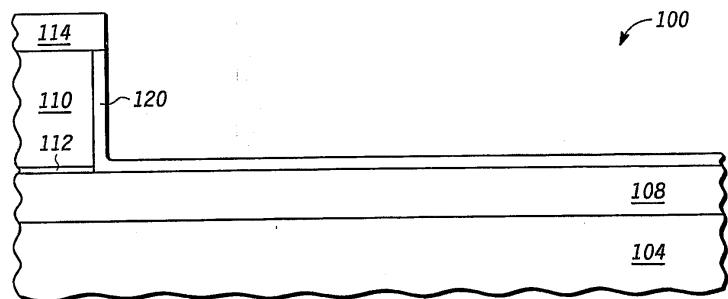
당업자들은 도면들 내 요소들이 단순성과 명확성을 위해 도시되며, 반드시 스케일에 따라 도시되지 않았다는 것을 이해할 것이다. 예를 들어, 도면들 내 일부 요소들의 치수들은 본 발명의 실시예들의 이해를 향상시키는 것을 돋기 위해 다른 요소들과 비교하여 과장될 수 있다.

도면

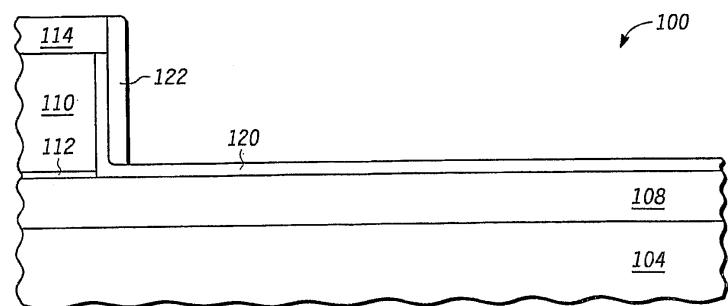
도면1



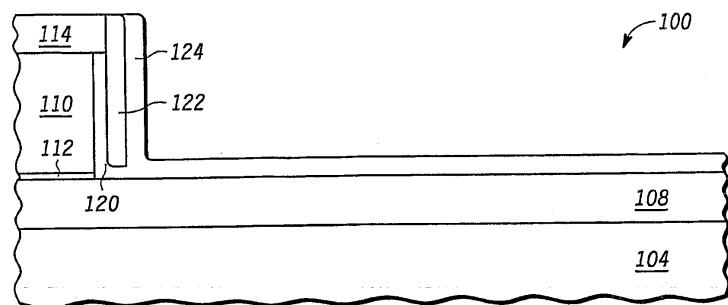
도면2



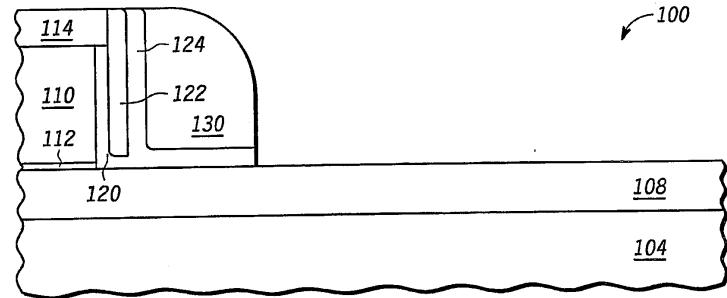
도면3



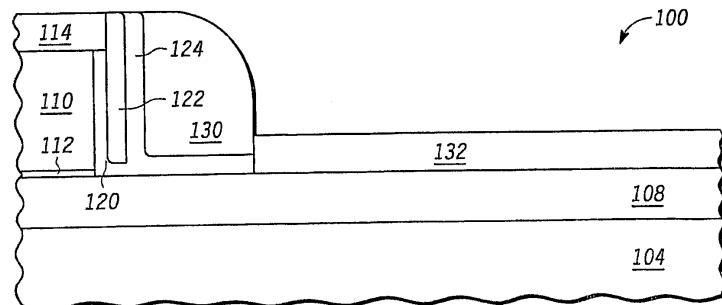
도면4



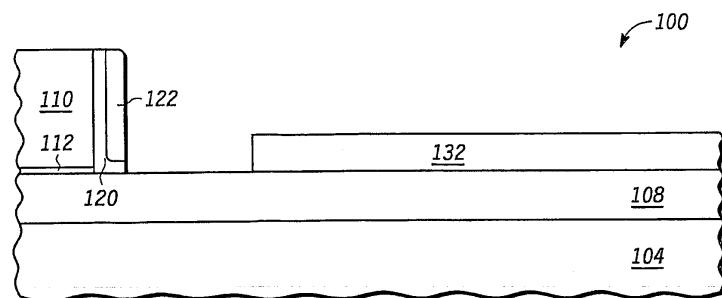
도면5



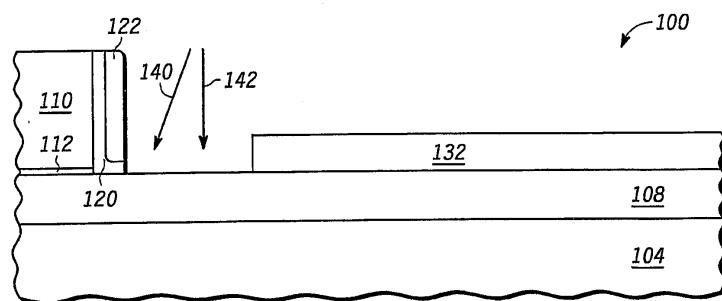
도면6



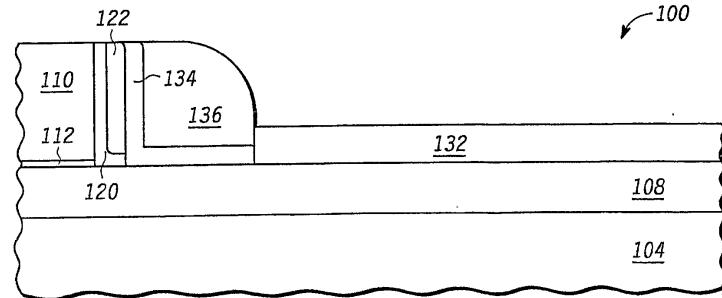
도면7



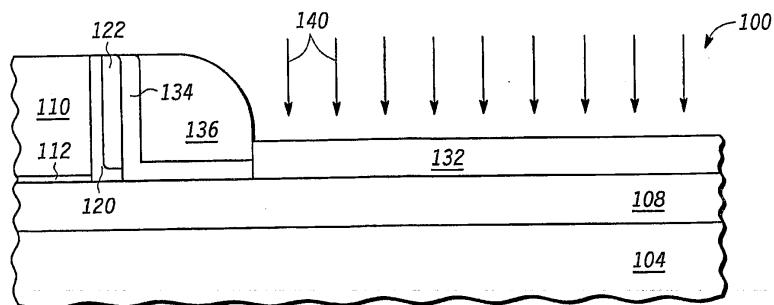
도면8



도면9



도면10



도면11

