

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-11529  
(P2010-11529A)

(43) 公開日 平成22年1月14日(2010.1.14)

(51) Int.Cl. F I テーマコード(参考)  
**HO2M 3/155 (2006.01)** HO2M 3/155 C 5H730  
 HO2M 3/155 K

審査請求 未請求 請求項の数 5 O L (全 10 頁)

(21) 出願番号 特願2008-164182(P2008-164182)  
 (22) 出願日 平成20年6月24日(2008.6.24)

(71) 出願人 000006747  
 株式会社リコー  
 東京都大田区中馬込1丁目3番6号  
 (74) 代理人 100081422  
 弁理士 田中 光雄  
 (74) 代理人 100068526  
 弁理士 田村 恭生  
 (74) 代理人 100098280  
 弁理士 石野 正弘  
 (72) 発明者 原 清仁  
 東京都大田区中馬込1丁目3番6号 株式  
 会社リコー内  
 (72) 発明者 河野 幸一  
 東京都大田区中馬込1丁目3番6号 株式  
 会社リコー内

最終頁に続く

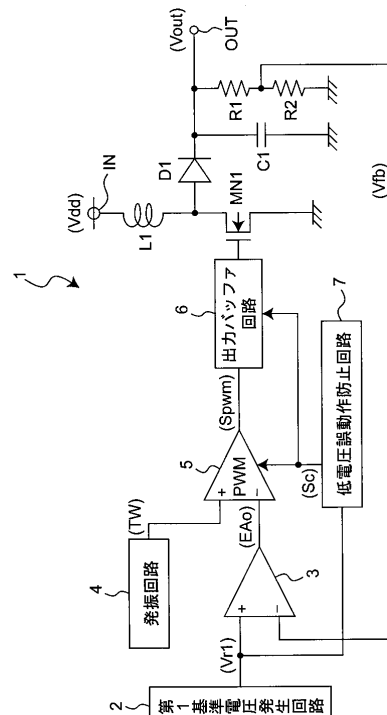
(54) 【発明の名称】 スイッチングレギュレータ及びその動作制御方法

(57) 【要約】

【課題】低電圧誤動作防止回路を含むIC内部にある回路が制御不能になることを防止できるスイッチングレギュレータ及びその動作制御方法を得る。

【解決手段】低電圧誤動作防止回路7によって、電源電圧V<sub>dd</sub>が所定値未満のときはスイッチングトランジスタMN1を強制的にオフさせ、電源電圧V<sub>dd</sub>が所定値以上になるとスイッチングトランジスタMN1をPWMコンパレータ5からのパルス信号S<sub>pwm</sub>に応じてオン/オフさせるように、PWMコンパレータ5及び出力バッファ回路6の動作制御を行うようにし、低電圧誤動作防止回路7内で生成した第2基準電圧V<sub>r2</sub>が、第1基準電圧V<sub>r1</sub>よりも少し小さい電圧に設定され、かつ電源電圧V<sub>dd</sub>の立ち上がりに伴って素早く立ち上がるようにして、第1基準電圧V<sub>r1</sub>と第2基準電圧V<sub>r2</sub>との電圧比較を行うことにより、IC内部の電源電圧の状態を検出するようにした。

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

入力された電源電圧を、所定の定電圧に変換して出力電圧として出力するスイッチングレギュレータにおいて、

入力された制御信号に応じてスイッチングを行うスイッチ素子と、

該スイッチ素子のスイッチングによって前記電源電圧による充電が行われるインダクタと、

前記スイッチ素子がオフして該インダクタへの充電が停止すると、該インダクタの放電を行う整流素子と、

前記出力電圧に比例した第 1 比例電圧が、所定の第 1 基準電圧になるように前記スイッチ素子のスイッチング制御を行う制御回路部と、

10

前記電源電圧が所定値未満であるときは、該制御回路部に対して、前記スイッチ素子を強制的にオフさせて遮断状態にさせる低電圧誤動作防止回路部と、

を備え、

前記低電圧誤動作防止回路部は、前記第 1 基準電圧よりも小さく、前記電源電圧の立ち上がり時に前記第 1 基準電圧よりも立ち上がり速度が速い第 2 基準電圧を生成し、前記第 1 基準電圧が該第 2 基準電圧よりも小さいか、又は前記電源電圧が前記所定値未満である場合は、前記制御回路部に対して、前記スイッチ素子を強制的にオフさせて遮断状態にさせることを特徴とするスイッチングレギュレータ。

**【請求項 2】**

20

前記低電圧誤動作防止回路部は、前記電源電圧に比例した第 2 比例電圧を生成し、該第 2 比例電圧が前記第 1 基準電圧未満であるとき、前記電源電圧が前記所定値未満であると判定することを特徴とする請求項 1 記載のスイッチングレギュレータ。

**【請求項 3】**

前記低電圧誤動作防止回路部は、

前記第 2 基準電圧を生成して出力する第 2 基準電圧発生回路と、

前記第 2 比例電圧を生成して出力する第 2 比例電圧生成回路と、

前記第 1 基準電圧と該第 2 比例電圧との電圧比較を行い、該比較結果を示す信号を生成して出力する第 1 電圧比較回路と、

前記第 1 基準電圧と前記第 2 基準電圧との電圧比較を行い、該比較結果を示す信号を生成して出力する第 2 電圧比較回路と、

30

前記第 1 電圧比較回路及び第 2 電圧比較回路の各出力信号から、前記制御回路部に対する制御信号を生成して出力する制御信号生成回路と、

を備え、

前記制御信号生成回路は、前記第 1 電圧比較回路及び第 2 電圧比較回路の各出力信号から、前記第 1 基準電圧が前記第 2 基準電圧よりも小さいか、又は前記電源電圧が前記所定値未満であることを検出すると、前記制御回路部に対して、前記スイッチ素子を強制的にオフさせて遮断状態にさせるように前記制御信号を生成し出力することを特徴とする請求項 2 記載のスイッチングレギュレータ。

**【請求項 4】**

40

入力された制御信号に応じてスイッチングを行うスイッチ素子と、

該スイッチ素子のスイッチングによって電源電圧による充電が行われるインダクタと、

前記スイッチ素子がオフして該インダクタへの充電が停止すると、該インダクタの放電を行う整流素子と、

を備え、

出力電圧に比例した第 1 比例電圧が、所定の第 1 基準電圧になるように前記スイッチ素子のスイッチング制御を行い、入力された前記電源電圧を、所定の定電圧に変換して前記出力電圧として出力するスイッチングレギュレータにおける動作制御方法において、

前記第 1 基準電圧よりも小さく、前記電源電圧の立ち上がり時に前記第 1 基準電圧よりも立ち上がり速度が速い第 2 基準電圧を生成し、

50

前記第1基準電圧が該第2基準電圧よりも小さいか、又は前記電源電圧が所定値未満である場合は、前記スイッチ素子を強制的にオフさせて遮断状態にさせることを特徴とするスイッチングレギュレータの動作制御方法。

【請求項5】

前記電源電圧に比例した第2比例電圧を生成し、該第2比例電圧が前記第1基準電圧未満であるとき、前記電源電圧が前記所定値未満であると判定することを特徴とする請求項4記載のスイッチングレギュレータの動作制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、出力電流の変動や、入力電圧の変動に対して高速に応答して出力電圧を所定の電圧で一定にすることができる、低消費電流のスイッチングレギュレータに関する。

【背景技術】

【0002】

従来のスイッチングレギュレータにおける制御用ICは、スイッチングレギュレータの起動や停止によるIC内部電圧の生成過渡状態において、制御の誤動作によって電源を供給するシステムの劣化を生じさせる可能性があった。このような不具合の発生を防止するために、従来のスイッチングレギュレータでは、低電圧誤動作防止回路を用いて、電源電圧が設定電圧以下になると、強制的にスイッチ素子をオフさせる制御を行っていた。この場合、電源電圧が極めて低い値になると、図4に示すように、IC内部の電源が正常な値になっていないため、電源電圧が正常に立ち上がっていることを正確に確認することができず、低電圧誤動作防止回路自体が正常な動作ができなくなるという問題があった。

【0003】

そこで、異なる低電圧検出値を有する2つの低電圧誤動作防止回路を備えてこのような問題の解決を図っていた(例えば、特許文献1参照。)。該低電圧検出値の1つは、前記スイッチ素子に使用するパワーMOSFETの特性によって決まる電圧であり、従来、よく使用されているものであった。もう1つの低電圧検出値は、電源電圧が極めて低い値になったことを検出するためのものであり、スイッチングレギュレータを構成するトランジスタ群のしきい値電圧で決定される電圧になっていた。すなわち、電源電圧が、スイッチングレギュレータの制御用ICを構成しているトランジスタ群のしきい値電圧よりも小さい状態では、スイッチ素子を強制的にオフさせるようにしていた。このようにすることにより、電源電圧が極めて小さい状態でも、低電圧誤動作防止回路が作動して、その時の動作を強制的にオフ状態にすることができ、前記のような誤動作を防止していた。

【特許文献1】特開2005-78557号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

しかし、このような手法は、電源電圧が、スイッチングレギュレータを構成するトランジスタ群のしきい値電圧で決定される電圧よりも低い状態を検出することで、このような状態を検出している期間、スイッチ素子をなすパワーMOSFETをオフさせる制御を行っているが、電源電圧が前記トランジスタ群のしきい値電圧よりも大きくなったときに、ICの内部電源が正常な電圧になっているとは限らなかった。ICの内部電源が正常な電圧になっていない場合、図5で示すように、低電圧誤動作防止回路を含むIC内部にある回路が制御不能になる期間が存在し、このような期間において誤動作を引き起こしシステムの劣化を引き起こす可能性があった。

【0005】

本発明は、このような問題を解決するためになされたものであり、ICの内部電源が正常な電圧になっているか否かの検出を行うことにより、低電圧誤動作防止回路を含むIC内部にある回路が制御不能になることを防止することができるスイッチングレギュレータ及びその動作制御方法を得ることを目的とする。

10

20

30

40

50

## 【課題を解決するための手段】

## 【0006】

この発明に係るスイッチングレギュレータは、入力された電源電圧を、所定の定電圧に変換して出力電圧として出力するスイッチングレギュレータにおいて、

入力された制御信号に応じてスイッチングを行うスイッチ素子と、

該スイッチ素子のスイッチングによって前記電源電圧による充電が行われるインダクタと、

前記スイッチ素子がオフして該インダクタへの充電が停止すると、該インダクタの放電を行う整流素子と、

前記出力電圧に比例した第1比例電圧が、所定の第1基準電圧になるように前記スイッチ素子のスイッチング制御を行う制御回路部と、

前記電源電圧が所定値未満であるときは、該制御回路部に対して、前記スイッチ素子を強制的にオフさせて遮断状態にさせる低電圧誤動作防止回路部と、  
を備え、

前記低電圧誤動作防止回路部は、前記第1基準電圧よりも小さく、前記電源電圧の立ち上がり時に前記第1基準電圧よりも立ち上がり速度が速い第2基準電圧を生成し、前記第1基準電圧が該第2基準電圧よりも小さいか、又は前記電源電圧が前記所定値未満である場合は、前記制御回路部に対して、前記スイッチ素子を強制的にオフさせて遮断状態にさせるものである。

## 【0007】

具体的には、前記低電圧誤動作防止回路部は、前記電源電圧に比例した第2比例電圧を生成し、該第2比例電圧が前記第1基準電圧未満であるとき、前記電源電圧が前記所定値未満であると判定するようにした。

## 【0008】

また、前記低電圧誤動作防止回路部は、

前記第2基準電圧を生成して出力する第2基準電圧発生回路と、

前記第2比例電圧を生成して出力する第2比例電圧生成回路と、

前記第1基準電圧と該第2比例電圧との電圧比較を行い、該比較結果を示す信号を生成して出力する第1電圧比較回路と、

前記第1基準電圧と前記第2基準電圧との電圧比較を行い、該比較結果を示す信号を生成して出力する第2電圧比較回路と、

前記第1電圧比較回路及び第2電圧比較回路の各出力信号から、前記制御回路部に対する制御信号を生成して出力する制御信号生成回路と、  
を備え、

前記制御信号生成回路は、前記第1電圧比較回路及び第2電圧比較回路の各出力信号から、前記第1基準電圧が前記第2基準電圧よりも小さいか、又は前記電源電圧が前記所定値未満であることを検出すると、前記制御回路部に対して、前記スイッチ素子を強制的にオフさせて遮断状態にさせるように前記制御信号を生成し出力するようにした。

## 【0009】

また、この発明に係るスイッチングレギュレータの動作制御方法は、入力された制御信号に応じてスイッチングを行うスイッチ素子と、

該スイッチ素子のスイッチングによって電源電圧による充電が行われるインダクタと、

前記スイッチ素子がオフして該インダクタへの充電が停止すると、該インダクタの放電を行う整流素子と、

を備え、

出力電圧に比例した第1比例電圧が、所定の第1基準電圧になるように前記スイッチ素子のスイッチング制御を行い、入力された前記電源電圧を、所定の定電圧に変換して前記出力電圧として出力するスイッチングレギュレータにおける動作制御方法において、

前記第1基準電圧よりも小さく、前記電源電圧の立ち上がり時に前記第1基準電圧よりも立ち上がり速度が速い第2基準電圧を生成し、

10

20

30

40

50

前記第 1 基準電圧が該第 2 基準電圧よりも小さいか、又は前記電源電圧が所定値未満である場合は、前記スイッチ素子を強制的にオフさせて遮断状態にさせるようにした。

【 0 0 1 0 】

具体的には、前記電源電圧に比例した第 2 比例電圧を生成し、該第 2 比例電圧が前記第 1 基準電圧未満であるとき、前記電源電圧が前記所定値未満であると判定するようにした。

【 発明の効果 】

【 0 0 1 1 】

本発明のスイッチングレギュレータ及びその動作制御方法によれば、前記第 1 基準電圧よりも小さく、前記電源電圧の立ち上がり時に前記第 1 基準電圧よりも立ち上がり速度が速い第 2 基準電圧を生成し、前記第 1 基準電圧が該第 2 基準電圧よりも小さいか、又は前記電源電圧が所定値未満である場合は、前記スイッチ素子を強制的にオフさせて遮断状態にさせるようにした。このことから、スイッチングレギュレータの制御用 IC における内部電源が正常な電圧になっているか否かの検出を正確に行うことができ、低電圧誤動作防止回路部を含む該 IC 内部にある回路が制御不能になることを防止することができる。

【 発明を実施するための最良の形態 】

【 0 0 1 2 】

次に、図面に示す実施の形態に基づいて、本発明を詳細に説明する。

第 1 の実施の形態 .

図 1 は、本発明の第 1 の実施の形態におけるスイッチングレギュレータの回路例を示した図である。

図 1 のスイッチングレギュレータ 1 は、入力端子 I N に入力された電源電圧 V d d を所定の定電圧に昇圧して、出力電圧 V o u t として出力端子 O U T から出力する非同期整流方式の昇圧型スイッチングレギュレータである。

【 0 0 1 3 】

図 1 において、スイッチングレギュレータ 1 は、インダクタ L 1 と、ゲートに入力された制御信号に応じて電源電圧 V d d を昇圧する昇圧動作を行うためのスイッチングを行い、オンして導通状態になるとインダクタ L 1 に対して電源電圧 V d d で充電を行う N M O S トランジスタからなるスイッチングトランジスタ M N 1 と、整流用のダイオード D 1 とを備えている。更に、スイッチングレギュレータ 1 は、所定の第 1 基準電圧 V r 1 を生成して出力する第 1 基準電圧発生回路 2 と、出力電圧検出用の抵抗 R 1 , R 2 と、平滑用のコンデンサ C 1 と、誤差増幅回路 3 と、所定の三角波信号 T W を生成して出力する発振回路 4 と、 P W M コンパレータ 5 と、出力バッファ回路 6 と、低電圧誤動作防止回路 7 とを備えている。

【 0 0 1 4 】

電源電圧 V d d とスイッチングトランジスタ M N 1 のドレインとの間にインダクタ L 1 が接続され、インダクタ L 1 とスイッチングトランジスタ M N 1 のドレインとの接続部にはダイオード D 1 のアノードが接続され、ダイオード D 1 のカソードは出力端子 O U T に接続されている。出力端子 O U T と接地電圧との間には、コンデンサ C 1 が接続されると共に抵抗 R 1 及び R 2 が直列に接続され、抵抗 R 1 と抵抗 R 2 との接続部から分圧電圧 V f b が出力される。誤差増幅回路 3 において、非反転入力端には第 1 基準電圧 V r 1 が、反転入力端には分圧電圧 V f b がそれぞれ入力されており、出力端からは、入力された分圧電圧 V f b と第 1 基準電圧 V r 1 との電圧差を増幅して生成した誤差信号 E A o が出力される。

【 0 0 1 5 】

P W M コンパレータ 5 において、反転入力端には誤差増幅回路 3 からの誤差信号 E A o が、非反転入力端には三角波信号 T W がそれぞれ入力され、 P W M コンパレータ 5 は、三角波信号 T W を使用して誤差増幅回路 3 からの誤差信号 E A o を P W M 変調して生成したパルス信号 S p w m を出力する。該パルス信号 S p w m は、出力バッファ回路 6 を介してスイッチングトランジスタ M N 1 のゲートに入力される。また、低電圧誤動作防止回路 7

は、電源電圧  $V_{dd}$  の監視を行い、電源電圧  $V_{dd}$  が所定値未満であるときに PWM コンパレータ 5 及び出力バッファ回路 6 の各動作を停止させるための制御信号  $S_c$  を PWM コンパレータ 5 及び出力バッファ回路 6 にそれぞれ出力する。

【0016】

なお、スイッチングトランジスタ MN 1 はスイッチ素子を、ダイオード D 1 は整流素子を、低電圧誤動作防止回路 7 は低電圧誤動作防止回路部をそれぞれなす。また、第 1 基準電圧発生回路 2、抵抗  $R_1$ 、 $R_2$ 、誤差増幅回路 3、発振回路 4、PWM コンパレータ 5 及び出力バッファ回路 6 は制御回路部をなし、分圧電圧  $V_{fb}$  は第 1 比例電圧をなす。また、スイッチングレギュレータ 1 において、インダクタ  $L_1$  及びコンデンサ  $C_1$  を除く各回路を 1 つの IC に集積するようにしてもよく、場合によっては、スイッチングトランジスタ MN 1 及びダイオード D 1 の少なくとも 1 つ、インダクタ  $L_1$  並びにコンデンサ  $C_1$  を除く各回路を 1 つの IC に集積するようにしてもよい。

10

【0017】

図 2 は、低電圧誤動作防止回路 7 の回路例を示した図である。

図 2 において、低電圧誤動作防止回路 7 は、電源電圧  $V_{dd}$  を分圧して分圧電圧  $V_X$  を生成し出力する抵抗  $R_{11}$ 、 $R_{12}$  と、前記第 1 基準電圧  $V_{r1}$  よりも小さい所定の第 2 基準電圧  $V_{r2}$  を生成して出力する第 2 基準電圧発生回路 12 と、第 1 電圧比較回路 12 と、第 2 電圧比較回路 13 と、NAND 回路 14 とで構成されている。なお、抵抗  $R_{11}$  及び  $R_{12}$  は第 2 比例電圧生成回路をなし、分圧電圧  $V_X$  は第 2 比例電圧をなす。

20

【0018】

電源電圧  $V_{dd}$  と接地電圧との間には抵抗  $R_{11}$  及び  $R_{12}$  が直列に接続され、抵抗  $R_{11}$  及び  $R_{12}$  の接続部から出力された分圧電圧  $V_X$  は第 1 電圧比較回路 12 の非反転入力端に入力されている。また、第 1 電圧比較回路 12 の反転入力端及び第 2 電圧比較回路 13 の非反転入力端にはそれぞれ第 1 基準電圧  $V_{r1}$  が入力され、第 2 電圧比較回路 13 の反転入力端には第 2 基準電圧  $V_{r2}$  が入力されている。第 1 電圧比較回路 12 及び第 2 電圧比較回路 13 の各出力端は、NAND 回路 14 の対応する入力端にそれぞれ接続され、NAND 回路 14 の出力端から制御信号  $S_c$  が出力される。

30

【0019】

このような構成において、定常状態においては、出力電圧  $V_{out}$  が大きくなると、誤差増幅回路 3 からの誤差信号  $E_{ao}$  の電圧が低下し、PWM コンパレータ 5 からのパルス信号  $S_{pwm}$  のデューティサイクルは小さくなる。この結果、スイッチングトランジスタ MN 1 がオンする時間が短くなって、スイッチングレギュレータ 1 の出力電圧  $V_{out}$  が低下するように制御される。また、スイッチングレギュレータ 1 の出力電圧  $V_{out}$  が小さくなると、誤差増幅回路 3 からの誤差信号  $E_{ao}$  の電圧が上昇し、PWM コンパレータ 5 からのパルス信号  $S_{pwm}$  のデューティサイクルは大きくなる。この結果、スイッチングトランジスタ MN 1 がオンする時間が長くなって、スイッチングレギュレータ 1 の出力電圧  $V_{out}$  が上昇するように制御される。このような動作を繰り返して、出力電圧  $V_{out}$  は所定の電圧で一定になるように制御される。

40

【0020】

次に、図 3 は、図 1 及び図 2 で示した低電圧誤動作防止回路 7 の動作例を示した図であり、図 3 を参照しながら起動時を例にして低電圧誤動作防止回路 7 の動作について説明する。

第 1 基準電圧  $V_{r1}$  は、電圧の精度を重要とした信号であり、第 2 基準電圧  $V_{r2}$  は、電源電圧  $V_{dd}$  の立ち上がりに伴って素早く電圧が立ち上がるようにした信号であり、第 2 基準電圧  $V_{r2}$  は、第 1 基準電圧  $V_{r1}$  よりも早く、設定された値に到達することができる。このようなことから、第 1 基準電圧  $V_{r1}$  が設定された値、すなわち第 2 基準電圧  $V_{r2}$  の電圧値以上になるまでの間は、第 2 電圧比較回路 13 の出力信号  $S_2$  はローレベルであり、NAND 回路 14 からハイレベルの制御信号  $S_c$  が出力される。ハイレベルの制御信号  $S_c$  が入力された PWM コンパレータ 5 及び出力バッファ回路 6 は、スイッチングトランジスタ MN 1 を強制的にオフさせて遮断状態にする。

50

## 【 0 0 2 1 】

第 1 基準電圧  $V_{r1}$  が第 2 基準電圧  $V_{r2}$  の電圧値以上になると、第 2 電圧比較回路 13 の出力信号  $S_2$  はハイレベルになり、電源電圧  $V_{dd}$  が所定値にまで立ち上がっている否かを検出するための第 1 電圧比較回路 12 の出力信号  $S_1$  に応じて制御信号  $S_c$  がハイレベルからローレベルに立ち下がる。すなわち、分圧電圧  $V_x$  が第 1 基準電圧  $V_{r1}$  以上になると第 1 電圧比較回路 12 の出力信号  $S_1$  はローレベルからハイレベルに立ち上がり、制御信号  $S_c$  はハイレベルからローレベルに立ち下がる。

## 【 0 0 2 2 】

このように、本第 1 の実施の形態のスイッチングレギュレータは、低電圧誤動作防止回路 7 によって、電源電圧  $V_{dd}$  が所定値未満のときはスイッチングトランジスタ MN1 を強制的にオフさせ、電源電圧  $V_{dd}$  が所定値以上になるとスイッチングトランジスタ MN1 を PWM コンパレータ 5 からのパルス信号  $S_{pwm}$  に応じてオン/オフさせるように、PWM コンパレータ 5 及び出力バッファ回路 6 の動作制御を行うようにした。このことから、スイッチングレギュレータにおける制御用 IC の内部電源が立ち上がるまでの期間、スイッチングトランジスタ MN1 をオフさせて遮断状態にすることができ、誤動作の発生を防止することができる。

また、第 2 基準電圧  $V_{r2}$  が、第 1 基準電圧  $V_{r1}$  よりも少し小さい電圧に設定され、かつ電源電圧  $V_{dd}$  の立ち上がりに伴って素早く立ち上がるようにすることにより、スイッチングレギュレータにおける制御用 IC の内部電源の立ち上がりを正確に検出することができる。

## 【 0 0 2 3 】

なお、前記説明では非同期整流方式の昇圧型スイッチングレギュレータを例にして説明したが、これは一例であり、本発明はこれに限定するものではなく、同期整流型の昇圧型スイッチングレギュレータや、降圧型スイッチングレギュレータや、反転型スイッチングレギュレータにも適用することができる。これらの場合、前記のような低電圧誤動作防止回路からの制御信号によってスイッチングトランジスタ、又はスイッチングトランジスタ及び同期整流用トランジスタを強制的にオフさせて遮断状態にさせるようにすればよい。

## 【 図面の簡単な説明 】

## 【 0 0 2 4 】

【 図 1 】本発明の第 1 の実施の形態におけるスイッチングレギュレータの回路例を示した図である。

【 図 2 】図 1 の低電圧誤動作防止回路 7 の回路例を示した図である。

【 図 3 】電源立ち上がり時における図 1 及び図 2 の各信号の変化例を示した図である。

【 図 4 】従来のスイッチングレギュレータにおける、電源立ち上がり時の各信号の変化例を示した図である。

【 図 5 】従来のスイッチングレギュレータにおける、電源立ち上がり時の各信号の他の変化例を示した図である。

## 【 符号の説明 】

## 【 0 0 2 5 】

- 1 スwitchングレギュレータ
- 2 第 1 基準電圧発生回路
- 3 誤差増幅回路
- 4 発振回路
- 5 PWM コンパレータ
- 6 出力バッファ回路
- 7 低電圧誤動作防止回路
- 11 第 2 基準電圧発生回路
- 12 第 1 電圧比較回路
- 13 第 2 電圧比較回路
- 14 NAND 回路

10

20

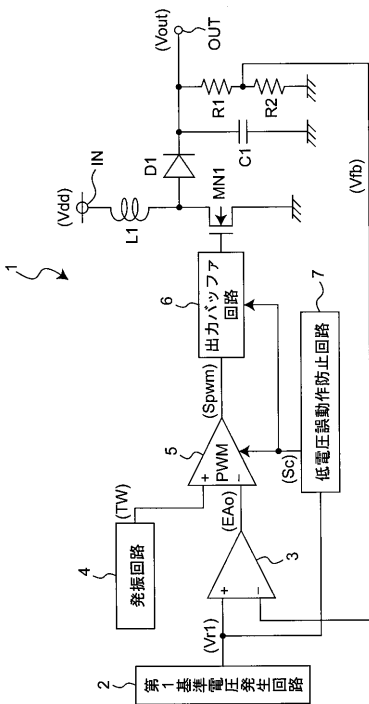
30

40

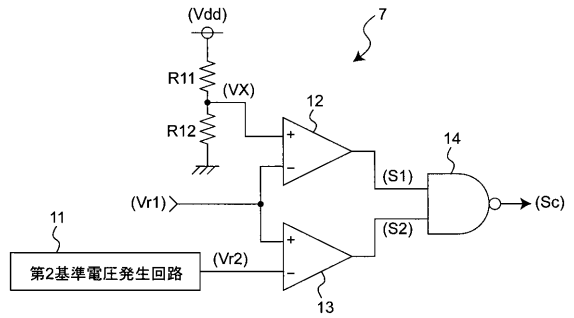
50

- M N 1 スイッチングトランジスタ
- D 1 ダイオード
- L 1 インダクタ
- C 1 コンデンサ
- R 1 , R 2 , R 1 1 , R 1 2 抵抗

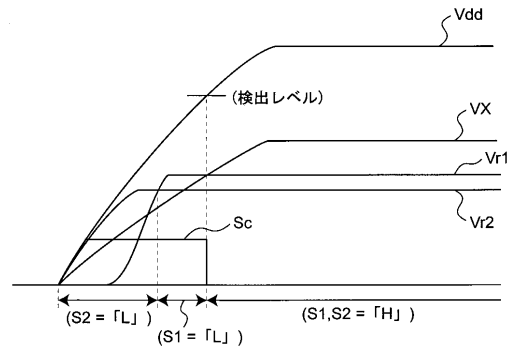
【 図 1 】



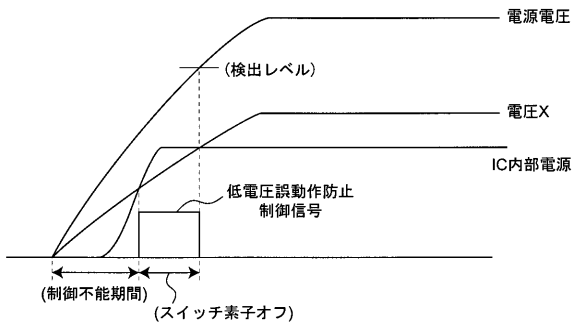
【 図 2 】



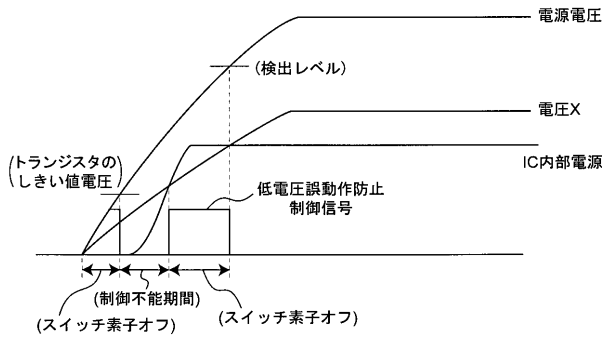
【 図 3 】



【 図 4 】



【 図 5 】



---

フロントページの続き

Fターム(参考) 5H730 AA20 AS01 AS04 BB14 BB57 DD04 FD01 FD11 FF01 FG05  
XX02 XX13 XX22 XX33 XX43