



## [12] 发明专利申请公开说明书

[21] 申请号 200410085075.0

[43] 公开日 2005 年 4 月 27 日

[11] 公开号 CN 1610246A

[22] 申请日 2004.10.12

[74] 专利代理机构 北京市柳沈律师事务所

[21] 申请号 200410085075.0

代理人 黄小临 王志森

[30] 优先权

[32] 2003.10.17 [33] JP [31] 357505/2003

[71] 申请人 松下电器产业株式会社

地址 日本大阪府

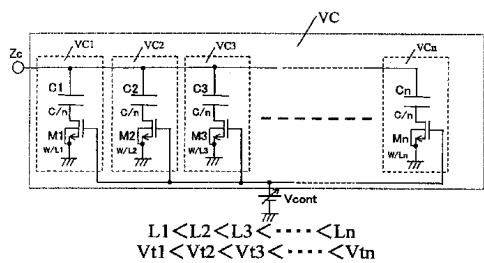
[72] 发明人 松浦润一 上西荣一 藤田典之

权利要求书 2 页 说明书 15 页 附图 9 页

[54] 发明名称 电压控制可变电容器

[57] 摘要

提供一种电压控制可变电容器，其可以在宽控制电压范围内改变其电容值，并容易地以高精度控制该电容值而不使其电路结构复杂化，以及，提供一种电压控制可变电容器，其可以以良好的线性改变其电容值。电压控制可变电抗器以这样的方式配置：可变电抗器  $V_{Ck}$  并联，其每一个由固定电容器  $C_k (k = 1, 2, \dots, n)$  和 N 沟道型 MOS 晶体管  $M_k$  的串联形成。MOS 晶体管  $M_1$  至  $M_n$  以这样的方式配置：栅极宽度 W 相同，但是顺次延长栅极长度  $L_1$  至  $L_n$ （即， $L_1 < L_2 < \dots < L_n$ ），使得其阈值电压彼此区分开。



1. 一种电压控制可变电容器，其电容值根据施加到其上的控制电压而改变，包括：

- 5      多个可变电容装置，其每一个被构成为包括固定电容器和 MOS 晶体管，其中在所述多个可变电容装置中 MOS 晶体管的阈值电压不同，其中 MOS 晶体管响应于施加到其上的栅极电压而在所述阈值电压处开始导通；对于预定的控制电压，所述多个可变电容装置分别基于不同的阈值电压来呈现电容值；以及

10     所述电压控制可变电容器的电容值是所述多个可变电容装置的电容值的合成值。

2. 根据权利要求 1 的电压控制可变电容器，其中：

通过连接固定电容器和 MOS 晶体管的源极 - 漏极而构成所述可变电容装置；并且所述多个可变电容装置并联。

15     3. 根据权利要求 1 的电压控制可变电容器，其中所述多个可变电容装置的 MOS 晶体管根据控制电压的增大，分别在施加到其上的控制电压的不同值处开始导通。

4. 根据权利要求 1 的电压控制可变电容器，其中：

20     所述多个可变电容装置的 MOS 晶体管根据控制电压的增大，一个接一个地顺次开始导通，并且，当包括先前已经导通的 MOS 晶体管的所述多个可变电容装置的另一个的电容值的变化率开始减小时，所述多个可变电容装置的下一个的 MOS 晶体管开始导通。

5. 根据权利要求 1 的电压控制可变电容器，其中在所述多个可变电容装置中，MOS 晶体管具有相同的栅极宽度，并且具有彼此不同的栅极长度。

25     6. 根据权利要求 1 的电压控制可变电容器，其中在所述多个可变电容装置中，MOS 晶体管具有相同的栅极长度，并且具有彼此不同的栅极宽度。

7. 根据权利要求 1 的电压控制可变电容器，其中在所述多个可变电容装置中，MOS 晶体管的栅极宽度和栅极长度之间的比率彼此区分开。

30     8. 根据权利要求 1 的电压控制可变电容器，其中在所述多个可变电容装置中，MOS 晶体管的背栅极电压分别区分开。

9. 一种半导体集成电路，其包括根据权利要求 1 的电压控制可变电容器。

- 
10. 一种 VCXO 模块，其包括根据权利要求 1 的电压控制可变电容器、振荡电路和晶体谐振器。
  11. 一种 TCXO 模块，其包括根据权利要求 1 的电压控制可变电容器、振荡电路、温度补偿电路和晶体谐振器。
- 5        12. 一种通信终端，其包括通过使用根据权利要求 1 的电压控制可变电容器构成的晶体振荡模块。

## 电压控制可变电容器

### 5 技术领域

本发明涉及一种电压控制可变电容器，其电容值根据施加到其上的控制电压而改变。

### 背景技术

10 在通信终端等中使用的信号处理电路中，需要以高精度振荡的振荡器，以精确地产生时钟信号。传统地，为了提高通常使用的晶体振荡器的振荡精度，已知有 VCXO(电压控制晶体振荡器)，其包括电容值根据控制电压而改变的电压控制可变电容器(电压控制可变电抗器)，以及根据电压控制可变电抗器的电容值以某频率振荡的晶体振荡器。还已知有 TCXO(温度补偿晶体振荡器或具有温度补偿电路的晶体振荡器)，其中，为了补偿取决于温度的晶体振荡器的频率变化，将由温度补偿电路在温度特性方面进行了补偿的控制电压施加到电压控制可变电抗器，从而以所希望的频率振荡晶体振荡器。

作为在前述振荡器中使用的传统的可变电抗器，有一个在图 12 至 14 中示出。

20 图 12 示出了使用二极管的电压控制可变电抗器。电压控制可变电抗器以这样的方式布置：PN 结二极管的正极侧接地，并且给其负极侧上的端子 Zc 施加控制电压，由此改变在二极管的 pn 结表面形成的耗尽层宽度，从而改变从端子 Zc 看到的电容值。图中示出的被配置用来将反向偏压施加到二极管上的电压控制可变电抗器可以通过在一定的范围内改变控制电压来改变其电容值。然而，通常，这样的电压控制可变电抗器不能产生很高的关于控制电压变化的电容值变化的灵敏度。

30 图 13 是使用固定电容器和 MOS 晶体管的电压控制可变电抗器。该电压控制可变电抗器以这样的方式布置：固定电容器的一端和 MOS 晶体管的漏极串联，并且 MOS 晶体管的源极接地，由此改变 MOS 晶体管的栅极电压，从而改变 MOS 晶体管的导通电阻值，以改变从电容器的另一端 Zc 看到的电容值(例如，参见日本专利第 3222366 号)。

图 15(A)是示出了从端子  $Z_c$  看到的电容值关于图 13 中示出的电压控制可变电抗器的控制电压  $V_{cont}$  的变化特性(C-V 特性)的图。当施加到栅极上的控制电压  $V_{cont}$  从地线电压逐渐增大并超过阈值  $V_t$  时, MOS 晶体管开始导通。也就是说, 当控制电压  $V_{cont}$  增大时, MOS 晶体管的导通电阻值减小。

5 这样, 电压控制可变电抗器的电容值在如图 15(A)所示的控制电压范围  $\Delta V_C$  内迅速地从 0 法拉(F)变到  $C(F)$ 。如此图中所示, 此 C-V 特性线性不好。

图 15(B)是示出了关于控制电压  $V_{cont}$  的电压控制可变电抗器的电容值变化率(C-V 灵敏度)的图。如此图中所示, 在控制电压范围  $V_C$  内, C-V 灵敏度没有表示几乎相同的值的范围。换句话说, 将理解的是, 电压控制可变电抗器的电容值的变化特性不是线性的。

10 图 15(C)是示出了在电压控制晶体振荡器中使用电压控制可变电抗器的情况下, 关于控制电压  $V_{cont}$  的振荡频率特性(f-V 特性)的图。如此图中所示, 当通过使用电压控制可变电抗器在电压范围  $\Delta V_C$  内改变控制电压  $V_{cont}$  时, 电压控制可变电抗器的电容值迅速改变, 并且, 此外, 该变化特性不是线性的。这样, 不能线性地改变电压控制晶体振荡器的振荡频率。

15 也就是说, 根据如此配置的电压控制可变电抗器, 尽管关于控制电压的变化的电容值变化的灵敏度高, 但仅能在小电压范围内改变控制电压。此外, 相对于控制电压的变化的电容值变化的线性不好。这样, 电压控制可变电抗器在其控制方面有困难, 因此难以用来补偿晶体振荡器的频率。

20 图 14 是电压控制可变电抗器, 其中改进了前述的传统技术。此电压控制可变电抗器以这样的方式布置: 多个可变电抗器并联, 每个在图 13 中示出, 并且将具有不同值的控制电压  $V_{cont1}$  至  $V_{contn}$ ( $V_{cont1} > V_{cont2} > \dots > V_{contn}$ ) 分别施加到组成可变电抗器的 MOS 晶体管( $M_1$  至  $M_n$ )的栅极上, 从而改变从端子  $Z_c$  看到的电容值。以  $V_{cont1} = V_c$ 、 $V_{cont2} = V_c - V_{off1}$ 、 $V_{cont3} = V_c - V_{off2}$ ...的方式产生各个控制电压, 使得在其之间具有预定的偏离值。这些控制电压被分别施加到 MOS 晶体管上。这样, 当从 GND 电压升高电压  $V_c$  时, 并且当  $V_{cont1}(=V_c)$  达到 MOS 晶体管在该处开始导通的阈值电压  $V_T$  时, 包括 MOS 晶体管  $M_1$  的可变电抗器  $VC_1$  的电容值开始改变。当进一步升高电压  $V_c$  并达到  $V_T + V_{off1}$ (即,  $V_{cont2} = V_t$ )时, 包括 MOS 晶体管  $M_2$  的可变电抗器  $VC_2$  的电容值开始改变。在这方面, 以这样的方式确定  $V_{off1}$  的值: 当可变电抗器  $VC_1$  的电容值的改变值在其电容值开始改变之后变得更小时

候，可变电抗器 VC2 的电容值开始改变。以类似的方式，确定 Voff2、Voff3... 的值。

根据这样的电压控制可变电抗器，具有不同值的控制电压被分别施加到可变电抗器上。当增大电压  $V_c$  时，首先，可变电抗器 VC1 的电容值开始改变，并且当控制电压增大预定的值(Voff1)时，可变电抗器 VC2 的电容值开始改变。这样，可以在宽控制电压范围内改变从端子  $Z_c$  看到的电容值(电压控制可变电抗器的整个电容值)。此外，根据此电压控制可变电抗器，如上所述，由于将控制电压(Vcont1 至 Vcontn) 以预定模式施加到各个 MOS 晶体管上，因此可以线性地改变从端子  $Z_c$  看到的电容值(例如，参见 JP-A-10-51238)。

然而，根据前述传统的电压控制可变电抗器，其中多组固定电容器和 MOS 晶体管并联，由于分别将分别具有不同值的控制电压施加到 MOS 晶体管上，因此需要多个电路，每一个用来产生控制电压。这样，电路结构变得复杂，并且难以以高精度控制电容值。此外，由于电路结构变得复杂，因此难以减小电路规模以由此减小芯片面积。

15

### 发明内容

考虑到前述情况而做出了本发明，并且，本发明的目的是提供一种电压控制可变电容器，其可以在宽控制电压范围内改变其电容值，并容易地以高精度控制该电容值而不使其电路结构复杂化。此外，本发明的目的是提供一种电压控制可变电容器，其可以以良好的线性来改变其电容值。

根据本发明的电压控制可变电容器是电容值根据施加到其上的控制电压而改变的电压控制可变电容器。该电压控制可变电容器包括：多个可变电容装置，其每一个被构成为具有固定电容器和 MOS 晶体管，其中在所述多个可变电容装置中，MOS 晶体管的阈值电压不同，其中 MOS 晶体管响应于施加到其上的栅极电压而在所述阈值电压处开始导通；对于预定的控制电压，所述多个可变电容装置分别基于不同的阈值电压而呈现电容值；并且，电压控制可变电容器的电容值是所述多个可变电容装置的电容值的合成值。

根据这样的结构，由于在所述多个可变电容装置中阈值不同，并且在所述多个可变电容装置中对于可变电容装置的控制电压范围不同，因此可以在宽控制电压范围内改变电压控制可变电容器的电容值。此外，由于将相同的控制电压施加到多个可变电容装置，因此可以容易地以良好的精度控制电容

值而不使电路结构复杂化。

通过连接固定电容器和 MOS 晶体管的源极 - 漏极组成根据本发明的电压控制可变电容器的可变电容装置，并且并联所述多个可变电容装置。根据这样的结构，可以在宽控制电压范围内改变电压控制可变电容器的电容值，  
5 并且可以容易地以良好的精度控制该电容值而不使电路结构复杂化。

根据本发明的电压控制可变电容器的多个可变电容装置的 MOS 晶体管根据控制电压的增大，分别在施加到其上的控制电压的不同值处开始导通。根据这样的结构，所述多个可变电容装置根据控制电压的增大，一个接一个地顺次开始导通，使得可以关于控制电压的变化以良好的线性来控制电容值。  
10

根据本发明的电压控制可变电容器的多个可变电容装置的 MOS 晶体管根据控制电压的增大，一个接一个地顺次开始导通，并且，当包括先前已经导通的 MOS 晶体管的所述多个可变电容装置的另一个的电容值的变化率开始减小时，所述多个可变电容装置的下一个的 MOS 晶体管开始导通。根据这样的结构，当增大控制电压时，可以使电容值的变化率为常数，其中该电容  
15 值是所述多个可变电容装置的电容值的合成。这样，可以关于控制电压的增大以良好的线性来控制电容值。

在所述多个可变电容装置中，根据本发明的电压控制可变电容器的 MOS 晶体管具有相同的栅极宽度，并且具有彼此不同的栅极长度。根据这样的结构，在所述多个可变电容装置中，MOS 晶体管可以根据其栅极长度而分别具有不同的阈值电压。  
20

在所述多个可变电容装置中，根据本发明的电压控制可变电容器的 MOS 晶体管具有相同的栅极长度，并且具有彼此不同的栅极宽度。根据这样的结构，在所述多个可变电容装置中，MOS 晶体管可以根据其栅极宽度而分别具有不同的阈值电压。

25 根据本发明的电压控制可变电容器的 MOS 晶体管以这样的方式布置：在所述多个可变电容装置中，MOS 晶体管的栅极宽度和栅极长度之间的比率彼此不同。根据这样的结构，在所述多个可变电容装置中，MOS 晶体管可以根据其栅极宽度和栅极长度之间的比率而分别具有不同的阈值电压。

根据本发明的电压控制可变电容器的 MOS 晶体管以这样的方式布置：  
30 在所述多个可变电容装置中，将 MOS 晶体管的背栅极电压分别区分开。根据这样的结构，在所述多个可变电容装置中，MOS 晶体管可以根据其背栅极

电压而分别具有不同的阈值电压。

根据本发明的半导体集成电路包括根据本发明的电压控制可变电容器。

根据本发明的 VCXO 模块包括根据本发明的电压控制可变电容器、振荡电路和晶体谐振器。根据这样的结构，可以容易地在宽控制电压范围内以良好的精度振荡产生所希望的频率信号。此外，由于电路结构没有复杂化，可以减小电路的尺寸，因此还可以减小芯片面积。

根据本发明的 TCXO 模块包括根据本发明的电压控制可变电容器、振荡电路、温度补偿电路和晶体谐振器。根据这样的结构，可以容易地在宽控制电压范围内以良好的精度振荡产生受到温度补偿的所希望的频率信号。此外，由于电路结构没有复杂化，可以减小电路的尺寸，因此还可以减小芯片面积。

根据本发明的通信终端包括通过使用根据本发明的电压控制可变电容器而组成的晶体振荡模块。根据这样的结构，振荡产生了具有高精度的频率信号，因此提高了稳定性。此外，由于电路结构没有复杂化，可以使终端最小化。

根据本发明，提供了电压控制可变电容器，其可以在宽控制电压范围内改变其电容值，并容易地以高精度控制该电容值而不使其电路结构复杂化。此外，提供了该电压控制可变电容器，其可以以良好的线性改变其电容值。

#### 附图说明

图 1 是示出了用于解释本发明的第一实施例的电压控制可变电抗器的结构的图。

图 2 是示出了 MOS 晶体管的示意结构的图。

图 3 是用于解释根据第一实施例的电压控制可变电抗器的工作特性的图。

图 4 是示出了使用根据该实施例的电压控制可变电抗器的电压控制晶体振荡器的结构的图。

图 5 是示出了用于解释本发明的第二实施例的电压控制可变电抗器的结构的图。

图 6 是示出了用于解释本发明的第三实施例的电压控制可变电抗器的结构的图。

图 7 是示出了用于解释本发明的第四实施例的电压控制可变电抗器的结

构的图。

图 8 是示出了用于解释本发明的第五实施例的电压控制可变电抗器的结构的图。

图 9 是示出了用于解释本发明的第六实施例的电压控制可变电抗器的结构的图。

图 10 是示出了用于解释本发明的第七实施例的电压控制可变电抗器的结构的图。

图 11 是示出了用于解释本发明的第八实施例的电压控制可变电抗器的结构的图。

图 12 是用于解释使用二极管的传统的电压控制可变电容器(电压控制可变电抗器)的结构的图。

图 13 是用于解释使用固定电容器和 MOS 晶体管的传统的电压控制可变电容器(电压控制可变电抗器)的结构的图。

图 14 是用于解释传统的电压控制可变电容器(电压控制可变电抗器)的结构的图，其中图 13 中示出的多个电压控制可变电抗器并联。

图 15 是用于解释图 13 中示出的传统的电压控制可变电抗器的工作特性的图。

### 具体实施方式

#### 20 (第一实施例)

在第一和第二实施例中，关于这样的情况将进行解释：其中在多个可变电容装置中，将 MOS 晶体管的栅极长度分别区分开，从而在 MOS 晶体管中将阈值电压分别区分开。

图 1 是示出了用于解释本发明的第一实施例的电压控制可变电抗器的结构的图。根据该实施例的电压控制可变电抗器 VC 以这样的方式配置：可变电抗器  $VC_k$ ( $k=1,2,\dots,n$ , 其中  $n$  为等于或大于 2 的整数)并联，其每一个通过串联电容值为  $C/n$  的固定电容器  $C_k$ ( $k=1,2,\dots,n$ , 其中  $n$  为等于或大于 2 的整数)和 N 沟道型 MOS 晶体管  $M_k$ ( $k=1,2,\dots,n$ , 其中  $n$  为等于或大于 2 的整数)而形成。在根据该实施例的电压控制可变电抗器中，根据施加到其一端上的控制电压  $V_{cont}$ ，改变从其另一端(端子  $Z_c$ )看到的电容值(多个可变电抗器  $VC_1$  至  $VC_n$  的合成电容值)。用于确定从端子  $Z_c$  看到的可变电抗器  $VC_k$  的电容值的

MOS 晶体管的尺寸由如图 2 所示的栅极宽度 W 和栅极长度 L 确定。然而，组成图 1 中示出的电压控制可变电抗器 VC 的 MOS 晶体管 M<sub>1</sub> 至 M<sub>n</sub> 具有相同的栅极宽度 W，但分别具有不同的栅极长度(L<sub>1</sub><L<sub>2</sub><...<L<sub>n</sub>)。这样，在可变电抗器 VC<sub>1</sub> 至 VC<sub>n</sub> 中，MOS 晶体管 M<sub>1</sub> 至 M<sub>n</sub> 的阈值电压 V<sub>tk</sub> 分别不同(即，5 V<sub>t1</sub><V<sub>t2</sub><...<V<sub>tn</sub>)，其中 MOS 晶体管响应于施加到其上的栅极电压而在该阈值电压处开始导通。对于预定的控制电压，可变电抗器 VC<sub>1</sub> 至 VC<sub>n</sub> 分别基于不同的阈值电压而呈现电容值。

可变电抗器 VC<sub>k</sub> 以这样的方式布置：固定电容器 C<sub>k</sub> 的一端连接到端子 Z<sub>c</sub>，并且另一端连接到 MOS 晶体管 M<sub>k</sub> 的漏极。MOS 晶体管 M<sub>k</sub> 的源极接 10 地，给其栅极施加控制电压 V<sub>cont</sub>，并且其背栅极接地。包含在可变电抗器 VC<sub>1</sub> 至 VC<sub>n</sub> 中的 MOS 晶体管 M<sub>1</sub> 至 M<sub>n</sub> 分别以这样的方式配置：顺次延长栅极长度 L<sub>1</sub> 至 L<sub>n</sub>(即，L<sub>1</sub><L<sub>2</sub><...<L<sub>n</sub>)，使得顺次增大阈值电压 V<sub>t1</sub> 至 V<sub>tn</sub>(即，V<sub>t1</sub><V<sub>t2</sub><...<V<sub>tn</sub>)。

15 图 3 是用于解释根据第一实施例的电压控制可变电抗器的工作特性的图。

图 3(A)是示出了在电压控制可变电抗器中，关于控制电压 V<sub>cont</sub> 的从端子 Z<sub>c</sub> 看到的电容值的变化特性(C-V 特性)的图。当将相同的控制电压 V<sub>cont</sub> 施加到各个 MOS 晶体管的栅极上，然后从地线电平(GND)逐渐增大控制电压时，当控制电压 V<sub>cont</sub> 分别达到阈值电压 V<sub>t1</sub> 至 V<sub>tn</sub> 的时候，可变电抗器 VC<sub>1</sub> 20 至 VC<sub>n</sub> 的 MOS 晶体管 M<sub>1</sub> 至 M<sub>n</sub> 顺次导通。换句话说，当控制电压 V<sub>cont</sub> 增大时，该控制电压顺次将它的值改变阈值电压 V<sub>t</sub>，从而减小 MOS 晶体管 M<sub>1</sub> 至 M<sub>n</sub> 的导通电阻值，使得可变电抗器 VC<sub>1</sub> 至 VC<sub>n</sub> 的每一个的电容值在可变电抗器 VC<sub>k</sub> 的控制电压范围  $\Delta V_C$  内从 0(F)变到 C(F)。在图 3(A)中，可变电抗器 VC<sub>1</sub>、VC<sub>2</sub> 的控制电压范围  $\Delta V_{C1}$ 、 $\Delta V_{C2}$  作为示例示出。如此图 25 中所示，可变电抗器(VC<sub>1</sub> 至 VC<sub>n</sub>)的控制电压范围被区分开。

由于电压控制可变电抗器以并联可变电抗器 VC<sub>1</sub> 至 VC<sub>n</sub> 的方式布置，电压控制可变电抗器的整个电容值的变化特性是可变电抗器 VC<sub>1</sub> 至 VC<sub>n</sub> 的电容值的变化特性的总和(或合成)。这样，当改变 MOS 晶体管的栅极长度 L<sub>1</sub> 30 至 L<sub>n</sub>，使得 MOS 晶体管 M<sub>1</sub> 至 M<sub>n</sub> 的阈值电压 V<sub>t1</sub> 至 V<sub>tn</sub> 分别呈现适当的值时，从端子 Z<sub>c</sub> 看到的电压控制可变电抗器的整个电容值 V<sub>C</sub> 在宽控制电压范围( $\Delta V_C$ )内随着控制电压 V<sub>cont</sub>，以良好的线性从 0(F)平滑地变到 C(F)。

图 3(B)是示出了电压控制可变电抗器的电容值 VC 关于控制电压 Vcont 的变化率(C-V 灵敏度)的图。如此图中所示，当设置 MOS 晶体管 M1 至 Mn 的栅极长度 L1 至 Ln 以确定阈值电压 Vt1 至 Vtn，使得可变电抗器 VC1 至 VCn 的每一个的 C-V 灵敏度在控制电压范围  $\Delta VC$  内变得几乎为常数时，可以 5 使电压控制可变电抗器的电容值 VC 的变化特性具有良好的线性。

接下来，关于在电压控制晶体振荡器(VCXO)中使用根据该实施例的电压控制可变电抗器的情况，将进行解释。图 4 是示出了使用根据该实施例的电压控制可变电抗器的电压控制晶体振荡器的结构的图。如此图中所示，电压控制晶体振荡器以这样的方式布置：由电阻器 R、反向器 INV 和晶体 Xtal 形成的并联的一端和另一端连接到端子 Zc1、Zc2，电压控制可变电抗器 Vca、VCb 的一端(连接端)分别连接到端子 Zc1、Zc2，并且，将控制电压 Vcont 施加到电压控制可变电抗器 Vca、VCb 的另一端(控制输入端)。电压控制晶体振荡器根据电压控制可变电抗器 Vca、VCb 的电容值而改变器振荡频率。10 15

图 3(C)是示出了在通过使用根据该实施例的电压控制可变电抗器而组成图 4 中示出的电压控制晶体振荡器的情况下，关于控制电压 Vcont 的振荡频率特性(f-V 特性)的图。如此图中所示，当通过使用根据该实施例的电压控制可变电抗器而在电压范围  $\Delta VC$  内改变控制电压 Vcont 时，可以基本上以线性方式改变电压控制可变电抗器的电容值 VC。这样，也可以基本上以线性方式在相同的电压范围( $\Delta VC$ )内改变电压控制晶体振荡器的振荡频率。因此，当在 20 电压控制晶体振荡器中使用根据该实施例的电压控制可变电抗器时，可以在宽控制电压范围内控制晶体振荡器的振荡频率，并且还可以容易地以高精度控制振荡频率。因此，使用根据该实施例的电压控制可变电抗器的电压控制晶体振荡器易于作为用于频率补偿的晶体振荡器来使用。

如上面所解释的，在根据该实施例的电压控制可变电抗器中，用于各个 25 可变电抗器(VC1 至 VCn)的控制电压范围彼此不同，并且可以在由这些控制电压范围合成的控制电压范围内改变控制电压。这样，可以在宽控制电压范围内改变电容值(各个可变电抗器 VC1 至 VCn 的合成电容值)。因此，可以使电容值变化对于控制电压变化的灵敏度低。也就是说，由于可以逐渐地改变电容值，因此可以容易地产生用于获得所希望的电容值的控制电压。此外，30 由于将相同的控制电压 Vcont 施加到所述多个可变电抗器 VC1 至 VCn 上，因此可以容易地以高精度控制电容值而不使电路结构复杂化。此外，根据根

据该实施例的电压控制可变电抗器，设置各个栅极长度( $L_1$  至  $L_n$ )以便将各个阈值电压彼此区分开，使得当可变电抗器  $VC_1$  电容值的变化量(变化率)在其开始改变之后减小的时候，可变电抗器  $VC_2$  的电容值开始改变。这样，可以使关于控制电压变化的电容值(各个可变电抗器  $VC_1$  至  $VC_n$  的合成电容值)5 的变化量(变化率)为常数，因此可以以良好的关于控制电压的变化的线性来控制电容值。

#### (第二实施例)

图 5 是示出了用于解释本发明的第二实施例的电压控制可变电抗器的结构的图。在该图中，用共同的符号来表示与第一实施例中解释的图 1 的那些10 部件同样的部件。

在根据此实施例的电压控制可变电抗器中，每个可变电抗器  $VC_k$ ( $k=1,2,\dots,n$ , 其中  $n$  为等于或大于 2 的整数)中的固定电容器  $C_k$ ( $k=1,2,\dots,n$ , 其中  $n$  为等于或大于 2 的整数)和 MOS 晶体管  $M_k$ ( $k=1,2,\dots,n$ , 其中  $n$  为等于或大于 2 的整数)之间的位置关系与第一实施例的位置关系相反。也就是说，15 根据此实施例，可变电抗器  $VC_k$  以这样的方式布置：固定电容器  $C_k$  的一端接地，并且其另一端连接到 MOS 晶体管  $M_k$  的源极。MOS 晶体管  $M_k$  在其漏极处连接到端子  $Z_c$ ，并在其栅极处给其提供控制电压  $V_{cont}$ 。

根据此实施例的电压控制可变电抗器的运行和效果与根据第一实施例的电压控制可变电抗器的运行和效果相同。

#### (第三实施例)

在第三和第四实施例中，关于在多个可变电容装置中，将 MOS 晶体管的栅极宽度分别区分开的情况，将进行解释。

图 6 是示出了用于解释本发明的第三实施例的电压控制可变电抗器的结构的图。在此图中，用共同的符号来表示与在第一实施例中解释的图 1 的那些部件同样的部件。在第一实施例中，将 MOS 晶体管  $M_1$  至  $M_n$  的栅极长度彼此分别区分开，从而在 MOS 晶体管中将阈值电压分别区分开。相比之下，在此实施例中，设置 MOS 晶体管  $M_1$  至  $M_n$  的栅极宽度以具有不同的值( $W_1 > W_2 > W_3 > \dots > W_n$ )，从而在 MOS 晶体管中将阈值电压  $V_{tk}$  分别区分开( $V_{t1} < V_{t2} < \dots < V_{tn}$ )。

组成根据该实施例的电压控制可变电抗器  $VC$  的 MOS 晶体管  $M_1$  至  $M_n$  30 以这样的方式布置：栅极长度  $L$  相同，但栅极宽度  $W_1$  至  $W_n$  分别区分开(即，

$W_1 > W_2 > W_3 > \dots > W_n$ )。这样，MOS 晶体管  $M_1$  至  $M_n$  分别具有在可变电抗器  $VC_1$  至  $VC_n$  中不同的阈值  $V_{tk}$ (即， $V_{t1} < V_{t2} < \dots < V_{tn}$ )，其中 MOS 晶体管响应于施加到其上的栅极电压而在所述阈值处开始导通。

如图 6 所示，根据该实施例的电压控制可变电抗器  $VC$  以这样的方式配置：可变电抗器  $VC_k$ ( $k=1,2,\dots,n$ ，其中  $n$  为等于或大于 2 的整数)并联，其每一个由电容值为  $C/n$  的固定电容器  $C_k$ ( $k=1,2,\dots,n$ ，其中  $n$  为等于或大于 2 的整数)和 N 沟道型 MOS 晶体管  $M_k$ ( $k=1,2,\dots,n$ ，其中  $n$  为等于或大于 2 的整数)的串联形成。在根据该实施例的电压控制可变电抗器中，根据施加到其一端的控制电压  $V_{cont}$ ，改变从其另一端(端子  $Z_c$ )看到的电容值。组成根据该实施例的电压控制可变电抗器  $VC$  的 MOS 晶体管  $M_1$  至  $M_n$  以这样的方式布置：栅极长度  $L$  相同，但栅极宽度  $W_1$  至  $W_n$  分别区分开(即， $W_1 > W_2 > W_3 > \dots > W_n$ )。这样，MOS 晶体管  $M_1$  至  $M_n$  分别具有在可变电抗器  $VC_1$  至  $VC_n$  中不同的阈值(即  $V_{t1} < V_{t2} < \dots < V_{tn}$ )，其中 MOS 晶体管响应于施加到其上的栅极电压而在该阈值处开始导通。

可变电抗器  $VC_k$  以这样的方式布置：固定电容器  $C_k$  的一端连接到端子  $Z_c$ ，并且另一端连接到 MOS 晶体管  $M_k$  的漏极。MOS 晶体管  $M_k$  的源极接地，给其栅极施加控制电压  $V_{cont}$ ，并且其背栅极接地。包含在可变电抗器  $VC_1$  至  $VC_n$  中的 MOS 晶体管  $M_1$  至  $M_n$  分别以这样的方式布置：顺次减小栅极宽度  $W_1$  至  $W_n$ (即， $W_1 > W_2 > \dots > W_n$ )，使得顺次增大阈值电压  $V_{t1}$  至  $V_{tn}$ (即， $V_{t1} < V_{t2} < \dots < V_{tn}$ )。

根据此实施例的电压控制可变电抗器的运行和效果与根据第一和第二实施例的电压控制可变电抗器的运行和效果相同。也就是说，在根据该实施例的电压控制可变电抗器中，用于各个可变电抗器( $VC_1$  至  $VC_n$ )的控制电压范围彼此不同，并且可以在由这些控制电压范围合成的控制电压范围内改变控制电压。这样，可以在宽控制电压范围内改变电容值(各个可变电抗器  $VC_1$  至  $VC_n$  的合成电容值)。因此，可以使关于控制电压变化的电容值变化的灵敏度低。也就是说，由于可以逐渐地改变电容值，因此可以容易地产生用于获得所希望的电容值的控制电压。此外，由于将相同的控制电压施加到所述多个可变电抗器  $VC_1$  至  $VC_n$  上，因此可以容易地以高精度控制电容值而不使电路结构复杂化。此外，根据根据该实施例的电压控制可变电抗器，设置各个栅极宽度( $W_1$  至  $W_n$ )，以便将各个阈值电压彼此区分开，使得当可变电

抗器 VC1 电容值的变化量在其开始改变之后减小的时候，可变电抗器 VC2 的电容值开始改变。这样，可以使关于控制电压变化的电容值(各个可变电抗器 VC1 至 VCn 的合成电容值)的变化率为常数，因此可以以良好的关于控制电压变化的线性来控制电容值。

#### 5 (第四实施例)

图 7 是示出了用于解释本发明的第四实施例的电压控制可变电抗器的结构的图。在该图中，用共同的符号来表示与第三实施例中解释的图 6 的那些部件同样的部件。

在根据此实施例的电压控制可变电抗器中，每个可变电抗器  
10 VC<sub>k</sub>(k=1,2,...,n, 其中 n 为等于或大于 2 的整数)中的固定电容器 C<sub>k</sub>(k=1,2,...,n,  
其中 n 为等于或大于 2 的整数)和 MOS 晶体管 M<sub>k</sub>(k=1,2,...,n, 其中 n 为等于  
或大于 2 的整数)之间的位置关系与第三实施例的位置关系相反。也就是说，  
根据此实施例，可变电抗器 VC<sub>k</sub> 以这样的方式布置：固定电容器 C<sub>k</sub> 的一端  
15 接地，并且其另一端连接到 MOS 晶体管 M<sub>k</sub> 的源极。MOS 晶体管 M<sub>k</sub> 在其  
漏极处连接到端子 Z<sub>c</sub>，并在其栅极处给其提供控制电压 V<sub>cont</sub>。

根据此实施例的电压控制可变电抗器的运行和效果与根据第三实施例的  
电压控制可变电抗器的运行和效果相同。

#### (第五实施例)

在第五和第六实施例中，关于在多个可变电容装置中，将 MOS 晶体管  
20 的栅极宽度和栅极长度的比率区分开的情况，将进行解释。

图 8 是示出了用于解释本发明的第五实施例的电压控制可变电抗器的  
结构的图。在此图中，用共同的符号来表示与在第一实施例中解释的图 1 的  
那些部件同样的部件。在第一实施例中，MOS 晶体管 M<sub>1</sub> 至 M<sub>n</sub> 的栅极长度彼  
此分别区分开，从而在 MOS 晶体管中将阈值电压分别区分开。相比之下，在  
25 此实施例中，设置 MOS 晶体管的栅极宽度相对于栅极长度的比率，以在各个  
MOS 晶体管 M<sub>1</sub> 至 M<sub>n</sub> 中具有不同的值(W<sub>1</sub>/L<sub>1</sub>>W<sub>2</sub>/L<sub>2</sub>>W<sub>3</sub>/L<sub>3</sub>>...>W<sub>n</sub>/L<sub>n</sub>)，  
从而在 MOS 晶体管中将阈值电压 V<sub>tk</sub> 分别区分开(V<sub>t1</sub><V<sub>t2</sub><...<V<sub>tn</sub>)。

组成根据该实施例的电压控制可变电抗器 VC 的 MOS 晶体管 M<sub>1</sub> 至 M<sub>n</sub>  
以这样的方式布置：设置 MOS 晶体管的栅极宽度相对于栅极长度的比率  
30 (W<sub>1</sub>/L<sub>1</sub> 至 W<sub>n</sub>/L<sub>n</sub>)，以具有彼此不同的值(即，  
W<sub>1</sub>/L<sub>1</sub>>W<sub>2</sub>/L<sub>2</sub>>W<sub>3</sub>/L<sub>3</sub>>...>W<sub>n</sub>/L<sub>n</sub>)。这样，MOS 晶体管 M<sub>1</sub> 至 M<sub>n</sub> 分别具有

在可变电抗器 VC<sub>1</sub> 至 VC<sub>n</sub> 中不同的阈值 V<sub>tk</sub> (即, V<sub>t1</sub><V<sub>t2</sub><...<V<sub>tn</sub>), 其中 MOS 晶体管响应于施加到其上的栅极电压而在所述阈值处开始导通。

如图 8 所示, 根据该实施例的电压控制可变电抗器 VC 以这样的方式配置: 可变电抗器 VC<sub>k</sub> 并联, 其每一个由电容值为 C/n 的固定电容器 5 C<sub>k</sub>(k=1,2,...n, 其中 n 为等于或大于 2 的整数)和 N 沟道型 MOS 晶体管 M<sub>k</sub>(k=1,2,...n, 其中 n 为等于或大于 2 的整数)的串联形成。在根据该实施例的电压控制可变电抗器中, 根据施加到其一端上的控制电压 V<sub>cont</sub> 而改变从其另一端(端子 Z<sub>c</sub>)看到的电容值。组成电压控制可变电抗器的 MOS 晶体管 M<sub>1</sub> 至 M<sub>n</sub> 以这样的方式布置: 设置 MOS 晶体管的栅极宽度相对于栅极长度 10 的比率 (W<sub>1</sub>/L<sub>1</sub> 至 W<sub>n</sub>/L<sub>n</sub>), 以具有彼此不同的值 (即, W<sub>1</sub>/L<sub>1</sub>>W<sub>2</sub>/L<sub>2</sub>>W<sub>3</sub>/L<sub>3</sub>>...>W<sub>n</sub>/L<sub>n</sub>)。这样, MOS 晶体管 M<sub>1</sub> 至 M<sub>n</sub> 分别具有在可变电抗器 VC<sub>1</sub> 至 VC<sub>n</sub> 中不同的阈值 V<sub>tk</sub> (即 V<sub>t1</sub><V<sub>t2</sub><...<V<sub>tn</sub>), 其中 MOS 晶体管响应于施加到其上的栅极电压而在该阈值处开始导通。

可变电抗器 VC<sub>k</sub> 以这样的方式布置: 固定电容器 C<sub>k</sub> 的一端连接到端子 15 Z<sub>c</sub>, 并且另一端连接到 MOS 晶体管 M<sub>k</sub> 的漏极。MOS 晶体管 M<sub>k</sub> 的源极接 地, 给其栅极施加控制电压 V<sub>cont</sub>, 并且其背栅极接地。包含在可变电抗器 VC<sub>1</sub> 至 VC<sub>n</sub> 中的 MOS 晶体管 M<sub>1</sub> 至 M<sub>n</sub> 分别以这样的方式配置: 顺次减小 MOS 晶体管的栅极宽度相对于栅极长度的比率 W<sub>1</sub>/L<sub>1</sub> 至 W<sub>n</sub>/L<sub>n</sub>(即, W<sub>1</sub>/L<sub>1</sub>>W<sub>2</sub>/L<sub>2</sub>>W<sub>3</sub>/L<sub>3</sub>>...>W<sub>n</sub>/L<sub>n</sub>), 使得顺次增大阈值电压 V<sub>t1</sub> 至 V<sub>tn</sub>(即, 20 V<sub>t1</sub><V<sub>t2</sub><...<V<sub>tn</sub>)。

根据此实施例的电压控制可变电抗器的运行和效果与根据第一至第四实施例的电压控制可变电抗器的运行和效果相同。也就是说, 在根据该实施例的电压控制可变电抗器中, 用于各个可变电抗器(VC<sub>1</sub> 至 VC<sub>n</sub>)的控制电压范围彼此不同, 并且可以在由这些控制电压范围合成的控制电压范围内改变控制电压。这样, 可以在宽控制电压范围内改变电容值(各个可变电抗器 VC<sub>1</sub> 25 至 VC<sub>n</sub> 的合成电容值)。因此, 可以使电容值变化关于控制电压变化的灵敏度低。也就是说, 由于可以逐渐地改变电容值, 可以容易地产生用于获得所希望的电容值的控制电压。此外, 由于将相同的控制电压 V<sub>cont</sub> 施加到所述多个可变电抗器 VC<sub>1</sub> 至 VC<sub>n</sub> 上, 因此可以容易地以高精度控制电容值而不使电路结构复杂化。此外, 根据根据该实施例的电压控制可变电抗器, 设置 30 各个栅极宽度相对于栅极长度的比率(W<sub>1</sub>/L<sub>1</sub> 至 W<sub>n</sub>/L<sub>n</sub>), 以便将各个阈值电

压彼此区分开，使得当可变电抗器 VC1 电容值的变化量在其开始改变之后减小的时候，可变电抗器 VC2 的电容值开始改变。这样，可以使关于控制电压变化的电容值(各个可变电抗器 VC1 至 VCn 的合成电容值)的变化率为常数，因此可以以良好的关于控制电压变化的线性来控制电容值。

### 5 (第六实施例)

图 9 是示出了用于解释本发明的第六实施例的电压控制可变电抗器的结构的图。在该图中，用共同的符号来表示与第五实施例中解释的图 8 的那些部件同样的部件。

在根据此实施例的电压控制可变电抗器中，每个可变电抗器  
10 VC<sub>k</sub>(k=1,2,...,n, 其中 n 为等于或大于 2 的整数)中的固定电容器 C<sub>k</sub>(k=1,2,...,n, 其中 n 为等于或大于 2 的整数)和 MOS 晶体管 M<sub>k</sub>(k=1,2,...,n, 其中 n 为等于或大于 2 的整数)之间的位置关系与第五实施例中的位置关系相反。也就是说，根据此实施例，可变电抗器 VC<sub>k</sub> 以这样的方式布置：固定电容器 C<sub>k</sub> 的一端接地，并且其另一端连接到 MOS 晶体管 M<sub>k</sub> 的源极。MOS 晶体管 M<sub>k</sub> 在其  
15 漏极处连接到端子 Z<sub>c</sub>，并在其栅极处给其提供控制电压 V<sub>cont</sub>。

根据此实施例的电压控制可变电抗器的运行和效果与根据第五实施例的电压控制可变电抗器的运行和效果相同。

### (第七实施例)

在第七和第八实施例中，关于在多个可变电容装置中将 MOS 晶体管的  
20 背栅极电压区分开的情况，将进行解释。

图 10 是示出了用于解释本发明的第七实施例的电压控制可变电抗器的结构的图。在此图中，用共同的符号来表示与在第一实施例中解释的图 1 的那些部件同样的部件。在第一实施例中，MOS 晶体管 M<sub>1</sub> 至 M<sub>n</sub> 的栅极长度彼此分别区分开，从而在 MOS 晶体管中将阈值电压分别区分开。相比之下，  
25 在此实施例中，设置 MOS 晶体管 M<sub>1</sub> 至 M<sub>n</sub> 的背栅极电压 V<sub>F<sub>B</sub>k</sub>，以具有彼此不同的值(即，V<sub>F<sub>B</sub>1</sub>>V<sub>F<sub>B</sub>2</sub>>...>V<sub>F<sub>Bn</sub></sub>)，从而在 MOS 晶体管中将阈值电压 V<sub>t<sub>k</sub></sub> 分别区分开(V<sub>t<sub>1</sub></sub><V<sub>t<sub>2</sub></sub><...<V<sub>t<sub>n</sub></sub>)。

如该图中所示，根据该实施例的电压控制可变电抗器 VC 以这样的方式配置：可变电抗器 VC<sub>k</sub>(k=1,2,...,n, 其中 n 为等于或大于 2 的整数)并联，其每一个由电容值为 C/n 的固定电容器 C<sub>k</sub>(k=1,2,...,n, 其中 n 为等于或大于 2 的整数)和 N 沟道型 MOS 晶体管 M<sub>k</sub>(k=1,2,...,n, 其中 n 为等于或大于 2 的整数)的

串联形成。在根据该实施例的电压控制可变电抗器中，根据施加到其一端上的控制电压  $V_{cont}$  而改变从其另一端(端子  $Z_c$ )看到的电容值。组成电压控制可变电抗器的 MOS 晶体管  $M_1$  至  $M_n$  以这样的方式布置：每一个栅极宽度  $W$  和栅极长度  $L$  相同，但是用于分别确定从端子  $Z_c$  看到的可变电抗器  $V_{Ck}$  的电容值的其背栅极电压( $V_{FBk}$ )彼此区分开(即， $V_{FB1}>V_{FB2}>\dots>V_{FBn}$ )。这样，MOS 晶体管  $M_1$  至  $M_n$  分别具有在可变电抗器  $V_{C1}$  至  $V_{Cn}$  中不同的阈值，其中 MOS 晶体管响应于施加到其上的栅极电压而在该阈值处开始导通。

可变电抗器  $V_{Ck}$  以这样的方式布置：固定电容器  $C_k$  的一端连接到端子  $Z_c$ ，并且另一端连接到 MOS 晶体管  $M_k$  的漏极。MOS 晶体管  $M_k$  的源极接地，给其栅极施加控制电压  $V_{cont}$ ，并且给其背栅极提供了预定的电压  $V_{FBk}$ 。包含在可变电抗器  $V_{C1}$  至  $V_{Cn}$  中的 MOS 晶体管  $M_1$  至  $M_n$  分别以这样的方式配置：顺次降低背栅极电压  $V_{FB1}$  至  $V_{FBn}$ (即  $V_{FB1}>V_{FB2}>\dots>V_{FBn}$ )，使得顺次增大阈值电压  $V_{t1}$  至  $V_{tn}$ (即， $V_{t1}<V_{t2}<\dots<V_{tn}$ )。

根据此实施例的电压控制可变电抗器的运行和效果与根据第一至第六实施例的电压控制可变电抗器的运行和效果相同。也就是说，在根据该实施例的电压控制可变电抗器中，用于各个可变电抗器( $V_{C1}$  至  $V_{Cn}$ )的控制电压范围彼此不同，并且可以在由这些控制电压范围合成的控制电压范围内改变控制电压。这样，可以在宽控制电压范围内改变电容值(各个可变电抗器  $V_{C1}$  至  $V_{Cn}$  的合成电容值)。因此，可以使关于控制电压变化的电容值变化的灵敏度低。也就是说，由于可以逐渐地改变电容值，因此可以容易地产生用于获得所希望的电容值的控制电压。此外，由于将相同的控制电压  $V_{cont}$  施加到所述多个可变电抗器  $V_{C1}$  至  $V_{Cn}$ ，因此可以容易地以高精度控制电容值而不使电路结构复杂化。此外，根据根据该实施例的电压控制可变电抗器，设置各个背栅极电压( $V_{FB1}$  至  $V_{FBn}$ )，以便将各个阈值电压彼此区分开，使得当可变电抗器  $V_{C1}$  电容值的变化量在其开始改变之后减小的时候，可变电抗器  $V_{C2}$  的电容值开始改变。这样，可以使关于控制电压变化的电容值(各个可变电抗器  $V_{C1}$  至  $V_{Cn}$  的合成电容值)的变化率为常数，因此可以以良好的关于控制电压变化的线性来控制电容值。

#### (第八实施例)

图 11 是示出了用于解释本发明的第八实施例的电压控制可变电抗器的结构的图。在该图中，用共同的符号来表示与第七实施例中解释的图 10 的那

些部件同样的部件。

在根据此实施例的电压控制可变电抗器中，每个可变电抗器  $VC_k(k=1,2,\dots,n,$  其中  $n$  为等于或大于 2 的整数)中的固定电容器  $C_k(k=1,2,\dots,n,$  其中  $n$  为等于或大于 2 的整数)和 MOS 晶体管  $M_k(k=1,2,\dots,n,$  其中  $n$  为等于或大于 2 的整数)之间的位置关系与第七实施例中的位置关系相反。也就是说，  
5 根据此实施例，可变电抗器  $VC_k$  以这样的方式布置：固定电容器  $C_k$  的一端接地，并且其另一端连接到 MOS 晶体管  $M_k$  的源极。MOS 晶体管  $M_k$  在其漏极处连接到端子  $Z_c$ ，并在其栅极处给其提供控制电压  $V_{cont}$ ，并且还在其背栅极处提供了预定的电压( $V_{FBk}$ )。

10 根据此实施例的电压控制可变电抗器的运行和效果与根据第一至第七实施例的电压控制可变电抗器的运行和效果相同。

在根据上面解释的第一至第八实施例的每一个的电压控制可变电抗器中，当增大每个固定电容器的电容值时，可以使关于控制电压变化的电容值变化的灵敏度高。

15 由于上面解释的电压可变电抗器仅由诸如可利用通常的半导体制造工艺制成的固定电容器、MOS 晶体管等的元件构成，因此可以以低成本实现电压控制可变电抗器。

尽管在前述解释中使用了 N 沟道 MOS 晶体管，但是可以为此使用 P 沟道 MOS 晶体管。在使用 P 沟道 MOS 晶体管的情况下，其漏极侧接地，并且  
20 其源极侧连接到固定电容器。此外，在此情况下，关于电压值变化的从端子  $Z_c$  看到的电容值的变化在极性上与 N 沟道 MOS 晶体管的相反。

根据本发明的电压控制可变电容器具有这样的效果：可以在宽控制电压范围内改变其电容值，并且可以容易地以高精度控制该电容值而不使其电路结构复杂化。这样，本发明可用于包括使用电压控制可变电容器的半导体集  
25 成电路、VCXO 模块、TCXO 模块以及振荡模块的通信终端等中。

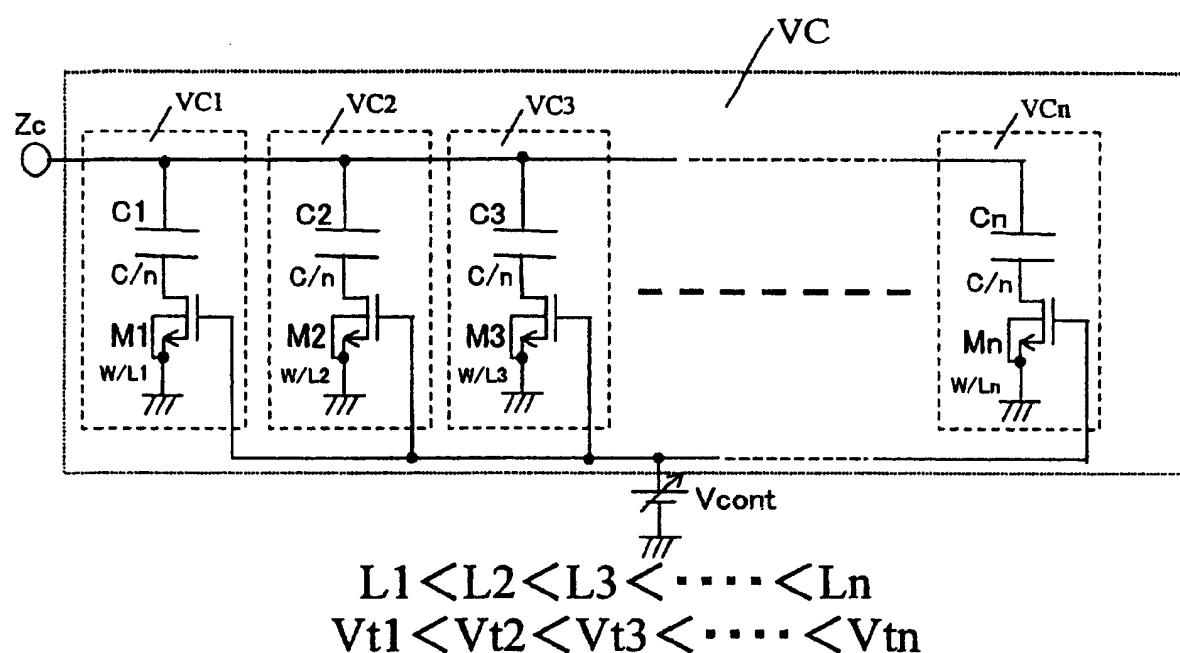


图 1

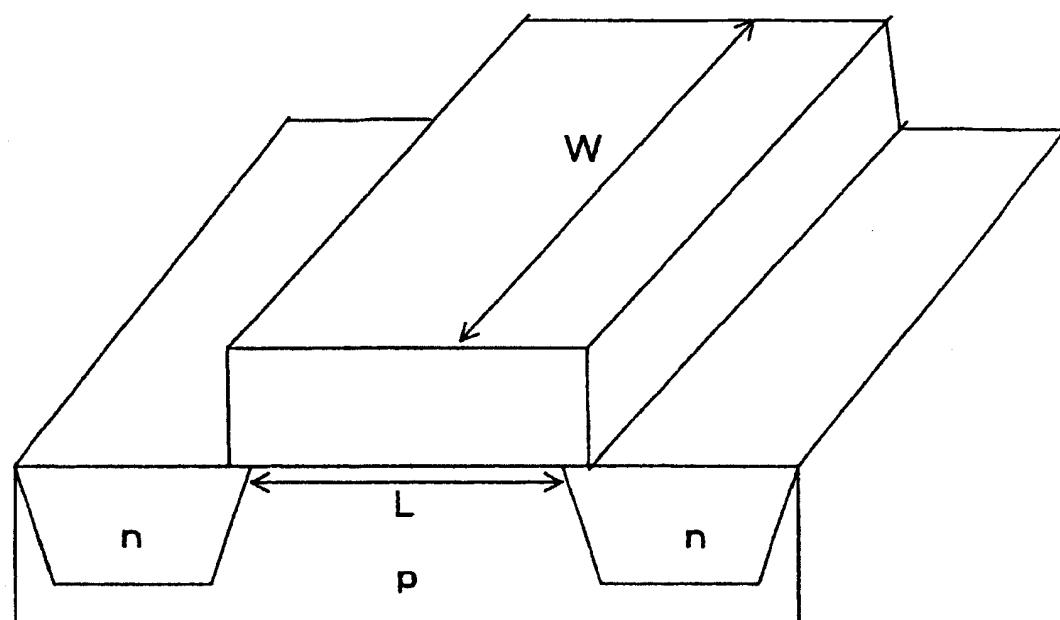


图 2

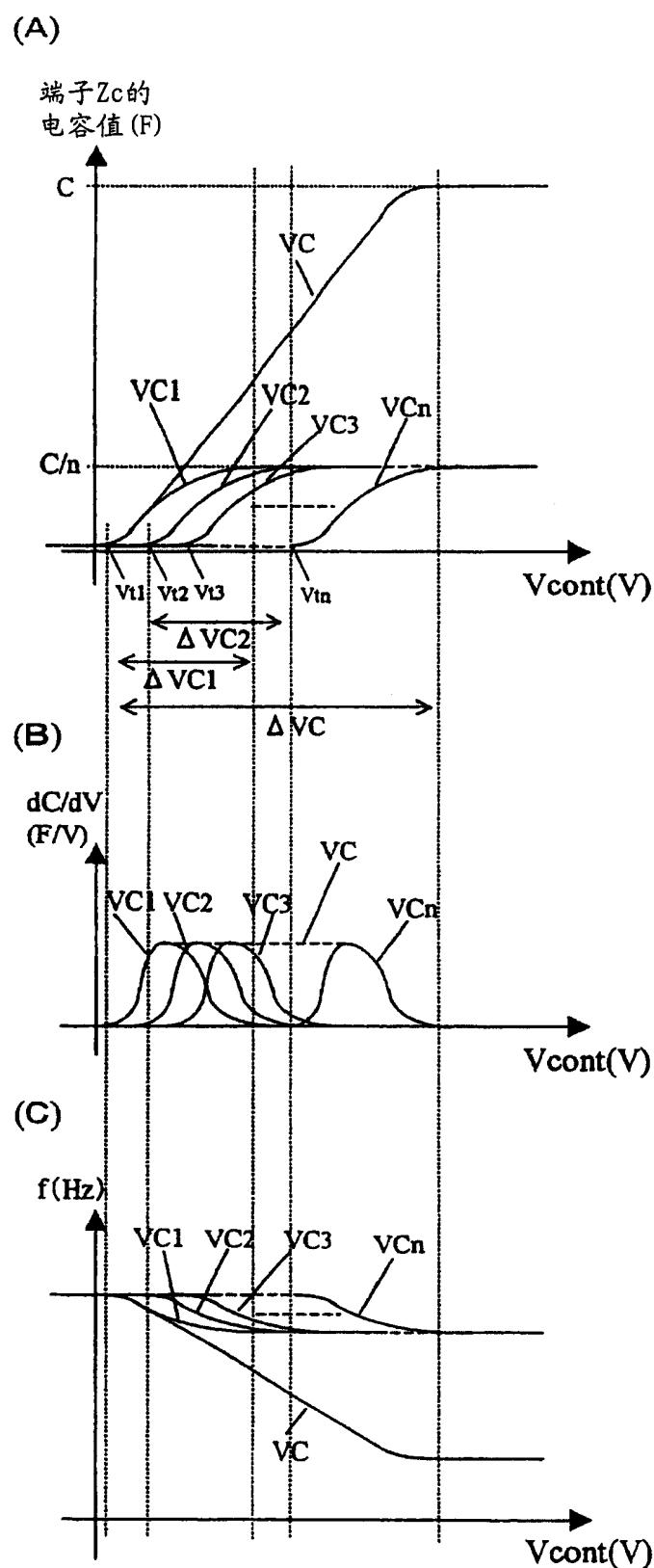


图 3

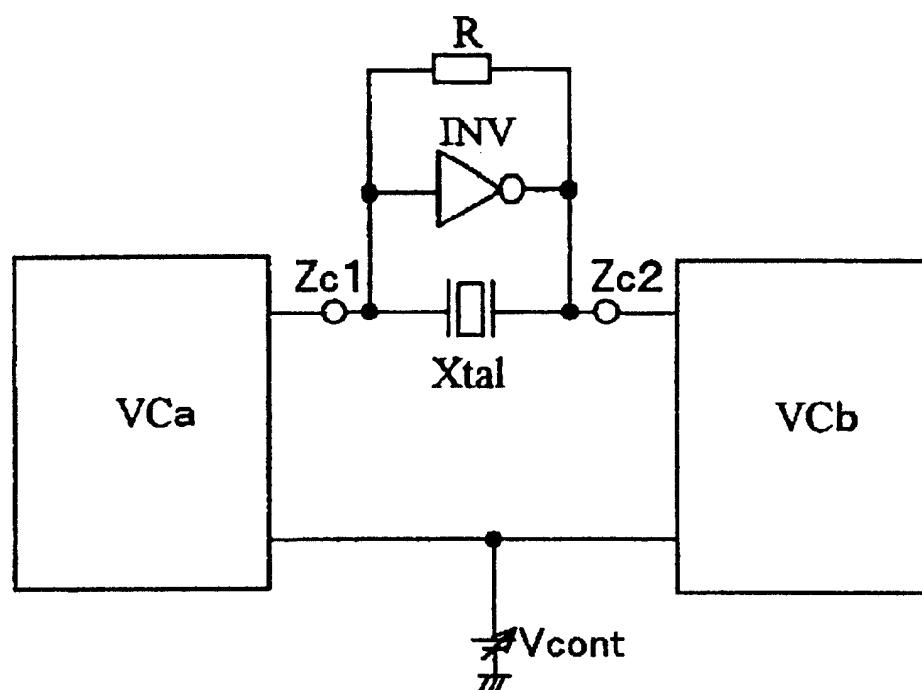


图 4

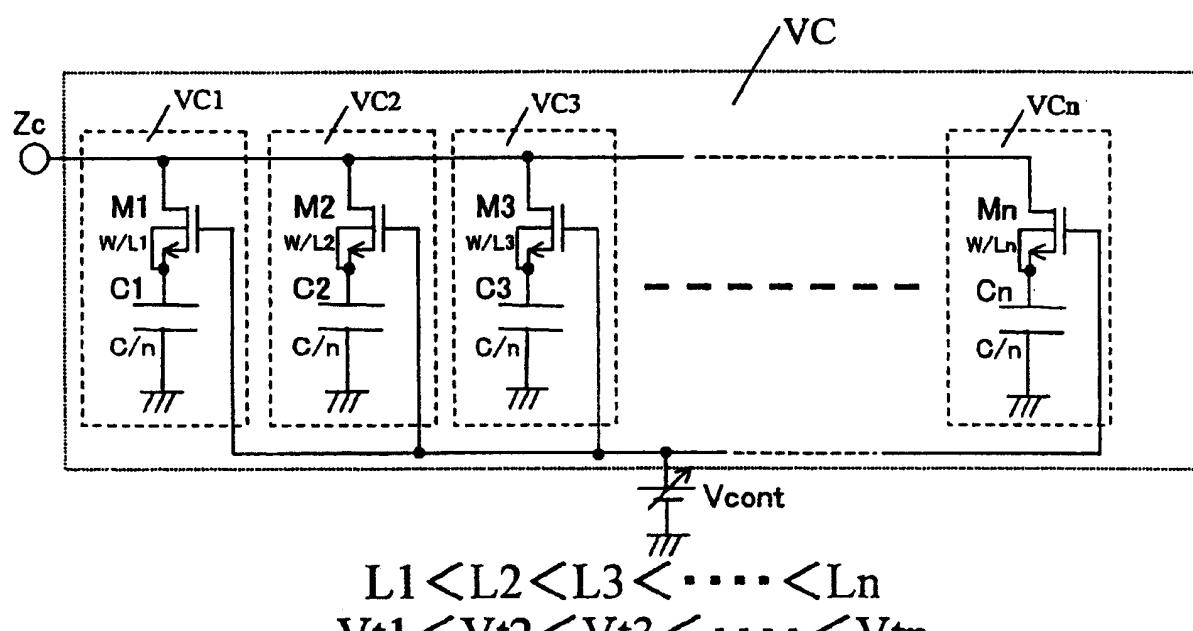


图 5

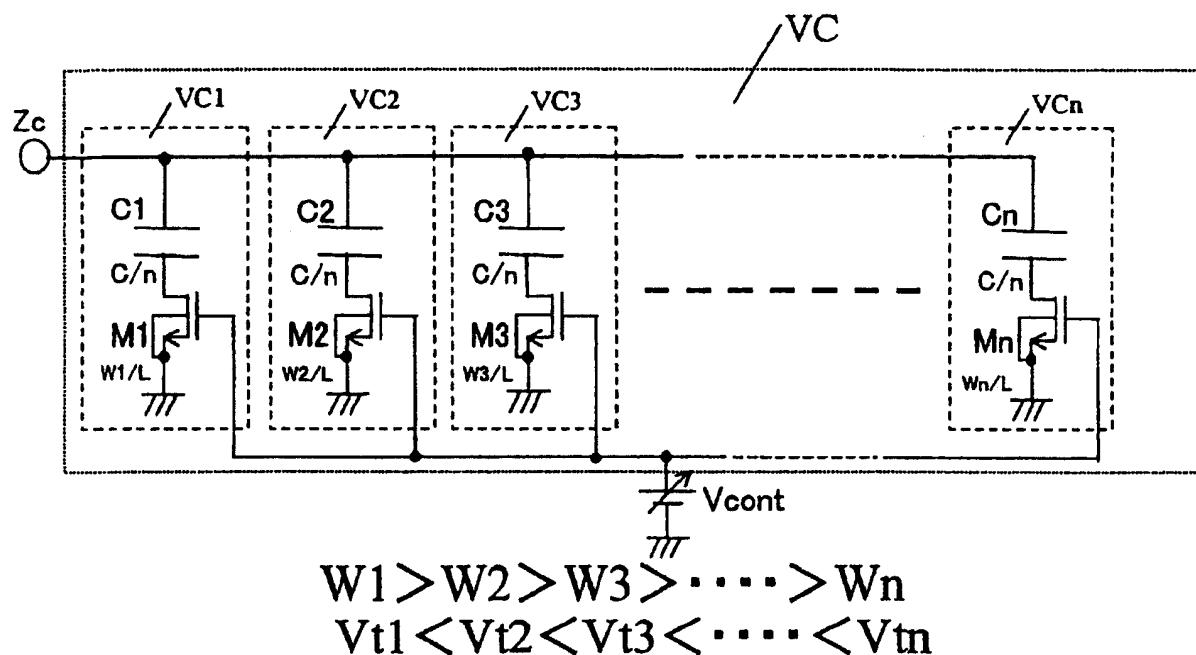


图 6

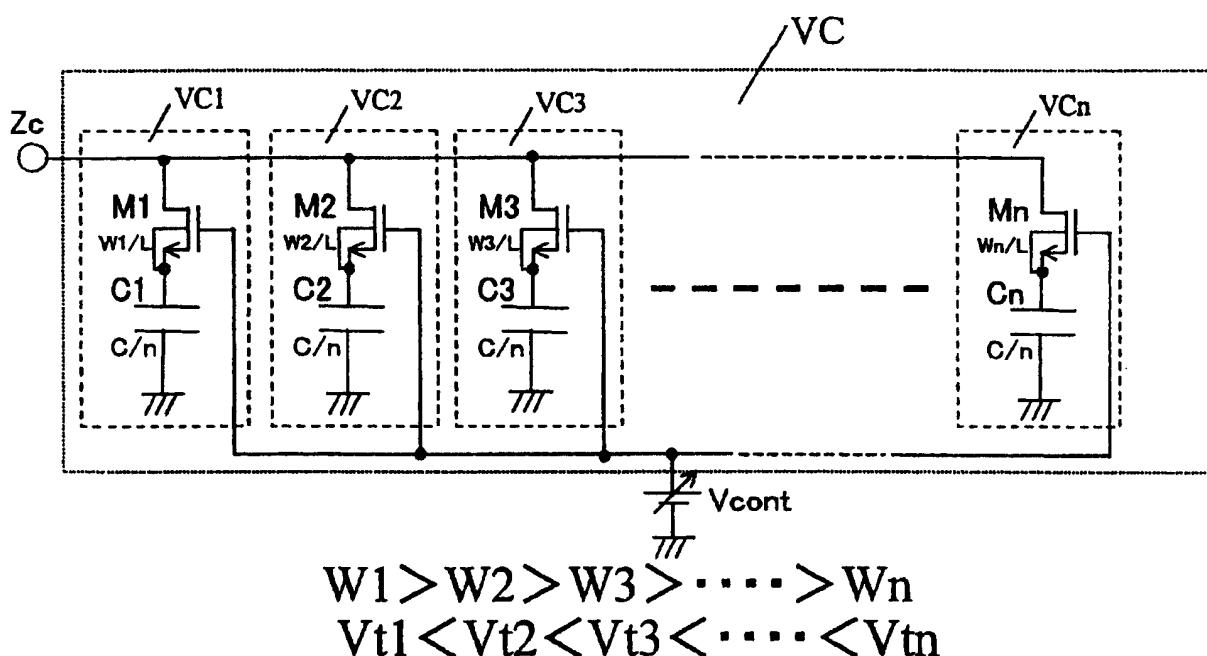


图 7

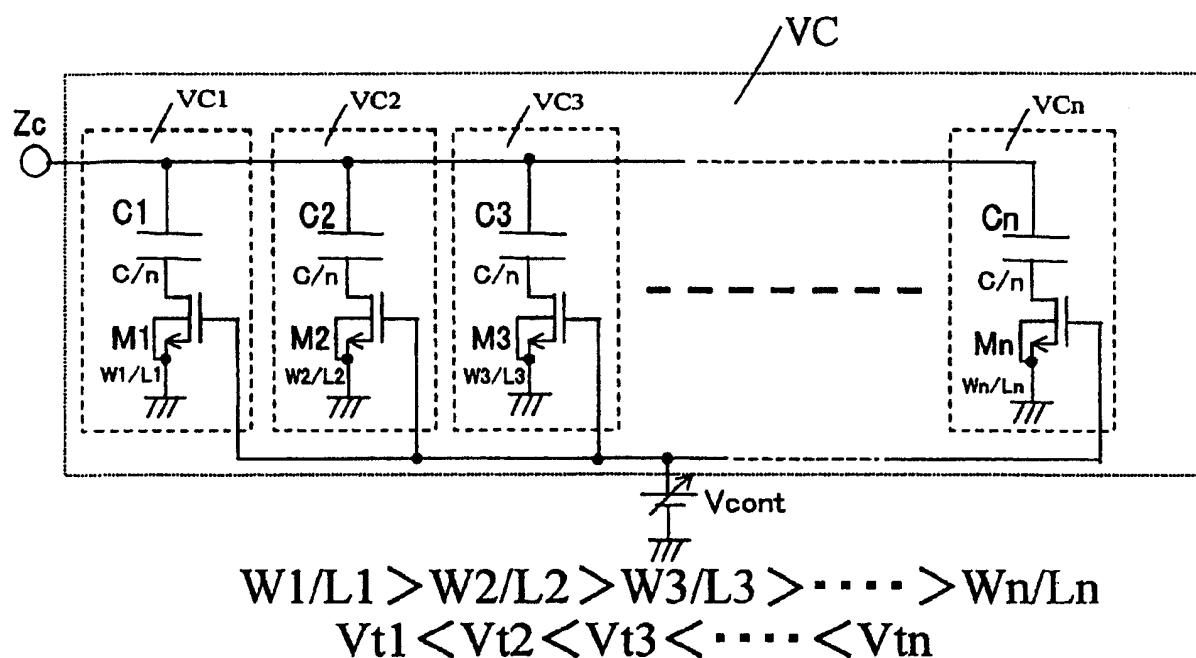


图 8

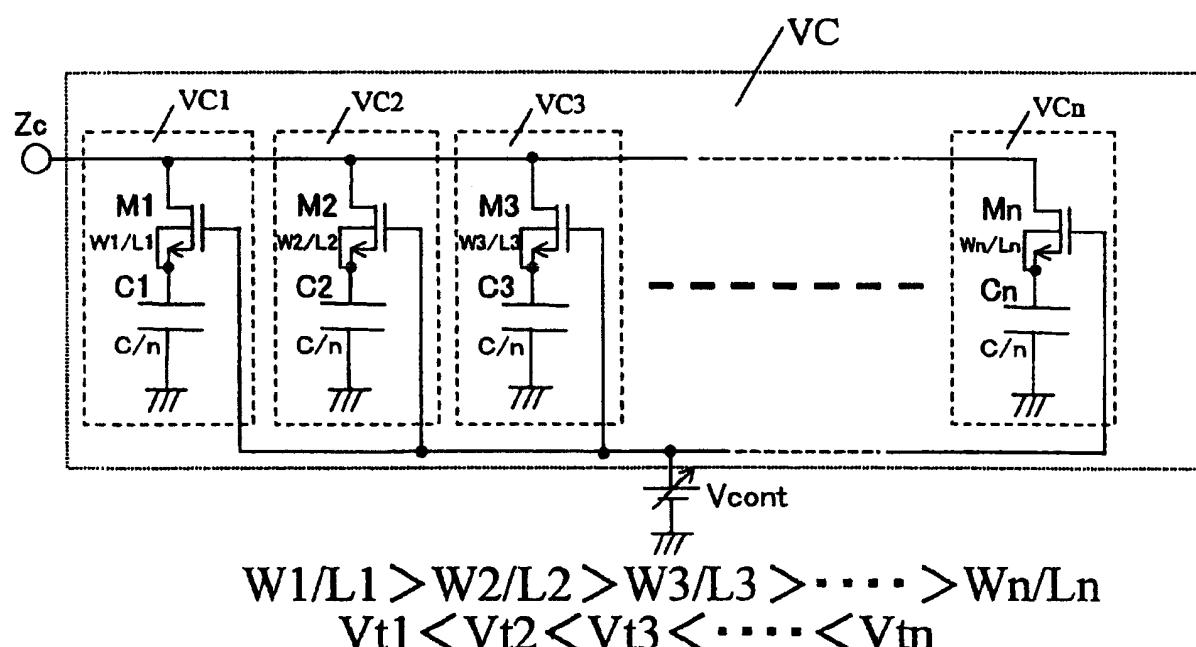


图 9

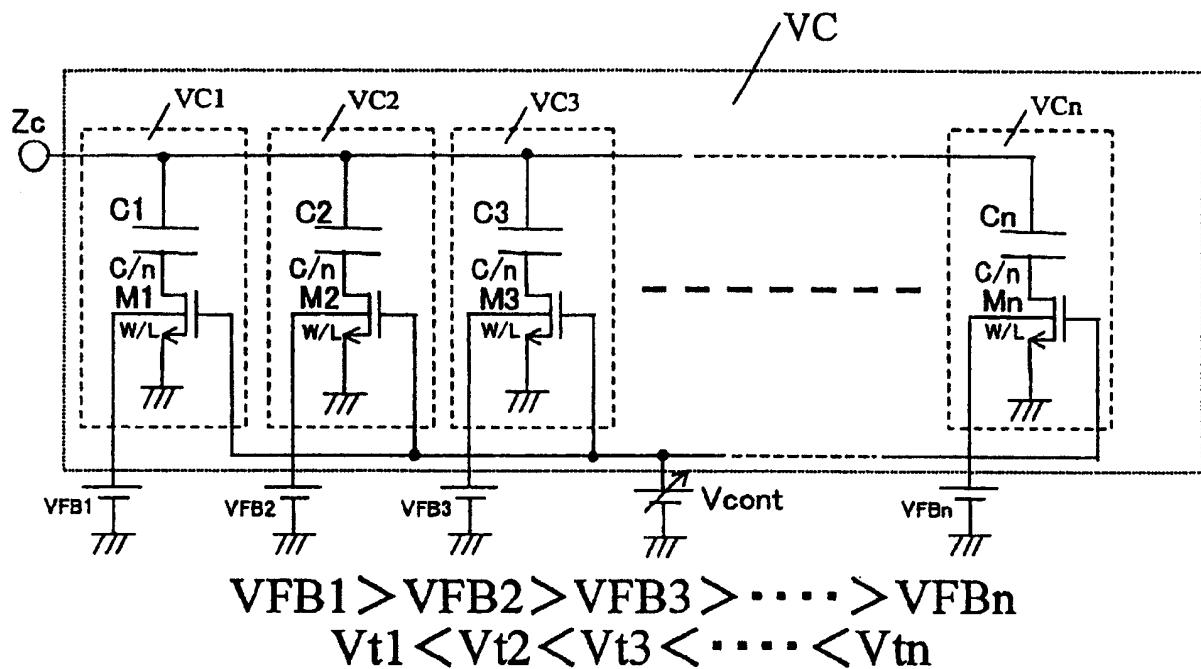


图 10

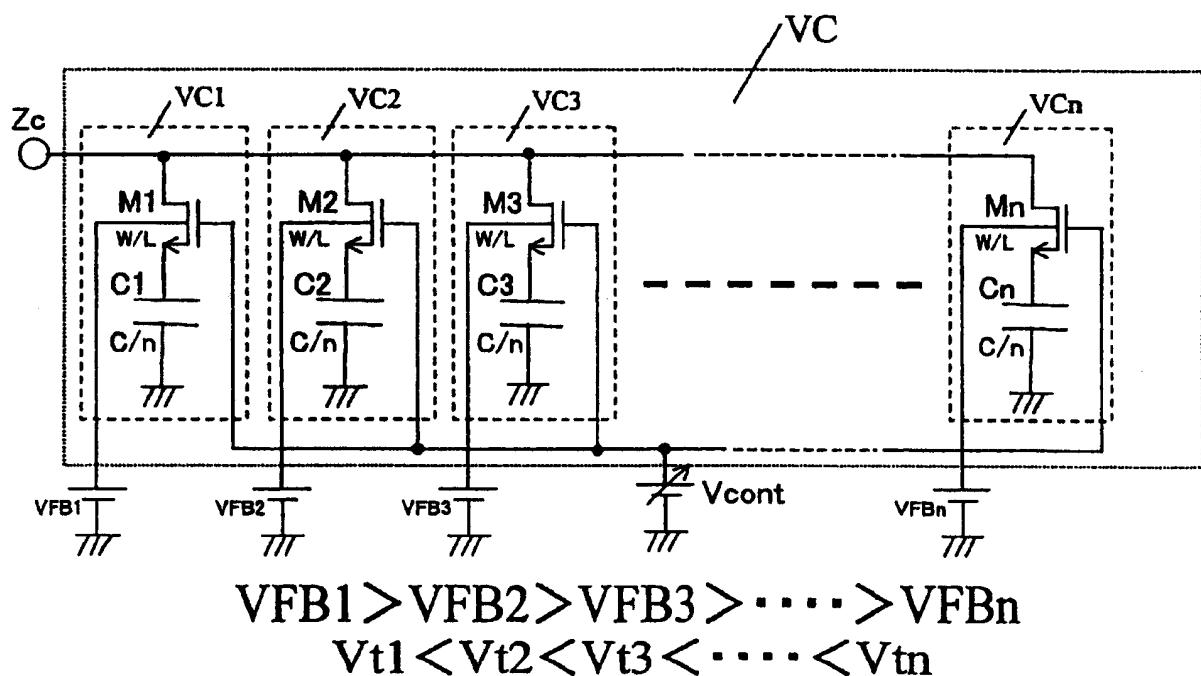


图 11

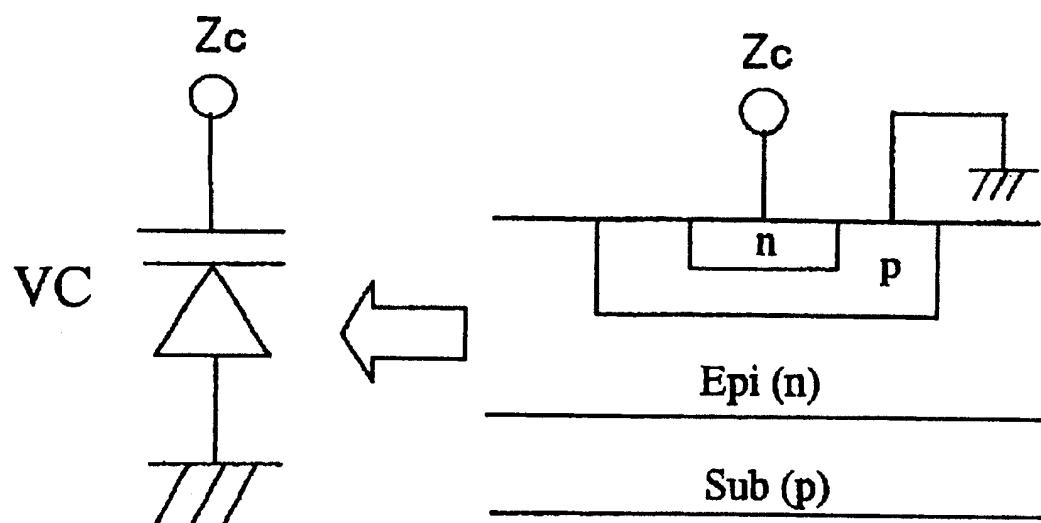


图 12

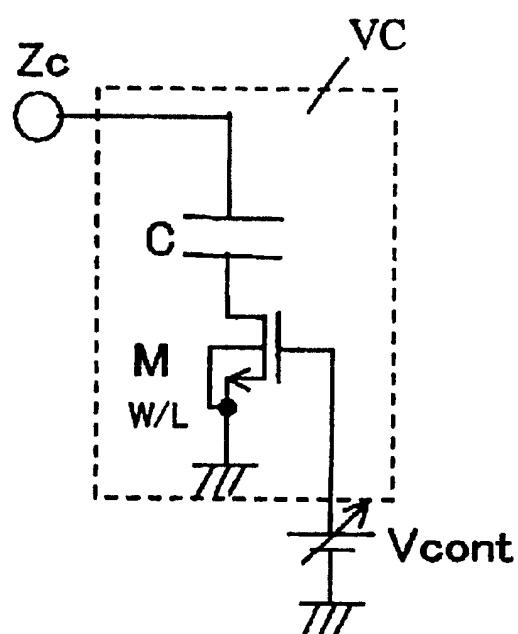


图 13

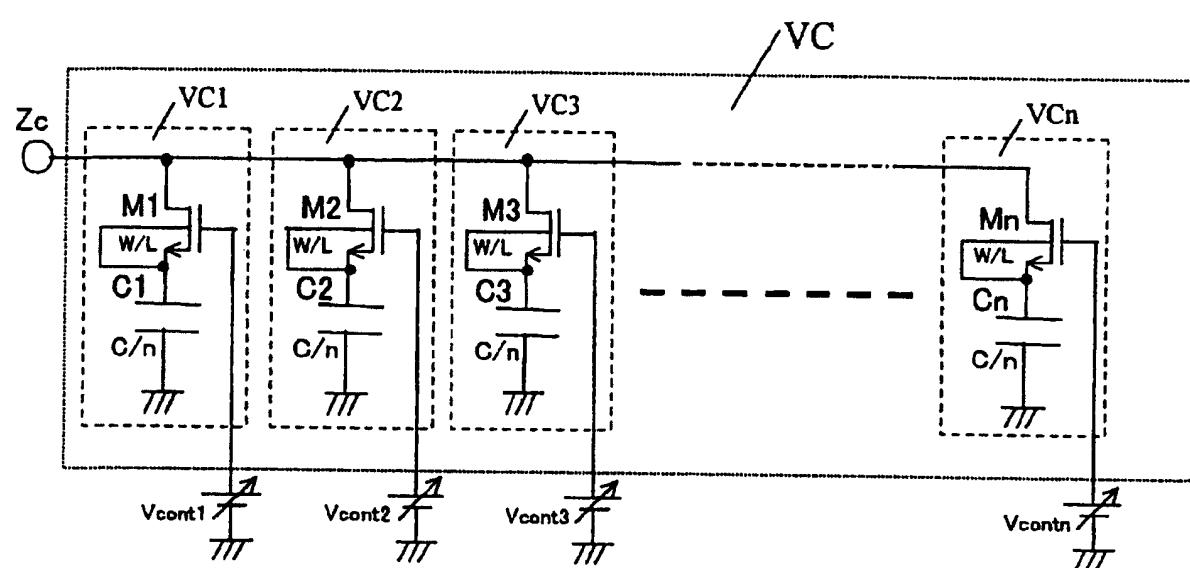

$$V_{cont1} > V_{cont2} > V_{cont3} > \dots > V_{contn}$$

图 14

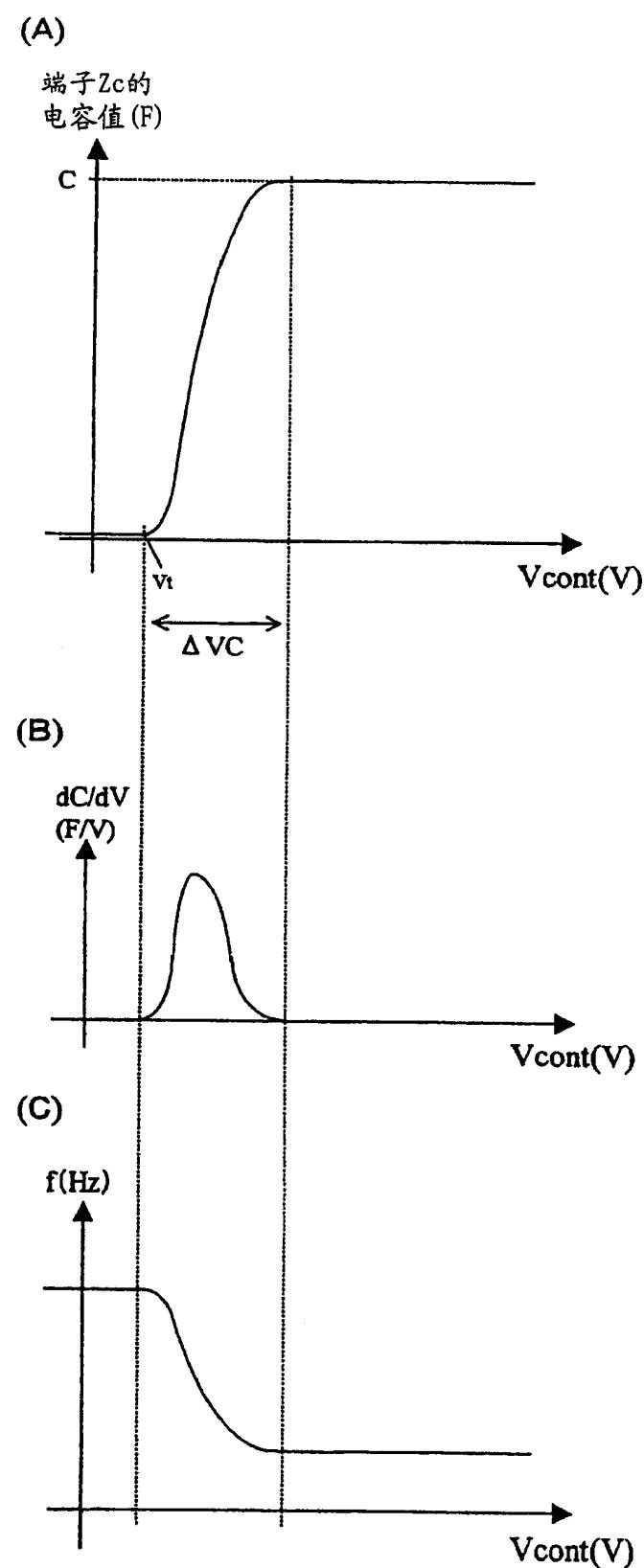


图 15