



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0120573
(43) 공개일자 2019년10월24일

(51) 국제특허분류(Int. Cl.)

G06F 12/02 (2018.01)

(52) CPC특허분류

G06F 12/0292 (2013.01)

G06F 2212/7201 (2013.01)

(21) 출원번호 10-2018-0043926

(22) 출원일자 2018년04월16일

심사청구일자 없음

(71) 출원인

에스케이하이닉스 주식회사

경기도 이천시 부발읍 경충대로 2091

(72) 발명자

이희원

서울특별시 중랑구 사가정로71길 11 (면목동, 용
마2차한신아파트)

(74) 대리인

김성남

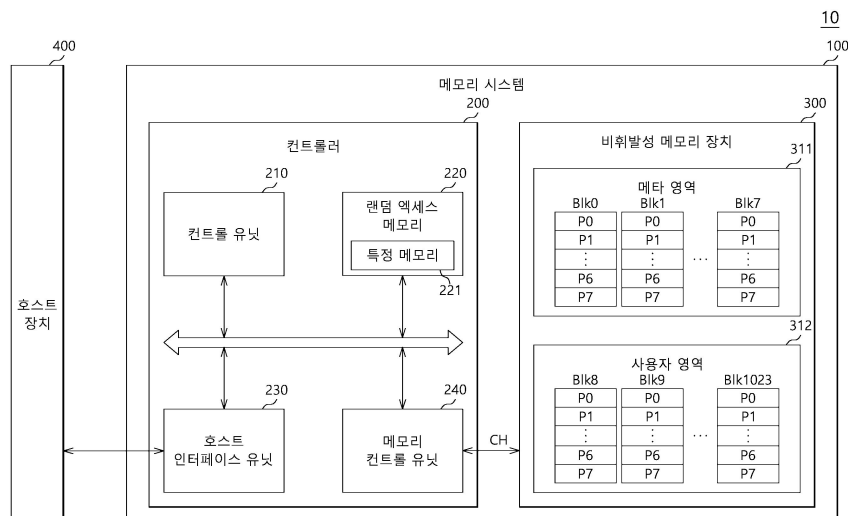
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 메모리 시스템, 데이터 처리 시스템 및 메모리 시스템의 동작 방법

(57) 요약

본 발명의 실시 예에 따른 메모리 시스템은, 복수의 메모리 블록들을 포함하는 비휘발성 메모리 장치와, 호스트 장치의 논리 어드레스들과 비휘발성 메모리 장치의 물리 어드레스들의 맵핑 정보에 대한 맵핑 테이블을 생성하고, 맵핑 테이블을 메모리 블록들에 저장하도록 제어하는 컨트롤러를 포함할 수 있고, 컨트롤러는, 호스트 장치로부터 특정 맵핑 테이블에 기입될 특정 논리 어드레스를 수신하는 호스트 인터페이스 유닛 및 특정 맵핑 테이블이 저장되는 특정 메모리를 포함할 수 있다.

대표도



명세서

청구범위

청구항 1

복수의 메모리 블록들을 포함하는 비휘발성 메모리 장치; 및

호스트 장치의 논리 어드레스들과 상기 비휘발성 메모리 장치의 물리 어드레스들의 맵핑 정보에 대한 맵핑 테이블을 생성하고, 상기 맵핑 테이블을 상기 메모리 블록들에 저장하도록 제어하는 컨트롤러를 포함하되,

상기 컨트롤러는,

상기 호스트 장치로부터 특정 맵핑 테이블에 기입될 특정 논리 어드레스를 수신하는 호스트 인터페이스 유닛; 및

상기 특정 맵핑 테이블이 저장되는 특정 메모리를 포함하는, 메모리 시스템.

청구항 2

제1항에 있어서,

상기 컨트롤러는,

상기 호스트 장치로부터 상기 특정 논리 어드레스에 대한 읽기 요청을 수신한 때, 상기 특정 메모리를 참조하여 상기 읽기 요청에 대응하는 읽기 동작을 수행하는, 메모리 시스템.

청구항 3

제1항에 있어서,

상기 특정 논리 어드레스는,

상기 호스트 장치의 운영 체제(Operating System)의 구동에 필요한 데이터에 대응되는 논리 어드레스인, 메모리 시스템.

청구항 4

제1항에 있어서,

상기 특정 논리 어드레스는,

상기 호스트 장치의 사용자 인증 동작에 필요한 데이터에 대응되는 논리 어드레스인, 메모리 시스템.

청구항 5

제1항에 있어서,

상기 컨트롤러는,

상기 호스트 장치로부터 특정 논리 어드레스의 추가 요청을 수신한 때, 상기 추가 요청에 대응하는 맵핑 정보를 상기 비휘발성 메모리 장치로부터 수신하여 상기 특정 맵핑 테이블에 추가하고,

상기 호스트 장치로부터 특정 논리 어드레스의 삭제 요청을 수신한 때, 상기 삭제 요청에 대응하는 맵핑 정보를 상기 특정 맵핑 테이블에서 소거하는,

메모리 시스템.

청구항 6

제1항에 있어서,

상기 컨트롤러는,

상기 특정 논리 어드레스에 대한 정보를 상기 특정 메모리 이외의 영역에 저장하고,

상기 호스트 장치로부터 읽기 요청을 수신한 때, 상기 특정 논리 어드레스에 대한 정보를 참조하여 상기 읽기 요청에 대응하는 논리 어드레스가 상기 특정 논리 어드레스인지 여부를 판단하는, 메모리 시스템.

청구항 7

제1항에 있어서,

상기 컨트롤러는,

상기 특정 논리 어드레스에 대한 정보가 저장되는 롬(Read Only Memory, ROM)을 포함하고,

상기 호스트 장치로부터 읽기 요청을 수신한 때, 상기 롬을 참조하여 상기 읽기 요청에 대응하는 논리 어드레스가 상기 특정 논리 어드레스인지 여부를 판단하는, 메모리 시스템.

청구항 8

복수의 메모리 블록들을 포함하는 비휘발성 메모리 장치;

상기 비휘발성 메모리 장치에 저장될 쓰기 데이터에 대응하는 논리 어드레스를 포함하여 쓰기 요청을 생성하는 호스트 장치; 및

상기 호스트 장치로부터 상기 쓰기 요청을 수신하고, 상기 논리 어드레스와 상기 비휘발성 메모리 장치의 물리 어드레스의 맵핑 정보를 포함하는 맵핑 테이블을 생성하고, 상기 맵핑 테이블을 상기 메모리 블록들에 저장하도록 제어하는 컨트롤러를 포함하되,

상기 쓰기 요청은 상기 논리 어드레스가 특정 논리 어드레스인지 여부에 대한 정보를 포함하고,

상기 컨트롤러는, 상기 논리 어드레스가 특정 논리 어드레스인 경우 상기 특정 논리 어드레스의 맵핑 정보를 포함하는 특정 맵핑 테이블이 저장되는 특정 메모리를 포함하는, 데이터 처리 시스템.

청구항 9

제8항에 있어서,

상기 컨트롤러는,

상기 호스트 장치로부터 상기 특정 논리 어드레스에 대한 읽기 요청을 수신한 때, 상기 특정 메모리를 참조하여 상기 읽기 요청에 대응하는 읽기 동작을 수행하는, 메모리 시스템.

청구항 10

제8항에 있어서,

상기 쓰기 요청은, 상기 논리 어드레스가 특정 논리 어드레스인지 여부가 표시된 비트를 포함하는, 데이터 처리 시스템.

청구항 11

제8항에 있어서,

상기 특정 논리 어드레스는,

상기 호스트 장치의 운영 체제(Operating System)의 구동에 필요한 데이터에 대응되는 논리 어드레스인, 데이터 처리 시스템.

청구항 12

제8항에 있어서,

상기 특정 논리 어드레스는,

상기 호스트 장치의 사용자 인증 동작에 필요한 데이터에 대응되는 논리 어드레스인, 데이터 처리 시스템.

청구항 13

제8항에 있어서,

상기 컨트롤러는,

상기 특정 논리 어드레스에 대한 정보를 상기 특정 메모리 이외의 영역에 저장하고,

상기 호스트 장치로부터 읽기 요청을 수신한 때, 상기 특정 논리 어드레스에 대한 정보를 참조하여 상기 읽기 요청에 대응하는 논리 어드레스가 상기 특정 논리 어드레스인지 여부를 판단하는, 데이터 처리 시스템.

청구항 14

제8항에 있어서,

상기 호스트 장치는 상기 비휘발성 메모리 장치에 저장된 읽기 데이터에 대한 읽기 요청을 생성하고,

상기 읽기 요청은, 상기 읽기 데이터에 대응하는 논리 어드레스가 특정 논리 어드레스인지 여부에 대한 정보를 포함하는, 데이터 처리 시스템.

청구항 15

호스트 장치의 논리 어드레스들과 비휘발성 메모리 장치의 물리 어드레스들의 맵핑 정보에 대한 맵핑 테이블을 생성하는 컨트롤러 및 복수의 메모리 블록들을 포함하는 상기 비휘발성 메모리 장치를 포함하는 메모리 시스템의 동작 방법에 있어서,

상기 호스트 장치로부터 특정 맵핑 테이블에 기입될 특정 논리 어드레스를 수신하는 단계;

상기 특정 논리 어드레스의 맵핑 정보를 상기 특정 맵핑 테이블에 기입하는 단계; 및

상기 특정 맵핑 테이블을 특정 메모리에 저장하는 단계를 포함하되,

상기 특정 맵핑 테이블은, 상기 특정 메모리에 고정되는, 방법.

청구항 16

제15항에 있어서,

상기 호스트 장치로부터 상기 특정 논리 어드레스에 대한 읽기 요청을 수신하는 단계; 및

상기 특정 메모리를 참조하여 상기 읽기 요청에 대응하는 읽기 동작을 수행하는 단계를 더 포함하는, 방법.

청구항 17

제15항에 있어서,

상기 호스트 장치로부터 상기 특정 맵핑 테이블의 업데이트 요청을 수신하는 단계; 및

상기 업데이트 요청에 대응하여, 상기 특정 맵핑 테이블을 업데이트하는 단계를 더 포함하는, 방법.

청구항 18

제17항에 있어서,

상기 업데이트 요청은, 상기 특정 맵핑 테이블에 기입된 특정 논리 어드레스의 추가 또는 삭제 요청을 포함하는, 방법.

청구항 19

제15항에 있어서,

상기 특정 논리 어드레스를 수신하는 단계는,

상기 호스트 장치로부터, 상기 비휘발성 메모리 장치에 저장될 쓰기 데이터에 대응하는 논리 어드레스 및 상기 논리 어드레스가 특정 논리 어드레스인지 여부에 대한 정보를 포함하는 쓰기 요청을 수신하는 단계를 포함하고,

상기 논리 어드레스가 특정 논리 어드레스인지 여부를 판단하는 단계를 더 포함하는, 방법.

청구항 20

제19항에 있어서,

상기 쓰기 요청을 수신하는 단계는,

상기 논리 어드레스가 특정 논리 어드레스인지 여부가 표시된 비트를 포함하는 상기 쓰기 요청을 수신하는 단계를 포함하는, 방법.

발명의 설명

기술 분야

[0001] 본 발명은 메모리 시스템에 관한 것으로, 더욱 상세하게는 비휘발성 메모리 장치를 포함하는 메모리 시스템에 관한 것이다.

배경 기술

[0002] 메모리 시스템은 외부 장치의 라이트 요청에 응답하여, 외부 장치로부터 제공된 데이터를 저장하도록 구성될 수 있다. 또한, 메모리 시스템은 외부 장치의 리드 요청에 응답하여, 저장된 데이터를 외부 장치로 제공하도록 구성될 수 있다. 외부 장치는 데이터를 처리할 수 있는 전자 장치로서, 컴퓨터, 디지털 카메라 또는 휴대폰 등을 포함할 수 있다. 메모리 시스템은 외부 장치에 내장되어 동작하거나, 분리 가능한 형태로 제작되어 외부 장치에 연결됨으로써 동작할 수 있다.

[0003] 메모리 장치를 이용한 메모리 시스템은 기계적인 구동부가 없어서 안정성 및 내구성이 뛰어나며 정보의 액세스 속도가 매우 빠르고 전력 소모가 적다는 장점이 있다. 이러한 장점을 갖는 메모리 시스템은 USB(Universal Serial Bus) 메모리 장치, 다양한 인터페이스를 갖는 메모리 카드, UFS(Universal Flash Storage) 장치, 솔리드 스테이트 드라이브(Solid State Drive, 이하, SSD라 칭함)를 포함한다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 실시 예는, 맵핑 테이블의 획득을 위하여 빈번하게 비휘발성 메모리 장치에 액세스함으로써 발생하는 성능 저하를 방지하는 방안을 제공한다.

과제의 해결 수단

[0005] 본 발명의 실시 예에 따른 메모리 시스템은, 복수의 메모리 블록들을 포함하는 비휘발성 메모리 장치와, 호스트 장치의 논리 어드레스들과 비휘발성 메모리 장치의 물리 어드레스들의 맵핑 정보에 대한 맵핑 테이블을 생성하고, 맵핑 테이블을 메모리 블록들에 저장하도록 제어하는 컨트롤러를 포함할 수 있고, 컨트롤러는, 호스트 장치로부터 특정 맵핑 테이블에 기입될 특정 논리 어드레스를 수신하는 호스트 인터페이스 유닛 및 특정 맵핑 테이블이 저장되는 특정 메모리를 포함할 수 있다.

[0006] 본 발명의 실시 예에 따른 데이터 처리 시스템은, 복수의 메모리 블록들을 포함하는 비휘발성 메모리 장치와, 비휘발성 메모리 장치에 저장될 쓰기 데이터에 대응하는 논리 어드레스를 포함하여 쓰기 요청을 생성하는 호스트 장치와, 호스트 장치로부터 쓰기 요청을 수신하고, 논리 어드레스와 비휘발성 메모리 장치의 물리 어드레스의 맵핑 정보를 포함하는 맵핑 테이블을 생성하고, 맵핑 테이블을 메모리 블록들에 저장하도록 제어하는 컨트롤러를 포함할 수 있고, 쓰기 요청은 논리 어드레스가 특정 논리 어드레스인지 여부에 대한 정보를 포함할 수 있고, 컨트롤러는, 논리 어드레스가 특정 논리 어드레스인 경우 특정 논리 어드레스의 맵핑 정보를 포함하는 특정 맵핑 테이블이 저장되는 특정 메모리를 포함할 수 있다.

[0007] 본 발명의 실시 예에 따른 메모리 시스템의 동작 방법은, 호스트 장치로부터 특정 맵핑 테이블에 기입될 특정 논리 어드레스를 수신하는 단계, 특정 논리 어드레스의 맵핑 정보를 특정 맵핑 테이블에 기입하는 단계 및 특정 맵핑 테이블을 특정 메모리에 저장하는 단계를 포함할 수 있고, 특정 맵핑 테이블은, 특정 메모리에 고정될 수 있다.

발명의 효과

[0008] 본 발명의 실시 예에 따른 메모리 시스템은 빈번하게 읽기 동작이 수행되는 논리 어드레스의 맵핑 정보를 컨트롤러의 내부 메모리에 고정시킴으로써, 맵핑 테이블 획득을 위하여 비휘발성 메모리 장치에 액세스하는 횟수를 줄일 수 있다.

도면의 간단한 설명

[0009] 도 1은 본 발명의 실시 예에 따른 데이터 처리 시스템을 예시적으로 보여주는 블록도이다.

도 2a 및 도 2b는 각각 맵핑 테이블 및 특정 맵핑 테이블을 예시적으로 설명하기 위한 도면이다.

도 3은 본 발명의 실시 예에 따른 메모리 시스템 또는 데이터 처리 시스템의 동작을 예시적으로 설명하기 위한 순서도이다.

도 4a는 본 발명의 실시 예에 따라 호스트 장치로부터 수신하는 리드 요청에 포함되는 정보를 설명하기 위한 도면이다.

도 4b는 본 발명의 실시 예에 따른 메모리 시스템 또는 데이터 처리 시스템의 동작을 예시적으로 설명하기 위한 순서도이다.

도 5a는 본 발명의 실시 예에 따라 호스트 장치로부터 수신하는 쓰기 요청에 포함되는 정보를 설명하기 위한 도면이다.

도 5b는 본 발명의 실시 예에 따른 메모리 시스템 또는 데이터 처리 시스템의 동작을 예시적으로 설명하기 위한 순서도이다.

도 6은 본 발명의 실시 예에 따른 SSD를 포함하는 데이터 처리 시스템을 예시적으로 보여주는 도면이다.

도 7은 본 발명의 실시 예에 따른 메모리 시스템을 포함하는 데이터 처리 시스템을 예시적으로 보여주는 도면이다.

도 8은 본 발명의 실시 예에 따른 메모리 시스템을 포함하는 데이터 처리 시스템을 예시적으로 보여주는 도면이다.

도 9는 본 발명의 실시 예에 따른 메모리 시스템을 포함하는 네트워크 시스템을 예시적으로 보여주는 도면이다.

도 10은 본 발명의 실시 예에 따른 메모리 시스템에 포함된 비휘발성 메모리 장치를 예시적으로 보여주는 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0010] 본 발명의 이점 및 특징, 그리고 그것을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시 예들을 통해 설명될 것이다. 그러나 본 발명은 여기에서 설명되는 실시 예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 단지, 본 실시 예들은 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여 제공되는 것이다.

[0011] 도면들에 있어서, 본 발명의 실시 예들은 도시된 특정 형태로 제한되는 것이 아니며 명확성을 기하기 위하여 과장된 것이다. 본 명세서에서 특정한 용어들이 사용되었으나, 이는 본 발명을 설명하기 위한 목적에서 사용된 것이며, 의미 한정이나 특허 청구 범위에 기재된 본 발명의 권리 범위를 제한하기 위하여 사용된 것은 아니다.

[0012] 본 명세서에서 '및/또는'이란 표현은 전후에 나열된 구성요소들 중 적어도 하나를 포함하는 의미로 사용된다. 또한, '연결되는/결합되는'이란 표현은 다른 구성 요소와 직접적으로 연결되거나 다른 구성 요소를 통해서 간접적으로 연결되는 것을 포함하는 의미로 사용된다. 본 명세서에서 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 또한, 명세서에서 사용되는 '포함한다' 또는 '포함하는'으로 언급된 구성 요소, 단계, 동작 및 소자는 하나 이상의 다른 구성 요소, 단계, 동작 및 소자의 존재 또는 추가를 의미한다.

[0013] 이하, 도면들을 참조하여 본 발명의 실시 예에 대해 상세히 설명하기로 한다.

[0014] 도 1은 본 발명의 실시 예에 따른 데이터 처리 시스템을 예시적으로 보여주는 블록도이다.

[0015] 메모리 시스템(100)은 휴대폰, MP3 플레이어, 랩탑 컴퓨터, 데스크탑 컴퓨터, 게임기, TV, 차량용 인포테인먼트

(in-vehicle infotainment) 시스템 등과 같은 호스트 장치(400)에 의해서 액세스되는 데이터를 저장할 수 있다.

- [0016] 메모리 시스템(100)은 호스트 장치(400)와의 전송 프로토콜을 의미하는 호스트 인터페이스에 따라서 다양한 종류의 저장 장치들 중 어느 하나로 제조될 수 있다. 예를 들면, 메모리 시스템(100)은 SSD, MMC, eMMC, RS-MMC, micro-MMC 형태의 멀티 미디어 카드(multimedia card), SD, mini-SD, micro-SD 형태의 시큐어 디지털(secure digital) 카드, USB(universal storage bus) 저장 장치, UFS(universal flash storage) 장치, PCMCIA(personal computer memory card international association) 카드 형태의 저장 장치, PCI(peripheral component interconnection) 카드 형태의 저장 장치, PCI-E(PCI express) 카드 형태의 저장 장치, CF(compact flash) 카드, 스마트 미디어(smart media) 카드, 메모리 스틱(memory stick) 등과 같은 다양한 종류의 저장 장치들 중 어느 하나로 구성될 수 있다.
- [0017] 메모리 시스템(100)은 다양한 종류의 패키지(package) 형태들 중 어느 하나로 제조될 수 있다. 예를 들면, 메모리 시스템(100)은 POP(package on package), SIP(system in package), SOC(system on chip), MCP(multi chip package), COB(chip on board), WFP(wafer-level fabricated package), WSP(wafer-level stack package) 등과 같은 다양한 종류의 패키지 형태들 중 어느 하나로 제조될 수 있다.
- [0018] 메모리 시스템(100)은 컨트롤러(200)를 포함할 수 있다. 컨트롤러(200)는 컨트롤 유닛(210), 랜덤 액세스 메모리(220), 호스트 인터페이스 유닛(230) 및 메모리 컨트롤 유닛(240)을 포함할 수 있다.
- [0019] 컨트롤 유닛(210)은 마이크로 컨트롤 유닛(micro control unit)(MCU), 중앙 처리 장치(central processing unit)(CPU)로 구성될 수 있다. 컨트롤 유닛(210)은 호스트 장치(400)로부터 전송된 리퀘스트를 처리할 수 있다. 컨트롤 유닛(210)은, 리퀘스트를 처리하기 위해서, 랜덤 액세스 메모리(220)에 로딩된 코드 형태의 명령(instruction) 또는 알고리즘, 즉, 펌웨어(FW)를 구동하고, 내부의 기능 블록들 및 비휘발성 메모리 장치(300)를 제어할 수 있다.
- [0020] 랜덤 액세스 메모리(220)는 동적 랜덤 액세스 메모리(DRAM) 또는 정적 랜덤 액세스 메모리(SRAM)와 같은 랜덤 액세스 메모리로 구성될 수 있다. 랜덤 액세스 메모리(220)는 컨트롤 유닛(210)에 의해서 구동되는 펌웨어(FW)를 저장할 수 있다. 또한, 랜덤 액세스 메모리(220)는 펌웨어(FW)의 구동에 필요한 데이터, 예를 들면, 메타 데이터를 저장할 수 있다. 즉, 랜덤 액세스 메모리(220)는 컨트롤 유닛(210)의 동작 메모리(working memory)로서 동작할 수 있다.
- [0021] 랜덤 액세스 메모리(220)는 특정 메모리(221)를 포함할 수 있다. 특정 메모리(221)는 정적 랜덤 액세스 메모리(SRAM)으로 구성될 수 있으나, 이에 한정되지 않고 다양한 종류의 랜덤 액세스 메모리로 구성될 수 있다. 컨트롤 유닛(210)은 호스트 장치(400)의 요청에 의하여 설정되는 특정 논리 어드레스들의 맵핑 정보를 포함하는 특정 맵핑 테이블을 특정 메모리(221)에 저장하고, 특정 논리 어드레스에 대응하는 데이터에 대한 읽기 동작 시에, 특정 메모리(221)를 참조하여 상기 읽기 동작을 수행할 수 있다. 특정 맵핑 테이블이 생성되어 특정 메모리(221)에 저장되고, 이에 기초하여 읽기 동작이 수행되는 과정에 대한 구체적인 설명은 후술하도록 한다.
- [0022] 랜덤 액세스 메모리(220)는 데이터를 임시 저장하는 버퍼로 사용될 수 있다. 예를 들어, 호스트 장치(400)의 읽기 요청에 대응하는 읽기 데이터를 비휘발성 메모리 장치(300)에서 독출하여 임시 저장한 후, 호스트 장치(400)로 전송할 수 있다. 또한, 호스트 장치(400)의 쓰기 요청에 대응하는 쓰기 데이터를 호스트 장치(400)로부터 수신하여 임시 저장한 후, 비휘발성 메모리 장치(300)로 전송할 수 있다.
- [0023] 컨트롤러(200)는 읽기용 기억 장치(Read Only Memory, ROM)(미도시)를 포함할 수 있다. ROM은 마스크 롬(mask ROM), 프로그램 가능 ROM(PROM) 또는 소거/프로그램 가능 ROM(EPROM) 등으로 구성될 수 있다.
- [0024] 호스트 인터페이스 유닛(230)은 호스트 장치(400)와 메모리 시스템(100)을 인터페이싱할 수 있다. 예시적으로, 호스트 인터페이스 유닛(230)은 시큐어 디지털(secure digital), USB(universal serial bus), MMC(multi-media card), eMMC(embedded MMC), PCMCIA(personal computer memory card international association), PATA(parallel advanced technology attachment), SATA(serial advanced technology attachment), SCSI(small computer system interface), SAS(serial attached SCSI), PCI(peripheral component interconnection), PCI-E(PCI Express), UFS(universal flash storage)와 같은 표준 전송 프로토콜들 중 어느 하나, 즉, 호스트 인터페이스를 이용해서 호스트 장치(400)와 통신할 수 있다.
- [0025] 메모리 컨트롤 유닛(240)은 컨트롤 유닛(210)의 제어에 따라서 비휘발성 메모리 장치(300)를 제어할 수 있다. 메모리 컨트롤 유닛(240)은 메모리 인터페이스 유닛으로도 불릴 수 있다. 메모리 컨트롤 유닛(240)은 제어 신호들을 비휘발성 메모리 장치(300)로 제공할 수 있다. 제어 신호들은 비휘발성 메모리 장치(300)를 제어하기 위한

커맨드, 어드레스, 제어 신호 등을 포함할 수 있다. 메모리 컨트롤 유닛(240)은 데이터를 비휘발성 메모리 장치(300)로 제공하거나, 비휘발성 메모리 장치(300)로부터 데이터를 제공 받을 수 있다.

[0026] 비휘발성 메모리 장치(300)는 낸드(NAND) 플래시 메모리 장치, 노어(NOR) 플래시 메모리 장치, 강유전체 커패시터를 이용한 강유전체 램(ferroelectric random access memory: FRAM), 터널알(tunneling magneto-resistive: TMR) 막을 이용한 마그네틱 램(magnetic random access memory: MRAM), 칼코겐 화합물(chalcogenide alloys)을 이용한 상 변화 램(phase change random access memory: PCRAM), 전이금속 산화물(transition metal oxide)을 이용한 저항성 램(resistive random access memory: RRAM) 등과 같은 다양한 형태의 비휘발성 메모리 장치 중 어느 하나로 구성될 수 있다.

[0027] 비휘발성 메모리 장치(300)는 메모리 셀 어레이(도 10의 310)를 포함할 수 있다. 메모리 셀 어레이(310)에 포함된 메모리 셀들은 동작의 관점에서 또는 물리적(또는 구조적) 관점에서 계층적인 메모리 셀 집합 또는 메모리 셀 단위로 구성될 수 있다. 예를 들면, 동일한 워드 라인에 연결되며, 동시에 읽혀지고 쓰여지는(또는 프로그램되는) 메모리 셀들은 페이지로 구성될 수 있다. 이하에서, 설명의 편의를 위해서, 페이지로 구성되는 메모리 셀들을 "페이지"라고 칭할 것이다. 또한, 동시에 삭제되는 메모리 셀들은 메모리 블록으로 구성될 수 있다. 메모리 셀 어레이(310)는 복수의 메모리 블록들을 포함하고, 메모리 블록들 각각은 복수의 페이지들을 포함할 수 있다.

[0028] 한편, 메모리 셀 어레이(310)는 메타 데이터가 저장되는 메타 영역(311)과, 사용자 데이터 등의 노멀한 데이터가 저장되는 사용자 영역(312)을 포함할 수 있다. 메타 영역(311)은 사용자 영역(312)에 저장되는 데이터를 관리하기 위한 각종 정보들을 저장할 수 있으며, 일 예로서 논리적 어드레스와 물리적 어드레스의 맵핑 정보를 포함하는 맵핑 테이블이 메타 영역(311)에 저장될 수 있다.

[0029] 상기 맵핑 테이블은 컨트롤러(200)와 비휘발성 메모리 장치(300) 사이에서 송수신될 수 있다. 예컨대, 메모리 시스템(100) 구동 시 메타 영역(311)에 저장된 맵핑 테이블이 컨트롤러(200)로 제공됨에 따라, 컨트롤러(200)는 어드레스 맵핑 정보를 참조하여 비휘발성 메모리 장치(300)에 대한 메모리 동작을 관리할 수 있다. 또한, 컨트롤러(200)는 메모리 동작이나 가비지 컬렉션(Garbage Collection) 등 메모리 관리 동작에 따라 맵핑 테이블을 변경할 수 있으며, 변경된 맵핑 테이블이 메타 영역(311)에 저장되도록 관리할 수 있다.

[0030] 메타 영역(311)은 복수 개의 맵핑 테이블들을 포함할 수 있다. 예컨대, 메모리 셀 어레이(310)는 각각 소정의 사이즈를 갖는 복수 개의 영역들을 포함하고, 메타 영역(311)은 상기 복수 개의 영역들에 대응하는 복수 개의 맵핑 테이블들을 포함할 수 있다.

[0031] 설명의 편의를 위하여 다음의 조건을 가정한다. 도시된 바와 같이 비휘발성 메모리 장치(300)에 포함되는 메모리 블록들 각각은 8개의 페이지들(P0 내지 P7)을 포함하고, 메타 영역(311)은 메모리 블록(Blk0) 내지 메모리 블록(Blk7)으로 설정되고, 사용자 영역(312)은 메모리 블록(Blk8) 내지 메모리 블록(Blk1023)으로 설정된다.

[0032] 최근 비휘발성 메모리 장치가 휴대용 단말기 등 소형화가 요구되는 환경에서 빈번하게 사용되고, 이에 따라 내장되어 버퍼 등의 용도로 활용되는 휘발성 메모리(예를 들면, SRAM)의 수가 충분하지 않다. 따라서 호스트 장치의 논리 어드레스들과 비휘발성 메모리 장치의 물리 어드레스들의 맵핑 정보를 포함하는 맵핑 테이블을 비휘발성 메모리 장치의 메타 영역에 저장하고, 호스트 장치의 읽기 요청을 수신한 때, 읽기 요청의 대상 데이터에 대한 맵핑 테이블을 비휘발성 메모리 장치에서 독출하고, 이에 근거하여 읽기 동작을 수행하게 되어 시스템의 성능이 떨어질 수 있는 문제점이 존재한다.

[0033] 이러한 문제점에 대한 대응으로, 최근에 사용한 일정 크기의 맵핑 테이블을 캐시 영역에 임시 저장하고, 캐시 영역에 저장된 맵핑 테이블에 포함되는 영역에 대한 읽기 요청 시에는 캐시 영역을 참조하여 해당 맵핑 정보를 획득하는 방법이 사용되고 있으나, 최근 읽기 요청된 데이터가 비휘발성 메모리 장치에 저장된 영역이 분산되어 있는 경우, 한정된 캐시 영역의 크기(또는 용량)로 인하여 빈번하게 읽기 요청되는 데이터임에도 불구하고 다시 비휘발성 메모리 장치에 액세스하여 맵핑 테이블을 획득해야 하는 한계가 존재한다.

[0034] 도 2a 및 도 2b는 각각 맵핑 테이블 및 특정 맵핑 테이블을 예시적으로 설명하기 위한 도면이다.

[0035] 실시 예에 따라, 컨트롤러(200)는 어드레스 맵핑 정보에 근거하여 L2P 맵핑 테이블 또는 P2L 맵핑 테이블을 생성할 수 있다. L2P 맵핑 테이블은 논리 어드레스들이 인덱스로 설정되고, 논리 어드레스들에 맵핑된 물리 어드레스들이 엔트리로 설정된다. P2L 맵핑 테이블은 물리 어드레스들이 인덱스로 설정되고, 물리 어드레스들에 맵핑된 논리 어드레스들이 엔트리로 설정된다. 이하에서, 맵핑 테이블은 L2P 맵핑 테이블을 예시로서 설명하나,

이에 한정되지는 않고 실시 예에 따라 P2L 맵핑 테이블을 이용하여 구현될 수 있다.

- [0036] 도 2a를 참조하면, 본 발명의 실시 예에 다른 컨트롤러(200)는 어드레스 맵핑 정보에 근거하여 맵핑 테이블을 생성할 수 있다. 실시 예에 따라, 데이터가 저장된 비휘발성 메모리 장치(300) 내의 위치, 즉 물리 어드레스는 블록 오프셋(OFS_Blk) 및 페이지 오프셋(OFS_PG)으로 표시될 수 있다. 이하에서, 물리 어드레스는 물리 어드레스(PA(OFS_Blk, OFS_PG))로 표현한다.
- [0037] 도시된 바와 같이, 논리 어드레스(LA0) 내지 논리 어드레스(LA7)에는 각각 물리 어드레스(PA(1,0)), 물리 어드레스(PA(1,1)), 물리 어드레스(PA(0,0)), 물리 어드레스(PA(1,7)), 물리 어드레스(PA(2,1)), 물리 어드레스(PA(0,2)), 물리 어드레스(PA(0,3)) 및 물리 어드레스(PA(0,4))가 맵핑되었다고 가정한다.
- [0038] 도 2b를 참조하면, 호스트 장치(400)는 컨트롤러(200)로 특정 논리 어드레스에 대한 정보를 전송할 수 있고, 이에 근거하여 컨트롤러(200)는 특정 논리 어드레스의 맵핑 정보에 대한 특정 맵핑 테이블을 생성할 수 있다. 또한, 생성된 특정 맵핑 테이블을 랜덤 액세스 메모리(220)의 별도의 영역(예를 들면, 특정 메모리(221))에 저장할 수 있다. 즉, 본 명세서에서 "특정 논리 어드레스"는 컨트롤러(200) 내부의 메모리에 고정적으로 저장될 맵핑 정보의 대상이 되는 논리 어드레스를 의미한다. 또한, "특정 맵핑 테이블"은 특정 논리 어드레스에 대한 맵핑 정보를 포함하는 맵핑 테이블을 의미한다. 또한, "특정 메모리"는, 컨트롤러(200)의 내부에 위치하는 메모리로서, 상기 특정 맵핑 테이블을 저장하는 메모리를 의미한다.
- [0039] 실시 예에 따라, 특정 논리 어드레스는 호스트 장치(400)의 운영 체제(Operating System)의 구동에 필요한 데이터에 대응되는 논리 어드레스일 수 있다. OS의 구동에 필요한 데이터의 경우, 호스트 장치(400)를 사용할 때 필수적으로 사용되는 데이터일 가능성이 높다. 즉, 빈번하게 액세스될 데이터이기 때문에, 컨트롤러(200)의 내부 메모리에 고정적으로 저장한다면 맵핑 테이블의 획득을 위하여 비휘발성 메모리 장치(300)에 액세스하는 횟수를 현저하게 감소시킬 수 있고, 결과적으로 시스템의 성능이 향상될 것이다.
- [0040] 실시 예에 따라, 특정 논리 어드레스는 호스트 장치(400)의 사용자 인증 동작에 필요한 데이터에 대응되는 논리 어드레스일 수 있다. 예를 들면, 사용자 인증 동작은 클라우드 서버 등으로부터 서비스를 제공받기 위해 이용되는 사용자 ID, 패스 워드, 기타 인증 정보와 같은 사용자 로그인 정보 또는 통신 인증에 필요한 정보를 포함하는 동작일 수 있다. 이와 같은 사용자 인증 동작도 호스트 장치(400)의 구동에 필수적으로 요구되는 경우가 많고, 이에 따라 빈번하게 액세스될 가능성이 높다.
- [0041] 실시 예에 따라, 컨트롤러(200)는 특정 논리 어드레스에 대한 정보를 특정 메모리(221) 이외의 영역에 저장할 수 있고, 호스트 장치(400)로부터 읽기 요청을 수신한 때, 특정 논리 어드레스에 대한 정보를 참조하여 읽기 요청에 대응하는 논리 어드레스가 특정 논리 어드레스인지 여부를 판단할 수 있다. 이 때, "특정 논리 어드레스에 대한 정보"는 호스트 장치(400)에 의하여 특정 논리 어드레스로 설정된 논리 어드레스 목록이 표시된 정보일 수 있다.
- [0042] 예시적으로, 도시된 바와 같이 논리 어드레스(LA0), 논리 어드레스(LA1), 논리 어드레스(LA5), 논리 어드레스(LA6) 및 논리 어드레스(LA7)이 호스트 장치(400)에 의하여 특정 논리 어드레스로 설정되었고, 컨트롤러(200)에 의하여 특정 맵핑 테이블이 생성되고, 생성된 특정 맵핑 테이블이 특정 메모리에 저장되어 있다고 가정한다. 따라서, 특정 맵핑 테이블에는 특정 논리 어드레스들의 맵핑 정보가 표시되어 있다.
- [0043] 도시된 바와 같이, 논리 어드레스 및 물리 어드레스가 표시된 특정 맵핑 테이블을 예시적으로 표현하였으나, 이는 설명의 편의를 위한 것으로 다른 정보가 표현된 맵핑 테이블로도 구현 가능할 것이다. 예를 들어, 연속적인 특정 논리 어드레스가 설정되는 경우, 시작 논리 어드레스(또는 시작 물리 어드레스) 및 연속하는 어드레스의 수(즉, 어드레스의 길이)로 표시될 수 있을 것이다.
- [0044] 도 3은 본 발명의 실시 예에 따른 메모리 시스템 또는 데이터 처리 시스템의 동작을 예시적으로 설명하기 위한 순서도이다. 이하에서, 도 1 내지 도 3을 참조하여 특정 논리 어드레스에 대응하는 데이터에 대한 읽기 동작을 설명한다.
- [0045] S1000 단계에서, 호스트 장치(400)는 특정 논리 어드레스들로 설정된 논리 어드레스 목록을 컨트롤러(200)로 전송할 수 있다. 즉, 미리 설정된 특정 논리 어드레스들을 호스트 장치(400)가 컨트롤러(200)로 전송할 수 있고, 전송하는 시점은 시스템의 부팅 이후의 시점일 수 있다. 도 2b에서 가정한 대로, 논리 어드레스(LA0), 논리 어드레스(LA1), 논리 어드레스(LA5), 논리 어드레스(LA6) 및 논리 어드레스(LA7)이 특정 논리 어드레스로 설정되어 있다.

- [0046] S1100 단계에서, 컨트롤러(200)는 호스트 장치(400)로부터 수신한 특정 논리 어드레스의 맵핑 정보를 포함한 특정 맵핑 테이블을 생성하고, 이를 특정 메모리(221)에 저장할 수 있다. 예시적으로, 상술한 도 2B의 특정 맵핑 테이블이 특정 메모리(221)에 저장될 것이다.
- [0047] S3000 단계에서, 호스트 장치(400)는 논리 어드레스(LA0)에 대응되는 데이터에 대한 읽기 요청(RQ_READ(LA0))을 생성하고, 이를 컨트롤러(200)로 전송할 수 있다. 즉, 특정 논리 어드레스로 설정된 논리 어드레스(LA0)에 대응되는 데이터에 대한 읽기 요청을 시스템으로 전송할 수 있다.
- [0048] S4000 단계에서, 컨트롤러(200)는 호스트 장치(400)로부터 수신한 읽기 요청의 대상인 논리 어드레스가 특정 논리 어드레스인지 여부를 판단할 수 있다. 실시 예에 따라, 컨트롤러(200)는 특정 논리 어드레스에 대한 정보를 특정 메모리(221) 이외의 영역에 저장할 수 있고, 호스트 장치(400)로부터 읽기 요청을 수신한 때, 특정 논리 어드레스에 대한 정보를 참조하여 읽기 요청에 대응하는 논리 어드레스가 특정 논리 어드레스인지 여부를 판단할 수 있다. 예를 들면, 호스트 장치(400)로부터 특정 논리 어드레스로 설정된 논리 어드레스를 수신한 이후에 특정 논리 어드레스 목록을 특정 메모리(221) 이외의 영역(예를 들면, ROM)에 저장할 수 있다. 앞서 가정한 대로, 호스트 장치(400)의 리드 요청LA0의 대상인 논리 어드레스(LA0)은 특정 논리 어드레스인 바, 특정 논리 어드레스라고 판단될 것이다.
- [0049] S4100 단계에서, 리드 요청의 대상인 논리 어드레스가 특정 논리 어드레스라고 판단된 경우, 컨트롤러(200)는 특정 메모리(221)를 서치할 수 있다. 구체적으로, 특정 메모리(221)에 저장된 특정 맵핑 테이블을 참조하여 논리 어드레스(LA0)의 맵핑 정보를 획득하고, 논리 어드레스(LA0)에 대응되는 물리 어드레스를 획득할 것이다.
- [0050] 만약에 논리 어드레스(LA0)이 특정 논리 어드레스가 아닌 경우, S6000 단계에서, 컨트롤러(200)는 논리 어드레스(LA0)의 맵핑 정보를 포함하는 맵핑 테이블(MPT_LA0)을 획득하기 위하여 비휘발성 메모리 장치(300)로 읽기 커맨드(CMD_READ(MPT_LA0))을 전송할 수 있다. 즉, 읽기 동작의 대상에 대응하는 논리 어드레스가 특정 논리 어드레스가 아닌 경우 맵핑 정보가 특정 메모리(221)에 저장되어 있지 않을 것이고, 이를 획득하기 위해서는 비휘발성 메모리 장치(300)에 저장된 맵핑 테이블을 독출하여 맵핑 정보를 판단해야 한다.
- [0051] S6100 단계에서, 비휘발성 메모리 장치(300)는 컨트롤러(200)의 읽기 커맨드(CMD_READ(MPT_LA0))에 대응하여 맵핑 테이블(MPT_LA0)이 저장된 영역에서 맵핑 테이블(MPT_LA0)을 독출하여 컨트롤러(200)로 전송할 수 있다.
- [0052] S7000 단계에서, 특정 메모리(221) 또는 비휘발성 메모리 장치(300)에서 획득한 맵핑 테이블(MPT_LA0)에 기초하여 판단된 물리 어드레스 기초하여 비휘발성 메모리 장치(300)로 읽기 커맨드(CMD_READ(PA(1,0)))를 전송할 수 있고, S7100 단계에서, 비휘발성 메모리 장치(300)에서 읽기 동작의 대상 데이터를 컨트롤러(200)로 전송할 수 있고, 컨트롤러(200)의 랜덤 액세스 메모리(220)(또는 버퍼 메모리)에 저장될 것이다. 이후 S7200 단계에서, 대상 데이터가 호스트 장치(400)로 전송됨으로써 읽기 동작이 마무리될 것이다.
- [0053] 본 발명의 실시 예에 따라, 호스트 장치(400)에 의하여 기 설정된 특정 논리 어드레스의 맵핑 정보가 포함된 특정 맵핑 테이블을 특정 메모리(221)에 고정적으로 저장하고, 특정 논리 어드레스에 대한 읽기 동작 시에 특정 메모리(221)를 참조하여 특정 논리 어드레스의 맵핑 정보를 획득하는 경우, 맵핑 정보를 획득하기 위하여 비휘발성 메모리 장치(300)에 액세스하는 횟수를 감소시킬 수 있고, 이에 따라 읽기 동작의 성능이 향상될 수 있다. 특히, 빈번하게 읽기 동작이 수행되는 논리 어드레스를 특정 논리 어드레스로 설정하여 이를 특정 메모리(221)에 고정시킴으로써 보다 효율적인 메모리 시스템(100)의 사용이 가능하게 된다.
- [0054] 도 4a는 본 발명의 실시 예에 따라 호스트 장치로부터 수신하는 리드 요청에 포함되는 정보를 설명하기 위한 도면이다.
- [0055] 실시 예에 따라, 호스트 장치(400)는 읽기 동작의 대상이 되는 논리 어드레스가 특정 논리 어드레스인지 여부에 대한 정보를 포함하여 읽기 요청(RQ_READ)을 생성할 수 있다. 예를 들면, 도시된 바와 같이 논리 어드레스가 특정 논리 어드레스인지 여부가 표시된 비트를 포함하여 읽기 요청(RQ_READ)을 생성할 수 있다. 실시 예에 따라, 읽기 요청(RQ_READ)은 읽기 동작의 대상인 데이터에 대응되는 논리 어드레스를 시작 논리 어드레스(start LA)와, 논리 어드레스의 길이 또는 개수(LA length)로 표시할 수 있다. 예를 들어, 논리 어드레스(LA5) 내지 논리 어드레스(LA7)이 읽기 요청의 대상이 되는 논리 어드레스인 경우, "start LA"는 5가 되고, "LA length"는 3이 될 것이다.
- [0056] 실시 예에 따라, 특정 논리 어드레스인지 여부는 특정 비트(particular bit)로 표시될 수 있다. 예를 들어, 특정 논리 어드레스가 아닌 경우 "0"으로 표시될 수 있고, 특정 논리 어드레스인 경우 "1"로 표시될 수 있다. 호

스트 장치(400)에서 생성 및 출력되는 읽기 요청에 특정 논리 어드레스인지 여부가 포함되는 경우, 특정 논리 어드레스에 대한 정보는 컨트롤러(200)에서 별도로 저장 및 관리하지 않아도 될 것이다.

- [0057] 도 4b는 본 발명의 실시 예에 따른 메모리 시스템 또는 데이터 처리 시스템의 동작을 예시적으로 설명하기 위한 순서도이다. 이하에서 도 1 내지 도 4b를 참조하여 호스트 장치(400)로부터 특정 논리 어드레스인지 여부에 대한 정보가 포함된 읽기 요청을 수신한 경우 읽기 동작을 수행하는 과정을 구체적으로 설명한다.
- [0058] S1000 단계 및 S1100 단계는 도 3에서 설명한 과정이 동일하게 적용될 수 있다. 즉, 호스트 장치(400)로부터 특정 논리 어드레스로 설정되는 논리 어드레스 목록을 수신하고, 이에 대응하는 특정 맵핑 테이블을 생성하고, 생성된 맵핑 테이블을 특정 메모리(221)에 저장할 수 있다.
- [0059] S3000 단계에서, 컨트롤러(200)는 호스트 장치(400)로부터 읽기 요청(RQ_READ(LA0))을 수신할 수 있다. 이 때, 읽기 요청은 도 4a에 도시된 정보를 포함할 수 있다. 즉, 컨트롤러(200)는 호스트 장치(400)로부터 특정 논리 어드레스인지 여부에 대한 정보를 나타내는 비트가 포함된 읽기 요청(RQ_READ(LA0))을 수신할 수 있다.
- [0060] S5000 단계에서, 컨트롤러(200)는 호스트 장치(400)로부터 수신한 읽기 요청(RQ_READ(LA0))에 포함되는 특정 비트가 "1"을 포함하는지 여부를 판단할 수 있다. 상술한 바와 같이, 특정 비트가 "0"을 포함하는 경우 특정 논리 어드레스가 아니고, "1"을 포함하는 경우 해당 논리 어드레스는 특정 논리 어드레스로 설정된 논리 어드레스라고 가정한다. 읽기 요청(RQ_READ(LA0))의 대상인 논리 어드레스(LA0)은 특정 논리 어드레스인 바, 특정 비트는 "1"을 포함할 것이다.
- [0061] S5100 단계에서, 리드 요청의 대상인 논리 어드레스가 특정 논리 어드레스라고 판단된 경우, 컨트롤러(200)는 특정 메모리(221)를 서치할 수 있다. 구체적으로, 특정 메모리(221)에 저장된 특정 맵핑 테이블을 참조하여 논리 어드레스(LA0)의 맵핑 정보를 획득하고, 논리 어드레스(LA0)에 대응되는 물리 어드레스를 획득할 것이다.
- [0062] 만약에 특정 비트가 "1"을 포함하지 않는 경우, 즉 "0"을 포함하는 경우, S6000 단계에서, 컨트롤러(200)는 논리 어드레스(LA0)의 맵핑 정보를 포함하는 맵핑 테이블(MPT_LA0)을 획득하기 위하여 비휘발성 메모리 장치(300)로 읽기 커맨드(CMD_READ(MPT_LA0))를 전송할 수 있다. 즉, 특정 비트가 "1"을 포함하지 않는 경우 읽기 동작의 대상에 대응하는 논리 어드레스는 특정 논리 어드레스가 아닐 것이고, 맵핑 정보가 특정 메모리(221)에 저장되어 있지 않을 것이다. 따라서, 이를 획득하기 위해서는 비휘발성 메모리 장치(300)에 저장된 맵핑 테이블을 독출하여 해당 논리 어드레스의 맵핑 정보를 판단해야 한다.
- [0063] 이후에 수행되는 S6100 단계 내지 S7200 단계는 상술한 도 3의 설명과 동일하게 적용될 수 있다. 즉, 컨트롤러(200)는 비휘발성 메모리 장치(300)로부터 맵핑 테이블(MPT_LA0)을 수신하고, 이에 기초하여 읽기 커맨드(CMD_READ(PA(1,0)))를 생성하여 비휘발성 메모리 장치(300)로 전송한다. 비휘발성 메모리 장치(300)는 읽기 커맨드(CMD_READ(PA(1,0)))에 대응하는 데이터를 컨트롤러(200)로 전송하고, 컨트롤러(200)는 랜덤 액세스 메모리(220)에 해당 데이터를 임시 저장한 후 호스트 장치(400)로 전송함으로써 논리 어드레스(LA0)에 대한 동작이 마무리될 수 있다.
- [0064] 이와 같이 호스트 장치(400)가 읽기 동작의 대상인 논리 어드레스가 특정 논리 어드레스인지 여부를 나타내는 정보를 포함하여 읽기 요청을 생성하고, 이를 컨트롤러(200)로 전송하는 경우, 맵핑 정보를 획득하기 위하여 비휘발성 메모리 장치(300)에 액세스하는 횟수를 감소시킬 뿐만 아니라, 컨트롤러(200)가 특정 논리 어드레스에 대한 정보를 별도로 저장할 필요가 없게 되어 컨트롤러(200)의 내부 메모리의 사용을 최소화할 수 있다.
- [0065] 도 5a는 본 발명의 실시 예에 따라 호스트 장치로부터 수신하는 쓰기 요청에 포함되는 정보를 설명하기 위한 도면이다.
- [0066] 본 발명의 실시 예에 따른 데이터 처리 시스템(10)은, 복수의 메모리 블록들을 포함하는 비휘발성 메모리 장치(300)와, 비휘발성 메모리 장치(300)에 저장될 쓰기 데이터에 대응하는 논리 어드레스를 포함하여 쓰기 요청을 생성하는 호스트 장치(400)와, 호스트 장치(400)로부터 쓰기 요청을 수신하고, 논리 어드레스와 비휘발성 메모리 장치(300)의 물리 어드레스의 맵핑 정보를 포함하는 맵핑 테이블을 생성하고, 맵핑 테이블을 비휘발성 메모리 장치(300)의 메모리 블록들에 저장하도록 제어하는 컨트롤러(200)를 포함할 수 있다. 이 때, 쓰기 요청은 논리 어드레스가 특정 논리 어드레스인지 여부에 대한 정보를 포함할 수 있다.
- [0067] 도 5a를 참조하면, 호스트 장치(400)는 쓰기 동작의 대상이 되는 논리 어드레스가 특정 논리 어드레스인지 여부에 대한 정보를 포함하고, 논리 어드레스 정보 및 쓰기 동작의 대상이 되는 데이터를 포함하여 쓰기 요청(RQ_WRITE)을 생성할 수 있다. 예를 들면, 도시된 바와 같이 논리 어드레스가 특정 논리 어드레스인지 여부가

표시된 비트(particular bit)를 포함하는 쓰기 요청(RQ_WRITE)을 생성할 수 있다. 실시 예에 따라, 쓰기 요청(RQ_WRITE)은 쓰기 동작의 대상인 데이터에 대응되는 논리 어드레스를 시작 논리 어드레스(start LA)와, 논리 어드레스의 길이 또는 개수(LA length)로 표시할 수 있다. 예를 들어, 논리 어드레스(LA0) 내지 논리 어드레스(LA7)이 쓰기 요청의 대상이 되는 논리 어드레스인 경우, "start LA"는 0이 되고, "LA length"는 8이 될 것이다.

[0068] 실시 예에 따라, 특정 논리 어드레스인지 여부는 특정 비트(particular bit)로 표시될 수 있다. 예를 들어, 특정 논리 어드레스가 아닌 경우 "0"으로 표시될 수 있고, 특정 논리 어드레스인 경우 "1"로 표시될 수 있다. 호스트 장치(400)에서 생성 및 출력되는 쓰기 요청(RQ_WRITE)에 특정 논리 어드레스인지 여부에 대한 정보가 포함되는 경우, 특정 논리 어드레스로 설정되는 논리 어드레스 목록을 사전에 컨트롤러(200)에 저장하지 않을 수 있을 것이다.

[0069] 도 5b는 본 발명의 실시 예에 따른 메모리 시스템 또는 데이터 처리 시스템의 동작을 예시적으로 설명하기 위한 순서도이다. 이하에서 도 1 내지 도 3, 도 5a 및 도 5b를 참조하여 호스트 장치(400)로부터 특정 논리 어드레스인지 여부에 대한 정보를 수신한 때, 쓰기 동작 및 읽기 동작을 수행하는 과정을 구체적으로 설명한다.

[0070] S2000 단계에서, 호스트 장치(400)는 쓰기 요청(RQ_WRITE(LA0))을 생성하고, 생성된 쓰기 요청(RQ_WRITE(LA0))을 컨트롤러(200)로 전송할 수 있다. 구체적으로, 쓰기 요청(RQ_WRITE(LA0))에는 도 5a를 참조하여 상술한 바와 같이, 쓰기 동작의 대상이 되는 논리 어드레스 정보, 쓰기 요청의 대상 데이터 및 특정 논리 어드레스인지에 대한 정보가 포함될 수 있다. 예시적으로, 쓰기 요청(RQ_WRITE(LA0))의 대상이 되는 논리 어드레스는 논리 어드레스(LA0)이므로, "start LA"는 0으로 표시될 것이고, "LA length"는 1로 표시될 것이다. 또한, 도 2B를 참조하면 논리 어드레스(LA0)은 특정 논리 어드레스인 바, "particular bit"는 "1"을 포함할 것이다.

[0071] S2100 단계에서, 컨트롤러(200)는 호스트 장치(400)로부터 수신한 쓰기 요청에 대응하는 논리 어드레스가 특정 논리 어드레스인 경우, 특정 맵핑 테이블의 업데이트 동작을 수행한다. 구체적으로, 특정 메모리(221)에 액세스하여 특정 맵핑 테이블을 획득하고, 논리 어드레스(LA0)에 대응되는 데이터가 저장될 물리 어드레스를 설정하고, 논리 어드레스(LA0)의 맵핑 정보를 추가하여 특정 맵핑 테이블의 업데이트 동작을 수행할 수 있다. 이 때, 논리 어드레스(LA0)에 맵핑되는 물리 어드레스는 물리 어드레스(PA(1,0))이라고 가정한다.

[0072] S2200 단계에서, 특정 맵핑 테이블에 포함되는 논리 어드레스(LA0)의 맵핑 정보에 기초하여 쓰기 커맨드(CMD_WRITE(PA(1,0)))을 생성하고, 이를 비휘발성 메모리 장치(300)로 전송할 것이다. 이후 S2300단계에서, 비휘발성 메모리 장치(300)에서 쓰기 요청 데이터에 대한 쓰기 동작이 수행될 것이다. 구체적으로, 물리 어드레스(PA(1,0))에 대응하는 비휘발성 메모리 장치(300)의 영역에 쓰기 요청 데이터가 쓰여질 것이다. 실시 예에 따라, S2100 단계와 S2200 단계의 순서는 바뀔 수 있다. 즉, 비휘발성 메모리 장치(300)에 데이터가 저장된 후, 컨트롤러(200)에서 특정 맵핑 테이블의 업데이트 동작이 수행될 수 있다.

[0073] 이 후 수행되는 S3000 단계 내지 S7200 단계는, 도 3을 참조하여 상술한 과정이 동일하게 수행될 수 있다. 즉, 컨트롤러(200)는 호스트 장치(400)로부터 읽기 요청(RQ_READ(LA0))을 수신하고(S3000), 읽기 요청(RQ_READ(LA0))의 대상인 논리 어드레스(LA0)이 특정 논리 어드레스인지 여부를 판단할 수 있다(S4000). 구체적으로, 특정 메모리(221) 이외의 영역에 저장된 특정 논리 어드레스에 대한 정보를 참조하여 논리 어드레스(LA0)이 특정 논리 어드레스인지 여부를 판단할 것이고, 앞서 가정한 대로 논리 어드레스(LA0)은 특정 논리 어드레스라고 판단될 것이다. 만약 논리 어드레스(LA0)이 특정 논리 어드레스가 아닌 경우, 컨트롤러(200)는 논리 어드레스(LA0)의 맵핑 정보를 획득하기 위하여 비휘발성 메모리 장치(300)로 읽기 커맨드(CMD_READ(MPT_LA0))을 전송하고(S6000), 맵핑 테이블(MPT_LA0)을 획득할 것이다(S6100).

[0074] 논리 어드레스(LA0)이 특정 논리 어드레스라고 판단된 경우, 컨트롤러(200)는 특정 메모리(221)에 액세스하여 특정 맵핑 테이블을 획득할 수 있고, 이에 근거하여 논리 어드레스(LA0)의 맵핑 정보를 획득할 것이다(S4100). 획득한 맵핑 정보에 근거하여 비휘발성 메모리 장치(300)로 전송될 읽기 커맨드(CMD_READ(PA(1,0)))을 생성하고, 이를 비휘발성 메모리 장치(300)로 전송할 것이다(S7000). 비휘발성 메모리 장치(300)는 컨트롤러(200)로부터 출력된 읽기 커맨드(CMD_READ(PA(1,0)))에 기초하여 읽기 요청 데이터를 독출하여 컨트롤러(200)로 전송하고(S7100), 컨트롤러(200)는 이를 호스트 장치(400)로 출력함으로써 읽기 동작을 마무리할 수 있다(S7200).

[0075] 이와 같이, 호스트 장치(400)에서 쓰기 요청 논리 어드레스가 특정 논리 어드레스인지 여부에 대한 정보를 포함하여 쓰기 요청(RQ_WRITE)을 생성하여 컨트롤러(200)로 전송하는 경우, 미리 특정 논리 어드레스 목록을 컨트롤러(200)가 수신하여 저장할 필요가 없게 되고, 특정 맵핑 테이블의 업데이트가 자유롭게 될 수 있다. 즉, 미리

설정된 목록만을 특정 논리 어드레스로 고정하는 것이 아니라, 필요에 따라(예를 들면, 사용자의 시스템 이용 패턴에 따라) 특정 논리 어드레스를 추가 또는 삭제함으로써, 더욱 효율적인 시스템의 운용이 가능하게 된다.

- [0076] 도 6은 본 발명의 실시 예에 따른 SSD를 포함하는 데이터 처리 시스템을 예시적으로 보여주는 도면이다. 도 6을 참조하면, 데이터 처리 시스템(1000)은 호스트 장치(1100)와 SSD(1200)를 포함할 수 있다.
- [0077] SSD(1200)는 컨트롤러(1210), 버퍼 메모리 장치(1220), 비휘발성 메모리 장치들(1231~123n), 전원 공급기(1240), 신호 커넥터(1250) 및 전원 커넥터(1260)를 포함할 수 있다.
- [0078] 컨트롤러(1210)는 SSD(1200)의 제반 동작을 제어할 수 있다. 컨트롤러(1210)는 호스트 인터페이스 유닛(1211), 컨트롤 유닛(1212), 랜덤 액세스 메모리(1213), 에러 정정 코드(ECC) 유닛(1214) 및 메모리 인터페이스 유닛(1215)을 포함할 수 있다.
- [0079] 호스트 인터페이스 유닛(1211)은 신호 커넥터(1250)를 통해서 호스트 장치(1100)와 신호(SGL)를 주고 받을 수 있다. 여기에서, 신호(SGL)는 커맨드, 어드레스, 데이터 등을 포함할 수 있다. 호스트 인터페이스 유닛(1211)은, 호스트 장치(1100)의 프로토콜에 따라서, 호스트 장치(1100)와 SSD(1200)를 인터페이싱할 수 있다. 예를 들면, 호스트 인터페이스 유닛(1211)은, 시큐어 디지털(secure digital), USB(universal serial bus), MMC(multi-media card), eMMC(embedded MMC), PCMCIA(personal computer memory card international association), PATA(parallel advanced technology attachment), SATA(serial advanced technology attachment), SCSI(small computer system interface), SAS(serial attached SCSI), PCI(peripheral component interconnection), PCI-E(PCI Express), UFS(universal flash storage)와 같은 표준 인터페이스 프로토콜들 중 어느 하나를 통해서 호스트 장치(1100)와 통신할 수 있다.
- [0080] 컨트롤 유닛(1212)은 호스트 장치(1100)로부터 입력된 신호(SGL)를 분석하고 처리할 수 있다. 컨트롤 유닛(1212)은 SSD(1200)를 구동하기 위한 펌웨어 또는 소프트웨어에 따라서 내부 기능 블록들의 동작을 제어할 수 있다. 랜덤 액세스 메모리(1213)는 이러한 펌웨어 또는 소프트웨어를 구동하기 위한 동작 메모리로서 사용될 수 있다.
- [0081] 에러 정정 코드(ECC) 유닛(1214)은 비휘발성 메모리 장치들(1231~123n)로 전송될 데이터의 패리티 데이터를 생성할 수 있다. 생성된 패리티 데이터는 데이터와 함께 비휘발성 메모리 장치들(1231~123n)에 저장될 수 있다. 에러 정정 코드(ECC) 유닛(1214)은 패리티 데이터에 근거하여 비휘발성 메모리 장치들(1231~123n)로부터 독출된 데이터의 에러를 검출할 수 있다. 만약, 검출된 에러가 정정 범위 내이면, 에러 정정 코드(ECC) 유닛(1214)은 검출된 에러를 정정할 수 있다.
- [0082] 메모리 인터페이스 유닛(1215)은, 컨트롤 유닛(1212)의 제어에 따라서, 비휘발성 메모리 장치들(1231~123n)에 커맨드 및 어드레스와 같은 제어 신호를 제공할 수 있다. 그리고 메모리 인터페이스 유닛(1215)은, 컨트롤 유닛(1212)의 제어에 따라서, 비휘발성 메모리 장치들(1231~123n)과 데이터를 주고받을 수 있다. 예를 들면, 메모리 인터페이스 유닛(1215)은 버퍼 메모리 장치(1220)에 저장된 데이터를 비휘발성 메모리 장치들(1231~123n)로 제공하거나, 비휘발성 메모리 장치들(1231~123n)로부터 읽혀진 데이터를 버퍼 메모리 장치(1220)로 제공할 수 있다.
- [0083] 버퍼 메모리 장치(1220)는 비휘발성 메모리 장치들(1231~123n)에 저장될 데이터를 임시 저장할 수 있다. 또한, 버퍼 메모리 장치(1220)는 비휘발성 메모리 장치들(1231~123n)로부터 읽혀진 데이터를 임시 저장할 수 있다. 버퍼 메모리 장치(1220)에 임시 저장된 데이터는 컨트롤러(1210)의 제어에 따라 호스트 장치(1100) 또는 비휘발성 메모리 장치들(1231~123n)로 전송될 수 있다.
- [0084] 비휘발성 메모리 장치들(1231~123n)은 SSD(1200)의 저장 매체로 사용될 수 있다. 비휘발성 메모리 장치들(1231~123n) 각각은 복수의 채널들(CH1~CHn)을 통해 컨트롤러(1210)와 연결될 수 있다. 하나의 채널에는 하나 또는 그 이상의 비휘발성 메모리 장치가 연결될 수 있다. 하나의 채널에 연결되는 비휘발성 메모리 장치들은 동일한 신호 버스 및 데이터 버스에 연결될 수 있다.
- [0085] 전원 공급기(1240)는 전원 커넥터(1260)를 통해 입력된 전원(PWR)을 SSD(1200) 내부에 제공할 수 있다. 전원 공급기(1240)는 보조 전원 공급기(1241)를 포함할 수 있다. 보조 전원 공급기(1241)는 서든 파워 오프(sudden power off)가 발생하는 경우, SSD(1200)가 정상적으로 종료될 수 있도록 전원을 공급할 수 있다. 보조 전원 공급기(1241)는 대용량 캐패시터들(capacitors)을 포함할 수 있다.
- [0086] 신호 커넥터(1250)는 호스트 장치(1100)와 SSD(1200)의 인터페이스 방식에 따라서 다양한 형태의 커넥터로 구성

될 수 있다.

- [0087] 전원 커넥터(1260)는 호스트 장치(1100)의 전원 공급 방식에 따라서 다양한 형태의 커넥터로 구성될 수 있다.
- [0088] 도 7은 본 발명의 실시 예에 따른 메모리 시스템을 포함하는 데이터 처리 시스템을 예시적으로 보여주는 도면이다. 도 7을 참조하면, 데이터 처리 시스템(2000)은 호스트 장치(2100)와 메모리 시스템(2200)을 포함할 수 있다.
- [0089] 호스트 장치(2100)는 인쇄 회로 기판(printed circuit board)과 같은 기판(board) 형태로 구성될 수 있다. 비록 도시되지 않았지만, 호스트 장치(2100)는 호스트 장치의 기능을 수행하기 위한 내부 기능 블록들을 포함할 수 있다.
- [0090] 호스트 장치(2100)는 소켓(socket), 슬롯(slot) 또는 커넥터(connector)와 같은 접속 터미널(2110)을 포함할 수 있다. 메모리 시스템(2200)은 접속 터미널(2110)에 마운트(mount)될 수 있다.
- [0091] 메모리 시스템(2200)은 인쇄 회로 기판과 같은 기판 형태로 구성될 수 있다. 메모리 시스템(2200)은 메모리 모듈 또는 메모리 카드로 볼릴 수 있다. 메모리 시스템(2200)은 컨트롤러(2210), 버퍼 메모리 장치(2220), 비휘발성 메모리 장치(2231~2232), PMIC(power management integrated circuit)(2240) 및 접속 터미널(2250)을 포함할 수 있다.
- [0092] 컨트롤러(2210)는 메모리 시스템(2200)의 제반 동작을 제어할 수 있다. 컨트롤러(2210)는 도 6에 도시된 컨트롤러(1210)와 동일하게 구성될 수 있다.
- [0093] 버퍼 메모리 장치(2220)는 비휘발성 메모리 장치들(2231~2232)에 저장될 데이터를 임시 저장할 수 있다. 또한, 버퍼 메모리 장치(2220)는 비휘발성 메모리 장치들(2231~2232)로부터 읽혀진 데이터를 임시 저장할 수 있다. 버퍼 메모리 장치(2220)에 임시 저장된 데이터는 컨트롤러(2210)의 제어에 따라 호스트 장치(2100) 또는 비휘발성 메모리 장치들(2231~2232)로 전송될 수 있다.
- [0094] 비휘발성 메모리 장치들(2231~2232)은 메모리 시스템(2200)의 저장 매체로 사용될 수 있다.
- [0095] PMIC(2240)는 접속 터미널(2250)을 통해 입력된 전원을 메모리 시스템(2200) 내부에 제공할 수 있다. PMIC(2240)는, 컨트롤러(2210)의 제어에 따라서, 메모리 시스템(2200)의 전원을 관리할 수 있다.
- [0096] 접속 터미널(2250)은 호스트 장치의 접속 터미널(2110)에 연결될 수 있다. 접속 터미널(2250)을 통해서, 호스트 장치(2100)와 메모리 시스템(2200) 간에 커맨드, 어드레스, 데이터 등과 같은 신호와, 전원이 전달될 수 있다. 접속 터미널(2250)은 호스트 장치(2100)와 메모리 시스템(2200)의 인터페이스 방식에 따라 다양한 형태로 구성될 수 있다. 접속 터미널(2250)은 메모리 시스템(2200)의 어느 한 변에 배치될 수 있다.
- [0097] 도 8은 본 발명의 실시 예에 따른 메모리 시스템을 포함하는 데이터 처리 시스템을 예시적으로 보여주는 도면이다. 도 8을 참조하면, 데이터 처리 시스템(3000)은 호스트 장치(3100)와 메모리 시스템(3200)을 포함할 수 있다.
- [0098] 호스트 장치(3100)는 인쇄 회로 기판(printed circuit board)과 같은 기판(board) 형태로 구성될 수 있다. 비록 도시되지 않았지만, 호스트 장치(3100)는 호스트 장치의 기능을 수행하기 위한 내부 기능 블록들을 포함할 수 있다.
- [0099] 메모리 시스템(3200)은 표면 실장형 패키지 형태로 구성될 수 있다. 메모리 시스템(3200)은 솔더 볼(solder ball)(3250)을 통해서 호스트 장치(3100)에 마운트될 수 있다. 메모리 시스템(3200)은 컨트롤러(3210), 버퍼 메모리 장치(3220) 및 비휘발성 메모리 장치(3230)를 포함할 수 있다.
- [0100] 컨트롤러(3210)는 메모리 시스템(3200)의 제반 동작을 제어할 수 있다. 컨트롤러(3210)는 도 6에 도시된 컨트롤러(1210)와 동일하게 구성될 수 있다.
- [0101] 버퍼 메모리 장치(3220)는 비휘발성 메모리 장치(3230)에 저장될 데이터를 임시 저장할 수 있다. 또한, 버퍼 메모리 장치(3220)는 비휘발성 메모리 장치들(3230)로부터 읽혀진 데이터를 임시 저장할 수 있다. 버퍼 메모리 장치(3220)에 임시 저장된 데이터는 컨트롤러(3210)의 제어에 따라 호스트 장치(3100) 또는 비휘발성 메모리 장치(3230)로 전송될 수 있다.
- [0102] 비휘발성 메모리 장치(3230)는 메모리 시스템(3200)의 저장 매체로 사용될 수 있다.
- [0103] 도 9는 본 발명의 실시 예에 따른 메모리 시스템을 포함하는 네트워크 시스템을 예시적으로 보여주는 도면이다.

도 9를 참조하면, 네트워크 시스템(4000)은 네트워크(4500)를 통해서 연결된 서버 시스템(4300) 및 복수의 클라이언트 시스템들(4410~4430)을 포함할 수 있다.

- [0104] 서버 시스템(4300)은 복수의 클라이언트 시스템들(4410~4430)의 요청에 응답하여 데이터를 서비스할 수 있다. 예를 들면, 서버 시스템(4300)은 복수의 클라이언트 시스템들(4410~4430)로부터 제공된 데이터를 저장할 수 있다. 다른 예로서, 서버 시스템(4300)은 복수의 클라이언트 시스템들(4410~4430)로 데이터를 제공할 수 있다.
- [0105] 서버 시스템(4300)은 호스트 장치(4100) 및 메모리 시스템(4200)을 포함할 수 있다. 메모리 시스템(4200)은 도 1의 메모리 시스템(100), 도 6의 SSD(1200), 도 7의 메모리 시스템(2200), 도 8의 메모리 시스템(3200)로 구성될 수 있다.
- [0106] 도 10은 본 발명의 실시 예에 따른 메모리 시스템에 포함된 비휘발성 메모리 장치를 예시적으로 보여주는 블록도이다. 도 10을 참조하면, 비휘발성 메모리 장치는 메모리 셀 어레이(310), 행 디코더(320), 데이터 읽기/쓰기 블록(330), 열 디코더(340), 전압 발생기(350) 및 제어 로직(360)을 포함할 수 있다.
- [0107] 메모리 셀 어레이(310)는 워드 라인들(WL1~WLm)과 비트 라인들(BL1~BLn)이 서로 교차된 영역에 배열된 메모리 셀(MC)들을 포함할 수 있다.
- [0108] 행 디코더(320)는 워드 라인들(WL1~WLm)을 통해서 메모리 셀 어레이(310)와 연결될 수 있다. 행 디코더(320)는 제어 로직(360)의 제어에 따라 동작할 수 있다. 행 디코더(320)는 외부 장치(도시되지 않음)로부터 제공된 어드레스를 디코딩할 수 있다. 행 디코더(320)는 디코딩 결과에 근거하여 워드 라인들(WL1~WLm)을 선택하고, 구동할 수 있다. 예시적으로, 행 디코더(320)는 전압 발생기(350)로부터 제공된 워드 라인 전압을 워드 라인들(WL1~WLm)에 제공할 수 있다.
- [0109] 데이터 읽기/쓰기 블록(330)은 비트 라인들(BL1~BLn)을 통해서 메모리 셀 어레이(310)와 연결될 수 있다. 데이터 읽기/쓰기 블록(330)은 비트 라인들(BL1~BLn) 각각에 대응하는 읽기/쓰기 회로들(RW1~RWn)을 포함할 수 있다. 데이터 읽기/쓰기 블록(330)은 제어 로직(360)의 제어에 따라 동작할 수 있다. 데이터 읽기/쓰기 블록(330)은 동작 모드에 따라서 쓰기 드라이버로서 또는 감지 증폭기로서 동작할 수 있다. 예를 들면, 데이터 읽기/쓰기 블록(330)은 쓰기 동작 시 외부 장치로부터 제공된 데이터를 메모리 셀 어레이(310)에 저장하는 쓰기 드라이버로서 동작할 수 있다. 다른 예로서, 데이터 읽기/쓰기 블록(330)은 읽기 동작 시 메모리 셀 어레이(310)로부터 데이터를 독출하는 감지 증폭기로서 동작할 수 있다.
- [0110] 열 디코더(340)는 제어 로직(360)의 제어에 따라 동작할 수 있다. 열 디코더(340)는 외부 장치로부터 제공된 어드레스를 디코딩할 수 있다. 열 디코더(340)는 디코딩 결과에 근거하여 비트 라인들(BL1~BLn) 각각에 대응하는 데이터 읽기/쓰기 블록(330)의 읽기/쓰기 회로들(RW1~RWn)과 데이터 입출력 라인(또는 데이터 입출력 버퍼)을 연결할 수 있다.
- [0111] 전압 발생기(350)는 비휘발성 메모리 장치의 내부 동작에 사용되는 전압을 생성할 수 있다. 전압 발생기(350)에 의해서 생성된 전압들은 메모리 셀 어레이(310)의 메모리 셀들에 인가될 수 있다. 예를 들면, 프로그램 동작 시 생성된 프로그램 전압은 프로그램 동작이 수행될 메모리 셀들의 워드 라인에 인가될 수 있다. 다른 예로서, 소거 동작 시 생성된 소거 전압은 소거 동작이 수행될 메모리 셀들의 웰-영역에 인가될 수 있다. 다른 예로서, 읽기 동작 시 생성된 읽기 전압은 읽기 동작이 수행될 메모리 셀들의 워드 라인에 인가될 수 있다.
- [0112] 제어 로직(360)은 외부 장치로부터 제공된 제어 신호에 근거하여 비휘발성 메모리 장치의 제반 동작을 제어할 수 있다. 예를 들면, 제어 로직(360)은 비휘발성 메모리 장치의 읽기, 쓰기, 소거 동작을 제어할 수 있다.
- [0113] 본 발명의 일 실시 예에 따른 방법과 관련하여서는 전술한 시스템에 대한 내용이 적용될 수 있다. 따라서, 방법과 관련하여, 전술한 시스템에 대한 내용과 동일한 내용에 대하여는 설명을 생략하였다.
- [0114] 이상에서, 본 발명은 구체적인 실시 예를 통해 설명되고 있으나, 본 발명은 그 범위에서 벗어나지 않는 한도 내에서 여러 가지로 변형할 수 있음은 잘 이해될 것이다. 그러므로, 본 발명의 범위는 상술한 실시 예에 국한되어 정해져서는 안되며, 후술하는 특허청구범위 및 이와 균등한 것들에 의해 정해져야 한다. 본 발명의 범위 또는 기술적 사상을 벗어나지 않고 본 발명의 구조가 다양하게 수정되거나 변경될 수 있음은 잘 이해될 것이다.

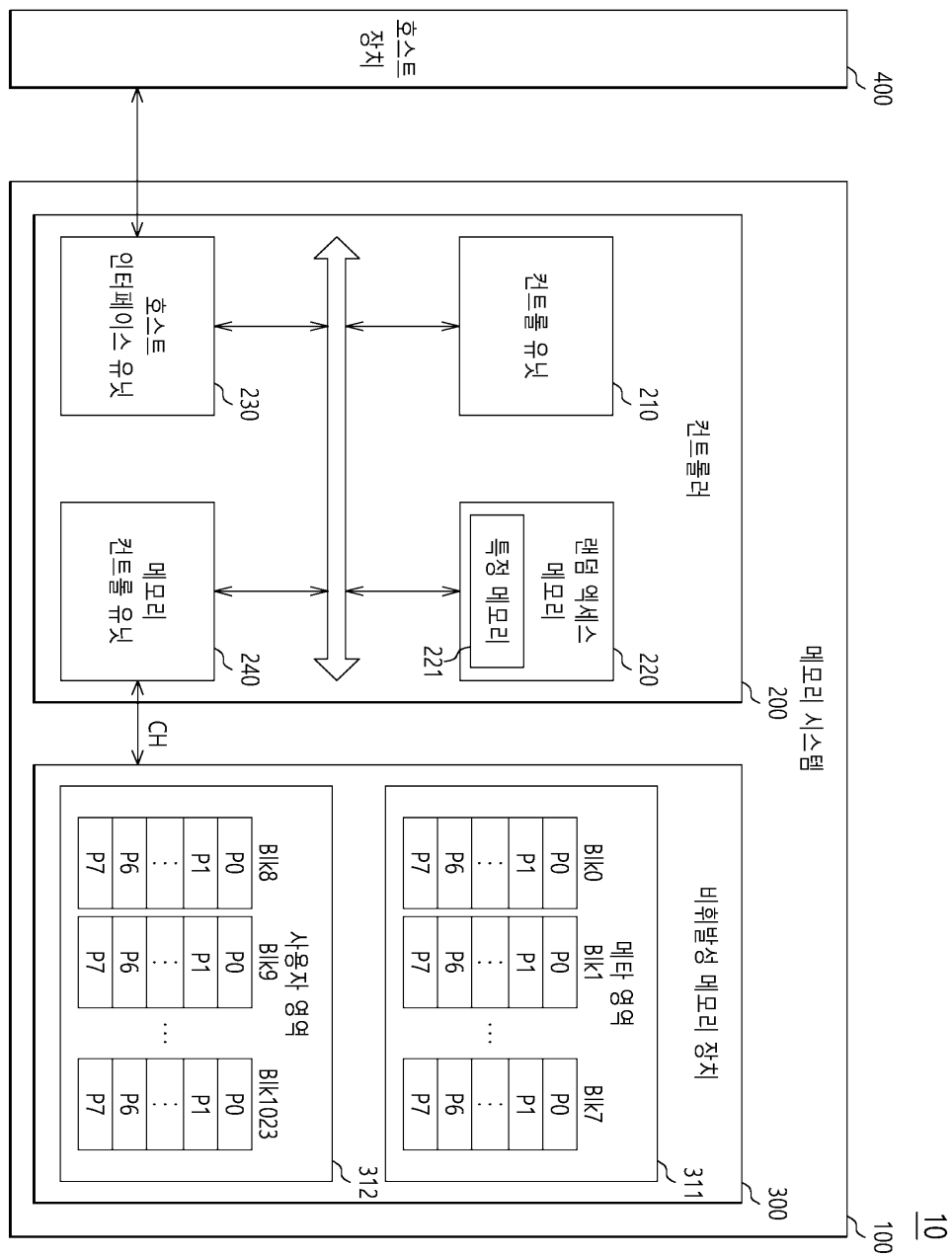
부호의 설명

- [0115] 10 : 데이터 처리 시스템

- 100 : 메모리 시스템
- 200 : 컨트롤러
- 210 : 컨트롤 유닛
- 220 : 랜덤 액세스 메모리
- 221 : 특정 메모리
- 230 : 호스트 인터페이스 유닛
- 240 : 메모리 컨트롤 유닛
- 300 : 비휘발성 메모리 장치
- 311 : 메타 영역
- 312 : 사용자 영역
- 400 : 호스트 장치

도면

도면1



도면2a

<맵핑 테이블>

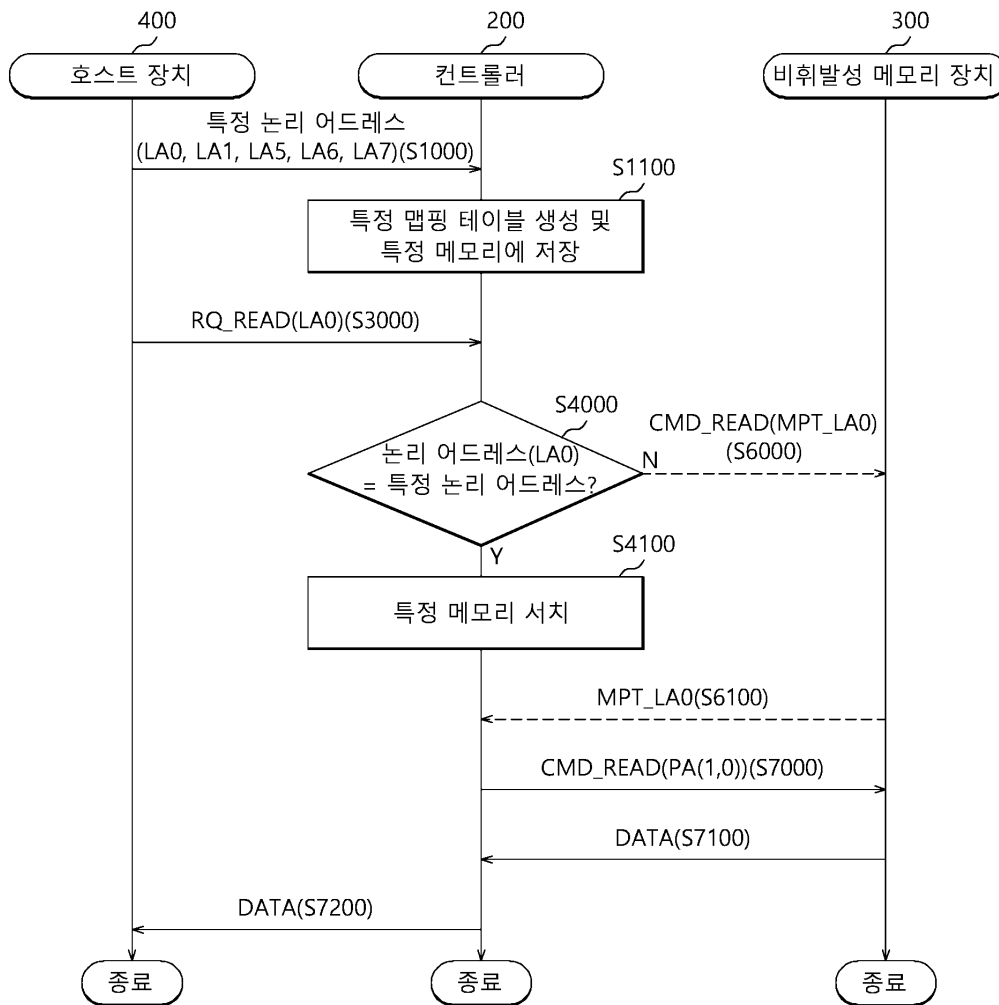
LA (Logical Address)	PA(Physical Address)	
	OFS_Blk	OFS_PG
0	1	0
1	1	1
2	0	0
3	1	7
4	2	1
5	0	2
6	0	3
7	0	4

도면2b

<특정 맵핑 테이블>

LA (Logical Address)	PA(Physical Address)	
	OFS_Blk	OFS_PG
0	1	0
1	1	1
5	0	2
6	0	3
7	0	4

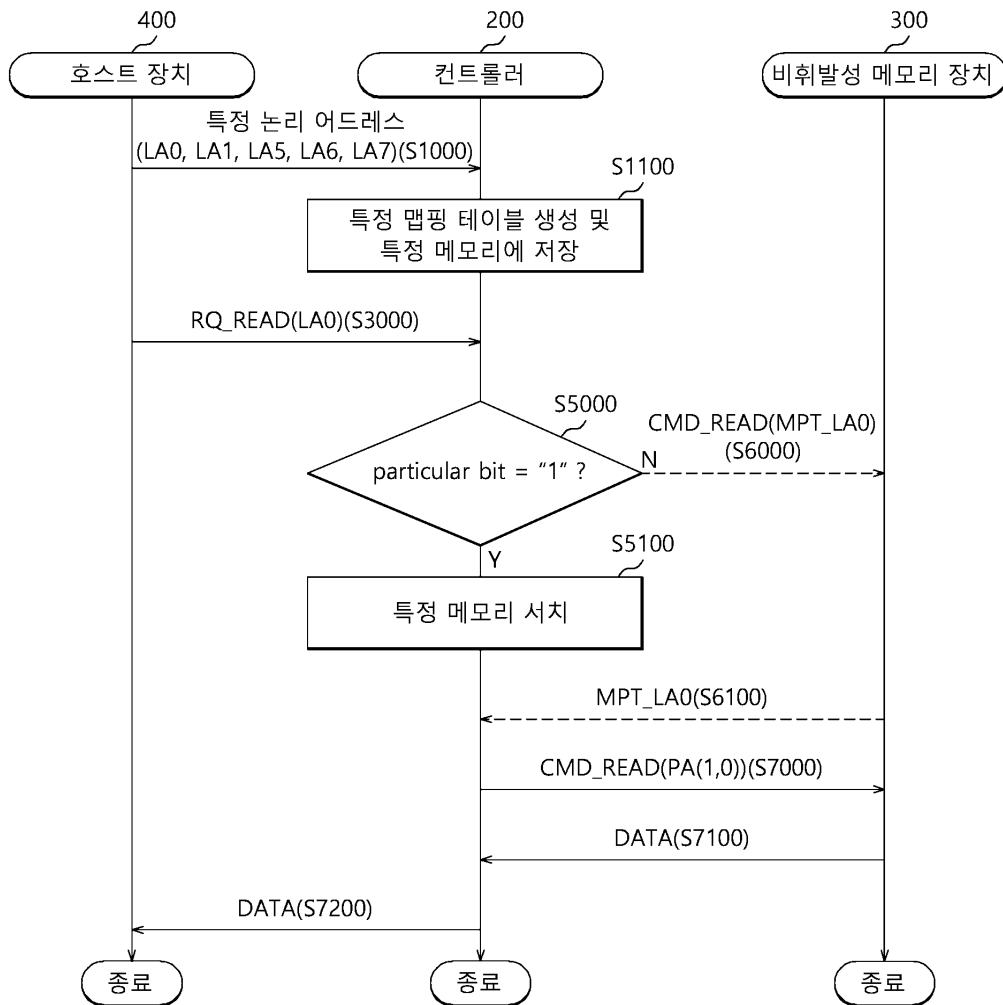
도면3



도면4a

RQ_READ	start LA	LA length	particular bit ("0" or "1")
---------	----------	-----------	-----------------------------

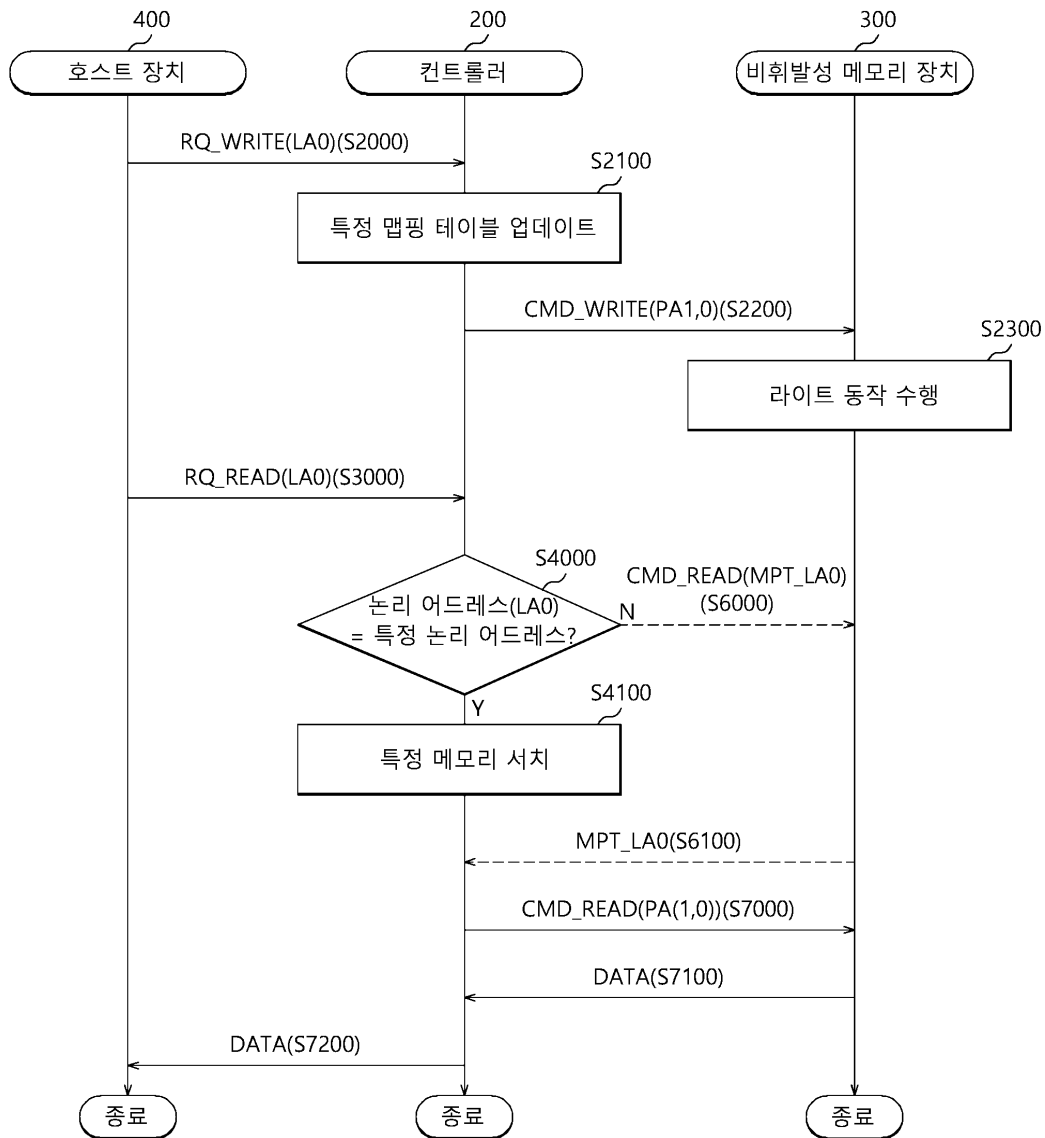
도면4b



도면5a

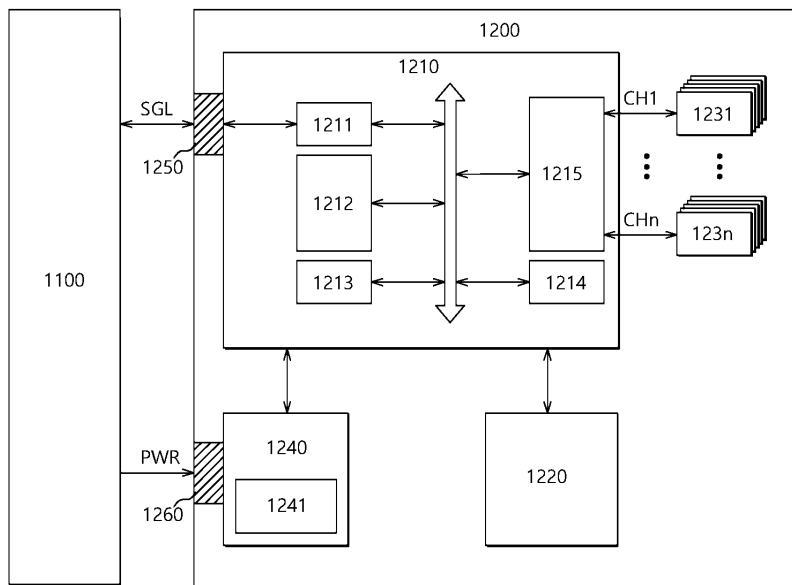
RQ_WRITE	start LA	LA length	DATA	particular bit ("0" or "1")
----------	----------	-----------	------	-----------------------------

도면5b



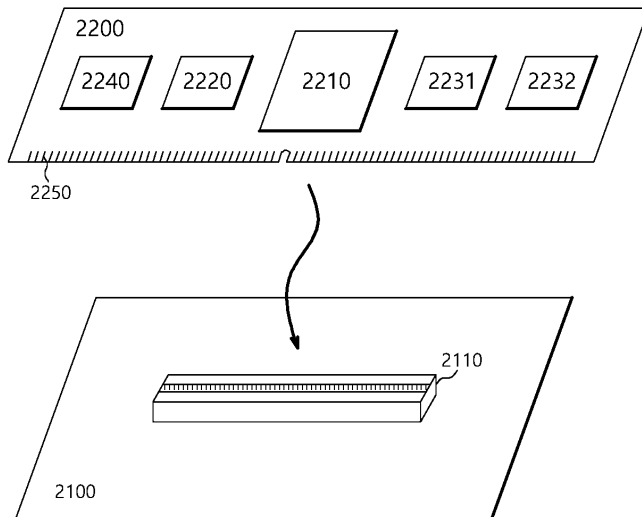
도면6

1000



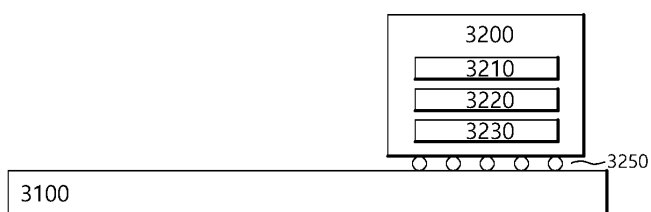
도면7

2000



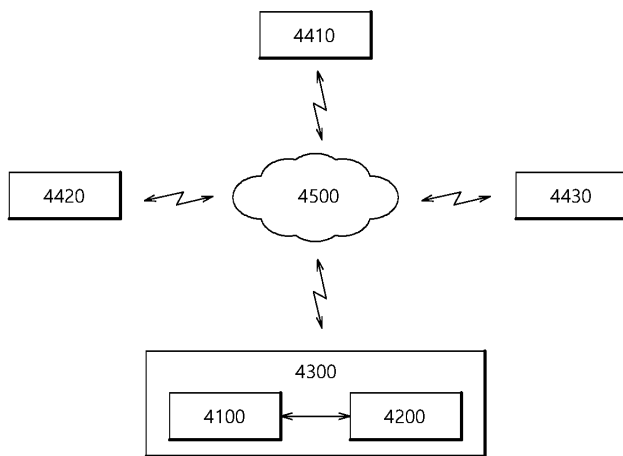
도면8

3000



도면9

4000



도면10

300

