

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-179656  
(P2014-179656A)

(43) 公開日 平成26年9月25日(2014.9.25)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 27/115 (2006.01)	HO 1 L 27/10 4 3 4	4 K O 3 O
HO 1 L 21/8247 (2006.01)	C 2 3 C 16/458	5 F O 4 5
C 2 3 C 16/458 (2006.01)	HO 1 L 21/31 B	5 F O 8 3
HO 1 L 21/31 (2006.01)	HO 1 L 29/78 3 7 1	5 F 1 O 1
HO 1 L 21/336 (2006.01)		

審査請求 有 請求項の数 6 O L (全 11 頁) 最終頁に続く

(21) 出願番号 特願2014-117902 (P2014-117902)  
 (22) 出願日 平成26年6月6日(2014.6.6)  
 (62) 分割の表示 特願2013-531512 (P2013-531512) の分割  
 原出願日 平成23年10月6日(2011.10.6)  
 (31) 優先権主張番号 10-2010-0100093  
 (32) 優先日 平成22年10月14日(2010.10.14)  
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 509123895  
 ユージーン テクノロジー カンパニー、  
 リミテッド  
 大韓民国, 449-824 キョンギード,  
 ヨンイン-シ, チョイン-グ, ヤンジ-  
 ミョン, チュゲ-ロ 42  
 (74) 代理人 100081695  
 弁理士 小倉 正明  
 (72) 発明者 チョ, ソン キル  
 大韓民国, 446-527 キョンギード,  
 ヨンイン-シ, ギフン-グ, ジュン-ド  
 ン 819, チャムソル マウル, ワール  
 ド メリディアン 102-1502

最終頁に続く

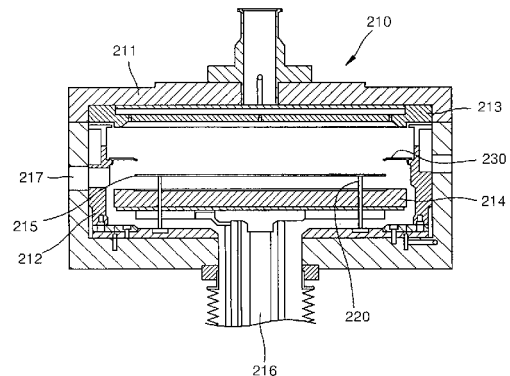
(54) 【発明の名称】 3次元構造のメモリ素子を製造する装置

(57) 【要約】

【課題】 3次元構造のメモリ素子を効率的に製造できる装置を提供する。

【解決手段】 本発明の3次元構造のメモリ素子製造装置は、基板に対する工程が行われるチャンバ；前記チャンバ内に設けられ前記基板が載置され、昇降によって前記基板が前記チャンバの内部に出入する解除位置及び前記基板に対する工程が行われる工程位置に切り替えられる基板支持台；前記基板支持台が前記解除位置に位置する時、前記基板の上部に配置され、前記基板支持台が前記工程位置に切り替えられる時、前記基板支持台の上部に載置された前記基板のエッジ部を加圧する加圧面を有するエッジリングを含む。

【選択図】 図9



## 【特許請求の範囲】

## 【請求項 1】

基板に対する工程が行われるチャンバ；

前記チャンバ内に設けられ前記基板が載置され，昇降によって前記基板が前記チャンバの内部に出入する解除位置及び前記基板に対する工程が行われる工程位置に切り替えられる基板支持台；及び

前記基板支持台が前記解除位置に位置する時，前記基板の上部に配置され，前記基板支持台が前記工程位置に切り替えられる時，前記基板支持台の上部に載置された前記基板のエッジ部を加圧する加圧面を有するエッジリングを含むことを特徴とする 3 次元構造のメモリ素子製造装置。

10

## 【請求項 2】

前記基板のエッジ部は，前記基板の境界から内側に約 0.5 mm 乃至 3 mm の範囲の幅を有することを特徴とする請求項 1 記載の 3 次元構造のメモリ素子製造装置。

## 【請求項 3】

前記エッジリングは，セラミック材質であることを特徴とする請求項 1 又は 2 記載の 3 次元構造のメモリ素子製造装置。

## 【請求項 4】

前記基板支持台は，前記基板の外側に位置するリング形状のエッジ部を有し，  
前記エッジリングは，

前記基板支持台のエッジ部の上部に位置する支持部；

20

前記支持部から前記基板のエッジ部に向かって延長され，前記加圧面を有する加圧部；

前記支持部から前記チャンバの側壁に向かって延長され，前記基板支持台が解除位置にある時，前記チャンバの側壁に設けられた固定突起の上面に置かれる水平支持部；及び

前記支持部から前記下部に向かって延長され，前記基板支持台が解除位置にある時，前記チャンバの側壁に設けられた固定突起の側面と接する垂直支持部を備えることを特徴とする請求項 1 又は 2 記載の 3 次元構造のメモリ素子製造装置。

## 【請求項 5】

前記基板上に前記絶縁層を積層する時，SiCO (Silicon Carbon Oxide) を積層するために前記基板にエチル系のガス及びメチル系のガスから成る群より選択された 1 つ以上のガスと共に， $SiH_4$ ， $Si_2H_6$ ， $Si_3H_8$ ， $Si_4H_{10}$  を含む群から選択された 1 つ以上のガスを供給し，前記基板上に前記犠牲層を積層する時，窒化膜を積層するために前記基板に  $SiH_4$ ， $Si_2H_6$ ， $Si_3H_8$ ， $Si_4H_{10}$ ， $SiCl_2H_2$  を含む群から選択された 1 つ以上のガスとアンモニア系のガスを供給するシャワーヘッドを含むことを特徴とする請求項 1 又は 2 記載の 3 次元構造のメモリ素子製造装置。

30

## 【請求項 6】

前記基板上に前記絶縁層を積層する時，SiCO (Silicon Carbon Oxide) を積層するために前記基板にエチル系のガス及びメチル系のガスから成る群より選択された 1 つ以上のガスと共に， $SiH_4$ ， $Si_2H_6$ ， $Si_3H_8$ ， $Si_4H_{10}$  を含む群から選択された 1 つ以上のガスを供給し，前記基板上に前記犠牲層を積層する時，窒化膜を積層するために前記基板に  $SiH_4$ ， $Si_2H_6$ ， $Si_3H_8$ ， $Si_4H_{10}$ ，ジクロロシラン ( $SiCl_2H_2$ ) を含む群から選択された 1 つ以上のガスとアンモニア系のガス，そして  $B_2H_6$ ， $PH_3$  を含む群から選択された 1 つ以上のガスを供給するシャワーヘッドを含むことを特徴とする請求項 1 又は 2 記載の 3 次元構造のメモリ素子製造装置。

40

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は，メモリ素子を製造する装置に関し，さらに詳しくは 3 次元構造のメモリ素子を製造する装置に関する。

## 【背景技術】

## 【0002】

50

電子製品はその体積がますます小さくなる一方，大容量のデータ処理を必要としている。そのため，このような電子製品に使用されるメモリ素子の体積を減らすとともに，その集積度を高める必要があり，このような点から，従来の平面型構造の代わりに3次元構造を有するメモリ素子が検討されている。

【発明の概要】

【発明が解決しようとする課題】

【0003】

本発明の目的は，メモリ素子の体積を減らすことができるメモリ素子を製造する装置を提供することにある。

【0004】

本発明の他の目的は，3次元構造のメモリ素子を効率的に製造できる装置を提供することにある。

【0005】

本発明のさらに他の目的は，複数の薄膜を蒸着する工程で薄膜の応力差によって生じる基板の変形を防止できるメモリ素子を製造する装置を提供することにある。

【0006】

本発明のさらに他の目的は，次の詳細な説明と添付図面によって明確になる。

【課題を解決するための手段】

【0007】

本発明の一実施形態による3次元構造のメモリ素子製造装置は，基板に対する工程が行われるチャンバ；前記チャンバ内に設けられ前記基板が載置され，昇降によって前記基板が前記チャンバの内部に出入する解除位置及び前記基板に対する工程が行われる工程位置に切り替えられる基板支持台；前記基板支持台が前記解除位置に位置する時，前記基板の上部に配置され，前記基板支持台が前記工程位置に切り替えられる時，前記基板支持台の上部に載置された前記基板のエッジ部を加圧する加圧面を有するエッジリングを含む。

【0008】

前記基板のエッジ部は，前記基板の境界から内側に約0.5mm乃至3mmの範囲の幅を有するものとしてすることができる。

【0009】

前記エッジリングは，セラミック材質とすることができる。

【0010】

前記基板支持台は，前記基板の外側に位置するリング形状のエッジ部を有し，前記エッジリングは，前記基板支持台のエッジ部の上部に位置する支持部；前記支持部から前記基板のエッジ部に向かって延長され，前記加圧面を有する加圧部；前記支持部から前記チャンバの側壁に向かって延長され，前記基板支持台が解除位置にある時，前記チャンバの側壁に設けられた固定突起の上面に置かれる水平支持部；及び前記支持部から前記下部に向かって延長され，前記基板支持台が解除位置にある時，前記チャンバの側壁に設けられた固定突起の側面と接する垂直支持部を備えることができる。

【0011】

本発明のメモリ素子製造装置は，前記基板上に前記絶縁層を積層する時，SiCO (Silicon Carbon Oxide) を積層するために前記基板にエチル系のガス及びメチル系のガスから成る群より選択された1つ以上のガスと共に， $SiH_4$ ， $Si_2H_6$ ， $Si_3H_8$ ， $Si_4H_{10}$  を含む群から選択された1つ以上のガスを供給し，前記基板上に前記犠牲層を積層する時，窒化膜を積層するために前記基板に $SiH_4$ ， $Si_2H_6$ ， $Si_3H_8$ ， $Si_4H_{10}$ ， $SiCl_2H_2$  を含む群から選択された1つ以上のガスとアンモニア系のガスを供給するシャワーヘッドを含むものとしても良い。

【0012】

また，本発明のメモリ素子製造装置は，前記基板上に前記絶縁層を積層する時，SiCO (Silicon Carbon Oxide) を積層するために前記基板にエチル系のガス及びメチル系のガスから成る群より選択された1つ以上のガスと共に， $SiH_4$ ， $Si_2H_6$ ， $Si_3H_8$ ，S

10

20

30

40

50

$i_4H_{10}$ を含む群から選択された1つ以上のガスを供給し、前記基板上に前記犠牲層を積層する時、窒化膜を積層するために前記基板に $SiH_4$ 、 $Si_2H_6$ 、 $Si_3H_8$ 、 $Si_4H_{10}$ 、ジクロロシラン( $SiCl_2H_2$ )を含む群から選択された1つ以上のガスとアンモニア系のガス、そして $B_2H_6$ 、 $PH_3$ を含む群から選択された1つ以上のガスを供給するシャワーヘッドを含むものとしても良い。

【発明の効果】

【0013】

本発明の実施形態によれば、メモリ素子を3次元構造に形成することによってメモリ素子の体積を減らすことができる。また、基板上に形成された絶縁層と犠牲層を交互に積層形成した後、半導体トランジスタのチャンネルに用いられるポリシリコン薄膜のようなパターンによって絶縁層を支持した状態で犠牲層を効果的に除去できる。また、複数の薄膜を蒸着する工程で薄膜の応力差によって生じる基板の変形を防止できる。

10

【図面の簡単な説明】

【0014】

【図1】本発明の一実施形態によるメモリ素子製造装置によって実行されるメモリ素子の製造方法を示す概略的な断面図である。

【図2】本発明の一実施形態によるメモリ素子製造装置によって実行されるメモリ素子の製造方法を示す概略的な断面図である。

【図3】本発明の一実施形態によるメモリ素子製造装置によって実行されるメモリ素子の製造方法を示す概略的な断面図である。

20

【図4】本発明の一実施形態によるメモリ素子製造装置によって実行されるメモリ素子の製造方法を示す概略的な断面図である。

【図5】本発明の一実施形態によるメモリ素子製造装置によって実行されるメモリ素子の製造方法を示す概略的な断面図である。

【図6】本発明の一実施形態によるメモリ素子製造装置によって実行されるメモリ素子の製造方法を示す概略的な断面図である。

【図7】エチル系のガスの供給量と蒸着された薄膜のエッチング率との関係を示すグラフである。

【図8】メモリ素子製造装置を概略的に示す図である。

【図9】本発明のメモリ素子製造装置を概略的に示す図である。

30

【図10】図9に示すエッジリングを概略的に示す斜視図である。

【図11】図9に示すエッジリングの動作を示す図である。

【図12】図9に示すエッジリングの動作を示す図である。

【発明を実施するための形態】

【0015】

図1乃至図6は、メモリ素子の製造方法を示す概略的な断面図である。以下、図1乃至図6を参照してメモリ素子の製造方法を説明する。

【0016】

まず、図1に示すように、基板105が提供され得る。基板105は、半導体物質、例えばIV族半導体、III-V族化合物半導体、又はII-VI族酸化物半導体を含むことができる。例えば、IV族半導体は、シリコン、ゲルマニウム又はシリコン-ゲルマニウムを含むことができる。基板105は、パルクウエ八又はエピタキシャル層に提供され得る。

40

【0017】

次に、基板105の上部に不純物を注入して不純物領域110を限定できる。次に、基板105上に絶縁層115及び犠牲層120を交互に積層できる。絶縁層115と犠牲層120は、 $8 \times 8$ や $18 \times 18$ 、又は $n \times n$ の多重層をなすことができる。本実施形態では絶縁層115が先に積層され、犠牲層120が後で積層されるものとして説明しているが、必要に応じて絶縁層115と犠牲層120の積層順序は変えることができる。

【0018】

絶縁層115は、シリコン酸化膜(Silicon Dioxide;  $SiO_2$ )であっても良く、基板1

50

05上に供給されたシラン( $\text{SiH}_4$ )と酸化窒素( $\text{N}_2\text{O}$ )を反応させて形成され得る。シラン( $\text{SiH}_4$ )は、 $\text{Si}_2\text{H}_6$ 、 $\text{Si}_3\text{H}_8$ 、 $\text{Si}_4\text{H}_{10}$ などに代替され得る。また、犠牲層120は、窒化膜(Silicon Nitride;  $\text{Si}_3\text{NH}_4$ )であっても良く、基板105上に供給されたシランとアンモニア系のガスを反応させて形成できる。前記シリコン酸化膜と前記窒化膜は、互いに異なる厚さを有しても良い。一方、シランは、 $\text{Si}_2\text{H}_6$ 、 $\text{Si}_3\text{H}_8$ 、 $\text{Si}_4\text{H}_{10}$ 、 $\text{SiCl}_2\text{H}_2$ などに代替でき、アンモニア系のガスは、 $\text{NH}_3$ であっても良い。また、本実施形態とは異なり、犠牲層120は、基板105上に $\text{SiH}_4$ 、 $\text{Si}_2\text{H}_6$ 、 $\text{Si}_3\text{H}_8$ 、 $\text{Si}_4\text{H}_{10}$ 、ジクロロシラン( $\text{SiCl}_2\text{H}_2$ )を含む群から選択された1つ以上のガスとアンモニア系のガス、そして $\text{B}_2\text{H}_6$ 、 $\text{PH}_3$ を含む群から選択された1つ以上のガスを供給して形成されたシリコン酸化膜であっても良く、この場合、窒化膜上にホウ素(boron)又は燐(phosphorus)(又はホウ素及び燐を同時に注入可能)が注入し得る。 10

#### 【0019】

次に、図2に示すように、絶縁層115及び犠牲層120をエッチングして複数の貫通孔125を形成することができ、貫通孔125は、絶縁層115及び犠牲層120を貫通する。貫通孔125は、公知のフォトリソグラフィ及びエッチング技術を利用して形成できる。次に、既に公知の半導体トランジスタを形成するためのチャンネル形成工程(又はポリシリコン薄膜を形成する工程)を介して貫通孔125を埋めるようにパターン130を形成できる。この時、パターン130は、中空の円筒状であっても良く、同様に、パターン130は、絶縁層115及び犠牲層120を貫通する。例えば、パターン130は、多結晶構造に形成しても良く、又は、単結晶構造のエピタキシャル層のような薄膜形状であっても良い。 20

#### 【0020】

次に、図3に示すように、パターン130の間の絶縁層115及び犠牲層120をエッチングして開口135を形成できる。開口135は、フォトリソグラフィ及びエッチング技術を利用して形成できる。

#### 【0021】

次に、図4に示すように、犠牲層120を除去できる。上述のように、絶縁層115は、シリコン酸化膜で、犠牲層120は、窒化膜であるか $\text{SiH}_4$ 、 $\text{Si}_2\text{H}_6$ 、 $\text{Si}_3\text{H}_8$ 、 $\text{Si}_4\text{H}_{10}$ 、ジクロロシラン( $\text{SiCl}_2\text{H}_2$ )を含む群から選択された1つ以上のガスと $\text{B}_2\text{H}_6$ 、 $\text{PH}_3$ を含む群から選択された1つ以上のガスを供給して形成されてホウ素(boron)又は燐(phosphorus)(又はホウ素及び燐を同時に注入可能)が注入された窒化膜であっても良い。犠牲層120は、絶縁層115に対してエッチング選択比(etch selectivity)を有し、犠牲層120のエッチング率は、絶縁層115のエッチング率に比べて5倍乃至300倍以上の大きさを有しても良い。したがって、絶縁層115と犠牲層120が同じ時間の間エッチャントに露出された時、エッチングされた犠牲層120の大きさはエッチングされた絶縁層115の大きさの5倍乃至300倍以上であることができ、絶縁層115のエッチング程度は非常に小さい。 30

#### 【0022】

上述の原理を利用して犠牲層120を除去できる。等方性エッチングを用いてエッチャントを開口135から絶縁層115の間に侵入させることができ、等方性エッチングは、ウェットエッチング又は化学的ドライエッチング(chemical dry etch)を含むことができる。エッチャントは、 $\text{H}_3\text{PO}_4$ 、 $\text{HF}$ 、 $\text{BOE}$ (buffered oxide etch)を含む群から選択されたいずれか1つを含むことができる。これによって、絶縁層115の間の犠牲層120が除去されて開口135と連結されたトンネル140が形成され得る。トンネル140によってパターン130の側壁が露出され得る。 40

#### 【0023】

次に、図5に示すように、開口(図4の135)及びトンネル(図4の140)によって露出された絶縁層115及びパターン130の側壁にストレージ媒体150を形成できる。ストレージ媒体150は、トンネル絶縁層142、電荷貯蔵層144及びブロック絶縁層146を順に形成できる。次に、ストレージ媒体150上に導電層155を形成で 50

きる。例えば、ストレージ媒体 150 及び導電層 155 は、ステップカバレッジの高い化学気相蒸着又はめっき法を用いて形成できる。

【0024】

次に、図 6 に示すように、開口（図 4 の 135）によって露出された導電層（図 5 の 155）を選択的にエッチングして接地選択ゲート電極 162、制御ゲート電極 164 及びストリング選択ゲート電極 166 を形成できる。

【0025】

一方、本実施形態とは異なり、エチル系のガス（例えば、 $C_2H_4$ ）又はメチル系のガス（例えば、 $CH_3$ ）がシラン（ $SiH_4$ ）と共に供給されることができ、これによって絶縁層 115 は、 $SiCO$  (Silicon Carbon Oxide) 薄膜であっても良い。 $SiCO$  薄膜からなる絶縁層 115 は、上述の犠牲層 120 に比べてさらに大きいエッチング選択比を有するため、犠牲層 120 の除去時に、共に損傷された絶縁層 115 の量を最小化できる。図 7 は、エチル系のガスの供給量と蒸着された薄膜のエッチング率との関係を示すグラフである。図 7 に示すように、エチル系のガスが供給されることによって、蒸着された薄膜のエッチング率は減少することがわかり、これにより犠牲層 120 とのエッチング選択比を要求に応じて調節できる。

10

【0026】

図 8 は、メモリ素子製造装置を概略的に示す図である。図 8 に示すように、メモリ素子製造装置 10 は、ソースガス又は反応ガスが導入されるための導入部 12 を有し、ソースガス又は反応ガスは導入部 12 を介して導入され、シャワーヘッド 13 を介してチャンバ 11 の内部に噴射される。工程進行時、シランは、 $1 \sim 1000$  sccm 供給されることができ、反応ガス（例えば、 $N_2O$  又は  $NH_3$ ）は、 $100 \sim 5000$  sccm 供給されることができ。一方、上述のように、エチル系のガス（例えば、 $C_2H_4$ ）又はメチル系のガス（例えば、 $CH_3$ ）が供給される場合、 $50$  乃至  $10000$  sccm 供給されることができ。

20

【0027】

工程の対象となる基板 100 は、基板支持台 14 の上部に置かれ、基板支持台 14 は支持台 16 によって支持される。ヒータ 14 は、工程進行中に基板の温度を  $300$  乃至  $790$  に維持でき、この時、チャンバ 11 内部の圧力は、 $10$  mTorr 乃至  $250$  Torr を維持できる。工程が完了した基板 100 は、排出部 17 を介して外部に排出される。

【0028】

図 9 は、本発明の実施形態によるメモリ素子製造装置を概略的に示す図で、図 10 は、図 9 に示すエッジリングを概略的に示す斜視図である。以下、図 8 と区別される部分のみについて説明を行い、省略された説明は図 8 の説明に代替され得る。

30

【0029】

図 9 に示すように、メモリ素子製造装置 210 は、チャンバ 211 の内部に設けられた基板支持台 214 を備え、基板支持台 214 は、支持台 216 によって支持される。後述のように、基板支持台 214 は、別途の駆動部（図示せず）によって支持台 216 とともに昇降し、これによって、基板 215 がチャンバ 211 の内部を出入できる解除位置（図 9 に図示）と基板 215 に対する工程が行われる工程位置（図 11 に図示）に切り替えられる。

40

【0030】

基板 215 は、チャンバ 211 の側壁に形成された排出部 217 を介してチャンバ 211 の内部を出入し、排出部 217 を介してチャンバ 211 の内部に移動した基板 215 は、基板支持台 214 の上部に位置する。基板支持台 214 は、基板 215 に比べて大きな直径を有し、基板 215 は、基板支持台 214 の中央に位置する。この時、基板 215 は、基板支持台 214 を貫通するリフトピン 220 によって支持され、基板支持台 214 から上昇離隔された状態を維持する。また、シャワーヘッド 213 は、基板支持台 214 の上部に設けられ、ソースガス又は反応ガスはシャワーヘッド 213 を介してチャンバ 211 の内部に噴射される。

【0031】

50

一方、チャンバ211は、バキュームガイド(vacuum guide)212及びエッジリング230をさらに含む。バキュームガイド212は、円筒状で、チャンバ211の内部に設けられる。図10に示すように、エッジリング230は、チャンバ211の内部形状に対応するリング形状で、エッジリング230は、支持部232、水平支持部234、垂直支持部236及び加圧面238aを有する加圧部238を備える。エッジリング230は、基板支持台214とシャワーヘッド213の間に位置してバキュームガイド212の内側壁から突出した固定突起212a上に置かれる。図9に示すように、基板支持台214が解除位置に位置する時、エッジリング230は、固定突起212a上に位置し、後述のように、基板支持台214が工程位置に切り替えられる時、エッジリング230は、固定突起212aから離脱して基板支持台214の上部に置かれる。

10

**【0032】**

図11及び図12は、図9に示すエッジリングの動作を示す図である。上述のように、基板支持台214は、駆動部(図示せず)によって支持台216とともに昇降し、これによって、解除位置及び工程位置に切り替えられることができる。

**【0033】**

図12に示すように、水平支持部234は、支持部232からチャンバ211の側壁に向かって延長され、垂直支持部236は、支持部232から下部に向かって延長される。加圧部238は、支持部232からチャンバ211の内側に向かって下向きに傾斜して延長される。

20

**【0034】**

図9に示すように、基板支持台214が解除位置にある時、エッジリング230は、水平支持部234及び垂直支持部236によって固定突起212a上に位置することができ、水平支持部234は、固定突起212aの上面と接して垂直支持部236は、固定突起212aの側面と接する。この時、支持部232及び加圧部238は、チャンバ211の内側に向かって突出した状態を維持する。

**【0035】**

図11に示すように、基板支持台214が工程位置に切り替えられる時、基板支持台214は、基板215の外側に位置するリング形状のエッジ部を用いてエッジリング230を持ち上げ、これにより、エッジリング230は、固定突起212aから離脱して上昇する。この時、図12に示すように、支持部232は、基板支持台214のエッジ部と隣接し、加圧部238は、基板支持台214に載置された基板215のエッジ部と接触して基板215のエッジ部を加圧する。すなわち、エッジリング230は、基板支持台214に置かれた状態で自重によって基板215のエッジ部を加圧し、加圧部238は、基板215のエッジ部と接触する加圧面238aを有する。

30

**【0036】**

以上、図1を参照して説明したように、基板上にシリコン酸化膜と窒化膜を交互に積層する場合、工程によって発生するシリコン酸化膜の応力と窒化膜の応力の間に差が発生し、これにより、基板の変形(warpage、反り又は歪み)が発生する。このような基板の変形によって基板のエッジ部は基板支持台から離隔され、基板は、基板のセンタ部が凹状の「U」字形状に変形される。これは基板内の温度分布(基板のセンタとエッジの間に)などに影響を及ぼすため、工程均一度(例えば、蒸着率)に大きな影響を及ぼす。実際、上述の工程を終えた後、基板のエッジ部で測定された蒸着率が基板のセンタ部で測定された蒸着率に比べて顕著に低いことが認められた。したがって、基板のエッジ部が基板支持台から離隔して基板が変形される現象を防止するためにエッジリング230の加圧部238を用いて基板215のエッジ部を加圧できる。

40

**【0037】**

一方、図12に示すように、エッジリング230の加圧部238によって加圧された基板215のエッジ部の幅wは、基板215の境界から内側に0.5mm乃至3mm程度であることができ、この部分は、実際の半導体工程において半導体素子に使用しない部分であるため、半導体素子の歩留まりに影響を及ぼさない。また、上述の加圧面238aは、エッ

50

ジ部に対応する幅 w を有しても良い。

【 0 0 3 8 】

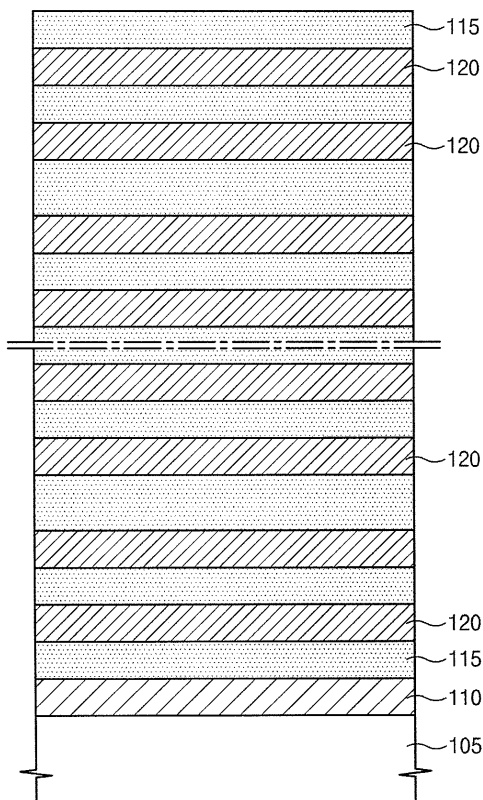
図 1 2 に示すように、エッジリング 2 3 0 は、加圧部 2 3 8 だけで基板支持台 2 1 4 上に支持された状態を維持することができ、支持部 2 3 2 は、基板支持台 2 1 4 のエッジ部から離隔された状態 d を維持できる。この場合、エッジリング 2 3 0 の全体重さが加圧部 2 3 8 の加圧面 2 3 8 a を介して基板 2 1 5 のエッジ部に伝達されるため、エッジリング 2 3 0 の重さを最小化しても高い圧力を基板 2 1 5 のエッジ部に伝達できる。このような原理は、圧力の大きさが接触面積の大きさに反比例するという事実から理解され得る。

【 産業上の利用可能性 】

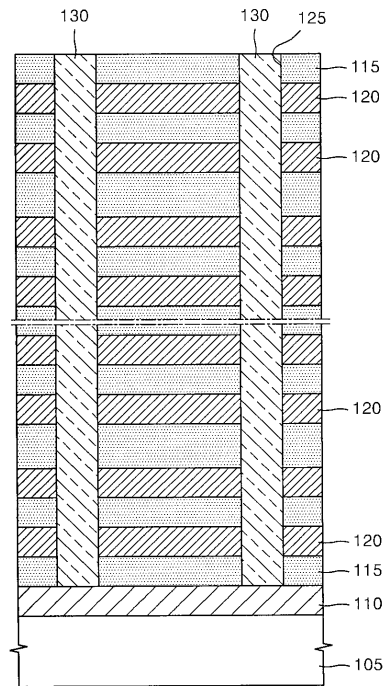
【 0 0 3 9 】

本発明は、様々な形態のメモリ素子を提供する方法及び装置に応用され得る。

【 図 1 】

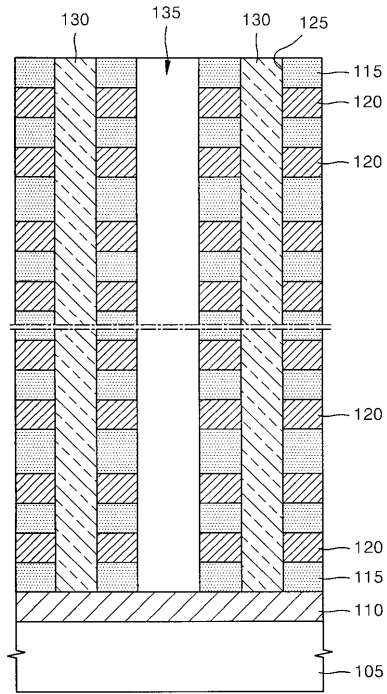


【 図 2 】

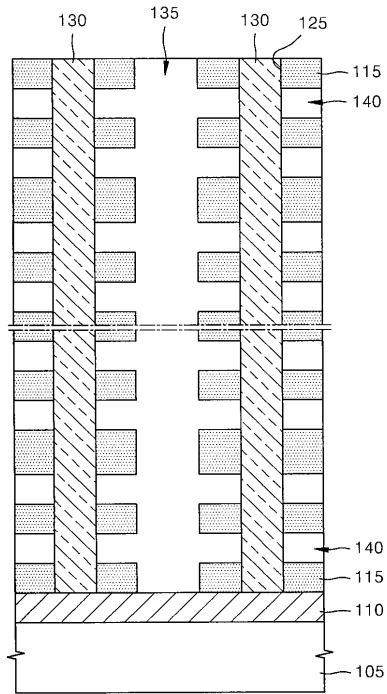




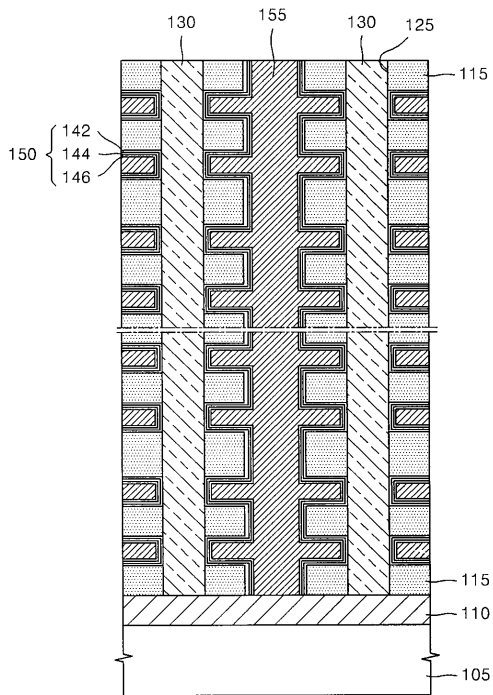
【 図 3 】



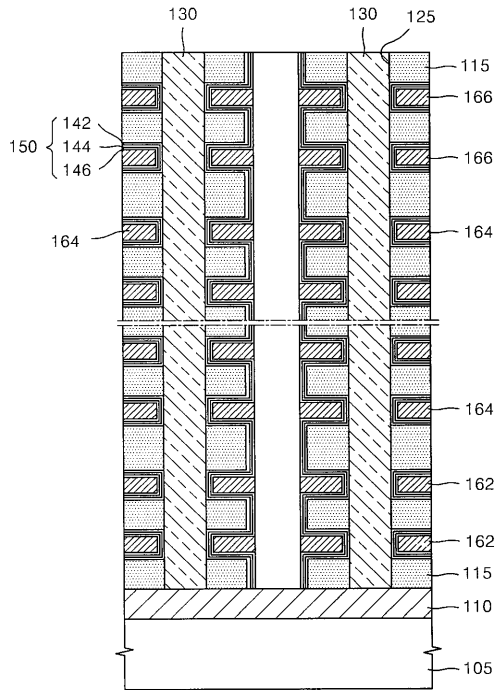
【 図 4 】



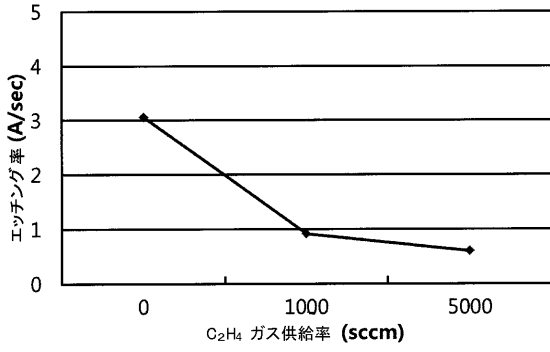
【 図 5 】



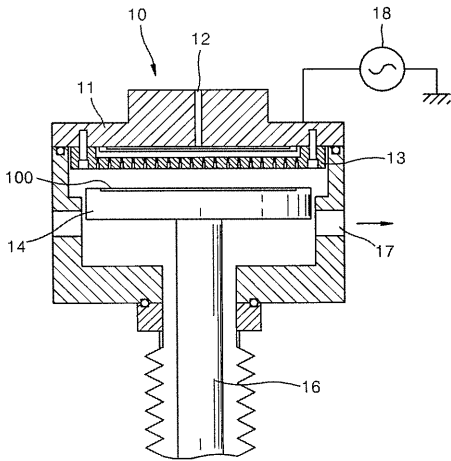
【 図 6 】



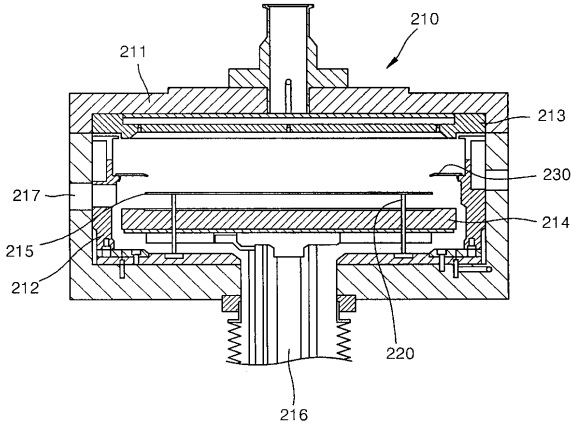
【 図 7 】



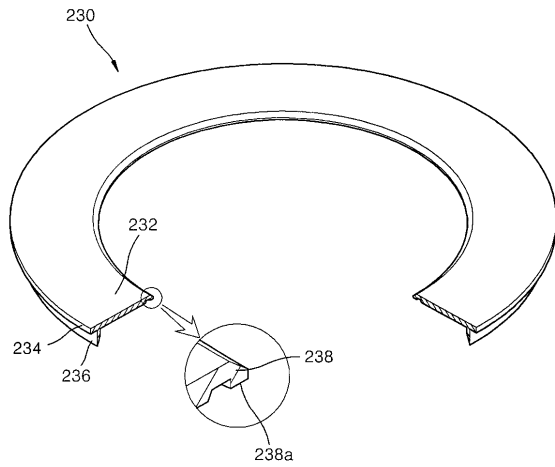
【 図 8 】



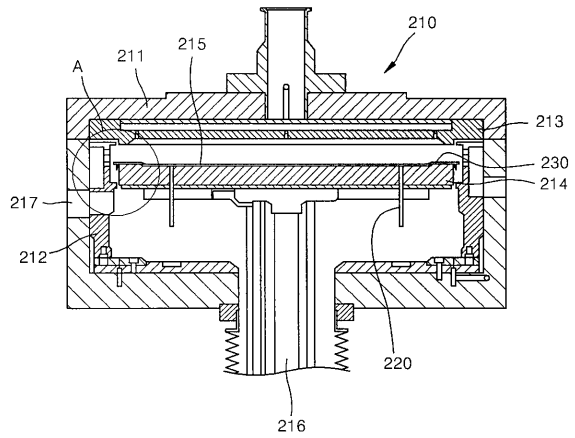
【 図 9 】



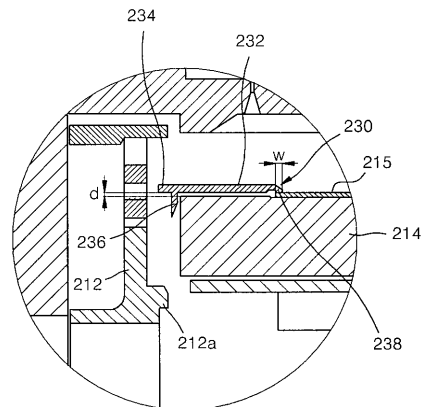
【 図 10 】



【 図 11 】



【 図 12 】



## フロントページの続き

(51)Int.Cl. F I テーマコード(参考)  
**H 0 1 L 29/788 (2006.01)**  
**H 0 1 L 29/792 (2006.01)**

(72)発明者 キム,ハイ ウォン  
 大韓民国, 4 6 7 - 0 4 0 キョンギ-ド, イチョン-シ, ソンジョン-ドン, ドンヤン パラゴ  
 ン アパート 1 0 2 - 3 0 3

(72)発明者 ウ,サン ホ  
 大韓民国, 4 4 5 - 3 3 0 キョンギ-ド, ファソン-シ,バンウォル-ドン 8 6 8, シンイエ  
 ントン ヒュンダイ アパート 2ダン-ジ, 2 0 2 - 2 0 4

(72)発明者 シン,スン ウ  
 大韓民国, 4 4 5 - 3 2 0 キョンギ-ド, ファソン-シ, ヌン-ドン, ジャヨン-ン デシアン  
 アパート 8 8 0 - 1 1 0 2

(72)発明者 チャン,キル ソン  
 大韓民国, 3 3 0 - 1 6 0 チュンチョンナム-ド, チョナン-シ, ドンナム-グ, シンプ-ドン  
 , ジュゴン 2ダンジ アパート 2 2 1ドン # 4 0 2

(72)発明者 オ,ワン スク  
 大韓民国, 4 6 7 - 0 4 0 キョンギ-ド, イチョン-シ, ソンジョン-ドン, スリム 1 チャ  
 アパート 1 0 6 - 6 0 2

Fターム(参考) 4K030 AA06 AA07 AA08 AA09 AA13 BA40 BA44 BA48 EA03 FA03  
 GA02 JA03 KA46 LA13 LA14 LA15  
 5F045 AA08 AB31 AC01 AC07 AD07 AD08 AD09 AD10 AD11 AD12  
 AD13 AE17 AE19 AE21 AE23 AE25 AF02 AF03 AF04 DP03  
 EF05 EH13 EK07 EM03  
 5F083 EP18 EP23 EP76 GA09 GA10 GA27 HA06 JA04 JA19 PR05  
 PR21 PR25  
 5F101 BA45 BB05 BD16 BD30 BD34 BH02 BH11 BH15