

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年9月7日(07.09.2023)



(10) 国際公開番号

WO 2023/166378 A1

(51) 国際特許分類:

H01L 29/786 (2006.01) H10B 41/70 (2023.01)
H10B 10/00 (2023.01) H10B 99/00 (2023.01)
H10B 12/00 (2023.01)

(21) 国際出願番号: PCT/IB2023/051550

(22) 国際出願日: 2023年2月21日(21.02.2023)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願 2022-033577 2022年3月4日(04.03.2022) JP

(71) 出願人: 株式会社半導体エネルギー研究所
(SEMICONDUCTOR ENERGY LABORATORY
CO., LTD.) [JP/JP]; 〒2430036 神奈川県厚木
市長谷398 Kanagawa (JP).

(72) 発明者: 大貫達也(ONUKI, Tatsuya); 〒2430036
神奈川県厚木市長谷398株式会社半導体エ
ネルギー研究所内 Kanagawa (JP). 國武寛司

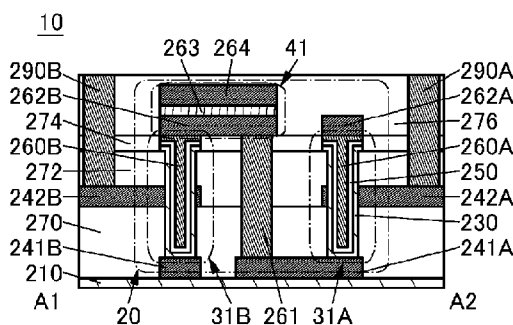
(KUNITAKE, Hitoshi); 〒2430036 神奈川県厚
木市長谷398株式会社半導体エネルギー研究所内
Kanagawa (JP). 中島基(NAKASHIMA, Motoki);
〒2430036 神奈川県厚木市長谷398株式会
社半導体エネルギー研究所内 Kanagawa (JP).
山崎舜平(YAMAZAKI, Shunpei); 〒2430036 神
奈川県厚木市長谷398株式会社半導体エネ
ルギー研究所内 Kanagawa (JP).

(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,
CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP,
KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK,
LR, LS, LU, LY, MA, MD, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH,
PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG,

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置

図1B



(57) Abstract: Provided is a semiconductor device capable of being miniaturized or highly integrated. This semiconductor device has first and second transistors, and a capacitor. The first transistor is provided in the same layer as the second transistor, and each of the first and second transistors has second to fourth conductors, a metal oxide, and a first insulator. The third conductor is provided on the second conductor, and has an opening overlapping the second conductor. The metal oxide has a region contacting a side surface of the opening and an upper surface of the second conductor. The first insulator is provided in a recess of the metal oxide, and the fourth conductor is provided in a recess of the first insulator and has a region overlapping the metal oxide with the first insulator therebetween. The capacitor has a fifth conductor, a second insulator on the fifth conductor, and a sixth conductor on the second insulator. The fifth conductor is electrically connected to the second conductor of the first transistor and the fourth conductor of the second transistor.

SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ,
UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

(57) 要約: 微細化又は高集積化が可能な半導体装置を提供する。半導体装置は、第1及び第2のトランジスタと、容量と、を有する。第1のトランジスタは第2のトランジスタと同一層に設けられ、第1及び第2のトランジスタのそれぞれは、第2乃至第4の導電体と、金属酸化物と、第1の絶縁体と、を有し、第3の導電体は第2の導電体上に設けられ、第3の導電体は第2の導電体と重なる開口を有し、金属酸化物は開口の側面及び第2の導電体の上面と接する領域を有し、第1の絶縁体は金属酸化物の凹部に設けられ、第4の導電体は、第1の絶縁体の凹部に設けられ、第1の絶縁体を介して金属酸化物と重なる領域を有し、容量は、第5の導電体と、第5の導電体上の第2の絶縁体と、第2の絶縁体上の第6の導電体と、を有し、第5の導電体は、第1のトランジスタが有する第2の導電体及び第2のトランジスタが有する第4の導電体と電氣的に接続される。

明細書

発明の名称

半導体装置

技術分野

[0001]

本発明の一態様は、半導体装置、記憶装置、及び電子機器に関する。また、本発明の一態様は、半導体装置の作製方法に関する。

[0002]

なお、本発明の一態様は、上記の技術分野に限定されない。本発明の一態様の技術分野としては、半導体装置、表示装置、発光装置、蓄電装置、記憶装置、電子機器、照明装置、入力装置（例えば、タッチセンサ）、入出力装置（例えば、タッチパネル）、それらの駆動方法、又はそれらの製造方法を一例として挙げることができる。

[0003]

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能し得る装置全般を指す。トランジスタ等の半導体素子をはじめ、半導体回路、演算装置、記憶装置は、半導体装置の一態様である。表示装置（液晶表示装置、発光表示装置等）、投影装置、照明装置、電気光学装置、蓄電装置、記憶装置、半導体回路、撮像装置、電子機器等は、半導体装置を有するといえる場合がある。

背景技術

[0004]

近年、LSI (Large Scale Integration)、CPU (Central Processing Unit)、メモリ（記憶装置）等の半導体装置の開発が進められている。これらの半導体装置は、コンピュータ、携帯情報端末等様々な電子機器に使用されている。また、演算処理実行時の一時記憶、データの長期記憶等、用途に応じて様々な記憶方式のメモリが開発されている。代表的な記憶方式のメモリとして、例えば、DRAM (Dynamic Random Access Memory)、SRAM (Static Random Access Memory)、及びフラッシュメモリが挙げられる。

[0005]

また、扱われるデータ量の増大に伴って、より大きな記憶容量を有する半導体装置が求められている。特許文献1及び非特許文献1では、トランジスタを積層して形成したメモリセルが開示されている。

[0006]

また、半導体装置の記憶容量を大きくするために、半導体装置に含まれるトランジスタの微細化が進められている。トランジスタの微細化を図るために、縦型構造のトランジスタの研究が盛んに行われている。例えば、非特許文献2及び非特許文献3には、チャネルが形成される領域（チャネル形成領域ともいう）に金属酸化物を有する、縦型構造のトランジスタが開示されている。

[先行技術文献]

[特許文献]

[0007]

[特許文献1] 国際公開第2021/053473号

[非特許文献]

[0008]

[非特許文献1] M. Oota et al, “3D-Stacked CAAC-In-Ga-Zn Oxide FETs with Gate Length of 72nm”, IEDM Tech. Dig., 2019, pp. 50-53

[非特許文献2] X. Duan et al, “Novel Vertical Channel-All-Around (CAA) IGZO FETs for 2T0C DRAM with High Density beyond $4F^2$ by Monolithic Stacking”, IEDM Tech. Dig., 2021, pp. 222-225

[非特許文献3] H. Fujiwara et al, “Surrounding Gate Vertical-Channel FET with Gate Length of 40 nm Using BEOL Compatible High-Thermal-Tolerance In-Al-Zn Oxide Channel”, 2020 Symposium on VLSI Technology, TH2. 2

発明の概要

発明が解決しようとする課題

[0009]

本発明の一態様は、微細化又は高集積化が可能な半導体装置を提供することを課題の一とする。本発明の一態様は、動作速度が速い半導体装置を提供することを課題の一とする。本発明の一態様は、良好な電気特性を有する半導体装置を提供することを課題の一とする。本発明の一態様は、トランジスタの電気特性のばらつきが少ない半導体装置を提供することを課題の一とする。本発明の一態様は、信頼性が高い半導体装置を提供することを課題の一とする。本発明の一態様は、オン電流が大きい半導体装置を提供することを課題の一とする。本発明の一態様は、消費電力が少ない半導体装置を提供することを課題の一とする。本発明の一態様は、新規の半導体装置を提供することを課題の一とする。

[0010]

本発明の一態様は、記憶容量が大きい記憶装置を提供することを課題の一とする。本発明の一態様は、占有面積が小さい記憶装置を提供することを課題の一とする。本発明の一態様は、信頼性が高い記憶装置を提供することを課題の一とする。本発明の一態様は、消費電力が少ない記憶装置を提供することを課題の一とする。本発明の一態様は、新規な記憶装置を提供することを課題の一とする。

[0011]

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。本発明の一態様は、必ずしも、これらの課題の全てを解決する必要はないものとする。明細書、図面、請求項の記載から、これら以外の課題を抽出することが可能である。

課題を解決するための手段

[0012]

本発明の一態様は、第1のトランジスタと、第2のトランジスタと、容量と、第1の導電体と、を有する半導体装置である。第1のトランジスタは、第2のトランジスタと同一層に設けられ、第1のトランジスタ及び第2のトランジスタのそれぞれは、第2の導電体乃至第4の導電体と、金属

酸化物と、第1の絶縁体と、を有し、第3の導電体は、第2の導電体上に設けられ、第3の導電体は、上面視において第2の導電体と重なる開口を有し、金属酸化物は、開口の側面及び第2の導電体の上面のそれぞれと接する領域を有し、第1の絶縁体は、金属酸化物の凹部に設けられ、第4の導電体は、第1の絶縁体の凹部に設けられ、第4の導電体は、断面視における第2の導電体と第3の導電体の間の領域において、第1の絶縁体を介して金属酸化物と重なる領域を有し、容量は、第2のトランジスタ上に設けられ、容量は、第5の導電体と、第5の導電体上の第2の絶縁体と、第2の絶縁体上の第6の導電体と、を有し、第5の導電体は、第1の導電体を介して、第1のトランジスタが有する第2の導電体と電氣的に接続され、第5の導電体は、第2のトランジスタが有する第4の導電体と電氣的に接続される。

[0013]

上記半導体装置において、第7の導電体をさらに有し、第7の導電体は、第1のトランジスタが有する第4の導電体と電氣的に接続し、第7の導電体は、第5の導電体と同一層に設けられ、第7の導電体が延在する方向は、第6の導電体が延在する方向と同じである、ことが好ましい。

[0014]

本発明の別の態様は、第1のトランジスタと、第2のトランジスタと、容量と、第1の導電体と、を有する半導体装置である。第1のトランジスタは、第2のトランジスタと同一層に設けられ、第1のトランジスタ及び第2のトランジスタのそれぞれは、第2の導電体乃至第4の導電体と、金属酸化物と、第1の絶縁体と、を有し、第3の導電体は、第2の導電体上に設けられ、第3の導電体は、上面視において第2の導電体と重なる開口を有し、金属酸化物は、開口の側面及び第2の導電体の上面のそれぞれと接する領域を有し、第1の絶縁体は、金属酸化物の凹部に設けられ、第4の導電体は、第1の絶縁体の凹部に設けられ、第4の導電体は、断面視における第2の導電体と第3の導電体の間の領域において、第1の絶縁体を介して金属酸化物と重なる領域を有し、容量は、第1のトランジスタが有する第2の導電体と、第2の絶縁体と、第5の導電体と、を有し、第2の絶縁体は、第1のトランジスタが有する第2の導電体の下方に設けられ、第5の導電体は、第2の絶縁体の下方に設けられ、第1のトランジスタが有する第2の導電体は、第1の導電体を介して、第2のトランジスタが有する第4の導電体と電氣的に接続される。

[0015]

上記半導体装置において、第6の導電体をさらに有し、第6の導電体は、第1のトランジスタが有する第4の導電体と電氣的に接続し、第6の導電体が延在する方向は、第5の導電体が延在する方向と同じである、ことが好ましい。

[0016]

また、上記半導体装置において、第2のトランジスタのチャネル長は、第1のトランジスタのチャネル長よりも長いことが好ましい。又は、上記半導体装置において、第2のトランジスタにおける第2の導電体の上面から第3の導電体の下面までの最短距離は、第1のトランジスタにおける第2の導電体の上面から第3の導電体の下面までの最短距離よりも大きいことが好ましい。

[0017]

また、上記半導体装置において、第2のトランジスタのチャネル幅は、第1のトランジスタのチャネル幅よりも大きいことが好ましい。又は、上記半導体装置において、第2のトランジスタが有する第3の導電体に設けられる開口の径は、第1のトランジスタが有する第3の導電体に設けられる開口の径よりも大きいことが好ましい。

[0018]

本発明の別の態様は、第1のトランジスタと、第2のトランジスタと、容量と、第1の導電体と、を有する半導体装置である。第1のトランジスタは、第2のトランジスタと同一層に設けられ、第1のトランジスタ及び第2のトランジスタのそれぞれは、第2の導電体乃至第4の導電体と、金属酸化物と、第1の絶縁体と、を有し、第4の導電体は、第2の導電体上に設けられ、第4の導電体は、上面視において第2の導電体と重なる開口を有し、第3の導電体は、第4の導電体上に設けられ、第3の導電体は、開口と重なる領域を有し、第1の絶縁体は、開口の側面と接する領域を有し、金属酸化物は、第2の導電体の上面と接する領域と、第3の導電体の下面と接する領域と、第1の絶縁体を介して第4の導電体と重なる領域と、を有し、容量は、第1のトランジスタが有する第2の導電体と、第2の絶縁体と、第5の導電体と、を有し、第2の絶縁体は、第1のトランジスタが有する第2の導電体の下方に設けられ、第5の導電体は、第2の絶縁体の下方に設けられ、第1のトランジスタが有する第2の導電体は、第1の導電体を介して、第2のトランジスタが有する第4の導電体と電氣的に接続される。

[0019]

上記半導体装置において、第2のトランジスタのチャネル長は、第1のトランジスタのチャネル長よりも長いことが好ましい。

[0020]

また、上記半導体装置において、第2のトランジスタのチャネル幅は、第1のトランジスタのチャネル幅よりも大きいことが好ましい。又は、上記半導体装置において、第2のトランジスタが有する第4の導電体に設けられる開口の径は、第1のトランジスタが有する第4の導電体に設けられる開口の径よりも大きいことが好ましい。

[0021]

また、上記半導体装置において、金属酸化物は、インジウムと、元素Mと、亜鉛と、の中から選ばれる二又は三を有し、元素Mは、アルミニウム、ガリウム、イットリウム、及びスズから選ばれた一種又は複数種である、ことが好ましい。

発明の効果

[0022]

本発明の一態様により、微細化又は高集積化が可能な半導体装置を提供できる。本発明の一態様により、動作速度が速い半導体装置を提供できる。本発明の一態様により、良好な電気特性を有する半導体装置を提供できる。本発明の一態様により、トランジスタの電気特性のばらつきが少ない半導体装置を提供できる。本発明の一態様により、信頼性が高い半導体装置を提供できる。本発明の一態様により、オン電流が大きい半導体装置を提供できる。本発明の一態様により、消費電力が少ない半導体装置を提供できる。本発明の一態様により、新規の半導体装置を提供できる。

[0023]

本発明の一態様により、記憶容量が大きい記憶装置を提供できる。本発明の一態様により、占有面積が小さい記憶装置を提供できる。本発明の一態様により、信頼性が高い記憶装置を提供できる。本発明の一態様により、消費電力が少ない記憶装置を提供できる。本発明の一態様により、新規な記憶装置を提供できる。

[0024]

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。本発明の一態様は、必ず

しも、これらの効果の全てを有する必要はない。明細書、図面、請求項の記載から、これら以外の効果を抽出することが可能である。

図面の簡単な説明

[0025]

図1Aは、半導体装置の構成例を示す上面図である。図1Bは、半導体装置の構成例を示す断面図である。図1Cは、半導体装置の構成を説明するための回路図である。

図2は、半導体装置の構成例を示す上面図である。

図3A及び図3Dは、トランジスタの構成例を示す上面図である。図3B及び図3Cは、トランジスタの構成例を示す断面図である。

図4A乃至図4Dは、トランジスタの構成例を示す断面図である。

図5A、図5D、及び図5Eは、トランジスタの構成例を示す上面図である。図5B及び図5Cは、トランジスタの構成例を示す断面図である。

図6A乃至図6Cは、トランジスタの構成例を示す断面図である。

図7A、図7C、図7E、及び図7Gは、容量の構成例を示す上面図である。図7B、図7D、図7F、及び図7Hは、容量の構成例を示す断面図である。

図8は、半導体装置の構成例を示す断面図である。

図9A及び図9Bは、半導体装置の構成例を示す上面図である。

図10Aは、半導体装置の構成例を示す上面図である。図10Bは、半導体装置の構成例を示す断面図である。図10Cは、半導体装置の構成を説明するための回路図である。

図11A乃至図11Cは、半導体装置の構成例を示す上面図である。

図12Aは、半導体装置の構成例を示す上面図である。図12Bは、半導体装置の構成例を示す断面図である。図12Cは、半導体装置の構成を説明するための回路図である。

図13Aは、半導体装置の構成例を示す断面図である。図13Bは、半導体装置の構成を説明するための回路図である。

図14A及び図14Bは、半導体装置の構成例を示す断面図である。

図15Aは、半導体装置の構成例を示す上面図である。図15Bは、半導体装置の構成例を示す断面図である。図15Cは、半導体装置の構成を説明するための回路図である。

図16A及び図16Bは、半導体装置の構成例を示す断面図である。

図17Aは、半導体装置の構成例を示す断面図である。図17Bは、半導体装置の構成を説明するための回路図である。

図18Aは、半導体装置の構成例を示す上面図である。図18Bは、半導体装置の構成例を示す断面図である。図18Cは、半導体装置の構成を説明するための回路図である。

図19は、半導体装置の構成例を示す断面図である。

図20A及び図20Dは、トランジスタの構成例を示す上面図である。図20B及び図20Cは、トランジスタの構成例を示す断面図である。

図21は、トランジスタの構成例を示す断面図である。

図22は、半導体装置の構成例を示す断面図である。

図23A及び図23Bは、記憶装置の一例を示す図である。

図24は、記憶層の一例を示す回路図である。

図25は、メモリセルの動作例を説明するためのタイミングチャートである。

図 2 6 A 及び図 2 6 B は、メモリセルの動作例を説明するための回路図である。

図 2 7 A 及び図 2 7 B は、メモリセルの動作例を説明するための回路図である。

図 2 8 は、半導体装置の構成例を説明するための回路図である。

図 2 9 A 及び図 2 9 B は半導体装置の一例を示す図である。

図 3 0 A 及び図 3 0 B は電子部品の一例を示す図である。

図 3 1 A 乃至図 3 1 J は、電子機器の一例を示す図である。

図 3 2 A 乃至図 3 2 E は、電子機器の一例を示す図である。

図 3 3 A 乃至図 3 3 C は、電子機器の一例を示す図である。

図 3 4 は、宇宙用機器の一例を示す図である。

発明を実施するための形態

[0026]

実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

[0027]

なお、以下に説明する発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。また、同様の機能を指す場合には、ハッチングパターンを同じくし、特に符号を付さない場合がある。

[0028]

また、図面において示す各構成の、位置、大きさ、及び範囲等は、理解の簡単のため、実際の位置、大きさ、及び範囲等を表していない場合がある。このため、開示する発明は、必ずしも、図面に開示された位置、大きさ、及び範囲等に限定されない。

[0029]

なお、本明細書等において、「第 1」、「第 2」という序数詞は、便宜上用いるものであり、構成要素の数、又は、構成要素の順序（例えば、工程順、又は積層順）を限定するものではない。また、本明細書のある箇所において構成要素に付す序数詞と、本明細書の他の箇所、又は特許請求の範囲において、当該構成要素に付す序数詞と、が一致しない場合がある。

[0030]

なお、「膜」という言葉と、「層」という言葉とは、場合によっては、又は、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能である。又は、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能である。

[0031]

また、本明細書等において、「絶縁体」という用語を、絶縁膜または絶縁層と言い換えることができる。また、「導電体」という用語を、導電膜または導電層と言い換えることができる。また、「半導体」という用語を、半導体膜または半導体層と言い換えることができる。

[0032]

なお、本明細書等において、酸化窒化物とは、その組成として、窒素よりも酸素の含有量が多い材料を指し、窒化酸化物とは、その組成として、酸素よりも窒素の含有量が多い材料を指す。例え

ば、酸化窒化シリコンと記載した場合は、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化シリコンと記載した場合は、その組成として、酸素よりも窒素の含有量が多い材料を示す。

[0033]

本明細書等において、「上に」、「下に」、「上方に」、又は「下方に」等の配置を示す語句は、構成要素同士の位置関係を、図面を参照して説明するために、便宜上用いている場合がある。また、構成要素同士の位置関係は、各構成を描写する方向に応じて適宜変化するものである。従って、本明細書等で説明した語句に限定されず、状況に応じて適切に言い換えることができる。例えば、「導電体の上に位置する絶縁体」の表現では、示している図面の向きを180度回転することによって、「導電体の下に位置する絶縁体」と言い換えることができる。

[0034]

本明細書等において、「高さが一致」とは、断面視において、基準となる面（例えば、基板表面等の平坦な面）からの高さが等しい構成を示す。例えば、半導体装置の製造プロセスにおいて、平坦化处理（代表的にはCMP処理）を行うことで、単層又は複数の層の表面を露出する場合がある。この場合、CMP処理の被処理面は、基準となる面からの高さが等しい構成となる。ただし、CMP処理の際の処理装置、処理方法、又は被処理面の材料によって、複数の層の高さが異なる場合がある。本明細書等においては、この場合も「高さが一致」として扱う。例えば、基準面に対して、2つの高さを有する層（ここでは第1の層と、第2の層とする）を有する場合であって、第1の層の上面の高さと、第2の層の上面の高さとの差が20nm以下である場合も、「高さが一致」という。

[0035]

本明細書等において、「端部が一致」とは、上面視において、積層した層と層との間で少なくとも輪郭の一部が重なることをいう。例えば、上層と下層とが、同一のマスクパターン、又は一部が同一のマスクパターンにより加工された場合を含む。ただし、厳密には輪郭が重ならず、上層の輪郭が下層の輪郭より内側に位置すること、又は、上層の輪郭が下層の輪郭より外側に位置することもあり、この場合も「端部が一致」という。

[0036]

なお、一般に、「完全一致」と「概略一致」の差を明確に区別するのは困難である。このため、本明細書等において「一致」とは、完全に一致している場合と、概略一致している場合のいずれも含むものとする。

[0037]

(実施の形態1)

本実施の形態では、本発明の一態様の半導体装置について図面を用いて説明する。

[0038]

本発明の一態様は、基板上に設けられる半導体装置に関する。半導体装置は、第1のトランジスタと、第2のトランジスタと、容量と、を有し、これらによりメモリセルを構成することができる。本発明の一態様の半導体装置は、メモリセルを有することから、データを記憶する機能を有する。よって、本発明の一態様の半導体装置は、記憶装置ということができる。

[0039]

本発明の一態様の半導体装置は、チャネル形成領域に金属酸化物を有するトランジスタ（Oスト

ランジスタ)を有することが好ましい。OSトランジスタは、オフ電流が小さい。よって、OSトランジスタを記憶装置とすることができる半導体装置に用いることにより長期にわたり記憶内容を保持できる。つまり、リフレッシュ動作を必要としない、又は、リフレッシュ動作の頻度が極めて少ないため、半導体装置の消費電力を十分に低減できる。よって、消費電力が少ない半導体装置を提供できる。また、OSトランジスタの周波数特性は高いため、半導体装置はデータの読み出し、及び書き込みを高速に行うことができる。よって、動作速度が速い半導体装置を提供できる。

[0040]

第1のトランジスタは、第2のトランジスタと同一層に設けられる。第1及び第2のトランジスタのそれぞれは、第1乃至第3の導電体と、金属酸化物と、絶縁体と、を有する。第2の導電体は、第1の導電体上に設けられ、第1の導電体と重なる領域を有する。また、第2の導電体は、上面視において第1の導電体と重なる開口を有する。上記金属酸化物は、第2の導電体が有する開口の側面及び第1の導電体の上面のそれぞれと接する領域を有する。上記絶縁体は、上記金属酸化物の凹部に設けられる。第3の導電体は、上記絶縁体の凹部に設けられる。第3の導電体は、断面視における第1の導電体と第2の導電体の間の領域において、上記絶縁体を介して上記金属酸化物と重なる領域を有する。別言すると、第3の導電体は、断面視における第1の導電体と第2の導電体の間の領域において、上記絶縁体を介して上記金属酸化物と対向する領域を有する。

[0041]

第1及び第2のトランジスタのそれぞれにおいて、上記金属酸化物は、トランジスタのチャンネル形成領域として機能する領域を有する。第1の導電体は、トランジスタのソース電極及びドレイン電極の一方として機能する領域を有する。第2の導電体は、トランジスタのソース電極及びドレイン電極の他方として機能する領域を有する。第3の導電体は、トランジスタのゲート電極として機能する領域を有する領域を有する。上記絶縁体は、トランジスタのゲート絶縁体として機能する領域を有する。

[0042]

第1及び第2のトランジスタは、ソース電極及びドレイン電極の一方が下方に位置し、他方が上方に位置することから、電流が上下方向に流れる構成を有する。別言すると、第1及び第2のトランジスタのチャンネル長方向は上下方向となる。つまり、第1及び第2のトランジスタは、縦型構造のトランジスタである。電流が横方向に流れる、所謂横型構造のトランジスタと比較して、縦型構造のトランジスタは、微細化を図ることができる。したがって、第1及び第2のトランジスタの構造を縦型構造とすることで、トランジスタを高密度に配置でき、半導体装置における高集積化を実現できる。また、横型構造のトランジスタと比較して、縦型構造のトランジスタはゲート電極の電界を半導体層のチャンネル形成領域全体に作用させやすい。したがって、トランジスタに流れる電流密度が高くなり、トランジスタのオン電流を増大させ、周波数特性を向上させることができる。

[0043]

また、第1及び第2のトランジスタを用いてメモリセルを構成する場合、第1及び第2のトランジスタの一方は書き込み用トランジスタとして機能し、第1及び第2のトランジスタの他方は読み出し用トランジスタとして機能する。読み出し用トランジスタは、高いオン電流特性を有することが好ましい。また、書き込み用トランジスタは、低いオフ電流特性を有することが好ましい。つまり、性能の優れた記憶装置を作製するには、要求される特性を有するようにトランジスタを作り分けることが望まれる。縦型構造のトランジスタである第1及び第2のトランジスタは、トランジス

タの構成要素の一部が設けられる開口の上面視における大きさ（径ともいう）によって、トランジスタのオン電流に関わるチャネル幅を調整できる。よって、第1のトランジスタの構成要素の一部が設けられる開口と、第2のトランジスタの構成要素の一部が設けられる開口と異ならせることで、性能の優れた記憶装置を作製できる。

[0044]

<半導体装置の構成例1>

以下では、本発明の一態様の半導体装置の構成例について説明する。

[0045]

図1A及び図1Bはそれぞれ、本発明の一態様の半導体装置の構成例を示す上面図及び断面図である。図1Aは半導体装置10の上面図である。また、図1Bは半導体装置10の断面図であり、図1AにA1-A2の一点鎖線で示す部位の断面図でもある。なお、図1Aの上面図では、図の明瞭化のために一部の要素を省いている。

[0046]

半導体装置10は、基板（図示せず）上の絶縁体210と、絶縁体210上のメモリセル20と、導電体262Aと、導電体290Aと、導電体290Bと、絶縁体210上の絶縁体270と、絶縁体270上の絶縁体272と、絶縁体272上の絶縁体274と、絶縁体274上の絶縁体276と、を有する。メモリセル20は、導電体262A、導電体290A、及び導電体290Bのそれぞれと電気的に接続される。

[0047]

メモリセル20は、トランジスタ31Aと、トランジスタ31Bと、トランジスタ31B上の容量41と、導電体261と、を有する。なお、トランジスタ31Aは、トランジスタ31Bと同一層に設けられる。なお、本実施の形態の半導体装置が有する構成要素は、それぞれ、単層構造であってもよく、積層構造であってもよい。

[0048]

以降において、アルファベットで区別する構成要素について、これらに共通する事項を説明する場合には、アルファベットを省略した符号を用いて説明する場合がある。例えば、トランジスタ31Aとトランジスタ31Bに共通する事項を説明する場合には、トランジスタ31と記載する場合がある。

[0049]

本明細書等において、図示するトランジスタのチャネル長方向と平行な方向をZ方向とし、Z方向と垂直な方向をX方向とする。さらに、X方向及びZ方向の両方と垂直な方向をY方向とする。X方向及びY方向は、例えば基板面に対して平行な方向とし、Z方向は、基板面に対して垂直な方向とすることができる。

[0050]

トランジスタ31Aは、導電体241Aと、導電体242Aと、導電体260Aと、を有する。導電体241Aはトランジスタ31Aのソース電極及びドレイン電極の一方として機能する領域を有し、導電体242Aはトランジスタ31Aのソース電極及びドレイン電極の他方として機能する領域を有し、導電体260Aはトランジスタ31Aのゲート電極として機能する領域を有する。

[0051]

トランジスタ31Bは、導電体241Bと、導電体242Bと、導電体260Bと、を有する。

導電体 2 4 1 B はトランジスタ 3 1 B のソース電極及びドレイン電極の一方として機能する領域を有し、導電体 2 4 2 B はトランジスタ 3 1 B のソース電極及びドレイン電極の他方として機能する領域を有し、導電体 2 6 0 B はトランジスタ 3 1 B のゲート電極として機能する領域を有する。

[0052]

容量 4 1 は、導電体 2 6 2 B と、絶縁体 2 6 3 と、導電体 2 6 4 と、を有する。導電体 2 6 2 B は容量 4 1 の一方の電極として機能する領域を有し、導電体 2 6 4 は容量 4 1 の他方の電極として機能する領域を有し、絶縁体 2 6 3 は容量 4 1 の誘電体として機能する領域を有する。

[0053]

導電体 2 6 2 B は、導電体 2 6 0 B 及び導電体 2 6 1 と電氣的に接続し、導電体 2 4 1 A は、導電体 2 6 1 と電氣的に接続している。つまり、導電体 2 6 1 は、導電体 2 6 2 B と導電体 2 4 1 A とを電氣的に接続する機能を有する。図 1 B では、導電体 2 6 2 B は、導電体 2 6 0 B 及び導電体 2 6 1 のそれぞれの上面と接する領域を有し、導電体 2 4 1 A は、導電体 2 6 1 の下面と接する領域を有する。

[0054]

導電体 2 6 2 A は導電体 2 6 0 A と電氣的に接続し、導電体 2 9 0 A は導電体 2 4 2 A と電氣的に接続し、導電体 2 9 0 B は導電体 2 4 2 B と電氣的に接続している。図 1 B では、導電体 2 6 2 A は導電体 2 6 0 A の上面と接する領域を有し、導電体 2 9 0 A は導電体 2 4 2 A の上面と接する領域を有し、導電体 2 9 0 B は導電体 2 4 2 B の上面と接する領域を有する。

[0055]

上述したように、トランジスタ 3 1 A は、トランジスタ 3 1 B と同一層に設けられる。つまり、導電体 2 4 1 A は導電体 2 4 1 B と同一層に設けられ、導電体 2 4 2 A は導電体 2 4 2 B と同一層に設けられる。具体的には、導電体 2 4 1 A 及び導電体 2 4 1 B は絶縁体 2 1 0 上に設けられ、導電体 2 4 2 A 及び導電体 2 4 2 B は絶縁体 2 7 0 上に設けられる。

[0056]

導電体 2 6 2 A は、導電体 2 6 2 B と同じ材料及び同じ工程で形成することが好ましい。導電体 2 6 2 A を導電体 2 6 2 B と同じ材料及び同じ工程で形成することで、半導体装置の作製工程において、工程数の低減を図ることができる。このとき、導電体 2 6 2 A は導電体 2 6 2 B と同じ導電性材料を有する。また、導電体 2 6 2 A は、導電体 2 6 2 B と同一層に設けられる。図 1 B では、導電体 2 6 2 A 及び導電体 2 6 2 B は絶縁体 2 7 4 上に設けられる。

[0057]

図 1 A では、導電体 2 4 1 A、導電体 2 4 2 A、導電体 2 4 2 B、及び導電体 2 6 2 B のそれぞれの X 方向の長さが、それぞれ一致する構成を示している。なお、本発明はこれに限られない。例えば、導電体 2 6 2 B の X 方向の長さは、導電体 2 4 2 B の X 方向の長さよりも大きくてもよい。導電体 2 6 2 B の X 方向の長さを大きくすることで、導電体 2 6 2 B の占有面積が大きくなり、容量 4 1 の容量を大きくすることができる。

[0058]

導電体 2 4 1 B、導電体 2 6 2 A、及び導電体 2 6 4 は、配線として機能する領域を有する。また、導電体 2 9 0 A 及び導電体 2 9 0 B はプラグ又は配線として機能する領域を有する。後述するように半導体装置 1 0 を記憶装置として用いる場合、導電体 2 6 2 A が延在する方向と、導電体 2 9 0 A が延在する方向とは、異なることが好ましく、直交することがより好ましい。また、導電体

241 Bが延在する方向と、導電体290 Bが延在する方向とは、異なることが好ましく、直交することがより好ましい。

[0059]

半導体装置10では、図1 Aに示すように、導電体241 B、導電体262 A、及び導電体264はX方向に延在して設けられる。このとき、導電体241 Bが延在する方向は、導電体262 Aが延在する方向と同じである。また、導電体241 Bが延在する方向は、導電体264が延在する方向と同じである。また、導電体262 Aが延在する方向は、導電体264が延在する方向と同じである。また、図1 Bに示すように、導電体290 A及び導電体290 BはZ方向に延在して設けられる。このとき、導電体290 Aが延在する方向は、導電体290 Bが延在する方向と同じである。当該構成にすることで、導電体262 Aが延在する方向と、導電体290 Aが延在する方向とが直交する。また、導電体241 Bが延在する方向と、導電体290 Bが延在する方向とが直交する。なお、本明細書等において、第1の方向が第2の方向と同じであるとは、第1の方向が第2の方向と平行であると言い換えることができる。

[0060]

図1 Bでは、導電体290 A及び導電体290 Bを単層とする構成を示している。なお、導電体290 A及び導電体290 Bのそれぞれは、積層構造であってもよい。例えば、導電体290 A及び導電体290 Bのそれぞれを、第1の導電体と第2の導電体の積層構造とする場合、第1の導電体を絶縁体276、絶縁体274、及び絶縁体272に設けられる開口の内壁に接して設け、さらに内側に第2の導電体を設けるとよい。導電体290 Aの第1の導電体は、導電体242 Aの上面、絶縁体272の側面、絶縁体274の側面、及び絶縁体276の側面のそれぞれと接する領域を有する。導電体290 Bの第1の導電体は、導電体242 Bの上面、絶縁体272の側面、絶縁体274の側面、及び絶縁体276の側面のそれぞれと接する領域を有する。

[0061]

上記第1の導電体としては、水、及び水素等の不純物の透過を抑制する機能を有する導電性材料を用いることが好ましい。上記第1の導電体は、例えば、タンタル、窒化タンタル、チタン、窒化チタン、ルテニウム、及び酸化ルテニウムのうち一つ又は複数を用いた、単層構造又は積層構造とすることができる。これにより、水、及び水素等の不純物が、導電体290 A及び導電体290 Bを通じて金属酸化物230に混入することを抑制できる。

[0062]

また、導電体290 A及び導電体290 Bは、配線としても機能するため、導電性が高い導電体を用いることが好ましい。例えば、上記第2の導電体には、タングステン、銅、又はアルミニウムを主成分とする導電性材料を用いることができる。

[0063]

例えば、上記第1の導電体として窒化チタンを用い、上記第2の導電体としてタングステンを用いることが好ましい。この場合、上記第1の導電体は、チタンと、窒素とを有し、上記第2の導電体は、タングステンを有する。

[0064]

絶縁体210は、水、及び水素等の不純物が、基板側からトランジスタに拡散することを抑制するバリア絶縁膜として機能することが好ましい。したがって、絶縁体210は、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子(N_2O 、 NO 、 NO_2 等)、銅原子等の不純物の

拡散を抑制する機能を有する（上記不純物が透過しにくい）絶縁性材料を有することが好ましい。又は、酸素（例えば、酸素原子、及び酸素分子等の少なくとも一）の拡散を抑制する機能を有する（上記酸素が透過しにくい）絶縁性材料を有することが好ましい。

[0065]

絶縁体210は、水、及び水素等の不純物、並びに酸素の拡散を抑制する機能を有する絶縁体を有することが好ましく、例えば、酸化アルミニウム、酸化マグネシウム、酸化ハフニウム、酸化ガリウム、インジウムガリウム亜鉛酸化物、窒化シリコン、又は窒化酸化シリコン等を用いることができる。例えば、絶縁体210として、より水素バリア性が高い、窒化シリコンを用いることが好ましい。また、例えば、絶縁体210は、水素を捕獲及び水素を固着する機能が高い、酸化アルミニウム、又は酸化マグネシウム等を有することが好ましい。これにより、水、及び水素等の不純物が絶縁体210を介して、基板側からトランジスタに拡散することを抑制できる。又は、絶縁体270等に含まれる酸素が、基板側に拡散することを抑制できる。

[0066]

なお、本明細書等において、バリア絶縁膜とは、バリア性を有する絶縁膜のことを指す。本明細書等において、バリア性とは、対応する物質の拡散を抑制する機能（透過性が低いともいう）とする。又は、対応する物質を、捕獲及び固着する（ゲッタリングともいう）機能とする。

[0067]

絶縁体270、絶縁体272、絶縁体274、及び絶縁体276は、層間膜として機能する。絶縁体270、絶縁体272、絶縁体274、及び絶縁体276は、それぞれ、絶縁体210よりも誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減できる。

[0068]

例えば、絶縁体270、絶縁体272、絶縁体274、及び絶縁体276は、それぞれ、酸化シリコン、酸化窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素及び窒素を添加した酸化シリコン、及び、空孔を有する酸化シリコンのうち一つ又は複数を有することが好ましい。

[0069]

特に、酸化シリコン及び酸化窒化シリコンは、熱的に安定であるため好ましい。特に、酸化シリコン、酸化窒化シリコン、及び空孔を有する酸化シリコン等の材料は、加熱により脱離する酸素を含む領域を容易に形成することができるため好ましい。

[0070]

また、絶縁体270、絶縁体272、絶縁体274、及び絶縁体276の上面は、それぞれ、平坦化されていてもよい。

[0071]

半導体装置10は記憶装置として用いることができる。半導体装置10を記憶装置として用いる場合の回路図を図1Cに示す。半導体装置10は、メモリセル20を有する記憶装置と言い換えることができる。メモリセル20は、トランジスタ31A、トランジスタ31B、及び容量41を有する。

[0072]

図1Cに示すように、トランジスタ31Aにおいて、ゲート電極は配線WWLと電氣的に接続さ

れ、ソース電極及びドレイン電極の一方は容量４１の一方の電極と電氣的に接続され、ソース電極及びドレイン電極の他方は配線ＷＢＬと電氣的に接続される。トランジスタ３１Ｂにおいて、ゲート電極は容量４１の一方の電極と電氣的に接続され、ソース電極及びドレイン電極の一方は配線ＳＬと電氣的に接続され、ソース電極及びドレイン電極の他方は配線ＲＢＬと電氣的に接続される。容量４１の他方の電極は、配線ＣＬと電氣的に接続される。

[００７３]

配線ＷＷＬは書き込みワード線として機能し、配線ＷＢＬは書き込みビット線として機能し、配線ＲＢＬは読み出しビット線として機能し、配線ＳＬは選択線として機能し、配線ＣＬは容量線として機能する。

[００７４]

配線ＷＷＬは導電体２６２Ａと対応し、配線ＷＢＬは導電体２９０Ａと対応し、配線ＲＢＬは導電体２９０Ｂと対応し、配線ＳＬは導電体２４１Ｂと対応し、配線ＣＬは導電体２６４と対応する。つまり、導電体２６２Ａは書き込みワード線として機能する領域を有し、導電体２９０Ａは書き込みビット線として機能する領域を有し、導電体２９０Ｂは読み出しビット線として機能する領域を有し、導電体２４１Ｂは選択線として機能する領域を有し、導電体２６４は容量線として機能する領域を有する。

[００７５]

メモリセルを有する記憶装置については、後の実施の形態で詳細に説明する。

[００７６]

なお、図１Ａでは、導電体２９０Ａと導電体２９０Ｂを結ぶ直線がＸ方向と直交する構成を示している。別言すると、導電体２９０Ａと導電体２９０Ｂを結ぶ直線がＹ方向と平行である構成を示している。なお、本発明はこれに限られない。例えば図２に示すように、導電体２９０Ａと導電体２９０Ｂを結ぶ直線がＸ方向に傾く構成としてもよい。なお、導電体２４１Ｂ、導電体２６２Ａ、及び導電体２６４はＸ方向に延在して設けられるため、導電体２９０Ａと導電体２９０Ｂを結ぶ直線は、導電体２４１Ｂ、導電体２６２Ａ、及び導電体２６４のそれぞれが延在する方向と直交しなくてよい。当該構成とすることで、メモリセル２０のメモリ密度をより高めることができる。なお、図２にＡ１－Ａ２の一点鎖線で示す部位の断面図は、図１Ｂを参照できる。

[００７７]

[トランジスタ３１]

図３Ａ乃至図３Ｄは、メモリセル２０が有するトランジスタの構成例を示す上面図及び断面図である。図３Ａはトランジスタ３１の上面図である。図３Ｂは、図３ＡにＡ１－Ａ２の一点鎖線で示す部位の断面図であり、図３Ｃは、図３ＡにＡ３－Ａ４の一点鎖線で示す部位の断面図である。図３Ｄは、図３ＢにＢ１－Ｂ２の一点鎖線で示す部位の上面図である。なお、図３Ａ及び図３Ｄの上面図では、図の明瞭化のために一部の要素を省いている。

[００７８]

トランジスタ３１は、絶縁体２１０上の導電体２４１及び絶縁体２７０と、導電体２４１上の金属酸化物２３０と、金属酸化物２３０上の絶縁体２５０と、絶縁体２５０上の導電体２６０と、絶縁体２７０上の導電体２４２と、絶縁体２７０及び導電体２４２上の絶縁体２７２と、を有する。

[００７９]

導電体２４１はトランジスタ３１のソース電極及びドレイン電極の一方として機能する領域を有

し、導電体 242 はトランジスタ 31 のソース電極及びドレイン電極の他方として機能する領域を有し、導電体 260 はトランジスタ 31 のゲート電極として機能する領域を有する。金属酸化物 230 は、チャネル形成領域として機能する領域を有する。

[0080]

金属酸化物 230 には、半導体として機能する金属酸化物（以下、酸化物半導体ともいう）を用いることが好ましい。なお、半導体として機能する金属酸化物のバンドギャップは、2.0 eV 以上が好ましく、2.5 eV 以上がより好ましい。バンドギャップの大きい金属酸化物を用いることで、トランジスタのオフ電流を低減できる。

[0081]

金属酸化物 230 として、例えば、インジウム酸化物、ガリウム酸化物、及び亜鉛酸化物等の金属酸化物を用いることが好ましい。また、金属酸化物 230 として、例えば、インジウムと、元素 M と、亜鉛と、の中から選ばれる二又は三を有する金属酸化物を用いることが好ましい。なお、元素 M は、ガリウム、アルミニウム、シリコン、ホウ素、イットリウム、スズ、銅、バナジウム、ベリリウム、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、及びマグネシウムから選ばれた一種又は複数種である。特に、元素 M は、アルミニウム、ガリウム、イットリウム、及びスズから選ばれた一種又は複数種であることが好ましい。なお、インジウム、元素 M 及び亜鉛を有する金属酸化物を、 In-M-Zn 酸化物と表記することがある。

[0082]

具体的には、金属酸化物 230 として、 $\text{In:M:Zn}=1:1:1$ [原子数比] もしくはその近傍の組成、 $\text{In:M:Zn}=1:1:1.2$ [原子数比] もしくはその近傍の組成、 $\text{In:M:Zn}=1:1:2$ [原子数比] もしくはその近傍の組成、又は $\text{In:M:Zn}=4:2:3$ [原子数比] もしくはその近傍の組成の金属酸化物を用いることができる。なお、近傍の組成とは、所望の原子数比の $\pm 30\%$ の範囲を含む。また、元素 M として、ガリウムを用いることが好ましい。

[0083]

金属酸化物 230 は、トランジスタ 31 における、チャネル形成領域と、チャネル形成領域を挟むように設けられるソース領域及びドレイン領域と、を有する。チャネル形成領域の少なくとも一部は、導電体 260 と重なる。別言すると、チャネル形成領域の少なくとも一部は、導電体 260 と対向する。ソース領域は、導電体 241 及び導電体 242 の一方と重なり、ドレイン領域は、導電体 241 及び導電体 242 の他方と重なる。なお、導電体 242 と重なる領域は、導電体 242 と対向する領域とも言える。

[0084]

酸化物半導体を用いたトランジスタは、酸化物半導体中のチャネル形成領域に不純物及び酸素欠損が存在すると、電気特性が変動しやすく、信頼性が悪くなる場合がある。また、酸素欠損近傍の水素が、酸素欠損に水素が入った欠陥（以下、 $\text{V}_\text{O}\text{H}$ と呼ぶ場合がある）を形成し、キャリアとなる電子を生成する場合がある。このため、酸化物半導体中のチャネル形成領域に酸素欠損が含まれていると、トランジスタはノーマリーオン特性（ゲート電極に電圧を印加しなくてもチャネルが存在し、トランジスタに電流が流れる特性）となりやすい。したがって、酸化物半導体中のチャネル形成領域では、不純物、酸素欠損、及び $\text{V}_\text{O}\text{H}$ はできる限り低減されていることが好ましい。

[0085]

これに対して、酸化物半導体の近傍に、加熱により脱離する酸素（以下、過剰酸素と呼ぶ場合がある）を含む絶縁体を設け、熱処理を行うことで、当該絶縁体から酸化物半導体に酸素を供給し、酸素欠損及び V_{OH} を低減できる。ただし、ソース領域又はドレイン領域に過剰な量の酸素が供給されると、トランジスタのオン電流の低下、又は電界効果移動度の低下を引き起こすおそれがある。さらに、ソース領域又はドレイン領域に供給される酸素の量が基板面内でばらつくことで、トランジスタを有する半導体装置の特性にばらつきが出ることになる。また、当該絶縁体から酸化物半導体に供給する酸素が、ゲート電極、ソース電極、及びドレイン電極等の導電体に拡散すると、当該導電体が酸化してしまい、導電性が損なわれること等により、トランジスタの電気特性及び信頼性に悪影響を及ぼす場合がある。したがって、ソース領域及びドレイン領域には過剰な量の酸素が供給されないようにすること、及びソース領域及びドレイン領域の V_{OH} の量が過剰に低減しないようにすることが好ましい。

[0086]

チャネル形成領域は、ソース領域及びドレイン領域よりも、酸素欠損が少ない、又は不純物濃度が低いため、キャリア濃度が低い高抵抗領域である。よって、チャネル形成領域は、 i 型（真性）又は実質的に i 型であるといえることができる。

[0087]

なお、チャネル形成領域のキャリア濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以下、 $1 \times 10^{17} \text{ cm}^{-3}$ 未満、 $1 \times 10^{16} \text{ cm}^{-3}$ 未満、 $1 \times 10^{15} \text{ cm}^{-3}$ 未満、 $1 \times 10^{14} \text{ cm}^{-3}$ 未満、 $1 \times 10^{13} \text{ cm}^{-3}$ 未満、 $1 \times 10^{12} \text{ cm}^{-3}$ 未満、 $1 \times 10^{11} \text{ cm}^{-3}$ 未満、又は $1 \times 10^{10} \text{ cm}^{-3}$ 未満であることが好ましい。また、チャネル形成領域のキャリア濃度の下限値については、特に限定は無いが、例えば、 $1 \times 10^{-9} \text{ cm}^{-3}$ とすることができる。

[0088]

なお、金属酸化物230のキャリア濃度を低くする場合においては、金属酸化物230中の不純物濃度を低くし、欠陥準位密度を低くする。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性又は実質的に高純度真性という。なお、キャリア濃度の低い酸化物半導体（又は金属酸化物）を、高純度真性又は実質的に高純度真性な酸化物半導体（又は金属酸化物）と呼ぶ場合がある。

[0089]

なお、金属酸化物230中の不純物とは、例えば、金属酸化物230を構成する主成分以外をいう。例えば、濃度が0.1原子%未満の元素は不純物といえる。金属酸化物230として酸化物半導体を用いる場合、金属酸化物230の不純物として、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、及びシリコン等が挙げられる。

[0090]

ソース領域及びドレイン領域は、酸素欠損が多い、又は不純物濃度が高いため、キャリア濃度が高い低抵抗領域である。すなわち、ソース領域及びドレイン領域は、チャネル形成領域と比較してキャリア濃度が高い、 n 型の領域（低抵抗領域）である。

[0091]

なお、金属酸化物230において、各領域の境界を明確に検出することが困難な場合がある。各領域内で検出される金属元素、及び不純物元素の濃度は、領域ごとの段階的な変化に限らず、各領域内でも連続的に変化していてもよい。つまり、チャネル形成領域に近い領域であるほど、不純物

元素の濃度が減少していてもよい。

[0092]

トランジスタの電気特性を安定にするためには、金属酸化物230中の不純物濃度を低減することが有効である。また、金属酸化物230の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。

[0093]

絶縁体272、導電体242、及び絶縁体270には導電体241に達する開口が設けられる。また、当該開口は、上面視において導電体241と重なる領域を有する。また、当該開口内に、金属酸化物230、絶縁体250、及び導電体260のそれぞれの少なくとも一部が配置される。なお、当該開口は、絶縁体272が有する開口と、導電体242が有する開口と、絶縁体270が有する開口とを含むと言える。また、導電体242は、上面視において導電体241と重なる開口を有すると言える。

[0094]

金属酸化物230は、絶縁体272、導電体242、及び絶縁体270に設けられる開口の側面及び底面と接して設けられる。別言すると、金属酸化物230は、導電体242が有する開口の側面、及び導電体241の上面のそれぞれと接する領域を有する。また、金属酸化物230は、絶縁体272の上面と接する領域を有する。また、金属酸化物230は、凹部を有する。当該凹部は、上面視において導電体242が有する開口と重なる領域を有する。

[0095]

絶縁体250の少なくとも一部は、金属酸化物230の凹部に設けられる。また、絶縁体250は、金属酸化物230の上面と接する領域を有する。また、絶縁体250は、凹部を有する。当該凹部は、金属酸化物230が有する凹部の内側に位置する。

[0096]

導電体260は、絶縁体250の凹部を埋め込むように設けられる。また、導電体260は、絶縁体250の上面と接する領域を有する。また、導電体260は、断面視における導電体241と導電体242の間の領域において、絶縁体250を介して金属酸化物230と重なる領域を有する。別言すると、導電体260は、断面視における導電体241と導電体242の間の領域において、絶縁体250を介して金属酸化物230と対向する領域を有する。

[0097]

上記構成において、トランジスタ31のチャネル長は、断面視における、導電体241の上面から導電体242の下面までの最短距離（図3Bに示すL1）であり、導電体241と重なる領域の絶縁体270の膜厚でもある。つまり、トランジスタ31のチャネル長は、導電体241と重なる領域の絶縁体270の膜厚によって調整できる。例えば、絶縁体270の膜厚を薄くすることで、チャネル長の短いトランジスタ31を作製できる。

[0098]

また、上記構成において、トランジスタ31のチャネル幅は、上面視における、絶縁体270と金属酸化物230が接する領域の長さであり、上面視における金属酸化物230の輪郭（外周）の長さでもある。つまり、トランジスタ31のチャネル幅は、絶縁体270に設ける開口の径によって調整できる。例えば、当該開口の径を大きくすることで、チャネル幅の大きいトランジスタ31を作製できる。なお、当該開口は、トランジスタ31の構成要素の一部（ここでは、金属酸化物2

30、絶縁体250、及び導電体260)が設けられる開口と言い換えることができる。

[0099]

トランジスタ31は、チャネル形成領域がゲート電極を取り囲む構造を有する。したがって、トランジスタ31は、CAA(Channel-All-Around)構造のトランジスタと言える。

[0100]

なお、図3Dでは、導電体242が有する開口の上面形状が、円形状を有する構成を示しているが、本発明はこれに限られない。例えば、導電体242が有する開口の上面形状は、楕円形状、多角形状、又は、角が丸みを帯びている多角形状であってもよい。ここで、多角形状とは、三角形、四角形、五角形、及び六角形等を指す。

[0101]

絶縁体272上に絶縁体274が設けられ、絶縁体274及び導電体260上に導電体262が設けられる。

[0102]

金属酸化物230は、結晶性を有する酸化物半導体を用いることが好ましい。結晶性を有する酸化物半導体として、CAAC-OS(c-axis aligned crystalline oxide semiconductor)、nc-OS(nanocrystalline oxide semiconductor)、多結晶酸化物半導体、単結晶酸化物半導体等が挙げられる。金属酸化物230として、CAAC-OS又はnc-OSを用いることが好ましく、CAAC-OSを用いることが特に好ましい。

[0103]

CAAC-OSは、結晶性の高い、緻密な構造を有しており、不純物及び欠陥(例えば、酸素欠損)が少ない金属酸化物である。特に、金属酸化物の形成後に、金属酸化物が多結晶化しない程度の温度(例えば、400℃以上600℃以下)で加熱処理することで、CAAC-OSをより結晶性の高い、緻密な構造にすることができる。このようにして、CAAC-OSの密度をより高めることで、当該CAAC-OS中の不純物又は酸素の拡散をより低減できる。

[0104]

また、CAAC-OSは、明確な結晶粒界を確認することが難しいため、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。したがって、CAAC-OSを有する金属酸化物は、物理的性質が安定する。そのため、CAAC-OSを有する金属酸化物は熱に強く、信頼性が高い。

[0105]

また、金属酸化物230としてCAAC-OS等の結晶性を有する酸化物を用いることで、導電体241及び導電体242による、金属酸化物230からの酸素の引き抜きを抑制できる。これにより、熱処理を行っても、金属酸化物230から酸素が引き抜かれることを抑制できるため、トランジスタは、製造工程における高い温度(所謂サーマルバジェット)に対して安定である。また、導電体241及び導電体242の導電率が低下することを抑制できる。

[0106]

nc-OSは、微小な領域(例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域)において原子配列に周期性を有する。別言すると、nc-OSは、微小な結晶(ナノ結晶ともいう)を有する。また、nc-OSは、異なるナノ結晶間で結晶方位に規則性が見られない

ため、膜全体で配向性が見られない。すなわち、金属酸化物230としてnc-OSを用いる場合、金属酸化物230中を流れるキャリアの方向によらず金属酸化物230の膜特性が一定となるため、トランジスタの電気特性は安定する。

[0107]

なお、酸化物半導体は、多様な構造をとり、それぞれが異なる特性を有する。金属酸化物230は、CAAC-OS、nc-OS、擬似非晶質酸化物半導体(a-like OS: amorphous-like oxide semiconductor)、非晶質酸化物半導体、多結晶酸化物半導体、CAC-OS(cloud-aligned composite oxide semiconductor)のうち、二種以上を有してもよい。

[0108]

なお、CAAC-OS膜に対し、例えば、XRD装置を用いて構造解析を行うと、 $\theta/2\theta$ スキャンを用いたOut-of-plane XRD測定では、c軸配向を示すピークが $2\theta = 31^\circ$ 又はその近傍に検出される。なお、c軸配向を示すピークの位置(2θ の値)は、CAAC-OSを構成する金属元素の種類、組成などにより変動する場合がある。また、例えば、CAAC-OS膜の電子線回折パターンにおいて、複数の輝点(スポット)が観測される。なお、あるスポットと別のスポットとは、試料を透過した入射電子線のスポット(ダイレクトスポットともいう)を対称中心として、点対称の位置に観測される。

[0109]

また、nc-OS膜に対し、ナノ結晶の大きさと同等又はナノ結晶より小さいプローブ径(例えば1nm以上30nm以下)の電子線を用いる電子線回折(ナノビーム電子線回折ともいう)を行うと、ダイレクトスポットを中心とするリング状の領域内に複数のスポットが観測される電子線回折パターンが取得される場合がある。

[0110]

金属酸化物230は、トランジスタ31のチャネル形成領域を含む半導体層と言い換えることができる。なお、当該半導体層に適用可能な材料は、半導体として機能する金属酸化物(酸化物半導体)に限られない。例えば、当該半導体層として、単結晶シリコン、多結晶シリコン、又は非晶質シリコン等の半導体を用いてもよく、例えば低温ポリシリコン(LTPS: Low Temperature Poly Silicon)を用いてもよい。

[0111]

又は、当該半導体層として、半導体として機能する遷移金属カルコゲナイドを用いてもよく、例えば、硫化モリブデン(代表的には MoS_2)、セレン化モリブデン(代表的には MoSe_2)、モリブデンテルル(代表的には MoTe_2)、硫化タングステン(代表的には WS_2)、セレン化タングステン(代表的には WSe_2)、タングステンテルル(代表的には WTe_2)、硫化ハフニウム(代表的には HfS_2)、セレン化ハフニウム(代表的には HfSe_2)、硫化ジルコニウム(代表的には ZrS_2)、セレン化ジルコニウム(代表的には ZrSe_2)などを用いてもよい。

[0112]

絶縁体250は、単層構造であってもよく、積層構造であってもよい。

[0113]

絶縁体250として、例えば、酸化シリコン、酸化窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シ

リコンなどを用いることができる。特に、酸化シリコン及び酸化窒化シリコンは熱に対し安定であるため好ましい。この場合、絶縁体250は、少なくとも酸素と、シリコンと、を有する。

[0114]

絶縁体250中の水、及び水素等の不純物濃度は低減されていることが好ましい。

[0115]

なお、絶縁体250と金属酸化物230との間に、酸素に対するバリア性を有する絶縁体を設けてもよい。当該絶縁体は、絶縁体250の下面、及び金属酸化物230の凹部に接して設けられる。当該絶縁体が酸素に対するバリア性を有することで、絶縁体250に含まれる酸素をチャネル形成領域に供給し、絶縁体250に含まれる酸素がチャネル形成領域に過剰に供給されるのを抑制できる。よって、熱処理などを行った際に、金属酸化物230から酸素が脱離するのを抑制し、金属酸化物230における酸素欠損の形成を抑制できる。したがって、トランジスタ31の電気特性を良好にし、信頼性を向上させることができる。

[0116]

上記絶縁体として、アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体を用いることが好ましい。当該絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）、ハフニウムおよびシリコンを含む酸化物（ハフニウムシリケート）などを用いることができる。上記絶縁体として、酸化アルミニウムを用いることがより好ましい。この場合、上記絶縁体は、少なくとも酸素と、アルミニウムと、を有する。なお、上記絶縁体は、例えば絶縁体250よりも酸素を透過しにくければよい。また、上記絶縁体として、例えば絶縁体250よりも酸素を透過しにくい材料を用いればよい。また、上記絶縁体として、例えば、酸化マグネシウム、酸化ガリウム、ガリウム亜鉛酸化物、又はインジウムガリウム亜鉛酸化物などを用いてもよい。

[0117]

図3Bでは、導電体260を単層とする構成を示している。なお、導電体260は、積層構造であってもよい。例えば、導電体260は、第1の導電体と、第1の導電体上の第2の導電体と、を有することが好ましい。具体的には、導電体260の第1の導電体は、導電体260の第2の導電体の底面及び側面を包むように配置されることが好ましい。

[0118]

導電体260の第1の導電体は、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子、又は銅原子等の不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。又は、酸素（例えば、酸素原子、及び酸素分子等の少なくとも一）の拡散を抑制する機能を有する導電性材料を用いることが好ましい。又は、酸化しにくい導電性材料を用いることが好ましい。

[0119]

導電体260の第1の導電体が酸素の拡散を抑制する機能を有することで、例えば絶縁体250に含まれる酸素により導電体260の第2の導電体が酸化して、導電率が低下することを抑制できる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、チタン、窒化チタン、タンタル、窒化タンタル、ルテニウム、又は酸化ルテニウム等を用いることが好ましい。

[0120]

また、導電体260は、導電性が高い導電体を用いることが好ましい。例えば、導電体260の第2の導電体は、タングステン、銅、又はアルミニウムを主成分とする導電性材料を用いることが

できる。また、導電体260の第2の導電体は積層構造としてもよく、例えば、チタン、又は窒化チタンと上記導電性材料との積層構造としてもよい。

[0121]

なお、絶縁体250と導電体260との間に、水素に対するバリア性を有する絶縁体を設けてもよい。当該構成にすることで、導電体260に含まれる水素等の不純物が、絶縁体250及び金属酸化物230に拡散するのを抑制できる。上記絶縁体として、例えば、窒化シリコンを用いるとよい。この場合、上記絶縁体は、少なくとも窒素と、シリコンと、を有する。また、上記絶縁体として、例えば、酸化アルミニウム、酸化マグネシウム、酸化ハフニウム、酸化ガリウム、インジウムガリウム亜鉛酸化物、又は窒化酸化シリコンなどを用いてもよい。なお、上記絶縁体は、例えば絶縁体250よりも水素を透過しにくければよい。また、上記絶縁体として、例えば絶縁体250よりも水素を透過しにくい材料を用いればよい。

[0122]

また、絶縁体250と導電体260との間に、酸素に対するバリア性を有する絶縁体を設けてもよい。当該構成にすることで、絶縁体250に含まれる酸素が、導電体260へ拡散するのを抑制できる。つまり、金属酸化物230へ供給する酸素量の減少を抑制できる。また、絶縁体250に含まれる酸素による導電体260の酸化を抑制できる。上記絶縁体は、アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体を用いるとよい。上記絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）、ハフニウムおよびシリコンを含む酸化物（ハフニウムシリケート）などを用いることができる。上記絶縁体として、酸化ハフニウムを用いることがより好ましい。この場合、上記絶縁体は、少なくとも酸素と、ハフニウムと、を有する。酸化ハフニウムは水素に対するバリア性を有するため、好適である。

[0123]

金属酸化物230、絶縁体250、及び導電体260を、絶縁体272、導電体242、及び絶縁体270に設けられた開口内に形成するには、原子層堆積（ALD: Atomic Layer Deposition）法を用いて成膜することが好ましい。ALD法は、プリカーサ及びリアクタントの反応を熱エネルギーのみで行う熱ALD（Thermal ALD）法、プラズマ励起されたリアクタントを用いるPEALD（Plasma Enhanced ALD）法等がある。PEALD法では、プラズマを利用することで、より低温での成膜が可能となり好ましい場合がある。

[0124]

ALD法は、一層ずつ原子を堆積することができるため、極薄の成膜が可能、アスペクト比の高い構造への成膜が可能、ピンホール等の欠陥の少ない成膜が可能、被覆性に優れた成膜が可能、及び低温での成膜が可能等の効果がある。よって、金属酸化物230、絶縁体250、及び導電体260を、絶縁体272、導電体242、及び絶縁体270に設けられた開口部の側面に被覆性良く成膜することができる。

[0125]

なお、ALD法で用いるプリカーサには例えば炭素を含むものがある。このため、ALD法により設けられた膜は、他の成膜法により設けられた膜と比較して、炭素等の不純物を多く含む場合がある。なお、不純物の定量は、二次イオン質量分析法（SIMS: Secondary Ion

Mass Spectrometry)、X線光電子分光法(XPS:X-ray Photoelectron Spectroscopy)、又はオージェ電子分光法(AES:Auger Electron Spectroscopy)を用いて行うことができる。

[0126]

なお、ALD法を用いて金属酸化物を成膜した後、マイクロ波処理を行うことが好ましく、酸素を含む雰囲気でマイクロ波処理を行うことがより好ましい。

[0127]

酸素を含む雰囲気でマイクロ波処理を行うことで、マイクロ波、RFなどの高周波を用いて酸素ガスをプラズマ化し、当該酸素プラズマを金属酸化物に作用させることができる。このとき、マイクロ波、RFなどの高周波を金属酸化物に照射することもできる。つまり、金属酸化物に、マイクロ波、RFなどの高周波、酸素プラズマなどを作用させることができる。

[0128]

高周波、酸素プラズマなどの作用により、金属酸化物の不純物濃度を低減できる。例えば、金属酸化物中の水素を水分子として脱離することができる。また、例えば、金属酸化物中の炭素をオキシカーボン(COおよび/またはCO₂)として脱離することができる。また、酸素プラズマで発生した酸素ラジカルを金属酸化物に供給することで、金属酸化物中の酸素欠損、V_OHなどを低減できる。

[0129]

また、高周波、酸素プラズマなどの作用により、金属酸化物中の原子に、マイクロ波処理の処理温度以上のエネルギーが与えられる。よって、金属酸化物中の金属原子および酸素原子の再配列が促進され、金属酸化物の結晶性を向上させることができる。なお、金属酸化物の、不純物濃度および欠陥(酸素欠損、及びV_OH等)の量を低減するほど、金属酸化物の結晶性は向上しやすい傾向がある。つまり、酸素を含む雰囲気でのマイクロ波処理は、金属酸化物中の不純物濃度及び欠陥量の低減、並びに金属酸化物の結晶性向上をもたらす。

[0130]

金属酸化物230と接する絶縁体270として、過剰酸素を含む絶縁体を用いることが好ましい。絶縁体270は、例えば、酸化シリコン、酸化窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンなどのシリコンを含む酸化物を用いることが好ましい。特に、酸化シリコン及び酸化窒化シリコンは、熱的に安定であるため好ましい。また、酸化シリコン、酸化窒化シリコン、空孔を有する酸化シリコンなどの材料は、過剰酸素を含む領域を容易に形成するため好ましい。金属酸化物230の近傍に過剰酸素を含む絶縁体を設けて熱処理を行うことで、当該絶縁体から金属酸化物230に酸素を供給し、酸素欠損及びV_OHを低減できる。特に、絶縁体270と接する領域の金属酸化物230はチャンネル形成領域として機能するため、当該構成にすることで、チャンネル形成領域中の酸素欠損及びV_OHを低減し、チャンネル形成領域をi型又は実質的にi型とすることができる。

[0131]

また、絶縁体270中の水、及び水素等の不純物濃度は低減されていることが好ましい。例えば、絶縁体270は、酸化シリコン、又は酸化窒化シリコン等のシリコンを含む酸化物を有することが好ましい。

[0132]

導電体 2 4 1 及び導電体 2 4 2 として、それぞれ、酸化しにくい導電性材料、又は酸素の拡散を抑制する機能を有する導電性材料を用いることが好ましい。当該導電性材料として、例えば、窒素を含む導電性材料、及び酸素を含む導電性材料が挙げられる。当該導電性材料を用いることで、導電体 2 4 1 及び導電体 2 4 2 の導電率が低下することを抑制できる。導電体 2 4 1 及び導電体 2 4 2 として金属及び窒素を含む導電性材料を用いる場合、導電体 2 4 1 及び導電体 2 4 2 のそれぞれは、少なくとも金属と、窒素と、を有する。

[0133]

導電体 2 4 1 及び導電体 2 4 2 としては、それぞれ、例えば、タンタルを含む窒化物、チタンを含む窒化物、モリブデンを含む窒化物、タングステンを含む窒化物、タンタル及びアルミニウムを含む窒化物、チタン及びアルミニウムを含む窒化物等を用いることが好ましい。本発明の一態様においては、タンタルを含む窒化物が特に好ましい。また、例えば、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、又はランタンとニッケルを含む酸化物等を用いてもよい。これらの材料は、酸化しにくい導電性材料、又は、酸素を吸収しても導電性を維持する材料であるため、好ましい。

[0134]

図 3 B では、導電体 2 4 1 及び導電体 2 4 2 を単層とする構成を示している。なお、導電体 2 4 1 及び導電体 2 4 2 のそれぞれは、積層構造であってもよい。例えば、導電体 2 4 1 及び導電体 2 4 2 のそれぞれは、第 1 の導電体と第 2 の導電体の 2 層構造を有してもよい。このとき、絶縁体 2 7 0 に接する第 1 の導電体として、酸化しにくい導電性材料、又は酸素の拡散を抑制する機能を有する導電性材料を用いることが好ましい。これにより、導電体 2 4 1 及び導電体 2 4 2 の導電率が低下することを抑制できる。

[0135]

また、導電体 2 4 1 及び導電体 2 4 2 の第 2 の導電体は、導電体 2 4 1 及び導電体 2 4 2 の第 1 の導電体よりも導電性が高いことが好ましい。また、導電体 2 4 1 及び導電体 2 4 2 の第 2 の導電体の膜厚を、導電体 2 4 1 及び導電体 2 4 2 の第 1 の導電体の膜厚より大きくすることが好ましい。

[0136]

例えば、導電体 2 4 1 及び導電体 2 4 2 の第 1 の導電体として、窒化タンタル又は窒化チタンを用い、導電体 2 4 1 及び導電体 2 4 2 の第 2 の導電体として、タングステンをを用いることができる。

[0137]

なお、絶縁体 2 7 0 に含まれる酸素による導電体 2 4 1 の酸化を抑制するために、導電体 2 4 1 と絶縁体 2 7 0 との間に、酸素に対するバリア性を有する絶縁体を設けることが好ましい。また、絶縁体 2 7 0 に含まれる酸素による導電体 2 4 2 の酸化を抑制するために、導電体 2 4 2 と絶縁体 2 7 0 との間に、酸素に対するバリア性を有する絶縁体を設けることが好ましい。当該構成にすることで、絶縁体 2 7 0 に含まれる酸素が、導電体 2 4 1 及び導電体 2 4 2 へ拡散するのを抑制できる。上記絶縁体として、アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体を用いるとよい。上記絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）、ハフニウムおよびシリコンを含む酸化物（ハフニウムシリケート）などを用いることができる。

[0138]

図 3 B に示すように、絶縁体 2 7 2 の上方において、導電体 2 6 0 の端部は、金属酸化物 2 3 0

及び絶縁体 250 のそれぞれの端部と一致する。なお、導電体 260 の端部は、金属酸化物 230 及び絶縁体 250 のそれぞれの端部と一致しないことがある。例えば、導電体 262 を形成する際、導電体 260 の一部が除去される場合である。このとき、図 4A に示すように、導電体 260 の端部は、導電体 262 の端部と一致する。

[0139]

図 3B では、導電体 241 が、絶縁体 270 が有する開口と重なる領域に凹部を有さない構成を示している。なお、本発明はこれに限られない。例えば、図 4B に示すように、導電体 241 は、上記開口と重なる領域に凹部を有してもよい。別言すると、導電体 241 は、上記開口と重なる領域の上面の一部が除去されてもよい。導電体 241 が上記開口と重なる領域に凹部を有することで、絶縁体 250 を介して金属酸化物 230 と導電体 260 とが重なる領域（対向する領域）の端部を、導電体 241 により近づけることができる。又は、導電体 260 が、金属酸化物 230 及び絶縁体 250 を介して導電体 241 と重なる領域（対向する領域）を有することができる。別言すると、導電体 241 と導電体 242 の間の領域において、絶縁体 250 を介して金属酸化物 230 と導電体 260 とが重ならない領域（対向しない領域）、所謂 L o f f 領域を狭くする又は設けない構成とすることができる。したがって、トランジスタ 31 の周波数特性を向上させることができる。これにより、メモリセル 20 の書き込み速度及び読み出し速度の向上、半導体装置 10 の動作速度の向上などを図ることができる。よって、動作速度が速い半導体装置を提供できる。

[0140]

又は、例えば、図 4C に示すように、導電体 241 は、絶縁体 270 が有する開口と重なり、絶縁体 210 に達する開口を有してもよい。別言すると、導電体 241 は、絶縁体 270 が有する開口と重なる領域が除去されてもよい。導電体 241 が絶縁体 210 に達する開口を有することで、絶縁体 250 を介して金属酸化物 230 と導電体 260 とが重なる領域（対向する領域）の端部を、導電体 241 により近づけることができる。又は、導電体 260 が、金属酸化物 230 及び絶縁体 250 を介して導電体 241 と重なる領域（対向する領域）を有することができる。したがって、トランジスタ 31 の周波数特性を向上させることができる。

[0141]

図 3B では、金属酸化物 230 が絶縁体 272 の上面と接する領域を有する構成を示している。なお、本発明はこれに限られない。例えば、図 4D に示すように、絶縁体 272 を設けなくてもよい。このとき、金属酸化物 230 は、導電体 242 の上面の一部、及び導電体 242 が有する開口の側面のそれぞれと接する領域を有する。当該構成にすることで、金属酸化物 230 と導電体 242 との接触面積を増大させ、トランジスタ 31 のオン電流を増大させることができる。よって、オン電流が大きい半導体装置を提供できる。

[0142]

図 3A 乃至図 3D に示すトランジスタ 31 では、金属酸化物 230 の上面が、導電体 242 の上面よりも上方に位置している。なお、本発明はこれに限られない。図 3A 乃至図 3D に示すトランジスタ 31 とは異なる構成のトランジスタを図 5A 乃至図 5E に示す。

[0143]

図 5A 乃至図 5E は、トランジスタ 31 の別の構成例を示す上面図及び断面図である。図 5A、図 5D、及び図 5E はトランジスタ 31 の上面図である。図 5B は、図 5A に A1 - A2 の一点鎖線で示す部位の断面図であり、図 5C は、図 5A に A3 - A4 の一点鎖線で示す部位の断面図であ

る。図 5 D は、図 5 B に B 1－B 2 の一点鎖線で示す部位の上面図であり、図 5 E は、図 5 B に B 3－B 4 の一点鎖線で示す部位の上面図である。なお、図 5 A、図 5 D、及び図 5 E の上面図では、図の明瞭化のために一部の要素を省いている。

[0144]

図 5 A 乃至図 5 E に示すトランジスタ 3 1 は、図 3 A 乃至図 3 D に示すトランジスタ 3 1 の変形例である。図 5 A 乃至図 5 E に示すトランジスタ 3 1 は、金属酸化物 2 3 0、絶縁体 2 5 0、及び導電体 2 6 0 の形状が、図 3 A 乃至図 3 D に示すトランジスタ 3 1 と異なる。以降では、図 3 A 乃至図 3 D に示すトランジスタ 3 1 と異なる部分について主に説明し、重複する部分については説明を省略する。

[0145]

図 5 A 乃至図 5 E に示すように、絶縁体 2 7 2 及び導電体 2 4 2 のそれぞれが有する開口の径は、絶縁体 2 7 0 が有する開口の径よりも小さい。

[0146]

金属酸化物 2 3 0 は、絶縁体 2 7 0 が有する開口の側面及び底面と接して設けられる。このとき、金属酸化物 2 3 0 の上面は、絶縁体 2 7 0 の上面と一致し、導電体 2 4 2 の下面と接する領域を有する。

[0147]

絶縁体 2 5 0 は、絶縁体 2 7 2 及び導電体 2 4 2 のそれぞれが有する開口内、並びに金属酸化物 2 3 0 の凹部に設けられる。絶縁体 2 5 0 は、絶縁体 2 7 2 が有する開口の側面、及び導電体 2 4 2 が有する開口の側面のそれぞれに接する領域を有する。絶縁体 2 5 0 の上面は、導電体 2 6 0 及び絶縁体 2 7 2 のそれぞれの上面と一致する。

[0148]

導電体 2 6 0 は、絶縁体 2 5 0 の凹部を埋め込むように設けられる。導電体 2 6 0 は導電体 2 6 2 の下面と接する領域を有する。

[0149]

図 5 A 乃至図 5 E に示す構造は、絶縁体 2 7 0 が有する開口に金属酸化物 2 3 0 を形成し、絶縁体 2 7 2 が有する開口、導電体 2 4 2 が有する開口、及び金属酸化物 2 3 0 が有する凹部に、絶縁体 2 5 0 となる絶縁膜、及び導電体 2 6 0 となる導電膜を形成し、絶縁体 2 7 2 の上面が露出するまで平坦化を行うことで、作製できる。例えば、平坦化処理には化学的機械研磨（CMP：Chemical Mechanical Polishing）法などを用いることができる。

[0150]

図 5 A 乃至図 5 E に示す構成では、金属酸化物 2 3 0 は、絶縁体 2 7 2 の下方に設けられるため、絶縁体 2 7 2 上の導電体 2 6 2 と接しない。よって、金属酸化物 2 3 0 をトランジスタ 3 1 のチャネル形成領域として機能させることができる。また、図 3 A 乃至図 3 D に示すトランジスタ 3 1 と比較して、図 5 A 乃至図 5 E に示すトランジスタ 3 1 では、フォトリソグラフィ法を用いずに絶縁体 2 5 0 及び導電体 2 6 0 を形成できるため、半導体装置の微細化又は高集積化を図ることができる。また、絶縁体 2 7 4 を設けなくてもよいため、半導体装置の作製工程における工程数の低減を図ることができる。

[0151]

図 5 B では、導電体 2 4 1 が、絶縁体 2 7 0 が有する開口と重なる領域に凹部を有さない構成を

示している。なお、本発明はこれに限られない。例えば、図 6 A に示すように、導電体 2 4 1 は、上記開口と重なる領域に凹部を有してもよい。別言すると、導電体 2 4 1 は、上記開口と重なる領域の上面の一部が除去されてもよい。又は、例えば、図 6 B に示すように、導電体 2 4 1 は、上記開口と重なり、絶縁体 2 1 0 に達する開口を有してもよい。別言すると、導電体 2 4 1 は、絶縁体 2 7 0 が有する開口と重なる領域が除去されてもよい。導電体 2 4 1 が、絶縁体 2 7 0 が有する開口と重なる領域に凹部又は開口を有することで、絶縁体 2 5 0 を介して金属酸化物 2 3 0 と導電体 2 6 0 とが重なる領域（対向する領域）の端部を、導電体 2 4 1 により近づけることができる。したがって、トランジスタ 3 1 の周波数特性を向上させることができる。

[0 1 5 2]

図 5 B では、金属酸化物 2 3 0 が凹部を有する構成を示している。なお、本発明はこれに限られない。例えば、図 6 C に示すように、金属酸化物 2 3 0 は、導電体 2 4 1 に達する開口を有してもよい。別言すると、金属酸化物 2 3 0 は、中空部が設けられた円筒形状を有してもよい。当該構成にすることで、絶縁体 2 5 0 を介して金属酸化物 2 3 0 と導電体 2 6 0 とが重なる領域（対向する領域）の端部を、導電体 2 4 1 により近づけることができる。

[0 1 5 3]

なお、金属酸化物 2 3 0 が導電体 2 4 1 に達する開口を有する場合においても、図 6 A 及び図 6 B と同様に、導電体 2 4 1 は、絶縁体 2 7 0 が有する開口と重なる領域に凹部又は開口を有してもよい。当該構成にすることで、導電体 2 4 1 と金属酸化物 2 3 0 との接触面積を増大させ、トランジスタ 3 1 のオン電流を増大させることができる。

[0 1 5 4]

以上が、トランジスタ 3 1 についての説明である。

[0 1 5 5]

[容量 4 1]

図 7 A 及び図 7 B は、メモリセル 2 0 が有する容量 4 1 の構成例を示す上面図及び断面図である。図 7 A は容量 4 1 の上面図である。図 7 B は、図 7 A に A 1 - A 2 の一点鎖線で示す部位の断面図である。なお、図 7 A の上面図では、図の明瞭化のために一部の要素を省いている。

[0 1 5 6]

容量 4 1 は、導電体 2 6 2 B と、導電体 2 6 2 B 上の絶縁体 2 6 3 と、絶縁体 2 6 3 上の導電体 2 6 4 と、を有する。

[0 1 5 7]

導電体 2 6 2 B は容量 4 1 の一方の電極として機能する領域を有し、導電体 2 6 4 は容量 4 1 の他方の電極として機能する領域を有し、絶縁体 2 6 3 は容量 4 1 の誘電体として機能する領域を有する。容量 4 1 は、MIM (Metal-Insulator-Metal) 容量を構成している。

[0 1 5 8]

図 7 A に示すように、導電体 2 6 4 は、導電体 2 6 2 B の X 方向の端部よりも外側の領域において延在して設けられる。また、図 7 A 及び図 7 B に示すように、導電体 2 6 2 B の Y 方向の端部は、絶縁体 2 6 3 及び導電体 2 6 4 のそれぞれの Y 方向の端部と一致する。

[0 1 5 9]

導電体 2 6 2 B 及び導電体 2 6 4 は、それぞれ、単層構造であってもよく、積層構造であってもよい。

[0160]

導電体262B及び導電体264のそれぞれは、第1の導電体と、第1の導電体上の第2の導電体と、を有してもよい。なお、導電体262B及び導電体264の一方又は両方において、積層順はこの逆であってもよい。例えば、導電体262B及び導電体264の第1の導電体は、導電体241及び導電体242の第1の導電体に用いることができる導電体を用いればよい。また、導電体262B及び導電体264の第2の導電体は、導電体241及び導電体242の第2の導電体に用いることができる導電体を用いればよい。具体的には、導電体262B及び導電体264の第1の導電体として窒化チタンを用い、導電体262B及び導電体264の第2の導電体としてタングステンを用いることができる。

[0161]

絶縁体263には、高誘電率（high-k）材料（高い比誘電率の材料）を用いることが好ましい。絶縁体263は、ALD法、又はCVD法等の被覆性の良好な成膜方法を用いて成膜することが好ましい。

[0162]

高誘電率（high-k）材料としては、例えば、アルミニウム、ハフニウム、ジルコニウム、及びガリウム等から選ばれた金属元素を一種以上含む、酸化物、酸化窒化物、窒化酸化物、及び窒化物が挙げられる。また、上記の、酸化物、酸化窒化物、窒化酸化物、又は窒化物に、シリコンを含有させてもよい。また、上記の材料からなる絶縁体を積層して用いることもできる。

[0163]

高誘電率（high-k）材料として、具体的には、酸化アルミニウム、酸化ハフニウム、酸化ジルコニウム、アルミニウム及びハフニウムを有する酸化物、アルミニウム及びハフニウムを有する酸化窒化物、シリコン及びハフニウムを有する酸化物、シリコン及びハフニウムを有する酸化窒化物、シリコン及びジルコニウムを有する酸化物、シリコン及びジルコニウムを有する酸化窒化物、ハフニウム及びジルコニウムを有する酸化物、並びに、ハフニウム及びジルコニウムを有する酸化窒化物が挙げられる。このようなhigh-k材料からなる絶縁体を用いることで、リーク電流を抑制できる程度に絶縁体263を厚くし、且つ容量41の静電容量を十分確保することができる。

[0164]

また、上記の材料からなる絶縁体を積層して用いることが好ましく、高誘電率（high-k）材料と、当該高誘電率（high-k）材料より絶縁耐力が大きい材料との積層構造を用いることが好ましい。例えば、絶縁体263として、酸化ジルコニウム、酸化アルミニウム、酸化ジルコニウムの順番で積層された絶縁体を用いることができる。また、例えば、酸化ジルコニウム、酸化アルミニウム、酸化ジルコニウム、酸化アルミニウムの順番で積層された絶縁体を用いることができる。また、例えば、ハフニウムジルコニウム酸化物、酸化アルミニウム、ハフニウムジルコニウム酸化物、酸化アルミニウムの順番で積層された絶縁膜を用いることができる。酸化アルミニウムのような、比較的絶縁耐力が大きい絶縁体を積層して用いることで、絶縁耐力が向上し、容量41の静電破壊を抑制することができる。

[0165]

図7A及び図7Bでは、導電体262BのY方向の端部が、絶縁体263及び導電体264のそれぞれのY方向の端部と一致する構成を示している。なお、本発明はこれに限られない。

[0166]

図 7 C 及び図 7 D は、容量 4 1 の別の構成例を示す上面図及び断面図である。図 7 C は容量 4 1 の上面図である。図 7 D は、図 7 C に A 1 - A 2 の一点鎖線で示す部位の断面図である。図 7 C 及び図 7 D に示すように、導電体 2 6 2 B の Y 方向の端部は、導電体 2 6 4 及び絶縁体 2 6 3 のそれぞれの Y 方向の端部よりも外側に位置してもよい。なお、図 7 D では、導電体 2 6 4 の Y 方向の端部が絶縁体 2 6 3 の Y 方向の端部と一致する構成を示しているが、本発明はこれに限られない。導電体 2 6 4 の Y 方向の端部は、絶縁体 2 6 3 の Y 方向の端部よりも内側に位置してもよい。

[0167]

図 7 E 及び図 7 F は、容量 4 1 の別の構成例を示す上面図及び断面図である。図 7 E は容量 4 1 の上面図である。図 7 F は、図 7 E に A 1 - A 2 の一点鎖線で示す部位の断面図である。図 7 F に示すように、絶縁体 2 6 3 は、導電体 2 6 2 B の上面及び側面を覆うように設けられてもよい。図 7 F では、絶縁体 2 6 3 が、導電体 2 6 2 B の側面及び上面と接する構成を示している。当該構成にすることで、絶縁体 2 6 3 によって、導電体 2 6 4 と導電体 2 6 2 B を十分に離隔することができる。

[0168]

なお、図 7 F では、導電体 2 6 4 の Y 方向の端部が、導電体 2 6 2 B の Y 方向の端部と一致する構成を示している。なお、本発明はこれに限られない。

[0169]

図 7 G 及び図 7 H は、容量 4 1 の別の構成例を示す上面図及び断面図である。図 7 G は容量 4 1 の上面図である。図 7 H は、図 7 G に A 1 - A 2 の一点鎖線で示す部位の断面図である。図 7 H に示すように、導電体 2 6 4 の Y 方向の端部は、導電体 2 6 2 B の Y 方向の端部よりも外側に位置してもよい。この場合、上面視において、導電体 2 6 2 B の外周が、導電体 2 6 4 の外周より内側に位置する。

[0170]

又は、図 7 D と同様に、導電体 2 6 4 の Y 方向の端部は、導電体 2 6 2 B の Y 方向の端部よりも内側に位置してもよい。

[0171]

図 1 B では、容量 4 1 の形状がプレーナ型である構成を示している。別言すると、容量 4 1 が絶縁体 2 7 4 上に設けられる構成を示している。なお、本発明はこれに限られない。

[0172]

図 8 に、図 1 B に示す半導体装置 1 0 とは異なる半導体装置の断面図を示す。なお、図 8 に示す半導体装置の上面図は、図 1 A を参酌できる。図 8 に示す半導体装置は、容量 4 1 の構成及び形状が図 1 B に示す半導体装置 1 0 と異なる。また、図 8 に示す半導体装置は、導電体 2 6 2 B を有さない点で、図 1 B に示す半導体装置 1 0 と異なる。

[0173]

例えば、図 8 に示すように、容量 4 1 の一部が絶縁体 2 7 4、絶縁体 2 7 2、及び絶縁体 2 7 0 に設けられた開口内に位置してもよい。具体的には、容量 4 1 は、導電体 2 6 1 と、導電体 2 6 1 上の絶縁体 2 6 3 と、絶縁体 2 6 3 上の導電体 2 6 4 とを有する。また、導電体 2 6 1 は、上記開口の側面及び底面と接する領域と、導電体 2 6 0 B の上面と接する領域と、絶縁体 2 7 4 の上面の一部と接する領域と、を有する。また、導電体 2 6 4 は、導電体 2 6 1 及び絶縁体 2 6 3 を介して上記開口に埋め込まれる領域を有する。当該構成にすることで、容量 4 1 の単位面積当たりの静電

容量を大きくすることができる。

[0174]

以上が、容量41についての説明である。

[0175]

上述したように、半導体装置10はメモリセル20を有する記憶装置として用いることができる。メモリセル20をマトリクス状に配置することで、メモリセルアレイを構成することができる。メモリセルアレイの一例として、複数のメモリセル20がX方向に配置されたメモリセルアレイを図9Aに示す。

[0176]

図9Aは、メモリセルアレイの上面図である。図9Aに示すメモリセルアレイは複数のメモリセル20を有し、複数のメモリセル20はX方向に配置される。なお、図9Aには、3つのメモリセル20を含む領域を示している。上述したように、導電体241B、導電体262A、及び導電体264は、X方向に延在して設けられる。このとき、導電体241B、導電体262A、及び導電体264のそれぞれは、複数のメモリセル20により共有される。当該構成にすることで、半導体装置の微細化又は高集積化を図ることができる。

[0177]

さらに、図9Aに示すメモリセルアレイをY方向に複数配置することで、メモリセル20がマトリクス状に配置されたメモリセルアレイを構成することができる。図9Bは、メモリセル20がX方向及びY方向のそれぞれに複数配置されたメモリセルアレイの上面図である。なお、図9Bには、6つのメモリセル20を含む領域を示している。

[0178]

<半導体装置の変形例1>

以下では、先の<半導体装置の構成例1>で示したものと異なる半導体装置の一例について説明する。なお、以下に示す半導体装置において、先の<半導体装置の構成例1>に示した半導体装置を構成する構造と同機能を有する構造には、同符号を付記する。また、以降では、先の<半導体装置の構成例1>に示した半導体装置と異なる部分について主に説明し、重複する部分については説明を省略する。

[0179]

[変形例1-1]

以下では、2つのメモリセルを有する半導体装置の構成例について、図10A及び図10Bを用いて説明する。

[0180]

図10A及び図10Bはそれぞれ、半導体装置10Aの構成例を示す上面図及び断面図である。図10Aは、半導体装置10Aの上面図である。また、図10Bは、図10AにA1-A2の一点鎖線で示す部位の断面図である。なお、図10Aの上面図では、図の明瞭化のために一部の要素を省いている。

[0181]

半導体装置10Aは、メモリセル20aと、メモリセル20bと、導電体262Aaと、導電体262Abと、導電体290Aと、導電体290Baと、導電体290Bbと、を有する。また、メモリセル20aは、メモリセル20bと同一層に設けられる。

[0182]

メモリセル20aは、トランジスタ31Aaと、トランジスタ31Baと、容量41aと、導電体261aと、を有する。トランジスタ31Aaは、導電体241Aaと、導電体242Aと、導電体260Aaと、を有する。トランジスタ31Baは、導電体241Baと、導電体242Baと、導電体260Baと、を有する。容量41aは、導電体262Baと、絶縁体263aと、導電体264aと、を有する。

[0183]

メモリセル20bは、トランジスタ31Abと、トランジスタ31Bbと、容量41bと、導電体261bと、を有する。トランジスタ31Abは、導電体241Abと、導電体242Aと、導電体260Abと、を有する。トランジスタ31Bbは、導電体241Bbと、導電体242Bbと、導電体260Bbと、を有する。容量41bは、導電体262Bbと、絶縁体263bと、導電体264bと、を有する。

[0184]

導電体290Aは、導電体242Aと電氣的に接続される。

[0185]

半導体装置10Aは、図10Bに示すように、C1-C2の一点鎖線を対称軸とした線対称の構成となっている。別言すると、メモリセル20bは、導電体290Aを対称軸として、メモリセル20aに対して線対称の位置に配置される、ということができる。よって、メモリセル20a及びメモリセル20bをまとめて、一対のメモリセルと呼ぶことができる。

[0186]

導電体242Aは、トランジスタ31Aaのソース電極及びドレイン電極の他方として機能する領域と、トランジスタ31Abのソース電極及びドレイン電極の他方として機能する領域とを有する。

[0187]

トランジスタ31Aa、トランジスタ31Ba、トランジスタ31Ab、及びトランジスタ31Bbのそれぞれの構成例の詳細については、先の「トランジスタ31」の記載を参酌できる。また、容量41a及び容量41bのそれぞれの構成例の詳細については、先の「容量41」の記載を参酌できる。

[0188]

半導体装置10Aは記憶装置として用いることができる。半導体装置10Aを記憶装置として用いる場合の回路図を図10Cに示す。半導体装置10Aは、メモリセル20a及びメモリセル20bを有する記憶装置と言い換えることができる。メモリセル20aは、トランジスタ31Aa、トランジスタ31Ba、及び容量41aを有する。メモリセル20bは、トランジスタ31Ab、トランジスタ31Bb、及び容量41bを有する。

[0189]

トランジスタ31Aaにおいて、ゲート電極は配線WWLaと電氣的に接続され、ソース電極及びドレイン電極の一方は容量41aの一方の電極と電氣的に接続され、ソース電極及びドレイン電極の他方は配線WBLと電氣的に接続される。トランジスタ31Baにおいて、ゲート電極は容量41aの一方の電極と電氣的に接続され、ソース電極及びドレイン電極の一方は配線SLaと電氣的に接続され、ソース電極及びドレイン電極の他方は配線RBLaと電氣的に接続される。容量4

1 a の他方の電極は、配線 C L a に接続される。

[0190]

トランジスタ 3 1 A b において、ゲート電極は配線 W W L b と電氣的に接続され、ソース電極及びドレイン電極の一方は容量 4 1 b の一方の電極と電氣的に接続され、ソース電極及びドレイン電極の他方は配線 W B L と電氣的に接続される。トランジスタ 3 1 B b において、ゲート電極は容量 4 1 b の一方の電極と電氣的に接続され、ソース電極及びドレイン電極の一方は配線 S L b と電氣的に接続され、ソース電極及びドレイン電極の他方は配線 R B L b と電氣的に接続される。容量 4 1 b の他方の電極は、配線 C L b に接続される。

[0191]

配線 W W L a は導電体 2 6 2 A a と対応し、配線 W B L は導電体 2 9 0 A と対応し、配線 S L a は導電体 2 4 1 B a と対応し、配線 R B L a は導電体 2 9 0 B a と対応し、配線 C L a は導電体 2 6 4 a と対応する。配線 W W L b は導電体 2 6 2 A b と対応し、配線 S L b は導電体 2 4 1 B b と対応し、配線 R B L b は導電体 2 9 0 B b と対応し、配線 C L b は導電体 2 6 4 b と対応する。

[0192]

配線 W B L は、メモリセル 2 0 a とメモリセル 2 0 b により共有される。つまり、書き込みビット線は、メモリセル 2 0 a とメモリセル 2 0 b により共有される。別言すると、導電体 2 9 0 A は、メモリセル 2 0 a の書き込みビット線としての機能と、メモリセル 2 0 b の書き込みビット線としての機能とを有する。

[0193]

以上のように、メモリセル 2 0 a と、メモリセル 2 0 b と、配線との接続を上述の構成とすることで、微細化又は高集積化が可能な半導体装置を提供できる。

[0194]

上述したように、半導体装置 1 0 A は一対のメモリセルを有する記憶装置として用いることができる。一対のメモリセルをマトリクス状に配置することで、メモリセルアレイを構成することができる。図 1 1 A に、一対のメモリセルを X 方向に複数配置したメモリセルアレイの一例を示す。なお、図 1 1 A には、一対のメモリセルを 3 つ含む領域を示している。

[0195]

図 1 1 A において、二点鎖線で囲む領域に含まれるメモリセル 2 0 a 及びメモリセル 2 0 b で、一対のメモリセルが構成される。図 1 1 A では、一対のメモリセルにおいて、導電体 2 9 0 B a 、導電体 2 9 0 A 、及び導電体 2 9 0 B b が、同一直線上に配列する構成を示している。具体的には、一対のメモリセルにおいて、導電体 2 9 0 B a 、導電体 2 9 0 A 、及び導電体 2 9 0 B b を結ぶ直線が、Y 方向と平行である構成を示している。つまり、一対のメモリセルにおいて、導電体 2 9 0 B a 、導電体 2 9 0 A 、及び導電体 2 9 0 B b を結ぶ直線が、X 方向と直交する構成を示している。なお、本発明はこれに限られない。

[0196]

図 1 1 B は、メモリセルアレイの別の一例を示す上面図である。なお、図 1 1 B に A 1 - A 2 の一点鎖線で示す部位の断面図は、図 1 0 B を参照できる。

[0197]

図 1 1 B において、二点鎖線で囲む領域に含まれるメモリセル 2 0 a 及びメモリセル 2 0 b で、一対のメモリセルが構成される。また、図 1 1 A に示す一対のメモリセルと同様に、導電体 2 9 0

Aは、メモリセル20aとメモリセル20bとで共有される。

[0198]

図11Bに示すように、メモリセル20aと電氣的に接続される導電体290A及び導電体290Baを結ぶ直線はX方向に傾いている。なお、導電体262Aa、導電体264a、及び導電体241BaはX方向に延在して設けられるため、上記直線は、導電体262Aa、導電体264a、及び導電体241Baのそれぞれが延在する方向と直交していない。

[0199]

同様に、メモリセル20bと電氣的に接続される導電体290A及び導電体290Bbを結ぶ直線はX方向に傾いている。なお、導電体262Ab、導電体264b、及び導電体241BbはX方向に延在して設けられるため、上記直線は、導電体262Ab、導電体264b、及び導電体241Bbのそれぞれが延在する方向と直交していない。

[0200]

上記構成にすることで、メモリセルアレイのメモリ密度をより高めることができる場合がある。

[0201]

なお、図11Bでは、一対のメモリセルが、A3-A4の一点鎖線を対称軸とした線対称の構成となっているが、本発明はこれに限られない。一対のメモリセルが線対称でない構成となってもよい。

[0202]

図11Cは、メモリセルアレイの別の一例を示す上面図である。なお、図11CにA1-A2の一点鎖線で示す部位の断面図は、図10Bを参照できる。

[0203]

図11Cにおいて、二点鎖線で囲む領域に含まれるメモリセル20a及びメモリセル20bで、一対のメモリセルが構成される。また、図11Aに示す一対のメモリセルと同様に、導電体290Aは、メモリセル20aとメモリセル20bとで共有される。

[0204]

図11Cに示すように、一対のメモリセルにおいて、導電体290Aは、導電体290Ba及び導電体290Bbを結ぶ直線上に位置しなくてもよい。別言すると、導電体242AのY方向の延長線上に、導電体242Ba及び導電体242Bbが位置しなくてもよい。当該構成にすることで、導電体262Bの占有面積を大きくし、容量41の容量を大きくすることができる。また、メモリセルアレイの設計自由度を高めることができる。

[0205]

なお、図11Cに示す構成では、導電体290Ba及び導電体290Bbを設けずに、導電体242Ba及び導電体242BbをY方向に延在させて設けてもよい。このとき、導電体242Ba及び導電体242Bbはそれぞれ、配線RBLa及び配線RBLbとして機能する領域を有する。当該構成において、導電体242Baが延在する方向と、導電体241Baが延在する方向は直交し、導電体242Bbが延在する方向と、導電体241Bbが延在する方向は直交する。

[0206]

なお、図9Bと同様に、図11A乃至図11Cのいずれか一に示すメモリセルアレイをY方向に複数配置することで、メモリセルがマトリクス状に配置されたメモリセルアレイを構成してもよい。

[0207]

なお、図 9 Bと同様に、一对のメモリセルをY方向に複数配置する場合、メモリセル 2 0 a が有する導電体 2 4 2 B a は、当該メモリセル 2 0 a の A 1 側に隣接するメモリセル 2 0 b が有する導電体 2 4 2 B b を兼ねてもよい。また、メモリセル 2 0 a の導電体 2 4 2 B a と電氣的に接続する導電体 2 9 0 B a は、当該メモリセル 2 0 a の A 1 側に隣接するメモリセル 2 0 b の導電体 2 4 2 B b と電氣的に接続する導電体 2 9 0 B b を兼ねてもよい。当該構成にすることで、Y方向に隣接するメモリセル 2 0 a 及びメモリセル 2 0 b において、読み出しビット線が共有される。したがって、微細化又は高集積化が可能な半導体装置を提供できる。なお、メモリセル 2 0 b と当該メモリセル 2 0 b の A 2 側に隣接するメモリセル 2 0 a においても、読み出しビット線が共有されてもよい。

[0208]

[変形例 1-2]

以下では、2つのメモリセルを有する半導体装置の別の構成例について、図 1 2 A 及び図 1 2 B を用いて説明する。

[0209]

図 1 2 A 及び図 1 2 B はそれぞれ、半導体装置 1 0 B の構成例を示す上面図及び断面図である。図 1 2 A は、半導体装置 1 0 B の上面図である。また、図 1 2 B は、図 1 2 A に A 1 - A 2 の一点鎖線で示す部位の断面図である。なお、図 1 2 A の上面図では、図の明瞭化のために一部の要素を省いている。

[0210]

半導体装置 1 0 B は、メモリセル 2 0 c と、メモリセル 2 0 d と、導電体 2 6 2 A c と、導電体 2 6 2 A d と、導電体 2 9 0 A c と、導電体 2 9 0 A d と、導電体 2 9 0 B と、を有する。また、メモリセル 2 0 c は、メモリセル 2 0 d と同一層に設けられる。

[0211]

メモリセル 2 0 c は、トランジスタ 3 1 A c と、トランジスタ 3 1 B c と、容量 4 1 c と、導電体 2 6 1 c と、を有する。トランジスタ 3 1 A c は、導電体 2 4 1 A c と、導電体 2 4 2 A c と、導電体 2 6 0 A c と、を有する。トランジスタ 3 1 B c は、導電体 2 4 1 B c と、導電体 2 4 2 B と、導電体 2 6 0 B c と、を有する。容量 4 1 c は、導電体 2 6 2 B c と、絶縁体 2 6 3 c と、導電体 2 6 4 c と、を有する。

[0212]

メモリセル 2 0 d は、トランジスタ 3 1 A d と、トランジスタ 3 1 B d と、容量 4 1 d と、導電体 2 6 1 d と、を有する。トランジスタ 3 1 A d は、導電体 2 4 1 A d と、導電体 2 4 2 A d と、導電体 2 6 0 A d と、を有する。トランジスタ 3 1 B d は、導電体 2 4 1 B d と、導電体 2 4 2 B と、導電体 2 6 0 B d と、を有する。容量 4 1 d は、導電体 2 6 2 B d と、絶縁体 2 6 3 d と、導電体 2 6 4 d と、を有する。

[0213]

導電体 2 9 0 B は、導電体 2 4 2 B と電氣的に接続される。

[0214]

半導体装置 1 0 B は、図 1 2 B に示すように、C 1 - C 2 の一点鎖線を対称軸とした線対称の構成となっている。別言すると、メモリセル 2 0 d は、導電体 2 9 0 B を対称軸として、メモリセル 2 0 c に対して線対称の位置に配置される、ということができる。よって、メモリセル 2 0 c 及び

メモリセル 20d をまとめて、一対のメモリセルと呼ぶことができる。

[0215]

導電体 242B は、トランジスタ 31Ac のソース電極及びドレイン電極の他方として機能する領域と、トランジスタ 31Ad のソース電極及びドレイン電極の他方として機能する領域とを有する。

[0216]

トランジスタ 31Ac、トランジスタ 31Bc、トランジスタ 31Ad、及びトランジスタ 31Bd それぞれの構成例の詳細については、先の「トランジスタ 31」の記載を参酌できる。また、容量 41c 及び容量 41d それぞれの構成例の詳細については、先の「容量 41」の記載を参酌できる。

[0217]

半導体装置 10B は記憶装置として用いることができる。半導体装置 10B を記憶装置として用いる場合の回路図を図 12C に示す。半導体装置 10B は、メモリセル 20c 及びメモリセル 20d を有する記憶装置と言い換えることができる。メモリセル 20c は、トランジスタ 31Ac、トランジスタ 31Bc、及び容量 41c を有する。メモリセル 20d は、トランジスタ 31Ad、トランジスタ 31Bd、及び容量 41d を有する。

[0218]

トランジスタ 31Ac において、ゲート電極は配線 WWLc と電氣的に接続され、ソース電極及びドレイン電極の一方は容量 41c の一方の電極と電氣的に接続され、ソース電極及びドレイン電極の他方は配線 WBLc と電氣的に接続される。トランジスタ 31Bc において、ゲート電極は容量 41c の一方の電極と電氣的に接続され、ソース電極及びドレイン電極の一方は配線 SLc と電氣的に接続され、ソース電極及びドレイン電極の他方は配線 RBL と電氣的に接続される。容量 41c の他方の電極は、配線 CLc に接続される。

[0219]

トランジスタ 31Ad において、ゲート電極は配線 WWLd と電氣的に接続され、ソース電極及びドレイン電極の一方は容量 41d の一方の電極と電氣的に接続され、ソース電極及びドレイン電極の他方は配線 WBLd と電氣的に接続される。トランジスタ 31Bd において、ゲート電極は容量 41d の一方の電極と電氣的に接続され、ソース電極及びドレイン電極の一方は配線 SLd と電氣的に接続され、ソース電極及びドレイン電極の他方は配線 RBL と電氣的に接続される。容量 41d の他方の電極は、配線 CLd に接続される。

[0220]

配線 WWLc は導電体 262Ac と対応し、配線 WBLc は導電体 290Ac と対応し、配線 SLc は導電体 241Bc と対応し、配線 RBL は導電体 290B と対応し、配線 CLc は導電体 264c と対応する。配線 WWLd は導電体 262Ad と対応し、配線 WBLd は導電体 290Ad と対応し、配線 SLd は導電体 241Bd と対応し、配線 CLd は導電体 264d と対応する。

[0221]

配線 RBL は、メモリセル 20c とメモリセル 20d により共有される。つまり、読み出しビット線は、メモリセル 20c とメモリセル 20d により共有される。別言すると、導電体 290B は、メモリセル 20c の読み出しビット線としての機能と、メモリセル 20d の読み出しビット線としての機能とを有する。

[0222]

以上のように、メモリセル20cと、メモリセル20dと、配線との接続を上述の構成とすることで、微細化又は高集積化が可能な半導体装置を提供できる。

[0223]

上述したように、半導体装置10Bは一对のメモリセルを有する記憶装置として用いることができる。一对のメモリセルをマトリクス状に配置することで、メモリセルアレイを構成することができる。

[0224]

なお、図9Bと同様に、一对のメモリセルをY方向に複数配置する場合、メモリセル20cが有する導電体242Acは、当該メモリセル20cのA1側に隣接するメモリセル20dが有する導電体242Adを兼ねてもよい。また、メモリセル20cの導電体242Acと電氣的に接続する導電体290Acは、当該メモリセル20cのA1側に隣接するメモリセル20dの導電体242Adと電氣的に接続する導電体290Adを兼ねてもよい。当該構成にすることで、Y方向に隣接するメモリセル20c及びメモリセル20dにおいて、書き込みビット線が共有される。したがって、微細化又は高集積化が可能な半導体装置を提供できる。なお、メモリセル20dと当該メモリセル20dのA2側に隣接するメモリセル20cにおいても、書き込みビット線が共有されてもよい。

[0225]

[変形例1-3]

以下では、2つのメモリセルを有する半導体装置の別の構成例について、図13Aを用いて説明する。

[0226]

図13Aは、半導体装置10Cの断面図である。なお、半導体装置10Cの上面図は、図1Aを参照できる。

[0227]

半導体装置10Cは、メモリセル20eと、メモリセル20e上のメモリセル20fと、を有する。つまり、半導体装置10Cは、2つのメモリセルがZ方向に配置された構成を有する。別言すると、半導体装置10Cは、2つのメモリセルが積層された構成を有する。又は、半導体装置10Cは、メモリセルを含む層（記憶層ともいう）が2層積層された構成を有する。また、半導体装置10Cは、導電体290Aと、導電体290Bと、を有する。

[0228]

メモリセル20e及びメモリセル20fのそれぞれは、図1A及び図1Bに示すメモリセル20と同じ構成を有する。よって、メモリセル20e及びメモリセル20fのそれぞれの構成例の詳細については、先の<半導体装置の構成例1>の記載を参照できる。

[0229]

導電体290Aは、メモリセル20eが有する導電体242A、及びメモリセル20fが有する導電体242Aのそれぞれと電氣的に接続される。同様に、導電体290Bは、メモリセル20eが有する導電体242B、及びメモリセル20fが有する導電体242Bのそれぞれと電氣的に接続される。

[0230]

半導体装置 10C は記憶装置として用いることができる。半導体装置 10C を記憶装置として用いる場合の回路図を図 13B に示す。半導体装置 10C は、メモリセル 20e 及びメモリセル 20f を有する記憶装置と言い換えることができる。メモリセル 20e 及びメモリセル 20f のそれぞれは、トランジスタ 31A、トランジスタ 31B、及び容量 41 を有する。

[0231]

メモリセル 20e が有するトランジスタ 31A において、ゲート電極は配線 WWLe と電氣的に接続され、ソース電極及びドレイン電極の一方はメモリセル 20e が有する容量 41 の一方の電極と電氣的に接続され、ソース電極及びドレイン電極の他方は配線 WBL と電氣的に接続される。メモリセル 20e が有するトランジスタ 31B において、ゲート電極はメモリセル 20e が有する容量 41 の一方の電極と電氣的に接続され、ソース電極及びドレイン電極の一方は配線 SLe と電氣的に接続され、ソース電極及びドレイン電極の他方は配線 RBL と電氣的に接続される。メモリセル 20e が有する容量 41 の他方の電極は、配線 CL e に接続される。

[0232]

メモリセル 20f が有するトランジスタ 31A において、ゲート電極は配線 WWLf と電氣的に接続され、ソース電極及びドレイン電極の一方はメモリセル 20f が有する容量 41 の一方の電極と電氣的に接続され、ソース電極及びドレイン電極の他方は配線 WBL と電氣的に接続される。メモリセル 20f が有するトランジスタ 31B において、ゲート電極はメモリセル 20f が有する容量 41 の一方の電極と電氣的に接続され、ソース電極及びドレイン電極の一方は配線 SLf と電氣的に接続され、ソース電極及びドレイン電極の他方は配線 RBL と電氣的に接続される。メモリセル 20f が有する容量 41 の他方の電極は、配線 CL f に接続される。

[0233]

配線 WBL は導電体 290A と対応し、配線 RBL は導電体 290B と対応する。

[0234]

配線 WBL は、メモリセル 20e とメモリセル 20f により共有される。つまり、書き込みビット線は、メモリセル 20e とメモリセル 20f により共有される。別言すると、導電体 290A は、メモリセル 20e の書き込みビット線としての機能と、メモリセル 20f の書き込みビット線としての機能とを有する。

[0235]

配線 RBL は、メモリセル 20e とメモリセル 20f により共有される。つまり、読み出しビット線は、メモリセル 20e とメモリセル 20f により共有される。別言すると、導電体 290B は、メモリセル 20e の読み出しビット線としての機能と、メモリセル 20f の読み出しビット線としての機能とを有する。

[0236]

上記構成にすることで、メモリセルの占有面積を増やさずに、記憶装置の記憶容量を増やすことができる。よって、1 ビット当たりの占有面積が低減され、小型で記憶容量の大きな半導体装置を実現できる。

[0237]

なお、図 13A では、導電体 290A が、メモリセル 20e の有する導電体 242A の上面及びメモリセル 20f の有する導電体 242A の下面のそれぞれと接する構成を示している。また、導電体 290B が、メモリセル 20e の有する導電体 242B の上面及びメモリセル 20f の有する

導電体 2 4 2 B の下面のそれぞれと接する構成を示している。なお、本発明はこれに限られない。

[0 2 3 8]

例えば、メモリセル 2 0 e の有する導電体 2 4 2 A と、メモリセル 2 0 f の有する導電体 2 4 2 A とは、複数の導電体からなる構造体によって電氣的に接続されてもよい。具体的には、図 1 4 A に示すように、メモリセル 2 0 e の有する導電体 2 4 2 A と、メモリセル 2 0 f の有する導電体 2 4 2 A とは、絶縁体 2 7 0 が有する開口内に設けられた導電体、導電体 2 4 1 A 及び導電体 2 4 1 B と同一層に設けられた導電体、絶縁体 2 1 0 及び絶縁体 2 7 6 が有する開口内に設けられた導電体、導電体 2 6 2 A 及び導電体 2 6 2 B と同一層に設けられた導電体、並びに、絶縁体 2 7 4 及び絶縁体 2 7 2 が有する開口内に設けられた導電体からなる構造体を介して電氣的に接続されてもよい。メモリセル 2 0 e の有する導電体 2 4 2 B と、メモリセル 2 0 f の有する導電体 2 4 2 B との電氣的な接続についても同様である。

[0 2 3 9]

又は、例えば、メモリセル 2 0 e の有する導電体 2 4 2 A と、メモリセル 2 0 f の有する導電体 2 4 2 A とは、Z 方向に延在して設けられる導電体によって電氣的に接続されてもよい。同様に、メモリセル 2 0 e の有する導電体 2 4 2 B と、メモリセル 2 0 f の有する導電体 2 4 2 B とは、Z 方向に延在して設けられる導電体によって電氣的に接続されてもよい。具体的には、図 1 4 B に示すように、導電体 2 9 0 A は、Z 方向に延在して設けられ、導電体 2 4 2 A の上面及び側面と接する領域を有してもよい。また、導電体 2 9 0 B は、Z 方向に延在して設けられ、導電体 2 4 2 B の上面及び側面と接する領域を有してもよい。当該構成とすることで、導電体 2 4 2 A と導電体 2 9 0 A の間に、接続用の電極を別途設ける必要が無くなる。また、導電体 2 4 2 B と導電体 2 9 0 B の間に、接続用の電極を別途設ける必要が無くなる。以上により、メモリセルの集積度が高い半導体装置を提供できる。

[0 2 4 0]

なお、本明細書等では、導電体 2 9 0 A と導電体 2 4 2 A とのコンタクトを、トップサイドコンタクトと呼ぶことがある。また、導電体 2 9 0 A は、導電体 2 4 2 A の下面の一部と接してもよい。当該構成とすることで、導電体 2 9 0 A と導電体 2 4 2 A が接する領域の面積をさらに大きくすることができる。なお、導電体 2 9 0 B と導電体 2 4 2 B とのコンタクトについても同様である。

[0 2 4 1]

また、図 1 3 A では、図 1 B に示すメモリセル 2 0 を 2 層積層する構成を示している。なお、下方に位置するメモリセルと上方に位置するメモリセルとで書き込みビット線及び読み出しビット線を共有する構成であれば、積層するメモリセルは特に限定されない。例えば、半導体装置 1 0 A が有する一対のメモリセルを 2 層積層してもよいし、半導体装置 1 0 B が有する一対のメモリセルを 2 層積層してもよい。又は、複数のメモリセルが X 方向及び Y 方向の少なくとも一方に配置されたメモリセルアレイを 2 層積層してもよい。このとき、記憶層はメモリセルアレイを含む層と言える。

[0 2 4 2]

また、図 1 3 A では、記憶層を 2 層積層する構成を示しているが、本発明はこれに限られない。記憶層を 3 層以上積層してもよい。記憶層の積層数を増やすことで、メモリセルの占有面積を増やさずに、記憶装置の記憶容量を増やすことができる。よって、1 ビット当たりの占有面積が低減され、小型で記憶容量の大きな半導体装置を実現できる。

[0 2 4 3]

<半導体装置の構成例 2>

以下では、先の<半導体装置の構成例 1>で示したものと異なる半導体装置の一例について説明する。なお、以下に示す半導体装置において、先の<半導体装置の構成例 1>に示した半導体装置を構成する構造と同機能を有する構造には、同符号を付記する。また、以降では、先の<半導体装置の構成例 1>に示した半導体装置と異なる部分について主に説明し、重複する部分については説明を省略する。

[0244]

図 15 A 及び図 15 B はそれぞれ、本発明の一態様の半導体装置の別の構成例を示す上面図及び断面図である。図 15 A は半導体装置 10 D の上面図である。また、図 15 B は半導体装置 10 D の断面図であり、図 15 A に A1-A2 の一点鎖線で示す部位の断面図でもある。なお、図 15 A の上面図では、図の明瞭化のために一部の要素を省いている。

[0245]

半導体装置 10 D は、基板（図示せず）上の絶縁体 210 と、絶縁体 210 上のメモリセル 21 と、導電体 262 A と、導電体 290 A と、導電体 290 B と、絶縁体 210 上の絶縁体 212 と、絶縁体 212 上の絶縁体 263 と、絶縁体 263 上の絶縁体 270 と、絶縁体 270 上の絶縁体 272 と、絶縁体 272 上の絶縁体 274 と、絶縁体 274 上の絶縁体 276 と、を有する。メモリセル 21 は、導電体 262 A、導電体 290 A、及び導電体 290 B のそれぞれと電氣的に接続される。

[0246]

メモリセル 21 は、容量 42 と、容量 42 上のトランジスタ 31 A と、トランジスタ 31 B と、導電体 261 と、導電体 262 B と、を有する。なお、トランジスタ 31 A は、トランジスタ 31 B と同一層に設けられる。つまり、メモリセル 21 は、図 1 B に示すメモリセル 20 において、容量 41 が容量 42 に置き換えられた構成を有すると言える。

[0247]

トランジスタ 31 A 及びトランジスタ 31 B のそれぞれの構成例の詳細については、先の「トランジスタ 31」の記載を参酌できる。

[0248]

容量 42 は、導電体 264 と、導電体 264 上の絶縁体 263 と、絶縁体 263 上の導電体 241 A と、を有する。導電体 241 A は容量 42 の一方の電極として機能する領域を有し、導電体 264 は容量 42 の他方の電極として機能する領域を有し、絶縁体 263 は容量 42 の誘電体として機能する領域を有する。

[0249]

図 1 A 及び図 1 B に示す構成と同様に、半導体装置 10 D では、導電体 241 B、導電体 262 A、及び導電体 264 は X 方向に延在して設けられる（図 15 A）。また、導電体 290 A 及び導電体 290 B は Z 方向に延在して設けられる（図 15 B）。当該構成にすることで、導電体 262 A が延在する方向と、導電体 290 A が延在する方向とが直交する。また、導電体 241 B が延在する方向と、導電体 290 B が延在する方向とが直交する。

[0250]

図 15 B に示す半導体装置 10 D では、容量 42 の形状をプレーナ型としたが、本発明はこれに限られない。例えば、容量 42 の形状はシリンダ型であってもよい。

[0251]

図15Bでは、導電体261及び導電体262Bを設ける構成を示している。なお、本発明はこれに限られない。例えば、図16Aに示すように、導電体261を設けずに、絶縁体274、絶縁体272、及び絶縁体270に設けられた開口内に導電体262Bの一部を設ける構成としてもよい。このとき、導電体262Bは導電体261が有する機能を兼ねることができる。当該構成にすることで、半導体装置の作製工程における工程数の低減を図ることができる。なお、図16Aに示す半導体装置の上面図は、図15Aを参酌できる。また、図15Bに示す半導体装置10Dの構成は、図16Bに示す半導体装置10Dが有する導電体262Bを、導電体261と、導電体261上の導電体262Bとからなる構造体に置き換えた構成であると言える。

[0252]

図15Bでは、絶縁体212を設ける構成を示している。なお、本発明はこれに限られない。例えば、図16Bに示すように、絶縁体212を設けない構成としてもよい。このとき、絶縁体263は、導電体264の上面及び側面、並びに、絶縁体210の上面と接する領域を有する。図16Bに示す構成では絶縁体212を設けないため、半導体装置の作製工程における工程数の低減を図ることができる。なお、図16Bに示す半導体装置の上面図は、図15Aを参酌できる。

[0253]

また、図16Bに示す構成では、導電体241A及び導電体241Bが絶縁体263上に設けられる。つまり、導電体241Bは、導電体241Aと同一層に設けられると言える。この時、導電体241Bの上面から導電体242Bの下面までの最短距離は、導電体241Aの上面から導電体242Aの下面までの最短距離より大きくなる。つまり、トランジスタ31Bのチャネル長は、トランジスタ31Aのチャネル長よりも長くなる。これにより、読み出し用トランジスタとして機能するトランジスタ31Bのチャネル容量（ゲート電極とチャネル形成領域との間の容量）が大きくなり、容量42の容量を小さくすることができることがある。よって、容量42の占有面積を小さくし、メモリセルの微細化又は高集積化を図ることができる。

[0254]

また、チャネル長を長くすることでトランジスタの V_{th} のばらつきを低減できる。よって、読み出し用トランジスタとして機能するトランジスタ31Bのチャネル長が長くなることで、読み出し精度が高いメモリセルを実現できる。なお、トランジスタ31A及びトランジスタ31Bは縦型構造のトランジスタであり、チャネル長の短縮が比較的容易である。書き込み用トランジスタとして機能するトランジスタ31Aのチャネル長を短くし、読み出し用トランジスタとして機能するトランジスタ31Bのチャネル長を長くすることで、書き込み速度が速く、読み出し精度が高いメモリセルを実現できる。

[0255]

なお、図16Bに示す構成では、トランジスタ31Bのチャネル長はトランジスタ31Aのチャネル長より長いため、トランジスタ31A及びトランジスタ31Bのそれぞれのチャネル幅を調整して半導体装置10Dを作製するとよい。例えば、読み出し用トランジスタとして機能するトランジスタ31Bにおいて、金属酸化物230、絶縁体250、及び導電体260が設けられる開口の径を大きくすることで、読み出し精度が高く、読み出し速度が速いメモリセルを実現できる。この時、トランジスタ31Bのチャネル幅は、トランジスタ31Aのチャネル幅より大きい構成となる。別言すると、導電体242Bに設けられる開口の径は、導電体242Aに設けられる開口の径より

大きい構成となる。

[0256]

半導体装置10Dは記憶装置として用いることができる。半導体装置10Dを記憶装置として用いる場合の回路図を図15Cに示す。半導体装置10Dは、メモリセル21を有する記憶装置と言い換えることができる。メモリセル21は、トランジスタ31A、トランジスタ31B、及び容量42を有する。

[0257]

図15Cに示すように、トランジスタ31Aにおいて、ゲート電極は配線WWLと電氣的に接続され、ソース電極及びドレイン電極の一方は容量42の一方の電極と電氣的に接続され、ソース電極及びドレイン電極の他方は配線WBLと電氣的に接続される。トランジスタ31Bにおいて、ゲート電極は容量42の一方の電極と電氣的に接続され、ソース電極及びドレイン電極の一方は配線SLと電氣的に接続され、ソース電極及びドレイン電極の他方は配線RBLと電氣的に接続される。容量42の他方の電極は、配線CLと電氣的に接続される。

[0258]

また、トランジスタ31A及びトランジスタ31Bを容量42の上方に設けることで、トランジスタ31A及びトランジスタ31Bは、容量42の作製時の熱履歴を受けない。したがって、トランジスタ31A及びトランジスタ31Bの、しきい値電圧の変動、及び寄生抵抗の増大などのトランジスタの電気特性の劣化、並びに当該電気特性の劣化に伴う電気特性のばらつきの増大などを抑制できる。よって、良好な電気特性を有する半導体装置を提供できる。また、トランジスタの電気特性のばらつきが少ない半導体装置を提供できる。また、信頼性が高い半導体装置を提供できる。

[0259]

上述したように、半導体装置10Dはメモリセル21を有する記憶装置として用いることができる。メモリセル21をマトリクス状に配置することで、メモリセルアレイを構成することができる。例えば、図9Aに示す構成と同様に、複数のメモリセル21がX方向に配置されたメモリセルアレイを構成してもよいし、図9Bに示す構成と同様に、メモリセル21がX方向及びY方向のそれぞれに複数配置されたメモリセルアレイを構成してもよい。また、メモリセル21又はメモリセルアレイを含む層が複数積層されてもよい。

[0260]

また、先の〔変形例1-1〕で説明したように、隣接する2つのメモリセル21が書き込みビット線を共有してもよいし、先の〔変形例1-2〕で説明したように、隣接する2つのメモリセル21が読み出しビット線を共有してもよいし、先の〔変形例1-3〕で説明したように、積層された2つのメモリセル21が書き込みビット線及び読み出しビット線を共有してもよい。

[0261]

<半導体装置の構成例3>

図13Aでは、同じ構成を有するメモリセルを積層する構成を示しているが、本発明はこれに限られない。上方に位置するメモリセルが有するトランジスタの構成が、下方に位置するメモリセルが有するトランジスタの構成と同じであれば、異なる構成のメモリセルを積層してもよい。

[0262]

図17Aは、半導体装置10Eの断面図である。

[0263]

半導体装置 10E は、メモリセル 20 と、メモリセル 20 上のメモリセル 21 と、導電体 290A と、導電体 290B と、を有する。

[0264]

メモリセル 20 は、図 1A 及び図 1B に示すメモリセル 20 と同じ構成を有する。よって、メモリセル 20 の構成例の詳細については、先の<半導体装置の構成例 1>の記載を参酌できる。また、メモリセル 21 は、図 15A 及び図 15B に示すメモリセル 21 と同じ構成を有する。よって、メモリセル 21 の構成例の詳細については、先の<半導体装置の構成例 2>の記載を参酌できる。

[0265]

つまり、半導体装置 10E は、異なる構成のメモリセルが Z 方向に配置された構成を有する。別言すると、半導体装置 10E は、異なる構成のメモリセルが積層された構成を有する。

[0266]

さらに、導電体 264 は、メモリセル 20 が有する容量 41 の他方の電極と、メモリセル 21 が有する容量 42 の他方の電極と、の機能を兼ねる。当該構成にすることで、記憶装置の作製工程を削減し、生産性の向上を図ることができる。

[0267]

半導体装置 10E は記憶装置として用いることができる。半導体装置 10E を記憶装置として用いる場合の回路図を図 17B に示す。半導体装置 10E は、メモリセル 20 及びメモリセル 21 を有する記憶装置と言い換えることができる。

[0268]

図 17B に示すように、配線 CL は、メモリセル 20 とメモリセル 21 により共有される。つまり、容量線は、メモリセル 20 とメモリセル 21 により共有される。別言すると、導電体 264 は、メモリセル 20 の容量線としての機能と、メモリセル 21 の容量線としての機能とを有する。

[0269]

さらに、配線 WBL 及び配線 RBL のそれぞれは、メモリセル 20 とメモリセル 21 により共有される。つまり、書き込みビット線及び読み出しビット線のそれぞれは、メモリセル 20 とメモリセル 21 により共有される。別言すると、導電体 290A は、メモリセル 20 の書き込みビット線としての機能と、メモリセル 21 の書き込みビット線としての機能とを有する。また、導電体 290B は、メモリセル 20 の読み出しビット線としての機能と、メモリセル 21 の読み出しビット線としての機能とを有する。

[0270]

上記構成にすることで、メモリセルの占有面積を増やさずに、記憶装置の記憶容量を増やすことができる。よって、1 ビット当たりの占有面積が低減され、小型で記憶容量の大きな半導体装置を実現できる。

[0271]

上述したように、半導体装置 10E は配線 CL が共有された一対のメモリセルを有する記憶装置として用いることができる。当該一対のメモリセルを X 方向及び Y 方向の少なくとも一方に複数配置することで、メモリセルアレイを構成することができる。

[0272]

<半導体装置の構成例 4>

以下では、上述した半導体装置とは異なる半導体装置の一例について説明する。なお、以下に示

す半導体装置において、上述した半導体装置を構成する構造と同機能を有する構造には、同符号を付記する。また、以降では、上述した半導体装置と異なる部分について主に説明し、重複する部分については説明を省略する。

[0273]

図18A及び図18Bはそれぞれ、本発明の一態様の半導体装置の別の構成例を示す上面図及び断面図である。図18Aは半導体装置10Fの上面図である。また、図18Bは半導体装置10Fの断面図であり、図18AにA1-A2の一点鎖線で示す部位の断面図でもある。なお、図18Aの上面図では、図の明瞭化のために一部の要素を省いている。

[0274]

半導体装置10Fは、基板（図示せず）上の絶縁体210と、絶縁体210上のメモリセル22と、導電体290Aと、導電体290Bと、絶縁体210上の絶縁体212と、絶縁体212上の絶縁体263と、絶縁体263上の絶縁体270と、絶縁体270上の絶縁体272と、絶縁体272上の絶縁体276と、を有する。メモリセル22は、導電体290A及び導電体290Bのそれぞれと電氣的に接続される。

[0275]

メモリセル22は、容量42と、容量42上のトランジスタ32Aと、トランジスタ32Bと、導電体261と、を有する。なお、トランジスタ32Aは、トランジスタ32Bと同一層に設けられる。つまり、メモリセル22は、図15Bに示すメモリセル21において、トランジスタ31A及びトランジスタ31Bがそれぞれトランジスタ32A及びトランジスタ32Bに置き換えられた構成を有すると言える。

[0276]

トランジスタ32Aは、導電体241Aと、導電体241A上の導電体262Aと、導電体262A上の導電体242Aと、を有する。導電体241Aはトランジスタ32Aのソース電極及びドレイン電極の一方として機能する領域を有し、導電体242Aはトランジスタ32Aのソース電極及びドレイン電極の他方として機能する領域を有し、導電体262Aはトランジスタ32Aのゲート電極として機能する領域を有する。

[0277]

トランジスタ32Bは、導電体241Bと、導電体241B上の導電体262Bと、導電体262B上の導電体242Bと、を有する。導電体241Bはトランジスタ32Bのソース電極及びドレイン電極の一方として機能する領域を有し、導電体242Bはトランジスタ32Bのソース電極及びドレイン電極の他方として機能する領域を有し、導電体262Bはトランジスタ32Bのゲート電極として機能する領域を有する。

[0278]

上述したように、トランジスタ32Aは、トランジスタ32Bと同一層に設けられる。つまり、導電体241Aは導電体241Bと同一層に設けられ、導電体262Aは導電体262Bと同一層に設けられ、導電体242Aは導電体242Bと同一層に設けられる。具体的には、導電体241A及び導電体241Bは絶縁体263上に設けられ、導電体262A及び導電体262Bは絶縁体270上に設けられ、導電体242A及び導電体242Bは絶縁体272上に設けられる。

[0279]

容量42の構成例の詳細については、先の＜半導体装置の構成例2＞の記載を参酌できる。

[0280]

導電体241Aは、導電体261と電氣的に接続し、導電体261は導電体262Bと電氣的に接続している。つまり、導電体261は、導電体262Bと導電体241Aとを電氣的に接続する機能を有する。また、導電体290Aは導電体242Aと電氣的に接続し、導電体290Bは導電体242Bと電氣的に接続している。

[0281]

図1A及び図1Bに示す構成と同様に、半導体装置10Fでは、導電体241B、導電体262A、及び導電体264はX方向に延在して設けられる(図18A)。また、導電体290A及び導電体290BはZ方向に延在して設けられる(図18B)。当該構成にすることで、導電体262Aが延在する方向と、導電体290Aが延在する方向とが直交する。また、導電体241Bが延在する方向と、導電体290Bが延在する方向とが直交する。

[0282]

図18Bでは、導電体261及び導電体262Bを設ける構成を示している。なお、本発明はこれに限られない。例えば、図19に示すように、導電体262Bの一部を絶縁体270が有する開口内に設けることで、導電体261を設けない構成としてもよい。このとき、導電体262Bは導電体261が有する機能を兼ねることができる。当該構成にすることで、半導体装置の作製工程における工程数の低減を図ることができる。

[0283]

半導体装置10Fは記憶装置として用いることができる。半導体装置10Fを記憶装置として用いる場合の回路図を図18Cに示す。半導体装置10Fは、メモリセル22を有する記憶装置と言い換えることができる。メモリセル22は、トランジスタ32A、トランジスタ32B、及び容量42を有する。

[0284]

図18Cに示すように、トランジスタ32Aにおいて、ゲート電極は配線WWLと電氣的に接続され、ソース電極及びドレイン電極の一方は容量42の一方の電極と電氣的に接続され、ソース電極及びドレイン電極の他方は配線WBLと電氣的に接続される。トランジスタ32Bにおいて、ゲート電極は容量42の一方の電極と電氣的に接続され、ソース電極及びドレイン電極の一方は配線SLと電氣的に接続され、ソース電極及びドレイン電極の他方は配線RBLと電氣的に接続される。容量42の他方の電極は、配線CLに接続される。

[0285]

[トランジスタ32]

図20A乃至図20Dは、メモリセル22が有するトランジスタの構成例を示す上面図及び断面図である。図20Aはトランジスタ32の上面図である。図20Bは、図20AにA1-A2の一点鎖線で示す部位の断面図であり、図20Cは、図20AにA3-A4の一点鎖線で示す部位の断面図である。図20Dは、図20BにB1-B2の一点鎖線で示す部位の上面図である。なお、図20A及び図20Dの上面図では、図の明瞭化のために一部の要素を省いている。

[0286]

トランジスタ32は、絶縁体263上の導電体241及び絶縁体270と、導電体241上の絶縁体250及び金属酸化物230と、金属酸化物230上の絶縁体275と、絶縁体270上の導電体262及び絶縁体272と、絶縁体272、絶縁体250、金属酸化物230、及び絶縁体2

75上の導電体242と、を有する。

[0287]

導電体241はトランジスタ32のソース電極及びドレイン電極の一方として機能する領域を有し、導電体242はトランジスタ32のソース電極及びドレイン電極の他方として機能する領域を有し、導電体262はトランジスタ32のゲート電極として機能する領域を有する。金属酸化物230は、チャンネル形成領域として機能する領域を有する。絶縁体250は、トランジスタ32のゲート絶縁体として機能する領域を有する。

[0288]

絶縁体272、導電体262、及び絶縁体270には導電体241に達する開口が設けられる。また、当該開口は、上面視において導電体241と重なる領域を有する。また、当該開口内に、絶縁体250、金属酸化物230、及び絶縁体275が配置される。なお、当該開口は、絶縁体272が有する開口と、導電体262が有する開口と、絶縁体270が有する開口とを含むと言える。また、導電体262は、上面視において導電体241と重なる開口を有すると言える。

[0289]

絶縁体250は、絶縁体272、導電体262、及び絶縁体270に設けられる開口の底面の一部及び側面に接して設けられる。別言すると、絶縁体250は、導電体262が有する開口の側面及び導電体241の上面の一部のそれぞれと接する領域を有する。また、絶縁体250は、中空部が設けられた円筒形状を有すると言える。

[0290]

金属酸化物230は、絶縁体250を介して、絶縁体272、導電体262、及び絶縁体270に設けられる開口内に設けられる。金属酸化物230は、導電体241及び導電体242と接する領域と、絶縁体250を介して導電体262と重なる領域と、を有する。別言すると、金属酸化物230は、導電体241及び導電体242と接する領域と、絶縁体250を介して導電体262と対向する領域と、を有する。また、金属酸化物230は、凹部を有する。なお、絶縁体272、導電体262、及び絶縁体270に設けられる開口の径が小さい場合、金属酸化物230は凹部を有さない場合がある。又は、金属酸化物230は、径が小さい凹部を有する場合がある。

[0291]

絶縁体275は、金属酸化物230の凹部を埋め込むように設けられる。なお、金属酸化物230が凹部を有さない場合、絶縁体275を設けなくてもよい。また、金属酸化物230が径の小さい凹部を有する場合、絶縁体275に代えて空隙を有してもよい。このとき、当該空隙は、金属酸化物230と導電体242との間に設けられる。当該空隙は、例えば空気、窒素、酸素、二酸化炭素、及び第18族元素の中から選ばれるいずれか一または複数を有する。

[0292]

上記構成において、トランジスタ32のチャンネル長は、絶縁体272、導電体262、及び絶縁体270に設けられる開口の高さ（深さ）となる。したがって、トランジスタ32のチャンネル長は、当該開口の高さ（深さ）によって調整できる。なお、導電体241が当該開口と重なる領域に凹部を有さない場合、トランジスタ32のチャンネル長は、断面視における、導電体241の上面から導電体242の下面までの最短距離とみなすことができる。つまり、当該開口の高さ（深さ）を調整するには、導電体241と重なる領域の絶縁体270の膜厚、導電体262の膜厚、及び導電体262と重なる領域の絶縁体272の膜厚を調整するとよい。例えば、絶縁体270及び絶縁体27

2の膜厚を薄くすることで、チャネル長の短いトランジスタ32を作製できる。

[0293]

また、上記構成において、トランジスタ32のチャネル幅は、上面視における、絶縁体250と金属酸化物230が接する領域の長さであり、上面視における金属酸化物230の輪郭（外周）の長さでもある。つまり、トランジスタ32のチャネル幅は、絶縁体270に設ける開口の上面視における大きさ（径ともいう）によって調整できる。例えば、当該開口の径を大きくすることで、チャネル幅の大きいトランジスタ32を作製できる。

[0294]

トランジスタ32は、チャネル形成領域をゲート電極で取り囲む構造を有する。したがって、トランジスタ32は、GAA（Gate-All-Around）構造のトランジスタと言える。

[0295]

なお、図20Dでは、導電体262が有する開口の上面形状が、円形状を有する構成を示しているが、本発明はこれに限られない。例えば、導電体262が有する開口の上面形状は、楕円形状、多角形状、又は、角が丸みを帯びている多角形状であってもよい。

[0296]

図20B及び図20Cに示すように、金属酸化物230の上面は、絶縁体272、絶縁体250、及び絶縁体275のそれぞれの上面と一致する。なお、本発明はこれに限られない。例えば、図21に示すように、絶縁体250が絶縁体272の上面の一部と接し、金属酸化物230が絶縁体250の上面と接する構成としてもよい。このとき、絶縁体250は、導電体242と接しない。当該構成にすることで、金属酸化物230と導電体242との接触面積を増大させ、トランジスタ32のオン電流を増大させることができる。なお、絶縁体272の上方において、金属酸化物230の端部は、絶縁体250の端部と一致することが好ましい。

[0297]

導電体242は、少なくとも金属酸化物230と接する領域を有する。図20B及び図20Cでは、導電体242は、絶縁体272、絶縁体250、金属酸化物230、及び絶縁体275のそれぞれの上面と接する領域を有する。なお、本発明はこれに限られない。例えば、図21に示すように、導電体242は、絶縁体275と重なる領域において、金属酸化物230の側面と接する領域を有してもよい。当該構成にすることで、金属酸化物230と導電体242との接触面積を増大させ、トランジスタ31のオン電流を増大させることができる。

[0298]

図20B及び図20Cでは、導電体241が、絶縁体270が有する開口と重なる領域に凹部を有さない構成を示している。なお、当該開口と重なる領域において、導電体241と金属酸化物230とが接する構成を有するのであれば、導電体241の形状は特に限定されない。例えば、図6Aと同様に、導電体241は、上記開口と重なる領域に凹部を有してもよい。別言すると、導電体241は、上記開口と重なる領域の上面の一部が除去されてもよい。

[0299]

以上が、トランジスタ32についての説明である。

[0300]

図16Bに示す構成と同様に、半導体装置10Fは、絶縁体212を設けない構成としてもよい。このとき、絶縁体263は、導電体264の上面及び側面、並びに、絶縁体210の上面と接する

領域を有する。したがって、半導体装置の作製工程における工程数の低減を図ることができる。

[0301]

絶縁体212を設けない構成では、導電体241A及び導電体241Bが絶縁体263上に設けられる。つまり、導電体241Bは、導電体241Aと同一層に設けられると言える。この時、絶縁体272、導電体262B、及び絶縁体270に設けられる開口の高さ（深さ）は、絶縁体272、導電体262A、及び絶縁体270に設けられる開口の高さ（深さ）よりも大きく（深く）なる。つまり、トランジスタ32Bのチャネル長はトランジスタ32Aのチャネル長よりも長くなる。したがって、容量42の占有面積を小さくし、メモリセルの微細化又は高集積化を図ることができる。また、読み出し精度が高いメモリセルを実現できる。また、書き込み速度が速く、読み出し精度が高いメモリセルを実現できる。

[0302]

なお、絶縁体212を設けない構成では、トランジスタ32Bのチャネル長はトランジスタ32Aのチャネル長より長いため、トランジスタ32A及びトランジスタ32Bのそれぞれのチャネル幅を調整して半導体装置10Fを作製するとよい。例えば、読み出し用トランジスタとして機能するトランジスタ32Bにおいて、金属酸化物230、及び絶縁体250が設けられる開口の径を大きくすることで、読み出し精度が高く、読み出し速度が速いメモリセルを実現できる。この時、トランジスタ32Bのチャネル幅は、トランジスタ32Aのチャネル幅より大きい構成となる。別言すると、導電体262Bが有する開口の径は、導電体262Aが有する開口の径より大きい構成となる。

[0303]

上述したように、半導体装置10Fはメモリセル22を有する記憶装置として用いることができる。メモリセル22をマトリクス状に配置することで、メモリセルアレイを構成することができる。例えば、図9Aに示す構成と同様に、複数のメモリセル22がX方向に配置されたメモリセルアレイを構成してもよいし、図9Bに示す構成と同様に、メモリセル22がX方向及びY方向のそれぞれに複数配置されたメモリセルアレイを構成してもよい。また、メモリセル22又はメモリセルアレイを含む層が複数積層されてもよい。

[0304]

また、先の〔変形例1-1〕で説明したように、隣接する2つのメモリセル22が書き込みビット線を共有してもよいし、先の〔変形例1-2〕で説明したように、隣接する2つのメモリセル22が読み出しビット線を共有してもよいし、先の〔変形例1-3〕で説明したように、積層された2つのメモリセル22が書き込みビット線及び読み出しビット線を共有してもよい。

[0305]

<半導体装置の構成例5>

以下では、上述した半導体装置とは異なる半導体装置の一例について説明する。なお、以下に示す半導体装置において、上述した半導体装置を構成する構造と同機能を有する構造には、同符号を付記する。また、以降では、上述した半導体装置と異なる部分について主に説明し、重複する部分については説明を省略する。

[0306]

図22は、本発明の一態様の半導体装置の構成例を示す断面図である。図22に示す半導体装置は、図1Bに示す構成の下に、例えばトランジスタ300を有する層が設けられる例を示している。

トランジスタ 300 は、例えば絶縁体 210 よりも上層に形成されたメモリセルの駆動回路に設けることができる。なお、図 22 における絶縁体 210 よりも上層の構成は、図 1B と同様のため、詳細な説明は省略する。

[0307]

図 22 では、トランジスタ 300 を例示している。トランジスタ 300 は、基板 311 上に設けられ、ゲートとして機能する導電体 316 と、ゲート絶縁体として機能する絶縁体 315 と、基板 311 の一部を含む半導体領域 313 と、ソース領域又はドレイン領域として機能する低抵抗領域 314a 及び低抵抗領域 314b と、を有する。トランジスタ 300 は、p チャネル型のトランジスタ又は n チャネル型のトランジスタのいずれでもよい。基板 311 としては、例えば単結晶シリコン基板を用いることができる。

[0308]

ここで、図 22 に示すトランジスタ 300 はチャネルが形成される半導体領域 313（基板 311 の一部）が凸形状を有する。また、半導体領域 313 の側面及び上面を、絶縁体 315 を介して、導電体 316 が覆うように設けられている。なお、導電体 316 は仕事関数を調整する材料を用いてもよい。このようなトランジスタ 300 は半導体基板の凸部を利用していることから FIN 型トランジスタとも呼ばれる。なお、凸部の上部に接して、凸部を形成するためのマスクとして機能する絶縁体を有していてもよい。また、ここでは半導体基板の一部を加工して凸部を形成する場合を示したが、SOI（Silicon on Insulator）基板を加工して凸形状を有する半導体膜を形成してもよい。

[0309]

なお、図 22 に示すトランジスタ 300 は一例であり、その構造に限定されず、回路構成又は駆動方法に応じて適切なトランジスタを用いることができる。

[0310]

各構造体の間には、層間膜、配線、及びプラグ等が設けられた配線層が設けられていてもよい。また、配線層は、設計に応じて複数層設けることができる。また、本明細書等において、配線と、配線と電氣的に接続するプラグとが一体物であってもよい。すなわち、導電体の一部が配線として機能する場合、及び導電体の一部がプラグとして機能する場合もある。

[0311]

例えば、トランジスタ 300 上には、層間膜として、絶縁体 320、絶縁体 322、絶縁体 324、及び絶縁体 326 が順に積層して設けられている。また、絶縁体 320 及び絶縁体 322 には導電体 328 等が埋め込まれている。また、絶縁体 324 及び絶縁体 326 には導電体 330 等が埋め込まれている。なお、導電体 328 及び導電体 330 はコンタクトプラグ又は配線として機能する。

[0312]

また、層間膜として機能する絶縁体は、その下方の凹凸形状を被覆する平坦化膜として機能してもよい。例えば、絶縁体 322 の上面は、平坦性を高めるために例えば CMP 法を用いた平坦化処理により平坦化されていてもよい。

[0313]

本実施の形態は、他の実施の形態と適宜組み合わせることができる。また、本明細書において、1 つの実施の形態の中に、複数の構成例が示される場合は、構成例を適宜組み合わせることが可能

である。

[0314]

(実施の形態2)

本実施の形態では、本発明の一態様の記憶装置について図面を用いて説明する。

[0315]

図23Aに、本発明の一態様の記憶装置の斜視概略図を示す。図23Bに、本発明の一態様の記憶装置のブロック図を示す。

[0316]

図23A及び図23Bに示す記憶装置500は、駆動回路層550と、n層(nは1以上の整数である)の記憶層511と、を有する。記憶層511は、それぞれ、メモリセルアレイ515を有する。メモリセルアレイ515は、複数のメモリセル510を有する。

[0317]

n層の記憶層511は駆動回路層550上に設けられる。n層の記憶層511を駆動回路層550上に設けることで、記憶装置500の占有面積を低減できる。また、単位面積当たりの記憶容量を高めることができる。

[0318]

本実施の形態では、1層目の記憶層511を記憶層511__1と示し、2層目の記憶層511を記憶層511__2と示し、3層目の記憶層511を記憶層511__3と示す。また、k層目(kは1以上n以下の整数である)の記憶層511を記憶層511__kと示し、n層目の記憶層511を記憶層511__nと示す。なお、本実施の形態等において、n層の記憶層511全体に係る事柄を説明する場合、又はn層ある記憶層511の各層に共通の事柄を示す場合に、単に「記憶層511」と表記する場合がある。

[0319]

<駆動回路層550の構成例>

駆動回路層550は、PSW522(パワースイッチ)、PSW523、及び周辺回路531を有する。周辺回路531は、周辺回路541、コントロール回路532(Control Circuit)、及び電圧生成回路533を有する。

[0320]

記憶装置500において、各回路、各信号及び各電圧は、必要に応じて、適宜取捨することができる。或いは、他の回路又は他の信号を追加してもよい。信号BW、信号CE、信号GW、信号CLK、信号WAKE、信号ADDR、信号WDA、信号PON1、信号PON2は外部からの入力信号であり、信号RDAは外部への出力信号である。

[0321]

信号CLKはクロック信号である。信号BW、信号CE、及び信号GWは制御信号である。信号CEはチップイネーブル信号であり、信号GWはグローバル書き込みイネーブル信号であり、信号BWはバイト書き込みイネーブル信号である。信号ADDRはアドレス信号である。信号WDAは書き込みデータであり、信号RDAは読み出しデータである。信号PON1、信号PON2は、パワーゲーティング制御用信号である。なお、信号PON1、信号PON2は、コントロール回路532で生成してもよい。

[0322]

コントロール回路 532 は、記憶装置 500 の動作全般を制御する機能を有するロジック回路である。例えば、コントロール回路は、信号 CE、信号 GW 及び信号 BW を論理演算して、記憶装置 500 の動作モード（例えば、書き込み動作、読み出し動作）を決定する。又は、コントロール回路 532 は、この動作モードが実行されるように、周辺回路 541 の制御信号を生成する。

[0323]

電圧生成回路 533 は負電圧を生成する機能を有する。信号 WAKE は、信号 CLK の電圧生成回路 533 への入力を制御する機能を有する。例えば、信号 WAKE に H レベルの信号が与えられると、信号 CLK が電圧生成回路 533 へ入力され、電圧生成回路 533 は負電圧を生成する。

[0324]

周辺回路 541 は、メモリセル 510 に対するデータの書き込み及び読み出しをするための回路である。周辺回路 541 は、行デコーダ 542 (Row Decoder)、列デコーダ 544 (Column Decoder)、行ドライバ 543 (Row Driver)、列ドライバ 545 (Column Driver)、入力回路 547 (Input Cir.)、出力回路 548 (Output Cir.)、センスアンプ 546 (Sense Amplifier) を有する。

[0325]

行デコーダ 542 及び列デコーダ 544 は、信号 ADDR をデコードする機能を有する。行デコーダ 542 は、アクセスする行を指定するための回路であり、列デコーダ 544 は、アクセスする列を指定するための回路である。行ドライバ 543 は、行デコーダ 542 が指定する配線 WWL（書き込みワード線）を選択する機能を有する。列ドライバ 545 は、データをメモリセル 510 に書き込む機能、メモリセル 510 からデータを読み出す機能、及び読み出したデータを保持する機能等を有する。列ドライバ 545 は、列デコーダ 544 が指定する配線 WBL（書き込みビット線）、及び配線 RBL（読み出しビット線）を選択する機能を有する。

[0326]

入力回路 547 は、信号 WDA を保持する機能を有する。入力回路 547 が保持するデータは、列ドライバ 545 に出力される。入力回路 547 の出力データが、メモリセル 510 に書き込むデータ (Din) である。列ドライバ 545 がメモリセル 510 から読み出したデータ (Dout) は、出力回路 548 に出力される。出力回路 548 は、Dout を保持する機能を有する。また、出力回路 548 は、Dout を記憶装置 500 の外部に出力する機能を有する。出力回路 548 から出力されるデータが信号 RDA である。

[0327]

PSW522 は周辺回路 531 への VDD の供給を制御する機能を有する。PSW523 は、行ドライバ 543 への VHM の供給を制御する機能を有する。ここでは、記憶装置 500 の高電源電圧が VDD であり、低電源電圧は GND（接地電位）である。また、VHM は、ワード線を高レベルにするために用いられる高電源電圧であり、VDD よりも高い。信号 PON1 によって PSW522 のオン・オフが制御され、信号 PON2 によって PSW523 のオン・オフが制御される。図 23B では、周辺回路 531 において、VDD が供給される電源ドメインの数を 1 としているが、複数にすることもできる。この場合、各電源ドメインに対してパワースイッチを設ければよい。

[0328]

<記憶層 511 の構成例>

n層ある記憶層511の構成例について説明する。n層ある記憶層511は、それぞれがメモリセルアレイ515を有する。また、メモリセルアレイ515は、複数のメモリセル510を有する。図23A及び図23Bでは、メモリセルアレイ515がp行q列（p及びqは各々独立に2以上の整数である）のマトリクス状に配置された複数のメモリセル510を有する例を示している。

[0329]

なお、行と列は互いに直交する方向に延在する。本実施の形態では、X方向を「行」とし、Y方向を「列」としているが、X方向を「列」とし、Y方向を「行」としてもよい。

[0330]

図23Bでは、1行1列目に設けられたメモリセル510をメモリセル510[1, 1]と示し、p行q列目に設けられたメモリセル510をメモリセル510[p, q]と示している。また、i行j列目（iは1以上p以下の整数であり、jは1以上q以下の整数である）に設けられたメモリセル510をメモリセル510[i, j]と示している。

[0331]

メモリセルの回路構成例を図24に示す。当該回路構成に対応するメモリセル510の断面構成例は、実施の形態1を参照できる。

[0332]

メモリセル510は、トランジスタM1、トランジスタM2、及び容量Cを有する。2つのトランジスタと1つの容量で構成されるメモリセルを、2Tr1C型のメモリセルともいう。よって、本実施の形態に示すメモリセル510は、2Tr1C型のメモリセルである。

[0333]

トランジスタM1は、実施の形態1で示したトランジスタ31A又はトランジスタ32Aと対応する。トランジスタM2は、実施の形態1で示したトランジスタ31B又はトランジスタ32Bと対応する。容量Cは、実施の形態1で示した容量41又は容量42と対応する。配線WBLは、実施の形態1で示した導電体290Aと対応する。配線RBLは、実施の形態1で示した導電体290Bと対応する。配線WWLは、実施の形態1で示した導電体262Aと対応する。配線CLは、実施の形態1で示した導電体264と対応する。配線SLは、実施の形態1で示した導電体241Bと対応する。

[0334]

メモリセル510[i, j]において、トランジスタM1のゲートは配線WWL[j]と電氣的に接続され、トランジスタM1のソース又はドレインの一方は容量Cの一方の電極と電氣的に接続され、トランジスタM1のソース又はドレインの他方は配線WBL[i, s]と電氣的に接続される。なお、図24では、配線WWL[j]の一部がトランジスタM1のゲートとして機能する場合の構成例を示している。容量Cの他方の電極は配線CL[j]と電氣的に接続される。なお、例えば図24では、配線CL[j]の一部が容量Cの他方の電極として機能する場合の構成例を示している。トランジスタM2のゲートは容量Cの一方の電極と電氣的に接続され、トランジスタM2のソース又はドレインの一方は配線SL[j]と電氣的に接続され、トランジスタM2のソース又はドレインの他方は配線RBL[i, s]と電氣的に接続される。

[0335]

メモリセル510[i, j]において、容量Cの一方の電極、トランジスタM1のソース又はドレインの一方、及びトランジスタM2のゲートが電氣的に接続し、常に同電位となる領域を「ノー

ドFN」と呼ぶ。

[0336]

メモリセル510 [i, j + 1] において、トランジスタM1のゲートは配線WWL [j + 1] と電氣的に接続され、トランジスタM1のソース又はドレインの一方は容量Cの一方の電極と電氣的に接続され、トランジスタM1のソース又はドレインの他方は配線WBL [i, s + 1] と電氣的に接続される。なお、図24では、配線WWL [j + 1] の一部がトランジスタM1のゲートとして機能する場合の構成例を示している。容量Cの他方の電極は配線CL [j + 1] と電氣的に接続される。なお、例えば図24では、配線CL [j + 1] の一部が容量Cの他方の電極として機能する場合の構成例を示している。トランジスタM2のゲートは容量Cの一方の電極と電氣的に接続され、トランジスタM2のソース又はドレインの一方は配線SL [j + 1] と電氣的に接続され、トランジスタM2のソース又はドレインの他方は配線RBL [i, s] と電氣的に接続される。

[0337]

メモリセル510 [i, j + 1] において、容量Cの一方の電極、トランジスタM1のソース又はドレインの一方、及びトランジスタM2のゲートが電氣的に接続し、常に同電位となる領域を「ノードFN」と呼ぶ。

[0338]

以上より、配線RBL [i, s] は、メモリセル510 [i, j] が有するトランジスタM2のソース又はドレインの他方、及びメモリセル510 [i, j + 1] が有するトランジスタM2のソース又はドレインの他方と電氣的に接続される。よって、配線RBL [i, s] は、メモリセル510 [i, j] とメモリセル510 [i, j + 1] により共有される。また、配線WBL [i, s] は、メモリセル510 [i, j - 1] (図示せず) とメモリセル510 [i, j] により共有される。具体的には、配線WBL [i, s] は、メモリセル510 [i, j - 1] が有するトランジスタM1のソース又はドレインの他方、及びメモリセル510 [i, j] が有するトランジスタM1のソース又はドレインの他方と電氣的に接続される。

[0339]

上記から、列の位置を示すjとsには次のような関係がある。jが偶数である場合、sは $j/2$ であって、1以上 $q/2$ 以下の整数である。jが奇数である場合、sは $(j+1)/2$ であって、1以上 $(q+1)/2$ 以下の整数である。

[0340]

トランジスタM1及びトランジスタM2のチャンネルが形成される半導体層としては、単結晶半導体、多結晶半導体、微結晶半導体、又は非晶質半導体等を、単体で又は組み合わせて用いることができる。半導体材料としては、例えば、シリコン、又はゲルマニウム等を用いることができる。また、シリコンゲルマニウム、炭化シリコン、ヒ化ガリウム、酸化物半導体、又は窒化物半導体等の化合物半導体を用いてもよい。

[0341]

なお、トランジスタM1及びトランジスタM2のチャンネルが形成される半導体層に金属酸化物の一種である酸化物半導体を用いたトランジスタ(「OSトランジスタ」ともいう)であることが好ましい。酸化物半導体はバンドギャップが2 eV以上であるため、オフ電流が著しく小さい。よって、メモリセル510の消費電力を低減できる。よって、メモリセル510を含む記憶装置500の消費電力を低減できる。

[0342]

また、OSトランジスタを含むメモリセルを「OSメモリ」と呼ぶことができる。また、当該メモリセルを含む記憶装置500も「OSメモリ」と呼ぶことができる。

[0343]

また、OSトランジスタは高温環境下においても動作が安定し、電気特性の変動が少ない。例えば、高温環境下でもオフ電流がほとんど増加しない。具体的には、室温以上200℃以下の環境温度下でもオフ電流がほとんど増加しない。また、高温環境下でもオン電流が低下しにくい。よって、OSメモリは、高温環境下においても動作が安定し、高い信頼性が得られる。

[0344]

<メモリセル510の動作例>

メモリセル510のデータ書き込み動作例と読み出し動作例について説明する。本実施の形態では、トランジスタM1及びトランジスタM2にnチャネル型のトランジスタを用いるものとする。図25はメモリセル510の動作例を説明するためのタイミングチャートである。図26A乃至図27Bは、メモリセル510の動作例を説明するための回路図である。

[0345]

以下の図面等において、配線及び電極の電位を示すため、配線及び電極に隣接して電位Hを示す“H”、又は電位Lを示す“L”を付記する場合がある。また、電位変化が生じた配線及び電極には、“H”又は“L”を囲み文字で付記する場合がある。さらに、トランジスタがオフ状態である場合、当該トランジスタを重ねて“X”記号を付記する場合がある。

[0346]

また、電位Hがnチャネル型のトランジスタのゲートに供給されると、当該トランジスタがオン状態になるものとする。また、電位Lがnチャネル型のトランジスタのゲートに供給されると、当該トランジスタがオフ状態になるものとする。よって、電位Hは電位Lよりも高い電位である。電位Hは高電源電位VDDと同電位であってもよい。また、電位Lは電位Hより低い電位である。電位Lは接地電位GNDと同電位であってもよい。

[0347]

はじめに、期間T0において、配線WWL、配線WBL、及びノードFNの電位が電位Lであり、配線SL及び配線RBLが電位Hであるものとする（図25）。

[0348]

[データ書き込み動作]

期間T1において、配線WWL及び配線WBLに電位Hを供給する。すると、トランジスタM1がオン状態になり、ノードFNに“1”を示すデータとして、電位Hが書き込まれる。より正確には、ノードFNに、ノードFNの電位が電位Hになる量の電荷が供給される（図25及び図26A）。

[0349]

トランジスタM2のゲート、ソース、及びドレインは全て電位Hであるため、トランジスタM2はオフ状態である。

[0350]

[保持動作]

期間T2において、配線WWLに電位Lを供給する。すると、トランジスタM1がオフ状態にな

り、ノードF Nがフローティング状態になる。よって、ノードF Nに書き込まれたデータ（電位H）が保持される（図2 5及び図2 6 B）。

[0 3 5 1]

前述したとおり、OSトランジスタはオフ電流が極めて小さいトランジスタである。トランジスタM 1にOSトランジスタを用いることで、ノードF Nに書き込まれたデータを長期間保持できる。そのため、ノードF Nの電位をリフレッシュする必要がなくなり、メモリセル5 1 0の消費電力を低減できる。よって、記憶装置5 0 0の消費電力を低減できる。

[0 3 5 2]

加えて、OSトランジスタは、チャンネルが形成される半導体層にシリコンを用いるトランジスタ（S iトランジスタともいう）と比べてソースとドレインの間の絶縁耐圧が高い。トランジスタM 1にOSトランジスタを用いることにより、ノードF Nにより高い電位を供給できる。よって、ノードF Nに保持する電位範囲を大きくすることができる。ノードF Nに保持する電位範囲を大きくすることによって、多値データ保持又はアナログデータ保持の実現が容易になる。

[0 3 5 3]

〔読み出し動作〕

期間T 3において、配線R B Lに電位Hをプリチャージ（P r e）する。すなわち、配線R B Lの電位を電位Hにした後、配線R B Lをフローティング状態にする（図2 5及び図2 7 A）。

[0 3 5 4]

次に、期間T 4において、配線S Lに電位Lを供給する。この時、ノードF Nの電位が電位Hである場合は、トランジスタM 2がオン状態であるため、トランジスタM 2を介して配線R B Lと配線S Lが導通状態になる。配線R B Lと配線S Lが導通状態になると、フローティング状態である配線R B Lの電位が電位Hから電位Lに変化する（図2 5及び図2 7 B）。

[0 3 5 5]

なお、ノードF Nに“0”を示すデータとして電位Lが書き込まれている場合は、トランジスタM 2はオフ状態である。

[0 3 5 6]

このように、配線S Lに電位Lを供給した時の配線R B Lの電位変化を検出することで、メモリセル5 1 0に書き込まれたデータを読み出すことができる。

[0 3 5 7]

OSトランジスタを用いたメモリセル5 1 0では、OSトランジスタを介してノードF Nに電荷を書き込む方式であるため、従来のフラッシュメモリで必要であった高電圧が不要であり、高速な書き込み動作も実現できる。また、フラッシュメモリと異なり、フローティングゲートまたは電荷捕獲層への電荷注入および引き抜きも行われないため、OSトランジスタを用いたメモリセル5 1 0は実質的に無制限回のデータの書き込みおよび読み出しが可能である。OSトランジスタを用いたメモリセル5 1 0は、フラッシュメモリと異なり繰り返し書き換え動作でも電子捕獲中心の増加による不安定性が認められない。OSトランジスタを用いたメモリセル5 1 0は、従来のフラッシュメモリと比較して劣化が少なく高い信頼性が得られる。

[0 3 5 8]

OSトランジスタを用いたメモリセル5 1 0は、磁気メモリ又は抵抗変化型メモリ等と異なり原子レベルでの構造変化を伴わない。よって、OSトランジスタを用いたメモリセル5 1 0は、磁気

メモリおよび抵抗変化型メモリよりも書き換え耐性に優れている。

[0359]

＜センスアンプ546の構成例＞

次いでセンスアンプ546の構成例について説明する。具体的にはセンスアンプ546を含む、データ信号の書き込み又は読み出しを行う書き込み読み出し回路の構成例について説明する。

[0360]

図28は、センスアンプ546を含む、データ信号の書き込み読み出しを行う回路600の構成例を示す回路図である。回路600は、配線WBL毎、及び配線RBL毎に設けられる。

[0361]

回路600は、トランジスタ661乃至トランジスタ666、センスアンプ546、AND回路652、アナログスイッチ653、及び、アナログスイッチ654を有する。

[0362]

回路600は、信号SEN、信号SEP、信号BPR、信号RSEL、信号WSEL、信号GRSEL、及び信号GWSELに従い、動作する。

[0363]

回路600に入力されるデータDINは、ノードNSとAND回路652を介して電氣的に接続された配線WBLを介してメモリセル510に書き込まれる。メモリセル510に書き込まれたデータDOUTは、ノードNSBとアナログスイッチ653を介して電氣的に接続された配線RBLに伝えられることで、回路600よりデータDOUTとして出力される。

[0364]

なお、データDIN及びデータDOUTは内部信号であり、それぞれ、信号WDA及び信号RDAに対応する。

[0365]

トランジスタ661は、プリチャージ回路に含まれる。トランジスタ661によって、配線RBLは、プリチャージ電位Vpreにプリチャージされる。なお、本実施の形態では、プリチャージ電位Vpreとして、電位Vdd（ハイレベル）を用いた場合を説明する（図28では、Vdd（Vpre）と表記する）。信号BPRはプリチャージ信号であり、信号BPRによって、トランジスタ661の導通状態が制御される。

[0366]

センスアンプ546は、読み出し動作時には、配線RBLに入力されたデータのハイレベル又はローレベルを判定する。また、センスアンプ546は、書き込み動作時には、回路600に入力されたデータDINを一時的に保持するラッチ回路として機能する。

[0367]

図28に示すセンスアンプ546は、ラッチ型センスアンプである。センスアンプ546は、2個のインバータ回路を有し、一方のインバータ回路の入力ノードが他方のインバータ回路の出力ノードと接続される。一方のインバータ回路の入力ノードをノードNS、出力ノードをノードNSBとすると、ノードNS及びノードNSBにおいて相補データが保持される。

[0368]

信号SEN及び信号SEPは、センスアンプ546を活性化するためのセンスアンプイネーブル信号であり、レファレンス電位Vrefは、読み出し判定電位である。センスアンプ546は、レ

ファレンス電位 V_{ref} を基準に、活性化された時点のノード NSB の電位が、ハイレベルであるか、ローレベルであるかを判定する。

[0369]

AND回路652は、ノード NS と、配線 WBL との導通状態を制御する。また、アナログスイッチ653は、ノード NSB と、配線 RBL との導通状態を制御する。さらに、アナログスイッチ654は、ノード NS と、レファレンス電位 V_{ref} を供給する配線との導通状態を制御する。

[0370]

データ読み出し時においては、配線 RBL の電位はアナログスイッチ653によってノード NSB に伝えられる。配線 RBL の電位がレファレンス電位 V_{ref} より低くなると、センスアンプ546は、配線 RBL はローレベルであると判定する。また、配線 RBL の電位がレファレンス電位 V_{ref} より低くない場合、センスアンプ546は、配線 RBL はハイレベルであると判定する。

[0371]

信号 $WSEL$ は、書き込み選択信号であり、AND回路652を制御する。信号 $RSEL$ は、読み出し選択信号であり、アナログスイッチ653及びアナログスイッチ654を制御する。

[0372]

トランジスタ662及びトランジスタ663は、出力 MUX (マルチプレクサ) 回路に含まれる。信号 $GRSEL$ は、グローバル読み出し選択信号であり、出力 MUX 回路を制御する。出力 MUX 回路は、データを読み出す配線 RBL を選択する機能を有する。

[0373]

出力 MUX 回路は、センスアンプ546から読み出したデータ $DOUT$ を出力する機能を有する。

[0374]

トランジスタ664乃至トランジスタ666は、書き込みドライバ回路に含まれる。信号 $GWSEL$ は、グローバル書き込み選択信号であり、書き込みドライバ回路を制御する。書き込みドライバ回路は、データ DIN をセンスアンプ546に書き込む機能を有する。

[0375]

書き込みドライバ回路は、データ DIN を書き込む列を選択する機能を有する。書き込みドライバ回路は、信号 $GWSEL$ に従い、バイト単位、ハーフワード単位、又は、1ワード単位のデータ書き込みを行う。

[0376]

ゲインセル型のメモリセルは、1メモリセルあたり少なくとも2つのトランジスタが必要であり、単位面積あたりに配置できるメモリセルの数を増やすことが難しい。一方、メモリセル510に含まれるトランジスタにOSトランジスタを用いることで、メモリセルアレイ515を複数積層して設けることができる。すなわち、単位面積あたりに記憶できるデータ量を増やすことができる。また、ゲインセル型のメモリセルは、電荷を蓄積する容量が小さい場合でも、蓄積した電荷を直近のトランジスタで増幅することで、メモリとしての動作を行うことができる。さらに、オフ電流が非常に小さいOSトランジスタを、メモリセル510に含まれるトランジスタに用いることで、キャパシタの容量を小さくできる。又は、キャパシタとして、トランジスタのゲート容量及び配線の寄生容量の一方又は双方を利用することができ、キャパシタを省略することができる。すなわち、メモリセル510の面積を小さくできる。

[0377]

本実施の形態は、他の実施の形態と適宜組み合わせることができる。

[0378]

(実施の形態3)

本実施の形態では、本発明の一態様の記憶装置が実装されたチップの一例について図面を用いて説明する。

[0379]

図29A及び図29Bに示すチップ1200には、複数の回路（システム）が実装されている。このように、複数の回路（システム）を一つのチップに集積する技術を、システムオンチップ（System on Chip: SoC）と呼ぶ場合がある。

[0380]

図29Aに示すように、チップ1200は、CPU1211、GPU1212、一又は複数のアナログ演算部1213、一又は複数のメモリコントローラ1214、一又は複数のインターフェース1215、一又は複数のネットワーク回路1216等を有する。

[0381]

チップ1200には、バンプ（図示しない）が設けられ、図29Bに示すように、パッケージ基板1201の第1の面と接続する。また、パッケージ基板1201の第1の面の裏面には、複数のバンプ1202が設けられており、マザーボード1203と接続する。

[0382]

マザーボード1203には、DRAM1221、及びフラッシュメモリ1222等の記憶装置が設けられていてもよい。例えば、DRAM1221に先の実施の形態に示すNOSRAMを用いることができる。これにより、DRAM1221を、低消費電力化、高速化、及び大容量化させることができる。

[0383]

CPU1211は、複数のCPUコアを有することが好ましい。また、GPU1212は、複数のGPUコアを有することが好ましい。また、CPU1211、及びGPU1212は、それぞれ一時的にデータを格納するメモリを有していてもよい。又は、CPU1211、及びGPU1212に共通のメモリが、チップ1200に設けられていてもよい。当該メモリには、前述したNOSRAMを用いることができる。また、GPU1212は、多数のデータの並列計算に適しており、画像処理又は積和演算に用いることができる。GPU1212に、OSトランジスタを用いた画像処理回路、又は、積和演算回路を設けることで、画像処理、又は積和演算を低消費電力で実行することが可能になる。

[0384]

また、CPU1211、及びGPU1212が同一チップに設けられていることで、CPU1211とGPU1212の間の配線を短くすることができ、CPU1211からGPU1212へのデータ転送、CPU1211、及びGPU1212が有するメモリ間のデータ転送、及びGPU1212での演算後に、GPU1212からCPU1211への演算結果の転送を高速に行うことができる。

[0385]

アナログ演算部1213はA/D（アナログ／デジタル）変換回路、及びD/A（デジタル／ア

ナログ）変換回路の一、又は両方を有する。また、アナログ演算部 1 2 1 3 に上記積和演算回路を設けてもよい。

[0386]

メモリコントローラ 1 2 1 4 は、DRAM 1 2 2 1 のコントローラとして機能する回路、及びフラッシュメモリ 1 2 2 2 のインターフェースとして機能する回路を有する。

[0387]

インターフェース 1 2 1 5 は、表示装置、スピーカー、マイクロフォン、カメラ、及びコントローラ等の外部接続機器とのインターフェース回路を有する。コントローラとは、マウス、キーボード、及びゲーム用コントローラ等を含む。このようなインターフェースとして、USB（Universal Serial Bus）、又はHDMI（登録商標）（High-Definition Multimedia Interface）等を用いることができる。

[0388]

ネットワーク回路 1 2 1 6 は、LAN（Local Area Network）等のネットワーク回路を有する。また、ネットワークセキュリティ用の回路を有してもよい。

[0389]

チップ 1 2 0 0 には、上記回路（システム）を同一の製造プロセスで形成することが可能である。そのため、チップ 1 2 0 0 に必要な回路の数が増えても、製造プロセスを増やす必要が無く、チップ 1 2 0 0 を低コストで作製することができる。

[0390]

GPU 1 2 1 2 を有するチップ 1 2 0 0 が設けられたパッケージ基板 1 2 0 1、DRAM 1 2 2 1、及びフラッシュメモリ 1 2 2 2 が設けられたマザーボード 1 2 0 3 は、GPU モジュール 1 2 0 4 と呼ぶことができる。

[0391]

GPU モジュール 1 2 0 4 は、SoC 技術を用いたチップ 1 2 0 0 を有しているため、そのサイズを小さくすることができる。また、画像処理に優れていることから、スマートフォン、タブレット端末、ラップトップ PC、又は携帯型（持ち出し可能な）ゲーム機等の携帯型電子機器に用いることが好適である。また、GPU 1 2 1 2 を用いた積和演算回路により、ディープニューラルネットワーク（DNN）、畳み込みニューラルネットワーク（CNN）、再帰型ニューラルネットワーク（RNN）、自己符号化器、深層ボルツマンマシン（DBM）、深層信念ネットワーク（DBN）等の手法を実行できるため、チップ 1 2 0 0 を AI チップ、又は GPU モジュール 1 2 0 4 を AI システムモジュールとして用いることができる。

[0392]

本実施の形態は、他の実施の形態と適宜組み合わせることができる。

[0393]

（実施の形態 4）

本実施の形態では、本発明の一態様の記憶装置が組み込まれた電子部品の一例を示す。

[0394]

[電子部品]

図 3 0 A に電子部品 7 0 0 及び電子部品 7 0 0 が実装された基板（実装基板 7 0 4）の斜視図を示す。図 3 0 A に示す電子部品 7 0 0 は、モールド 7 1 1 内に本発明の一態様の記憶装置である記

憶装置 500 を有している。図 30A は、電子部品 700 の内部を示すために、一部の記載を省略している。電子部品 700 は、モールド 711 の外側にランド 712 を有する。ランド 712 は電極パッド 713 と電氣的に接続され、電極パッド 713 は記憶装置 500 とワイヤ 714 を介して電氣的に接続されている。電子部品 700 は、例えばプリント基板 702 に実装される。このような電子部品が複数組み合わせられて、それぞれがプリント基板 702 上で電氣的に接続されることで実装基板 704 が完成する。

[0395]

上記実施の形態で示した通り、記憶装置 500 は、駆動回路層 550 と、記憶層 511（メモリセルアレイ 515 を含む）と、を有する。

[0396]

図 30B に電子部品 730 の斜視図を示す。電子部品 730 は、SiP（System in package）又は MCM（Multi Chip Module）の一例である。電子部品 730 は、パッケージ基板 732（プリント基板）上にインターポーザ 731 が設けられ、インターポーザ 731 上に半導体装置 735、及び複数の記憶装置 500 が設けられている。

[0397]

電子部品 730 では、記憶装置 500 を広帯域メモリ（HBM: High Bandwidth Memory）として用いる例を示している。また、半導体装置 735 は、CPU、GPU、又は FPGA（Field Programmable Gate Array）等の集積回路（半導体装置）を用いることができる。

[0398]

パッケージ基板 732 は、例えば、セラミックス基板、プラスチック基板、又は、ガラスエポキシ基板を用いることができる。インターポーザ 731 は、例えば、シリコンインターポーザ、又は樹脂インターポーザを用いることができる。

[0399]

インターポーザ 731 は、複数の配線を有し、端子ピッチの異なる複数の集積回路を電氣的に接続する機能を有する。複数の配線は、単層又は多層で設けられる。また、インターポーザ 731 は、インターポーザ 731 上に設けられた集積回路をパッケージ基板 732 に設けられた電極と電氣的に接続する機能を有する。これらのことから、インターポーザを「再配線基板」又は「中間基板」と呼ぶ場合がある。また、インターポーザ 731 に貫通電極を設けて、当該貫通電極を用いて集積回路とパッケージ基板 732 を電氣的に接続する場合もある。また、シリコンインターポーザでは、貫通電極として、TSV（Through Silicon Via）を用いることもできる。

[0400]

インターポーザ 731 としてシリコンインターポーザを用いることが好ましい。シリコンインターポーザでは能動素子を設ける必要が無いため、集積回路よりも低コストで作製することができる。一方で、シリコンインターポーザの配線形成は半導体プロセスで行うことができるため、樹脂インターポーザでは難しい微細配線の形成が容易である。

[0401]

HBM では、広いメモリバンド幅を実現するために多くの配線を接続する必要がある。このため、HBM を実装するインターポーザには、微細かつ高密度の配線形成が求められる。よって、HBM を実装するインターポーザには、シリコンインターポーザを用いることが好ましい。

[0402]

また、シリコンインターポーザを用いた、SiP及びMCM等では、集積回路とインターポーザ間の膨張係数の違いによる信頼性の低下が生じにくい。また、シリコンインターポーザは表面の平坦性が高いため、シリコンインターポーザ上に設ける集積回路とシリコンインターポーザ間の接続不良が生じにくい。特に、インターポーザ上に複数の集積回路を横に並べて配置する2.5Dパッケージ（2.5次元実装）では、シリコンインターポーザを用いることが好ましい。

[0403]

また、電子部品730と重ねてヒートシンク（放熱板）を設けてもよい。ヒートシンクを設ける場合は、インターポーザ731上に設ける集積回路の高さを揃えることが好ましい。例えば、本実施の形態に示す電子部品730では、記憶装置500と半導体装置735の高さを揃えることが好ましい。

[0404]

電子部品730を他の基板に実装するため、パッケージ基板732の底部に電極733を設けてもよい。図30Bでは、電極733を半田ボールで形成する例を示している。パッケージ基板732の底部に半田ボールをマトリクス状に設けることで、BGA（Ball Grid Array）実装を実現できる。また、電極733を導電性のピンで形成してもよい。パッケージ基板732の底部に導電性のピンをマトリクス状に設けることで、PGA（Pin Grid Array）実装を実現できる。

[0405]

電子部品730は、BGA及びPGAに限らず様々な実装方法を用いて他の基板に実装することができる。実装方法としては、例えば、SPGA（Staggered Pin Grid Array）、LGA（Land Grid Array）、QFP（Quad Flat Package）、QFJ（Quad Flat J-leaded package）、及び、QFN（Quad Flat Non-leaded package）が挙げられる。

[0406]

本実施の形態は、他の実施の形態と適宜組み合わせることができる。

[0407]

（実施の形態5）

本実施の形態では、本発明の一態様の記憶装置の応用例について説明する。

[0408]

本発明の一態様の記憶装置は、各種電子機器（例えば、情報端末、コンピュータ、スマートフォン、電子書籍端末、デジタルスチルカメラ、ビデオカメラ、録画再生装置、ナビゲーションシステム、及び、ゲーム機）の記憶装置に適用できる。また、イメージセンサ、IoT（Internet of Things）、又はヘルスケア関連機器等に用いることもできる。なお、ここで、コンピュータとは、タブレット型のコンピュータ、ノート型のコンピュータ、及び、デスクトップ型のコンピュータの他、サーバシステムのような大型のコンピュータを含むものである。

[0409]

本発明の一態様の記憶装置を有する電子機器の一例について説明する。なお、図31A乃至図31J、及び図32A乃至図32Eには、先の実施の形態で説明した、当該記憶装置を有する電子部品700又は電子部品730が各電子機器に含まれている様子を図示している。

[0410]

[携帯電話]

図31Aに示す情報端末5500は、情報端末の一種である携帯電話（スマートフォン）である。情報端末5500は、筐体5510と、表示部5511と、を有しており、入力用インターフェースとして、タッチパネルが表示部5511に備えられ、ボタンが筐体5510に備えられている。

[0411]

情報端末5500は、本発明の一態様の記憶装置を適用することで、アプリケーションの実行時に生成される一時的なファイル（例えば、ウェブブラウザの使用時のキャッシュ）を保持することができる。

[0412]

[ウェアラブル端末]

図31Bに、ウェアラブル端末の一例である情報端末5900を示す。情報端末5900は、筐体5901、表示部5902、操作スイッチ5903、操作スイッチ5904、及びバンド5905等を有する。

[0413]

ウェアラブル端末は、先述した情報端末5500と同様に、本発明の一態様の記憶装置を適用することで、アプリケーションの実行時に生成される一時的なファイルを保持することができる。

[0414]

[情報端末]

図31Cに、デスクトップ型情報端末5300を示す。デスクトップ型情報端末5300は、情報端末の本体5301と、表示部5302と、キーボード5303と、を有する。

[0415]

デスクトップ型情報端末5300は、先述した情報端末5500と同様に、本発明の一態様の記憶装置を適用することで、アプリケーションの実行時に生成される一時的なファイルを保持することができる。

[0416]

図31A乃至図31Cでは、電子機器として、スマートフォン、ウェアラブル端末、及び、デスクトップ型情報端末について説明したが、他の情報端末としては、例えば、PDA（Personal Digital Assistant）、ノート型情報端末、及び、ワークステーションが挙げられる。

[0417]

[電化製品]

図31Dに、電化製品の一例として電気冷凍冷蔵庫5800を示す。電気冷凍冷蔵庫5800は、筐体5801、冷蔵室用扉5802、及び冷凍室用扉5803等を有する。例えば、電気冷凍冷蔵庫5800は、IoT（Internet of Things）に対応した電気冷凍冷蔵庫である。

[0418]

電気冷凍冷蔵庫5800に本発明の一態様の記憶装置を適用することができる。電気冷凍冷蔵庫5800は、電気冷凍冷蔵庫5800に保存されている食材、及びその食材の消費期限等の情報を、例えばインターネットを通じて情報端末に送受信することができる。電気冷凍冷蔵庫5800は、

当該情報を送信する際に生成される一時的なファイルを、本発明の一態様の記憶装置に保持することができる。

[0419]

図31Dでは、電化製品として電気冷凍冷蔵庫について説明したが、その他の電化製品としては、例えば、掃除機、電子レンジ、電気オーブン、炊飯器、湯沸かし器、IH調理器、ウォーターサーバー、エアコンディショナーを含む冷暖房器具、洗濯機、乾燥機、及び、オーディオビジュアル機器が挙げられる。

[0420]

[ゲーム機]

図31Eには、ゲーム機の一例である携帯ゲーム機5200を示す。携帯ゲーム機5200は、筐体5201、表示部5202、及びボタン5203等を有する。

[0421]

また、図31Fには、ゲーム機の一例である据え置き型ゲーム機7500を示す。据え置き型ゲーム機7500は、特に、家庭用の据え置き型ゲーム機ということができる。据え置き型ゲーム機7500は、本体7520と、コントローラ7522を有する。なお、本体7520には、無線又は有線によってコントローラ7522を接続することができる。また、図31Fには示していないが、コントローラ7522は、ゲームの画像を表示する表示部、ボタン以外の入力インターフェースとなる、タッチパネル、スティック、回転式つまみ、又はスライド式つまみ等を備えることができる。また、コントローラ7522は、図31Fに示す形状に限定されず、ゲームのジャンルに応じて、コントローラ7522の形状を様々に変更してもよい。例えば、FPS（First Person Shooter）等のシューティングゲームでは、トリガーをボタンとし、銃を模した形状のコントローラを用いることができる。また、例えば、音楽ゲームでは、楽器、又は音楽機器等を模した形状のコントローラを用いることができる。さらに、据え置き型ゲーム機は、コントローラを使わず、代わりにカメラ、深度センサ、及び、マイクロフォンの一つ又は複数を備えて、ゲームプレイヤーのジェスチャー、又は音声によって操作する形式としてもよい。

[0422]

また、上述したゲーム機の映像は、テレビジョン装置、パーソナルコンピュータ用ディスプレイ、ゲーム用ディスプレイ、又はヘッドマウントディスプレイ等の表示装置によって出力することができる。

[0423]

携帯ゲーム機5200又は据え置き型ゲーム機7500に本発明の一態様の記憶装置を適用することによって、消費電力を低減できる。また、低消費電力化により、回路からの発熱を低減でき、発熱によるその回路自体、周辺回路、及びモジュールへの影響を少なくすることができる。

[0424]

さらに、携帯ゲーム機5200又は据え置き型ゲーム機7500に本発明の一態様の記憶装置を適用することによって、ゲームの実行中に発生する演算に必要な一時ファイル等の保持を行うことができる。

[0425]

図31E及び図31Fでは、ゲーム機の一例として、携帯ゲーム機及び家庭用の据え置き型ゲーム機について説明したが、その他のゲーム機としては、例えば、娯楽施設（ゲームセンター、遊園

地等)に設置されるアーケードゲーム機、及び、スポーツ施設に設置されるバッティング練習用の投球マシンが挙げられる。

[0426]

[移動体]

本発明の一態様の記憶装置は、移動体である自動車、及び自動車の運転席周辺に適用することができる。

[0427]

図31Gには移動体の一例である自動車5700が図示されている。

[0428]

自動車5700の運転席周辺には、スピードメーター、タコメーター、走行距離、燃料計、ギア状態、又はエアコンの設定等を表示することで、様々な情報を提供するインストゥルメントパネルが備えられている。また、運転席周辺には、それらの情報を示す表示装置が備えられていてもよい。

[0429]

特に当該表示装置には、自動車5700に設けられた撮像装置(図示しない)からの映像を映し出すことによって、例えばピラーで遮られた視界、又は運転席の死角等を補うことができ、安全性を高めることができる。すなわち、自動車5700の外側に設けられた撮像装置からの画像を表示することによって、死角を補い、安全性を高めることができる。

[0430]

本発明の一態様の記憶装置は、情報を一時的に保持することができるため、例えば、当該記憶装置を、自動車5700の自動運転、道路案内、又は危険予測等を行うシステムにおける、必要な一時的な情報の保持に用いることができる。また、本発明の一態様の記憶装置は、自動車5700に備え付けられたドライビングレコーダの映像を保持する構成としてもよい。

[0431]

なお、上述では、移動体の一例として自動車について説明しているが、移動体は自動車に限定されない。例えば、移動体としては、電車、モノレール、船、及び、飛行体(ヘリコプター、無人航空機(ドローン)、飛行機、ロケット)も挙げることができる。

[0432]

[カメラ]

本発明の一態様の記憶装置は、カメラに適用することができる。

[0433]

図31Hに、撮像装置の一例であるデジタルカメラ6240を示す。デジタルカメラ6240は、筐体6241、表示部6242、操作スイッチ6243、及びシャッターボタン6244等を有し、また、デジタルカメラ6240には、着脱可能なレンズ6246が取り付けられている。なお、ここではデジタルカメラ6240を、レンズ6246を筐体6241から取り外して交換することが可能な構成としたが、レンズ6246と筐体6241とが一体となってもよい。また、デジタルカメラ6240は、ストロボ装置、又はビューファインダー等を別途装着することができる構成としてもよい。

[0434]

デジタルカメラ6240に本発明の一態様の記憶装置を適用することによって、消費電力を低減することができる。また、低消費電力化により、回路からの発熱を低減でき、発熱によるその回路

自体、周辺回路、及びモジュールへの影響を少なくすることができる。

[0435]

[ビデオカメラ]

本発明の一態様の記憶装置は、ビデオカメラに適用することができる。

[0436]

図31Iに、撮像装置の一例であるビデオカメラ6300を示す。ビデオカメラ6300は、第1筐体6301、第2筐体6302、表示部6303、操作スイッチ6304、レンズ6305、及び接続部6306等を有する。操作スイッチ6304及びレンズ6305は第1筐体6301に設けられており、表示部6303は第2筐体6302に設けられている。そして、第1筐体6301と第2筐体6302とは、接続部6306により接続されており、第1筐体6301と第2筐体6302の間の角度は、接続部6306により変更が可能である。表示部6303における映像を、接続部6306における第1筐体6301と第2筐体6302との間の角度に従って切り替える構成としてもよい。

[0437]

ビデオカメラ6300で撮影した映像を記録する際、データの記録形式に応じたエンコードを行う必要がある。本発明の一態様の記憶装置を利用することによって、ビデオカメラ6300は、エンコードの際に発生する一時的なファイルの保持を行うことができる。

[0438]

[ICD]

本発明の一態様の記憶装置は、植え込み型除細動器（ICD）に適用できる。

[0439]

図31Jは、ICDの一例を示す断面模式図である。ICD本体5400は、バッテリー5401と、電子部品700と、レギュレータと、制御回路と、アンテナ5404と、右心房へのワイヤ5402と、右心室へのワイヤ5403とを少なくとも有している。

[0440]

ICD本体5400は手術により体内に設置され、二本のワイヤは、人体の鎖骨下静脈5405及び上大静脈5406を通過させて一方のワイヤ先端が右心室、もう一方のワイヤ先端が右心房に設置されるようにする。

[0441]

ICD本体5400は、ペースメーカーとしての機能を有し、心拍数が規定の範囲から外れた場合に心臓に対してペーシングを行う。また、ペーシングによって心拍数が改善しない場合（速い心室頻拍、又は心室細動等）、電気ショックによる治療が行われる。

[0442]

ICD本体5400は、ペーシング及び電気ショックを適切に行うため、心拍数を常に監視する必要がある。そのため、ICD本体5400は、心拍数を検知するためのセンサを有する。また、ICD本体5400は、例えば当該センサによって取得した心拍数のデータ、ペーシングによる治療を行った回数、又は時間等を電子部品700に記憶することができる。

[0443]

また、アンテナ5404で電力が受信でき、その電力はバッテリー5401に充電される。また、ICD本体5400は複数のバッテリーを有することにより、安全性を高くすることができる。具

体的には、ICD本体5400の一部のバッテリーが使えなくなったとしても残りのバッテリーが機能させることができるため、補助電源としても機能する。

[0444]

また、電力を受信できるアンテナ5404とは別に、生理信号を送信できるアンテナを有していてもよく、例えば、脈拍、呼吸数、心拍数、及び体温等の生理信号を外部のモニタ装置で確認できるような心臓活動を監視するシステムを構成してもよい。

[0445]

[PC用の拡張デバイス]

本発明の一態様の記憶装置は、PC (Personal Computer) 等の計算機、及び情報端末用の拡張デバイスに適用することができる。

[0446]

図32Aは、当該拡張デバイスの一例として、持ち運びのできる、情報の記憶が可能なチップが搭載された、PCに外付けする拡張デバイス6100を示している。拡張デバイス6100は、例えばUSBでPCに接続することで、当該チップによる情報の記憶を行うことができる。なお、図32Aは、持ち運びが可能な形態の拡張デバイス6100を図示しているが、本発明の一態様の拡張デバイスは、これに限定されず、例えば冷却用ファンを搭載した比較的大きい形態の拡張デバイスとしてもよい。

[0447]

拡張デバイス6100は、筐体6101、キャップ6102、USBコネクタ6103及び基板6104を有する。基板6104は、筐体6101に収納されている。基板6104には、例えば本発明の一態様の記憶装置を駆動する回路が設けられている。例えば、基板6104には、電子部品700、コントローラチップ6106が取り付けられている。USBコネクタ6103は、外部装置と接続するためのインターフェースとして機能する。

[0448]

[SDカード]

本発明の一態様の記憶装置は、情報端末、又はデジタルカメラ等の電子機器に取り付けが可能なSDカードに適用することができる。

[0449]

図32BはSDカードの外観の模式図であり、図32Cは、SDカードの内部構造の模式図である。SDカード5110は、筐体5111、コネクタ5112及び基板5113を有する。コネクタ5112が外部装置と接続するためのインターフェースとして機能する。基板5113は筐体5111に収納されている。基板5113には、記憶装置及び記憶装置を駆動する回路が設けられている。例えば、基板5113には、電子部品700、コントローラチップ5115が取り付けられている。なお、電子部品700とコントローラチップ5115とのそれぞれの回路構成は、上述の記載に限定せず、状況に応じて、適宜回路構成を変更してもよい。例えば、電子部品に備えられている書き込み回路、ロードライバ、又は読み出し回路等は、電子部品700でなく、コントローラチップ5115に組み込んだ構成としてもよい。

[0450]

基板5113の裏面側にも電子部品700を設けることで、SDカード5110の容量を増やすことができる。また、無線通信機能を備えた無線チップを基板5113に設けてもよい。これによ

って、外部装置とＳＤカード５１１０との間で無線通信を行うことができ、電子部品７００のデータの読み出し及び書き込みが可能となる。

[０４５１]

[ＳＳＤ]

本発明の一態様の記憶装置は、情報端末等の電子機器に取り付けが可能なＳＳＤ（Ｓｏｌｉｄ Ｓｔａｔｅ Ｄｒｉｖｅ）に適用することができる。

[０４５２]

図３２ＤはＳＳＤの外観の模式図であり、図３２Ｅは、ＳＳＤの内部構造の模式図である。ＳＳＤ５１５０は、筐体５１５１、コネクタ５１５２及び基板５１５３を有する。コネクタ５１５２が外部装置と接続するためのインターフェースとして機能する。基板５１５３は筐体５１５１に収納されている。基板５１５３には、記憶装置及び記憶装置を駆動する回路が設けられている。例えば、基板５１５３には、電子部品７００、メモリチップ５１５５、コントローラチップ５１５６が取り付けられている。基板５１５３の裏面側にも電子部品７００を設けることで、ＳＳＤ５１５０の容量を増やすことができる。メモリチップ５１５５にはワークメモリが組み込まれている。例えば、メモリチップ５１５５には、ＤＲＡＭチップを用いればよい。コントローラチップ５１５６には、プロセッサ、及びＥＣＣ（Ｅｒｒｏｒ－Ｃｏｒｒｅｃｔｉｎｇ Ｃｏｄｅ）回路等が組み込まれている。なお、電子部品７００と、メモリチップ５１５５と、コントローラチップ５１１５と、のそれぞれの回路構成は、上述の記載に限定せず、状況に応じて、適宜回路構成を変更してもよい。例えば、コントローラチップ５１５６にも、ワークメモリとして機能するメモリを設けてもよい。

[０４５３]

[計算機]

図３３Ａに示す計算機５６００は、大型の計算機の例である。計算機５６００には、ラック５６１０にラックマウント型の計算機５６２０が複数格納されている。

[０４５４]

計算機５６２０は、例えば、図３３Ｂに示す斜視図の構成とすることができる。図３３Ｂにおいて、計算機５６２０は、マザーボード５６３０を有し、マザーボード５６３０は、複数のスロット５６３１、複数の接続端子を有する。スロット５６３１には、ＰＣカード５６２１が挿されている。加えて、ＰＣカード５６２１は、接続端子５６２３、接続端子５６２４、接続端子５６２５を有し、それぞれ、マザーボード５６３０に接続されている。

[０４５５]

図３３Ｃに示すＰＣカード５６２１は、ＣＰＵ、ＧＰＵ、及び記憶装置等を備えた処理ボードの一例である。ＰＣカード５６２１は、ボード５６２２を有する。また、ボード５６２２は、接続端子５６２３と、接続端子５６２４と、接続端子５６２５と、半導体装置５６２６と、半導体装置５６２７と、半導体装置５６２８と、接続端子５６２９と、を有する。なお、図３３Ｃには、半導体装置５６２６、半導体装置５６２７、及び半導体装置５６２８以外の半導体装置を図示しているが、それらの半導体装置については、以下に記載する半導体装置５６２６、半導体装置５６２７、及び半導体装置５６２８の説明を参酌すればよい。

[０４５６]

接続端子５６２９は、マザーボード５６３０のスロット５６３１に挿すことができる形状を有しており、接続端子５６２９は、ＰＣカード５６２１とマザーボード５６３０とを接続するためのイ

ンターフェースとして機能する。接続端子 5 6 2 9 の規格としては、例えば P C I e が挙げられる。
[0 4 5 7]

接続端子 5 6 2 3、接続端子 5 6 2 4、及び接続端子 5 6 2 5 は、例えば、P C カード 5 6 2 1 に対して電力供給、又は信号入力等を行うためのインターフェースとすることができる。また、例えば、P C カード 5 6 2 1 によって計算された信号の出力を行うためのインターフェースとすることができる。接続端子 5 6 2 3、接続端子 5 6 2 4、接続端子 5 6 2 5 のそれぞれの規格としては、例えば、U S B、S A T A (S e r i a l A T A)、及び、S C S I (S m a l l C o m p u t e r S y s t e m I n t e r f a c e) が挙げられる。また、接続端子 5 6 2 3、接続端子 5 6 2 4、及び接続端子 5 6 2 5 から映像信号を出力する場合、それぞれの規格としては、例えば H D M I (登録商標) が挙げられる。

[0 4 5 8]

半導体装置 5 6 2 6 は、信号の入出力を行う端子 (図示しない) を有しており、当該端子をボード 5 6 2 2 が備えるソケット (図示しない) に対して差し込むことで、半導体装置 5 6 2 6 とボード 5 6 2 2 を電氣的に接続することができる。

[0 4 5 9]

半導体装置 5 6 2 7 は、複数の端子を有しており、当該端子をボード 5 6 2 2 が備える配線に対して、例えば、リフロー方式のはんだ付けを行うことで、半導体装置 5 6 2 7 とボード 5 6 2 2 を電氣的に接続することができる。半導体装置 5 6 2 7 としては、例えば、F P G A、G P U、及び C P U 等が挙げられる。半導体装置 5 6 2 7 として、例えば、電子部品 7 3 0 を用いることができる。

[0 4 6 0]

半導体装置 5 6 2 8 は、複数の端子を有しており、当該端子をボード 5 6 2 2 が備える配線に対して、例えば、リフロー方式のはんだ付けを行うことで、半導体装置 5 6 2 8 とボード 5 6 2 2 を電氣的に接続することができる。半導体装置 5 6 2 8 としては、例えば、記憶装置が挙げられる。半導体装置 5 6 2 8 として、例えば、電子部品 7 0 0 を用いることができる。

[0 4 6 1]

計算機 5 6 0 0 は並列計算機としても機能できる。計算機 5 6 0 0 を並列計算機として用いることで、例えば、人工知能の学習、及び推論に必要な大規模の計算を行うことができる。

[0 4 6 2]

上記の各種電子機器等に、本発明の一態様の記憶装置を用いることにより、電子機器の小型化、及び低消費電力化を図ることができる。また、本発明の一態様の記憶装置は消費電力が少ないため、回路からの発熱を低減することができる。よって、当該発熱によるその回路自体、周辺回路、及びモジュールへの悪影響を低減できる。また、本発明の一態様の記憶装置を用いることにより、高温環境下においても動作が安定した電子機器を実現できる。よって、電子機器の信頼性を高めることができる。

[0 4 6 3]

本実施の形態は、他の実施の形態と適宜組み合わせることができる。

[0 4 6 4]

(実施の形態 6)

本実施の形態では、本発明の一態様の半導体装置を宇宙用機器に適用する場合の具体例について、

図 3 4 を用いて説明する。

[0 4 6 5]

本発明の一態様の半導体装置は、OS トランジスタを含む。OS トランジスタは、放射線照射による電気特性の変動が小さい。つまり放射線に対する耐性が高いため、放射線が入射しうる環境において好適に用いることができる。例えば、OS トランジスタは、宇宙空間にて使用する場合に好適に用いることができる。

[0 4 6 6]

図 3 4 には、宇宙用機器の一例として、人工衛星 6 8 0 0 を示している。人工衛星 6 8 0 0 は、機体 6 8 0 1 と、ソーラーパネル 6 8 0 2 と、アンテナ 6 8 0 3 と、二次電池 6 8 0 5 と、制御装置 6 8 0 7 と、を有する。なお、図 3 4 においては、宇宙空間に惑星 6 8 0 4 を例示している。なお、宇宙空間とは、例えば、高度 1 0 0 k m 以上を指すが、本明細書に記載の宇宙空間は、熱圏、中間圏、及び成層圏のうち一つ又は複数を含んでもよい。

[0 4 6 7]

また、宇宙空間は、地上に比べて 1 0 0 倍以上、放射線量の高い環境である。なお、放射線として、例えば、X 線、及びガンマ線に代表される電磁波（電磁放射線）、並びにアルファ線、ベータ線、中性子線、陽子線、重イオン線、中間子線等に代表される粒子放射線が挙げられる。

[0 4 6 8]

ソーラーパネル 6 8 0 2 に太陽光が照射されることにより、人工衛星 6 8 0 0 が動作するために必要な電力が生成される。しかしながら、例えばソーラーパネルに太陽光が照射されない状況、又はソーラーパネルに照射される太陽光の光量が少ない状況では、生成される電力が少なくなる。よって、人工衛星 6 8 0 0 が動作するために必要な電力が生成されない可能性がある。生成される電力が少ない状況下であっても人工衛星 6 8 0 0 を動作させるために、人工衛星 6 8 0 0 に二次電池 6 8 0 5 を設けるとよい。なお、ソーラーパネルは、太陽電池モジュールと呼ばれる場合がある。

[0 4 6 9]

人工衛星 6 8 0 0 は、信号を生成することができる。当該信号は、アンテナ 6 8 0 3 を介して送信され、例えば地上に設けられた受信機、又は他の人工衛星が当該信号を受信することができる。人工衛星 6 8 0 0 が送信した信号を受信することにより、当該信号を受信した受信機の位置を測定することができる。以上より、人工衛星 6 8 0 0 は、衛星測位システムを構成することができる。

[0 4 7 0]

また、制御装置 6 8 0 7 は、人工衛星 6 8 0 0 を制御する機能を有する。制御装置 6 8 0 7 としては、例えば、CPU、GPU、及び記憶装置の中から選ばれるいずれか一又は複数を用いて構成される。なお、制御装置 6 8 0 7 には、本発明の一態様である OS トランジスタを含む半導体装置を用いると好適である。OS トランジスタは、Si トランジスタと比較し、放射線照射による電気特性の変動が小さい。つまり放射線が入射しうる環境においても信頼性が高く、好適に用いることができる。

[0 4 7 1]

また、人工衛星 6 8 0 0 は、センサを有する構成とすることができる。例えば、可視光センサを有する構成とすることにより、人工衛星 6 8 0 0 は、地上に設けられている物体に当たって反射された太陽光を検出する機能を有することができる。又は、熱赤外センサを有する構成とすることにより、人工衛星 6 8 0 0 は、地表から放出される熱赤外線を検出する機能を有することができる。

以上より、人工衛星6800は、例えば地球観測衛星としての機能を有することができる。

[0472]

なお、本実施の形態においては、宇宙用機器の一例として、人工衛星について例示したがこれに限定されない。例えば、本発明の一態様の半導体装置は、宇宙船、宇宙カプセル、及び宇宙探査機等の宇宙用機器に好適に用いることができる。

[符号の説明]

[0473]

10A：半導体装置、10B：半導体装置、10C：半導体装置、10D：半導体装置、10E：半導体装置、10F：半導体装置、10：半導体装置、20a：メモリセル、20b：メモリセル、20c：メモリセル、20d：メモリセル、20e：メモリセル、20f：メモリセル、20：メモリセル、21：メモリセル、22：メモリセル、31A：トランジスタ、31Aa：トランジスタ、31Ab：トランジスタ、31Ac：トランジスタ、31Ad：トランジスタ、31B：トランジスタ、31Ba：トランジスタ、31Bb：トランジスタ、31Bc：トランジスタ、31Bd：トランジスタ、31：トランジスタ、32A：トランジスタ、32B：トランジスタ、32：トランジスタ、41a：容量、41b：容量、41c：容量、41d：容量、41：容量、42：容量、210：絶縁体、212：絶縁体、230：金属酸化物、241A：導電体、241Aa：導電体、241Ab：導電体、241Ac：導電体、241Ad：導電体、241B：導電体、241Ba：導電体、241Bb：導電体、241Bc：導電体、241Bd：導電体、241：導電体、242A：導電体、242Ac：導電体、242Ad：導電体、242B：導電体、242Ba：導電体、242Bb：導電体、242：導電体、250：絶縁体、260A：導電体、260Aa：導電体、260Ab：導電体、260Ac：導電体、260Ad：導電体、260B：導電体、260Ba：導電体、260Bb：導電体、260Bc：導電体、260Bd：導電体、260：導電体、261a：導電体、261b：導電体、261c：導電体、261d：導電体、261：導電体、262A：導電体、262Aa：導電体、262Ab：導電体、262Ac：導電体、262Ad：導電体、262B：導電体、262Ba：導電体、262Bb：導電体、262Bc：導電体、262Bd：導電体、262：導電体、263a：絶縁体、263b：絶縁体、263c：絶縁体、263d：絶縁体、263：絶縁体、264a：導電体、264b：導電体、264c：導電体、264d：導電体、264：導電体、270：絶縁体、272：絶縁体、274：絶縁体、275：絶縁体、276：絶縁体、290A：導電体、290Ac：導電体、290Ad：導電体、290B：導電体、290Ba：導電体、290Bb：導電体、300：トランジスタ、311：基板、313：半導体領域、314a：低抵抗領域、314b：低抵抗領域、315：絶縁体、316：導電体、320：絶縁体、322：絶縁体、324：絶縁体、326：絶縁体、328：導電体、330：導電体、500：記憶装置、510：メモリセル、511：記憶層、515：メモリセルアレイ、522：PSW、523：PSW、531：周辺回路、532：コントロール回路、533：電圧生成回路、541：周辺回路、542：行デコーダ、543：行ドライバ、544：列デコーダ、545：列ドライバ、546：センスアンプ、547：入力回路、548：出力回路、550：駆動回路層、600：回路、652：AND回路、653：アナログスイッチ、654：アナログスイッチ、661：トランジスタ、662：トランジスタ、663：トランジスタ、664：トランジスタ、666：トランジスタ、700：電子部品、702：プリント基板、704：実装基板、711：モールド、712：ランド、713：電極パッド、714：

ワイヤ、730：電子部品、731：インターポーザ、732：パッケージ基板、733：電極、735：半導体装置、1200：チップ、1201：パッケージ基板、1202：バンプ、1203：マザーボード、1204：GPUモジュール、1211：CPU、1212：GPU、1213：アナログ演算部、1214：メモリコントローラ、1215：インターフェース、1216：ネットワーク回路、1221：DRAM、1222：フラッシュメモリ、5110：SDカード、5111：筐体、5112：コネクタ、5113：基板、5115：コントローラチップ、5150：SSD、5151：筐体、5152：コネクタ、5153：基板、5155：メモリチップ、5156：コントローラチップ、5200：携帯ゲーム機、5201：筐体、5202：表示部、5203：ボタン、5300：デスクトップ型情報端末、5301：本体、5302：表示部、5303：キーボード、5400：LCD本体、5401：バッテリー、5402：ワイヤ、5403：ワイヤ、5404：アンテナ、5405：鎖骨下静脈、5406：上大静脈、5500：情報端末、5510：筐体、5511：表示部、5600：計算機、5610：ラック、5620：計算機、5621：PCカード、5622：ボード、5623：接続端子、5624：接続端子、5625：接続端子、5626：半導体装置、5627：半導体装置、5628：半導体装置、5629：接続端子、5630：マザーボード、5631：スロット、5700：自動車、5800：電気冷凍冷蔵庫、5801：筐体、5802：冷蔵室用扉、5803：冷凍室用扉、5900：情報端末、5901：筐体、5902：表示部、5903：操作スイッチ、5904：操作スイッチ、5905：バンド、6100：拡張デバイス、6101：筐体、6102：キャップ、6103：USBコネクタ、6104：基板、6106：コントローラチップ、6240：デジタルカメラ、6241：筐体、6242：表示部、6243：操作スイッチ、6244：シャッターボタン、6246：レンズ、6300：ビデオカメラ、6301：第1筐体、6302：第2筐体、6303：表示部、6304：操作スイッチ、6305：レンズ、6306：接続部、6800：人工衛星、6801：機体、6802：ソーラーパネル、6803：アンテナ、6804：惑星、6805：二次電池、6807：制御装置、7500：据え置き型ゲーム機、7520：本体、7522：コントローラ

請求の範囲

[請求項 1]

第 1 のトランジスタと、第 2 のトランジスタと、容量と、第 1 の導電体と、を有し、
前記第 1 のトランジスタは、前記第 2 のトランジスタと同一層に設けられ、
前記第 1 のトランジスタ及び前記第 2 のトランジスタのそれぞれは、第 2 の導電体乃至第 4 の導電体と、金属酸化物と、第 1 の絶縁体と、を有し、
前記第 3 の導電体は、前記第 2 の導電体上に設けられ、
前記第 3 の導電体は、上面視において前記第 2 の導電体と重なる開口を有し、
前記金属酸化物は、前記開口の側面及び前記第 2 の導電体の上面のそれぞれと接する領域を有し、
前記第 1 の絶縁体は、前記金属酸化物の凹部に設けられ、
前記第 4 の導電体は、前記第 1 の絶縁体の凹部に設けられ、
前記第 4 の導電体は、断面視における前記第 2 の導電体と前記第 3 の導電体の間の領域において、前記第 1 の絶縁体を介して前記金属酸化物と重なる領域を有し、
前記容量は、前記第 2 のトランジスタ上に設けられ、
前記容量は、第 5 の導電体と、前記第 5 の導電体上の第 2 の絶縁体と、前記第 2 の絶縁体上の第 6 の導電体と、を有し、
前記第 5 の導電体は、前記第 1 の導電体を介して、前記第 1 のトランジスタが有する前記第 2 の導電体と電気的に接続され、
前記第 5 の導電体は、前記第 2 のトランジスタが有する前記第 4 の導電体と電気的に接続される、半導体装置。

[請求項 2]

請求項 1 において、
第 7 の導電体をさらに有し、
前記第 7 の導電体は、前記第 1 のトランジスタが有する前記第 4 の導電体と電気的に接続し、
前記第 7 の導電体は、前記第 5 の導電体と同一層に設けられ、
前記第 7 の導電体が延在する方向は、前記第 6 の導電体が延在する方向と同じである、半導体装置。

[請求項 3]

第 1 のトランジスタと、第 2 のトランジスタと、容量と、第 1 の導電体と、を有し、
前記第 1 のトランジスタは、前記第 2 のトランジスタと同一層に設けられ、
前記第 1 のトランジスタ及び前記第 2 のトランジスタのそれぞれは、第 2 の導電体乃至第 4 の導電体と、金属酸化物と、第 1 の絶縁体と、を有し、
前記第 3 の導電体は、前記第 2 の導電体上に設けられ、
前記第 3 の導電体は、上面視において前記第 2 の導電体と重なる開口を有し、
前記金属酸化物は、前記開口の側面及び前記第 2 の導電体の上面のそれぞれと接する領域を有し、
前記第 1 の絶縁体は、前記金属酸化物の凹部に設けられ、
前記第 4 の導電体は、前記第 1 の絶縁体の凹部に設けられ、
前記第 4 の導電体は、断面視における前記第 2 の導電体と前記第 3 の導電体の間の領域において、前記第 1 の絶縁体を介して前記金属酸化物と重なる領域を有し、
前記容量は、前記第 1 のトランジスタが有する前記第 2 の導電体と、第 2 の絶縁体と、第 5 の導

電体と、を有し、

前記第2の絶縁体は、前記第1のトランジスタが有する前記第2の導電体の下方に設けられ、

前記第5の導電体は、前記第2の絶縁体の下方に設けられ、

前記第1のトランジスタが有する前記第2の導電体は、前記第1の導電体を介して、前記第2のトランジスタが有する前記第4の導電体と電氣的に接続される、半導体装置。

[請求項4]

請求項3において、

第6の導電体をさらに有し、

前記第6の導電体は、前記第1のトランジスタが有する前記第4の導電体と電氣的に接続し、

前記第6の導電体が延在する方向は、前記第5の導電体が延在する方向と同じである、半導体装置。

[請求項5]

請求項3において、

前記第2のトランジスタのチャンネル長は、前記第1のトランジスタのチャンネル長よりも長い、半導体装置。

[請求項6]

第1のトランジスタと、第2のトランジスタと、容量と、第1の導電体と、を有し、

前記第1のトランジスタは、前記第2のトランジスタと同一層に設けられ、

前記第1のトランジスタ及び前記第2のトランジスタのそれぞれは、第2の導電体乃至第4の導電体と、金属酸化物と、第1の絶縁体と、を有し、

前記第4の導電体は、前記第2の導電体上に設けられ、

前記第4の導電体は、上面視において前記第2の導電体と重なる開口を有し、

前記第3の導電体は、前記第4の導電体上に設けられ、

前記第3の導電体は、前記開口と重なる領域を有し、

前記第1の絶縁体は、前記開口の側面と接する領域を有し、

前記金属酸化物は、前記第2の導電体の上面と接する領域と、前記第3の導電体の下面と接する領域と、前記第1の絶縁体を介して前記第4の導電体と重なる領域と、を有し、

前記容量は、前記第1のトランジスタが有する前記第2の導電体と、第2の絶縁体と、第5の導電体と、を有し、

前記第2の絶縁体は、前記第1のトランジスタが有する前記第2の導電体の下方に設けられ、

前記第5の導電体は、前記第2の絶縁体の下方に設けられ、

前記第1のトランジスタが有する前記第2の導電体は、前記第1の導電体を介して、前記第2のトランジスタが有する前記第4の導電体と電氣的に接続される、半導体装置。

[請求項7]

請求項6において、

前記第2のトランジスタのチャンネル長は、前記第1のトランジスタのチャンネル長よりも長い、半導体装置。

[請求項8]

請求項1乃至請求項7のいずれか一項において、

前記金属酸化物は、インジウムと、元素Mと、亜鉛と、の中から選ばれる二又は三を有し、

前記元素Mは、アルミニウム、ガリウム、イットリウム、及びスズから選ばれた一種又は複数種である、半導体装置。

図1A

10

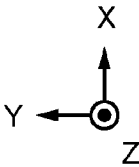
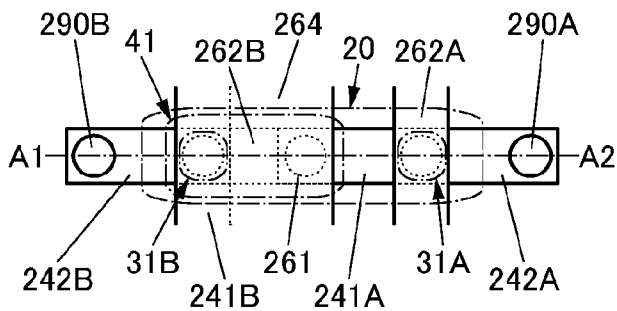


図1B

10

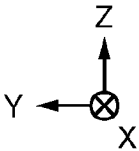
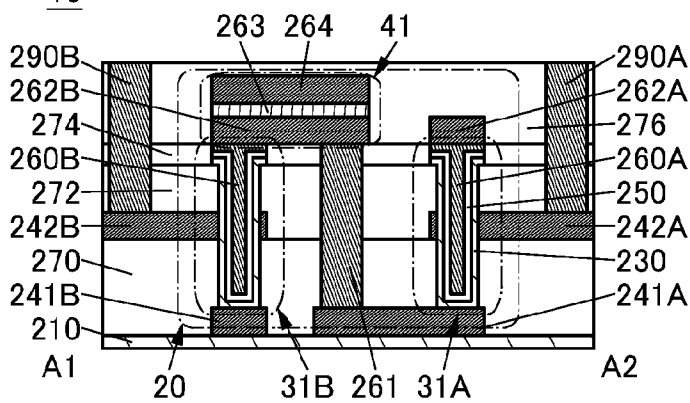


図1C

10

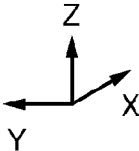
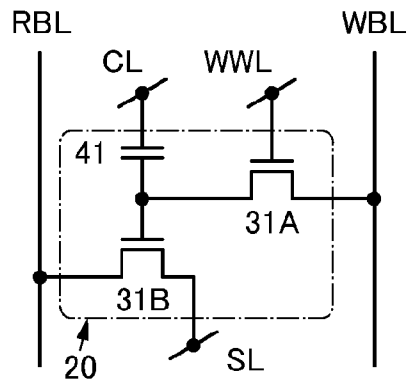


図2

10

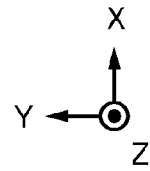
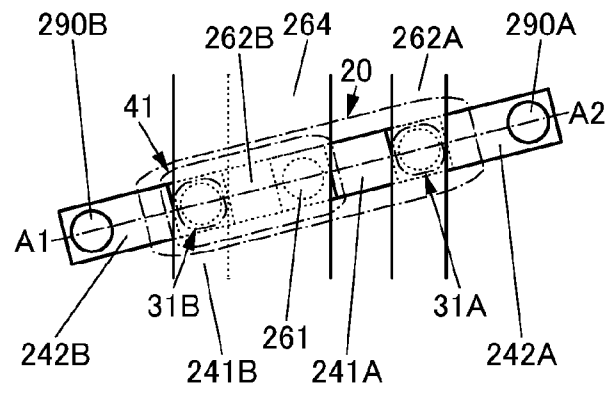


图 3A
31

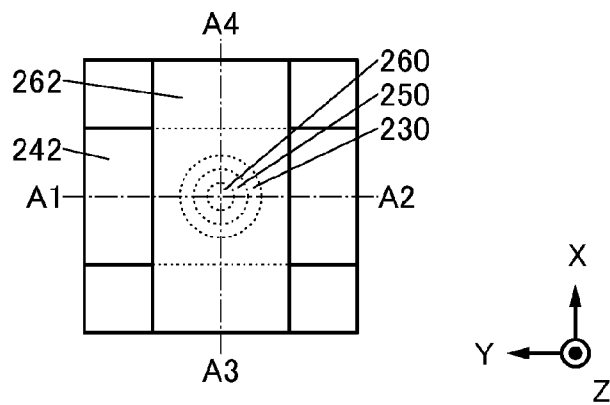


图 3B

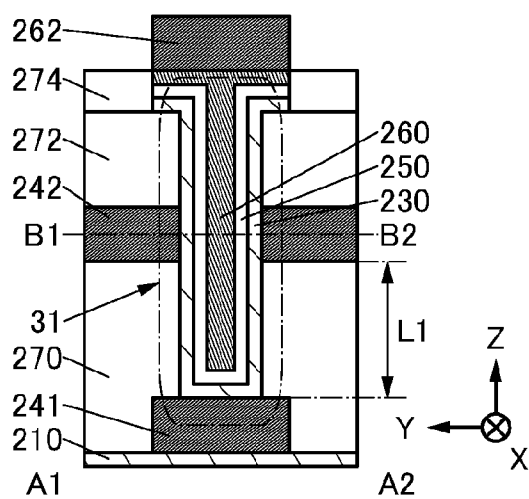


图 3C

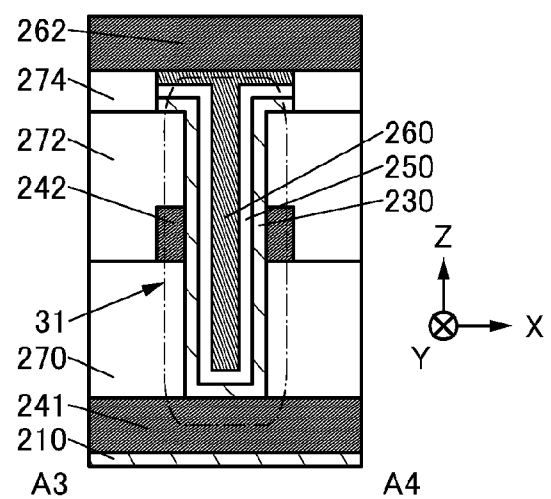


图 3D

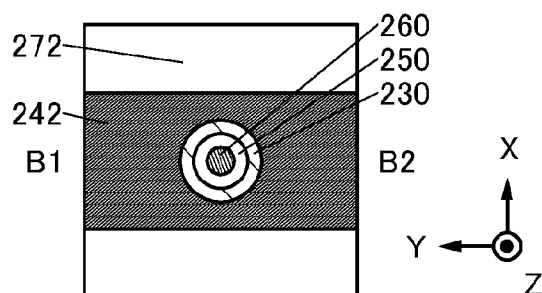


图4A

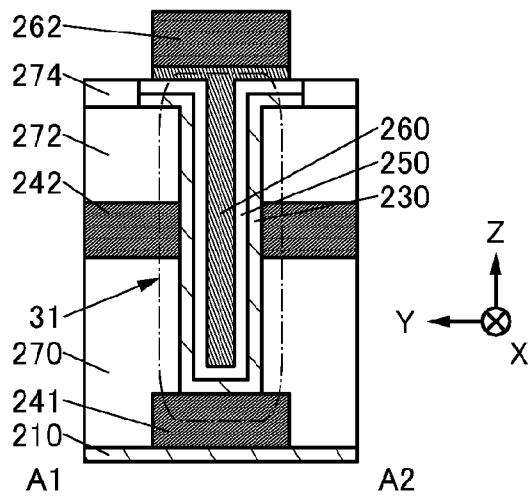


图4B

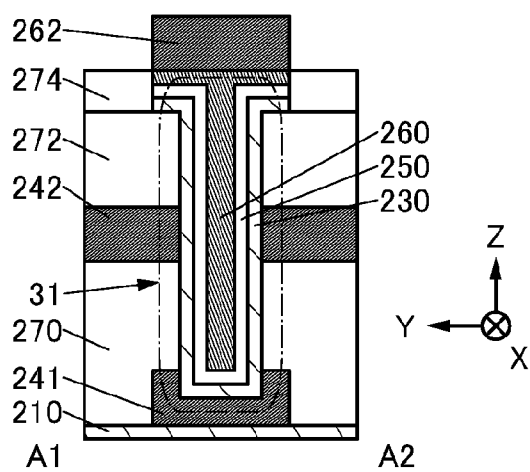


图4C

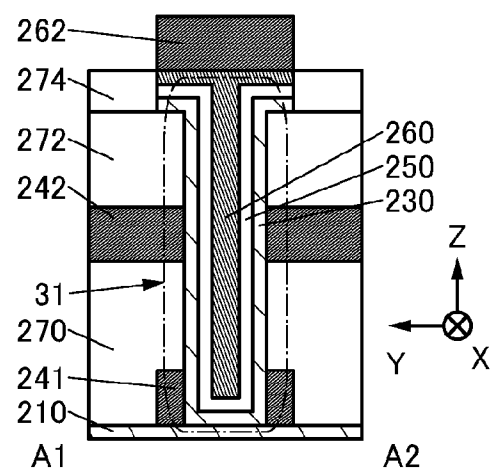


图4D

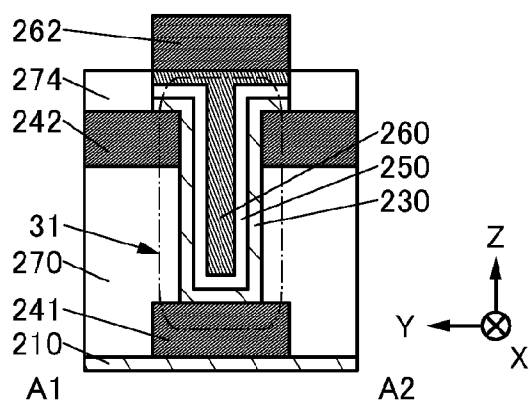


図5A

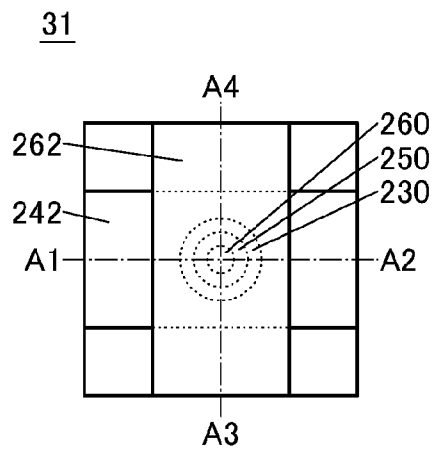


図5B

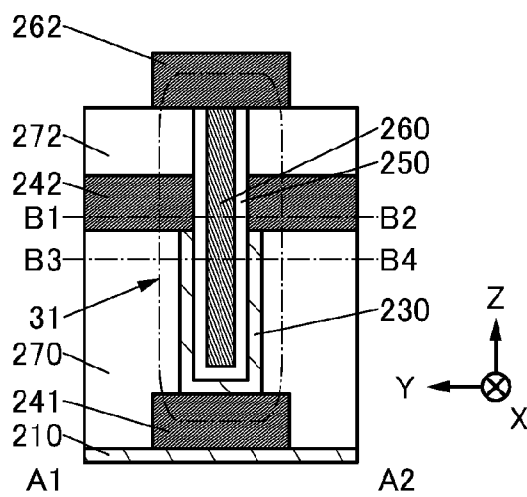


図5C

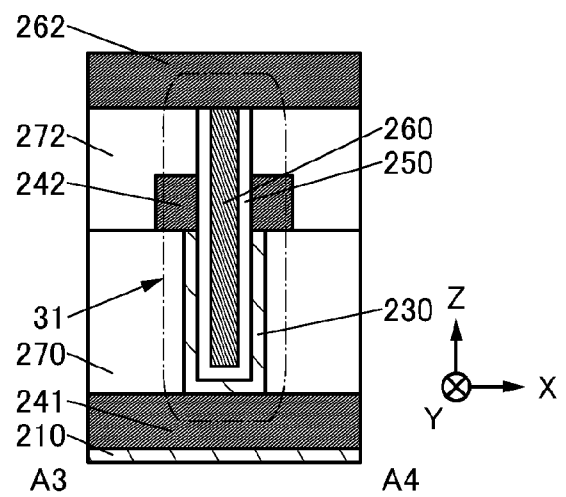


図5D

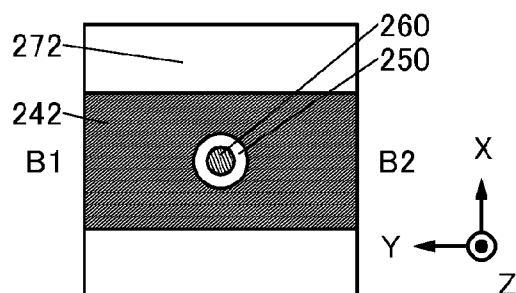


図5E

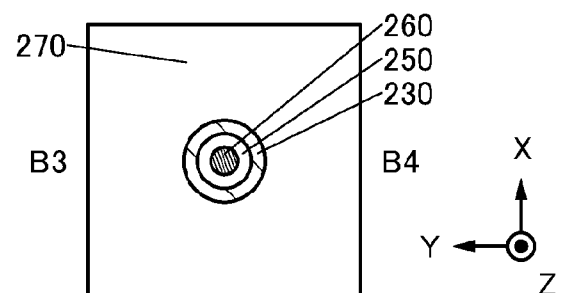


図6A

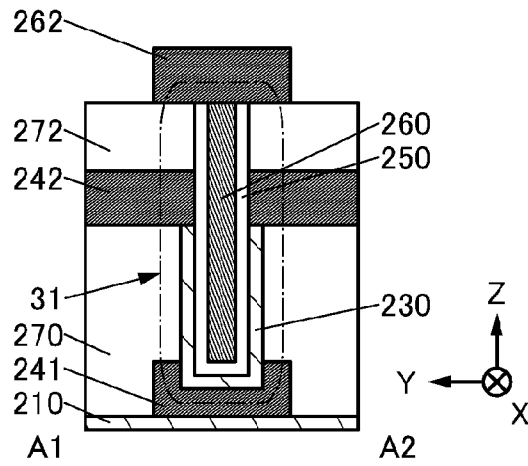


図6B

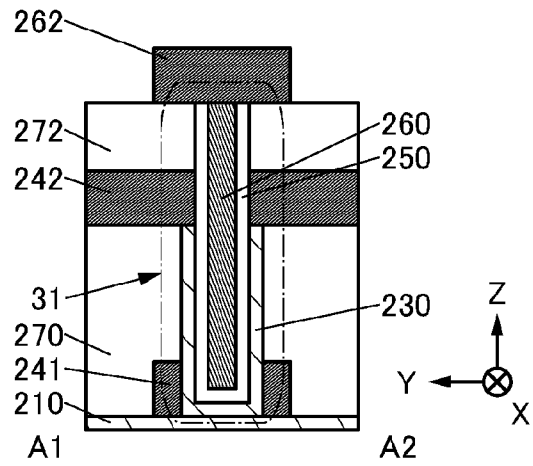


図6C

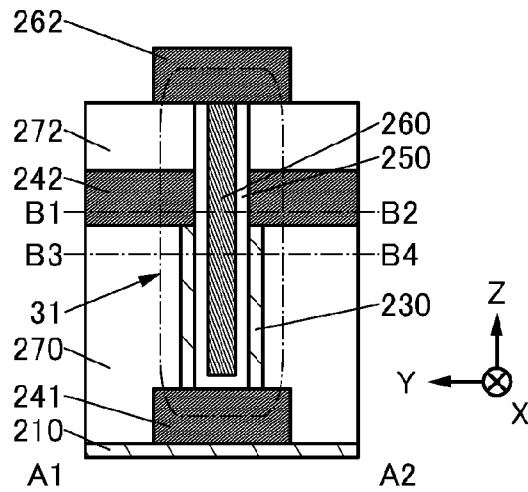


図7A

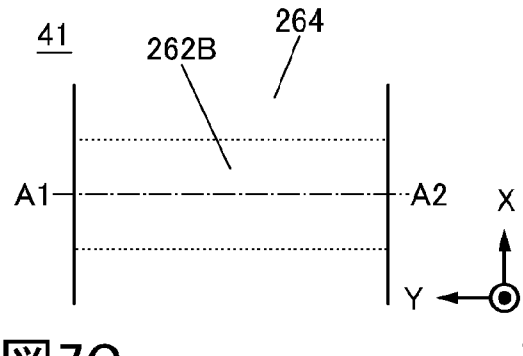


図7B

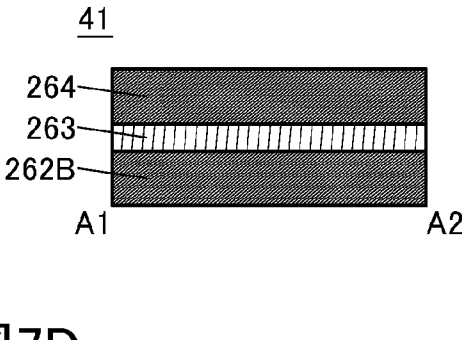


図7C

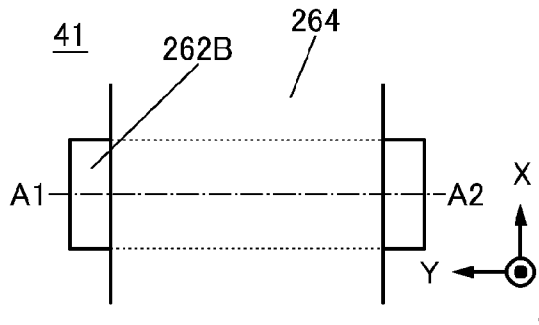


図7D

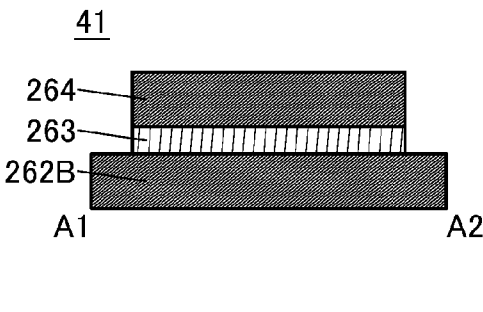


図7E

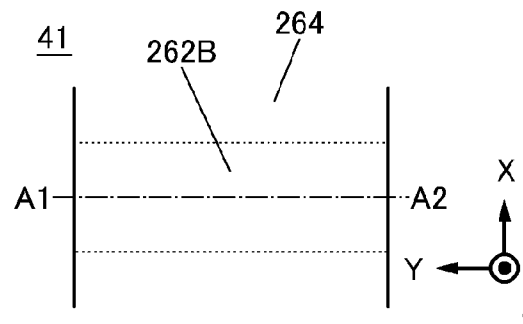


図7F

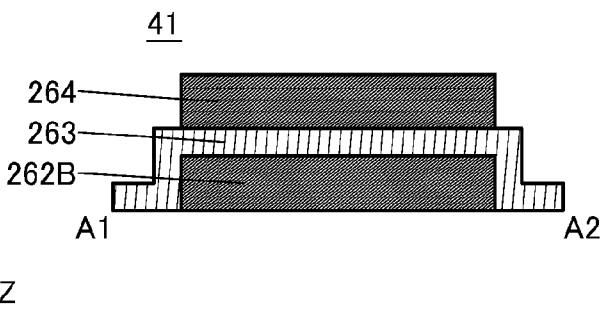


図7G

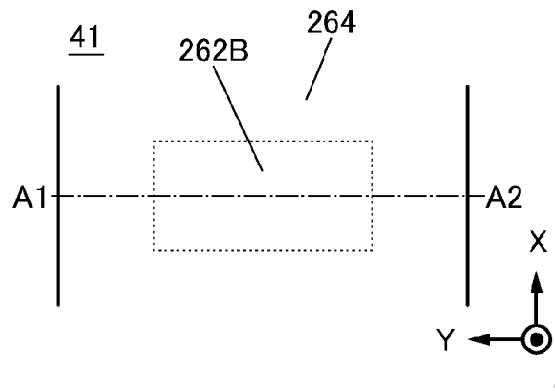


図7H

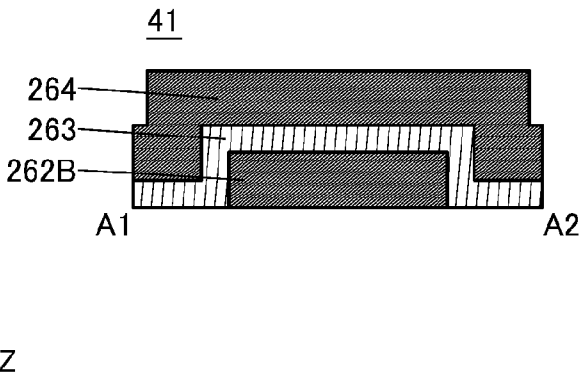


图8

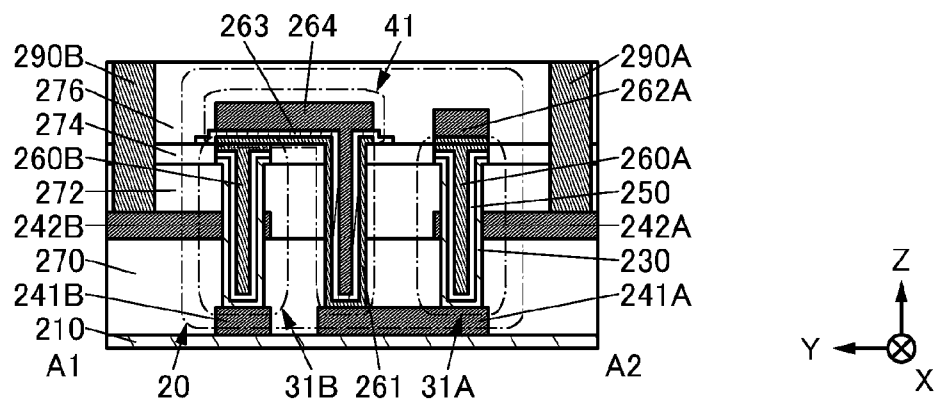


図9A

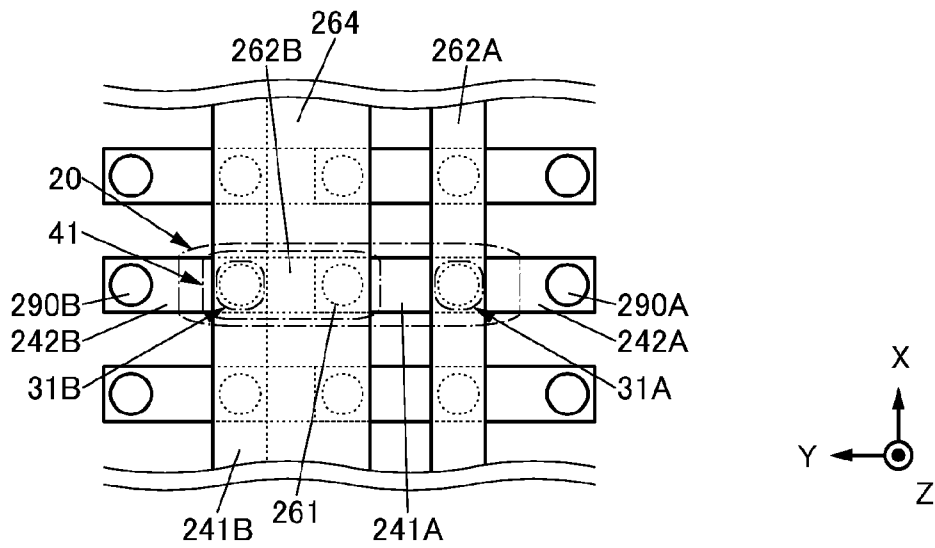
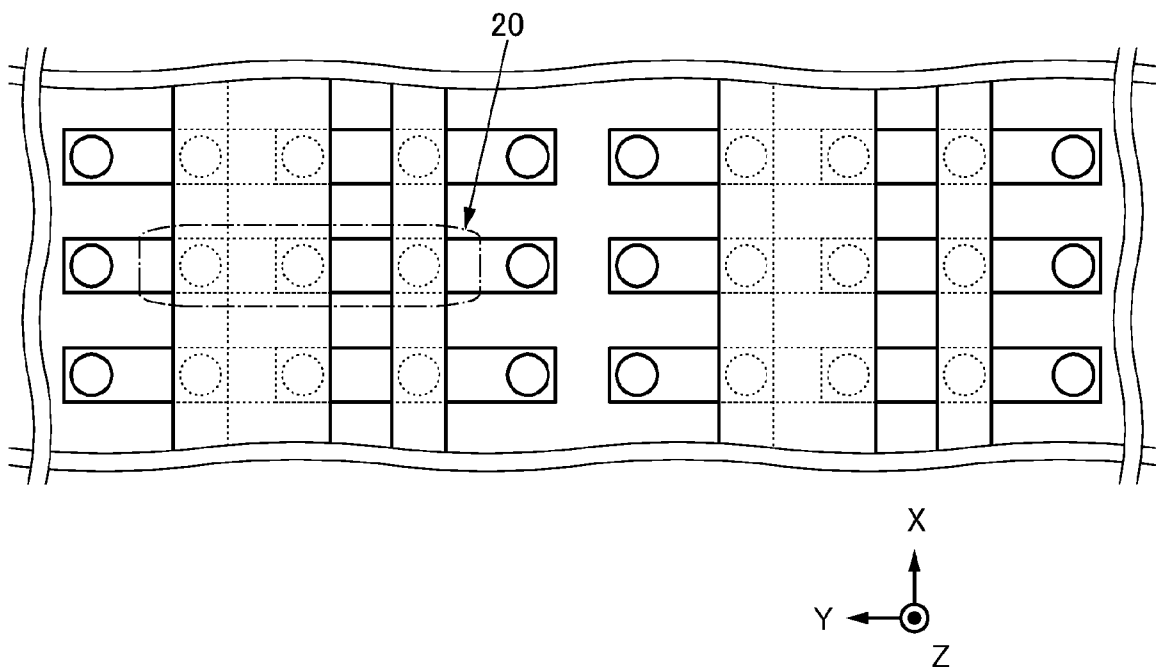
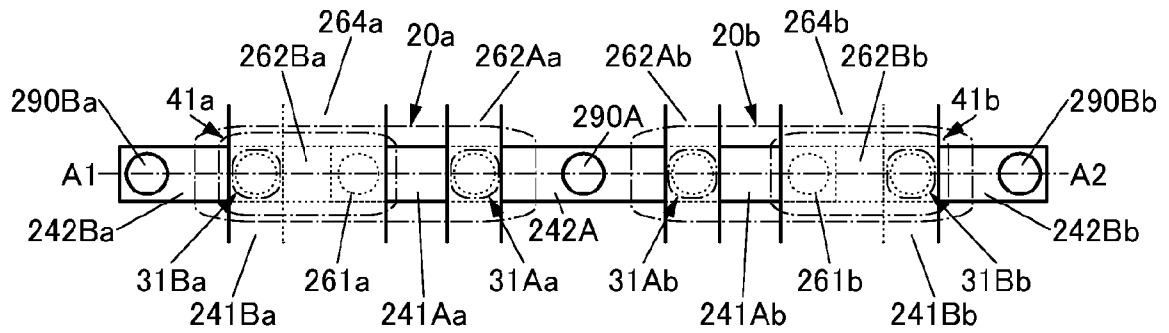


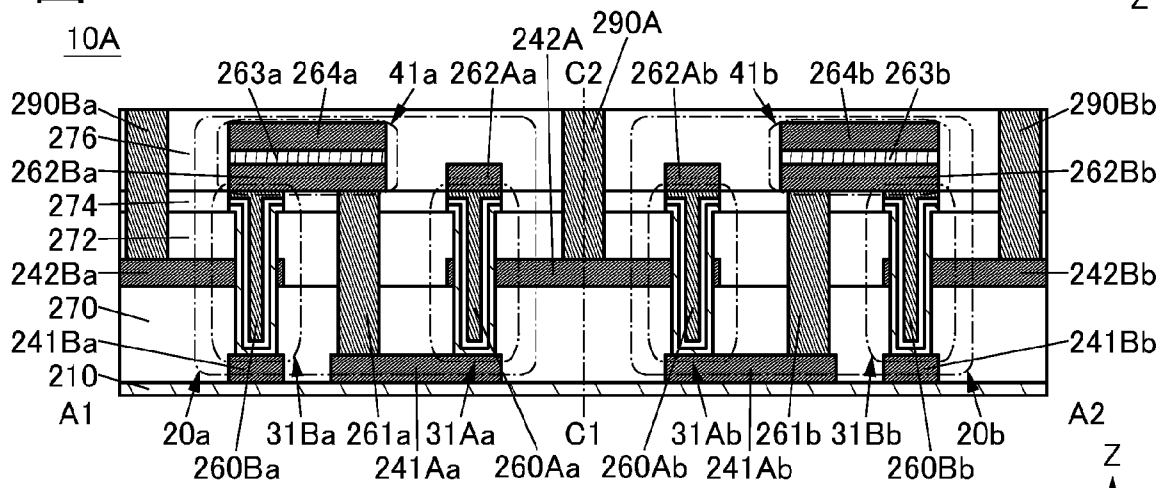
図9B



10A



10A



10A

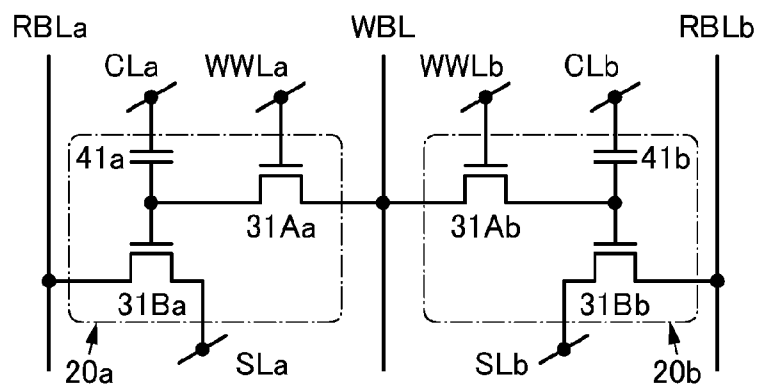


図11A

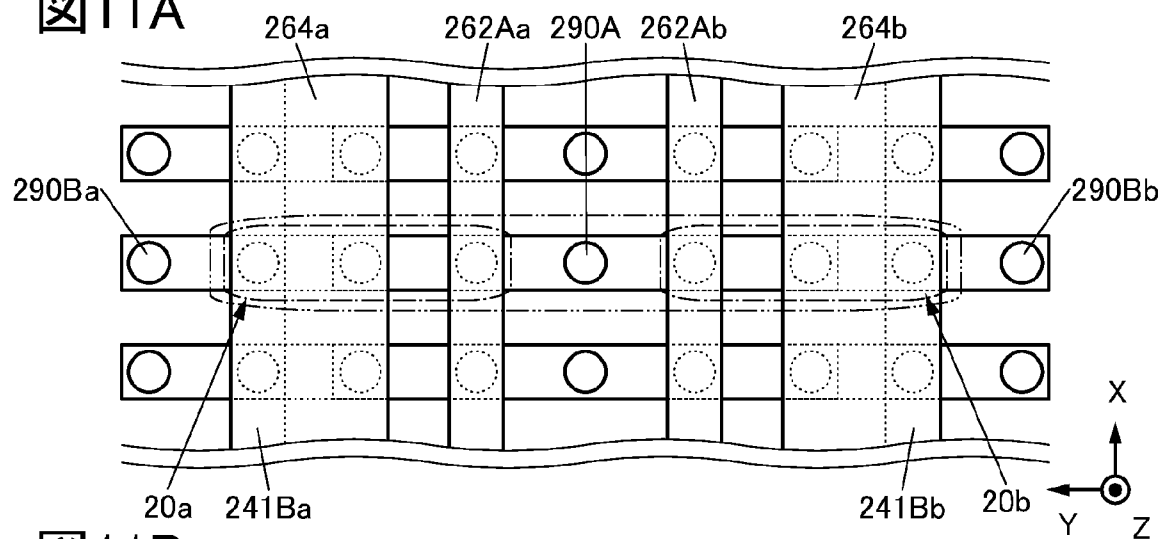


図11B

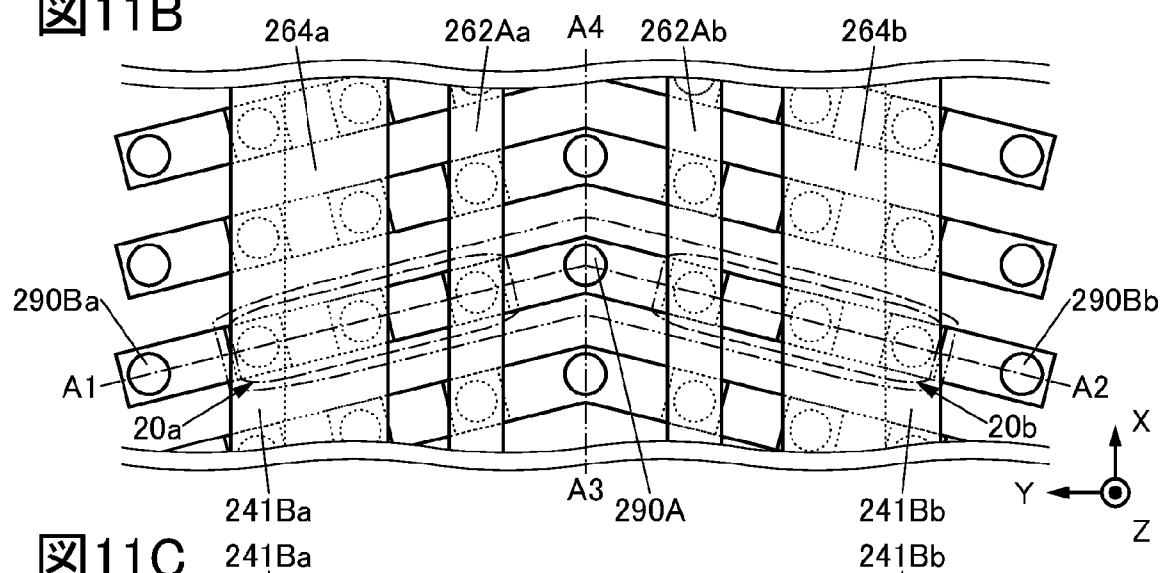
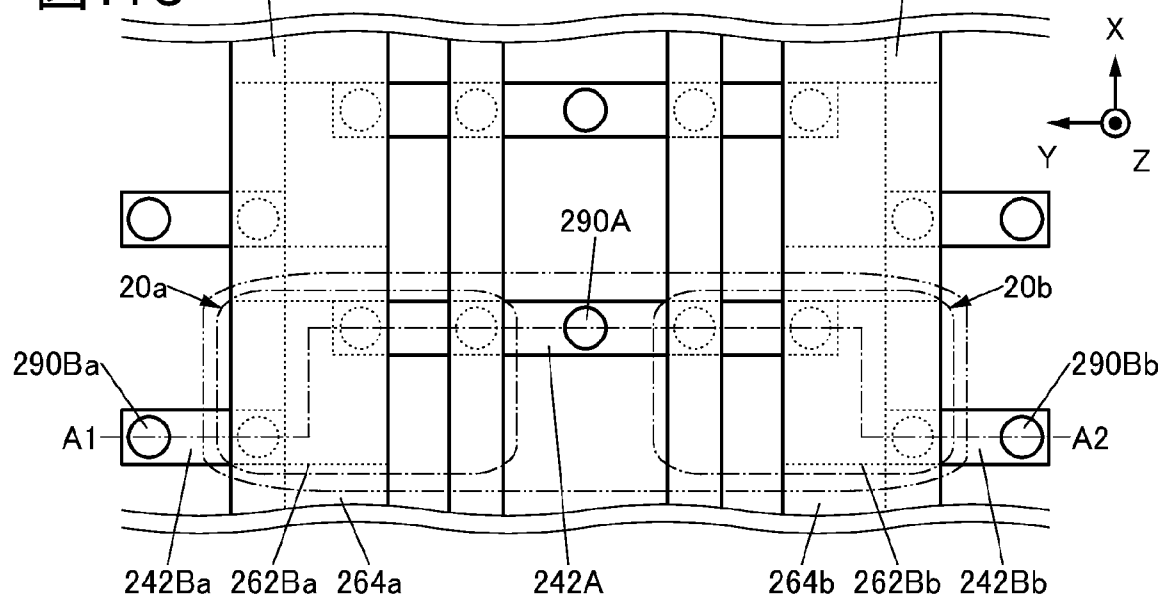
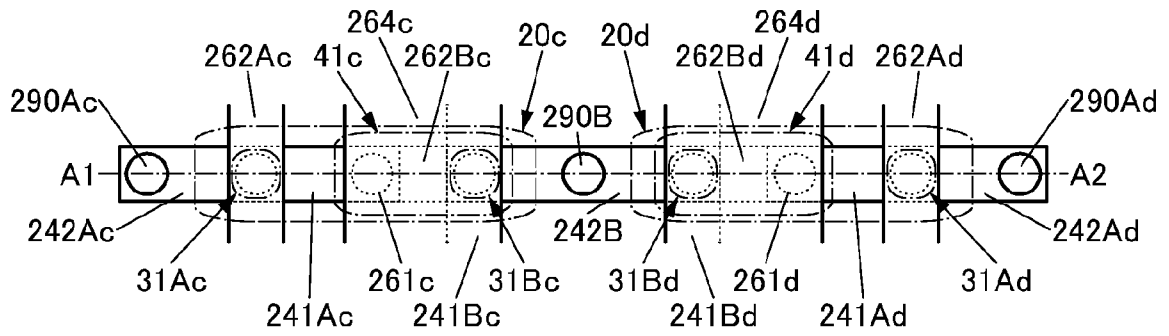


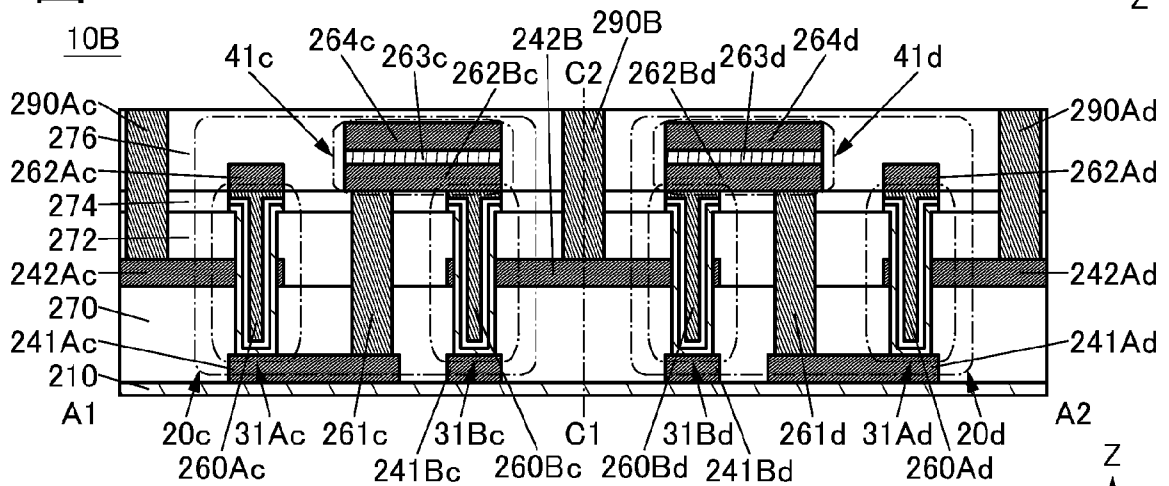
図11C



10B



10B



10B

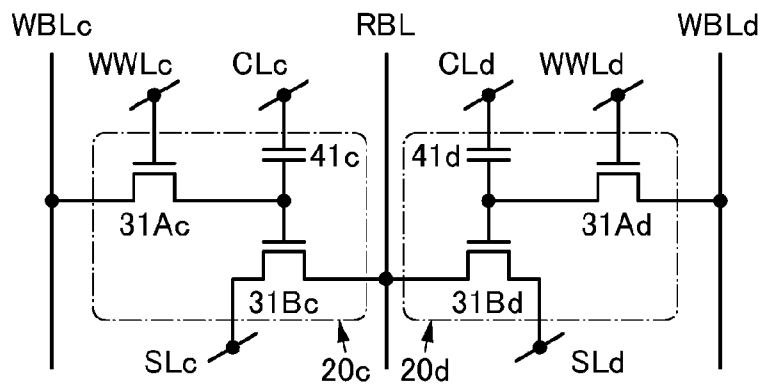


図13A

10C

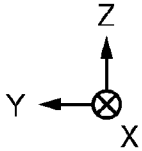
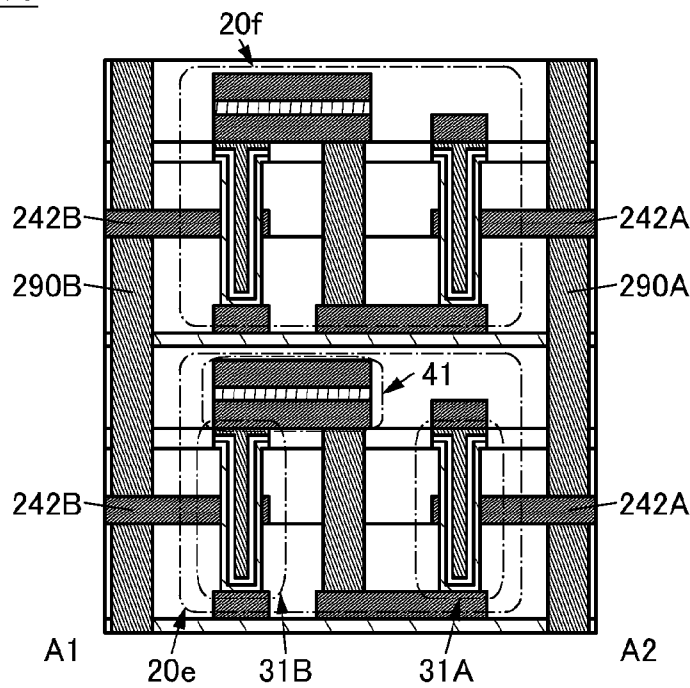


図13B

10C

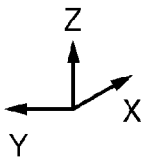
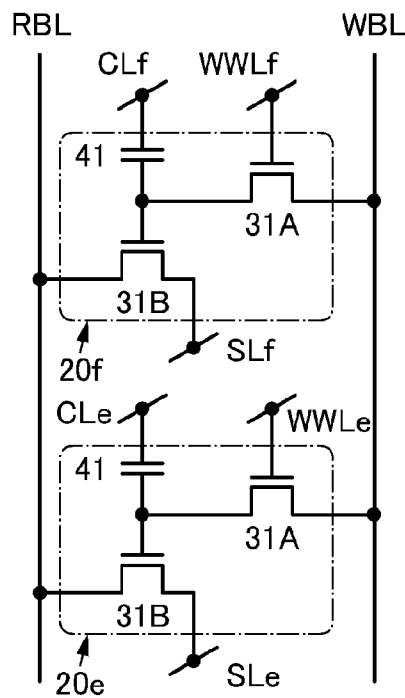


図14A

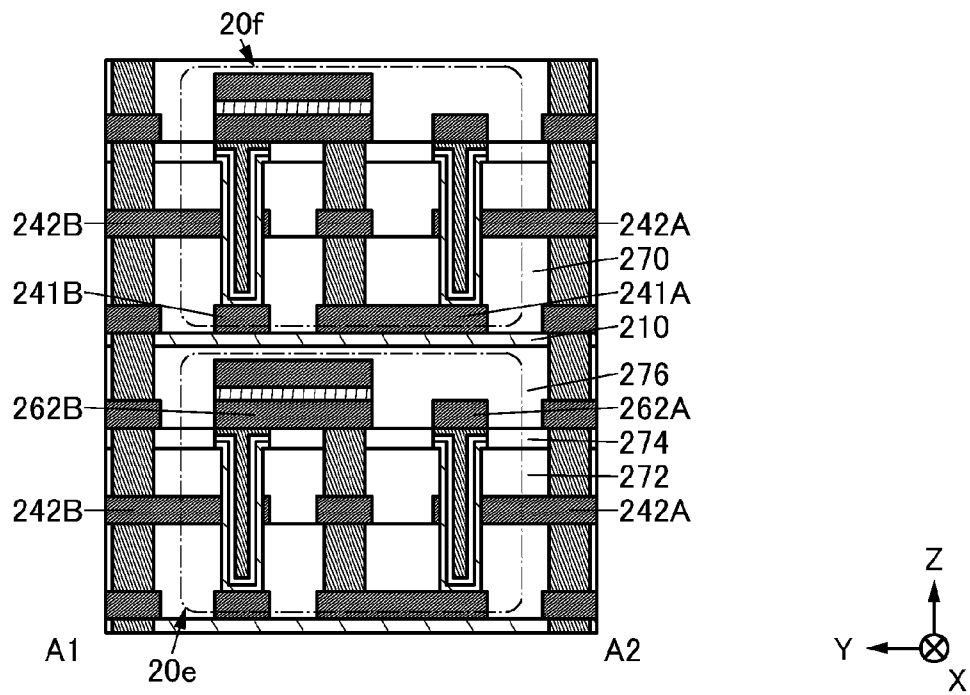
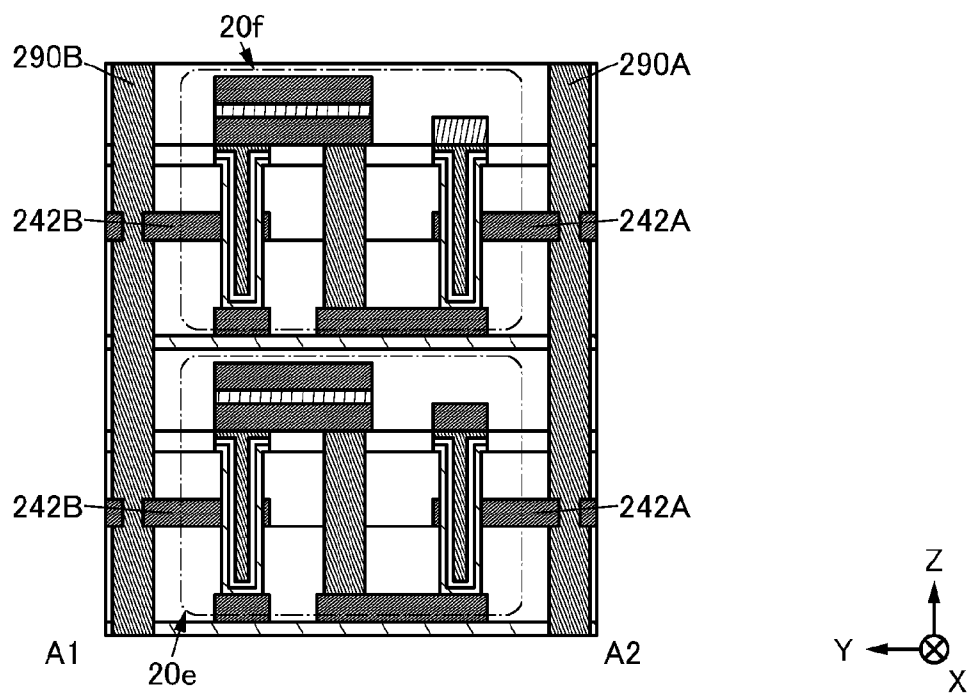
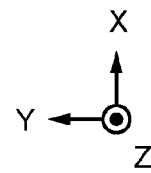
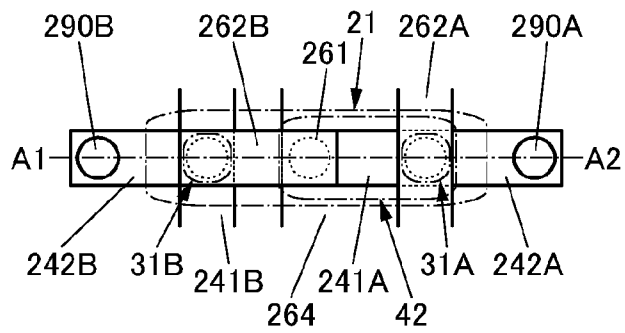


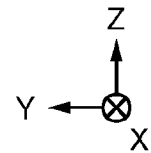
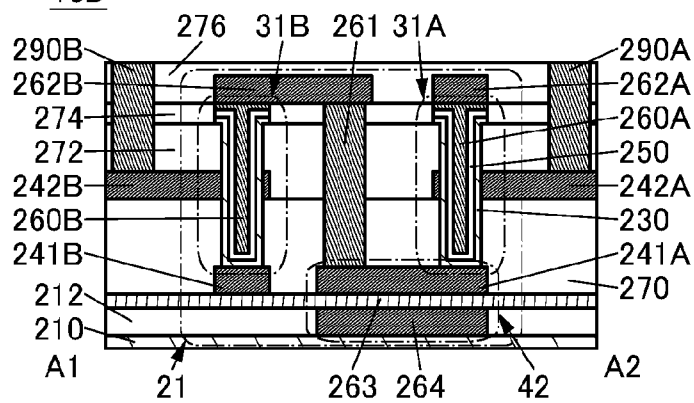
図14B



10D



10D



10D

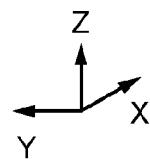
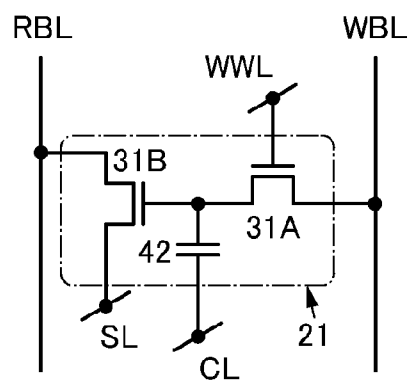


図16A

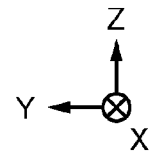
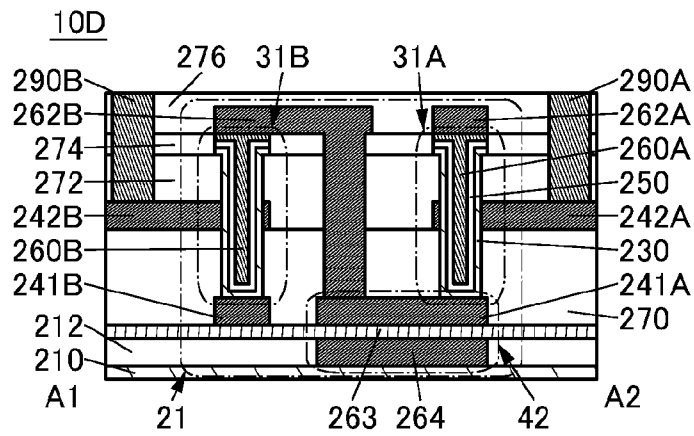


図16B

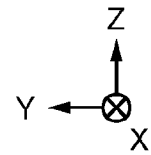
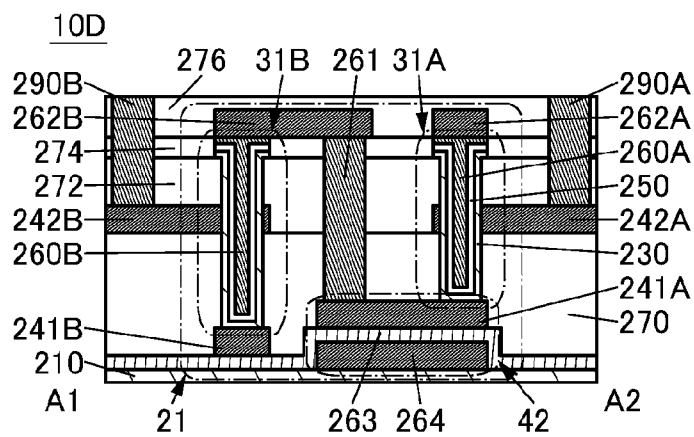


図17A

10E

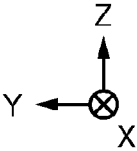
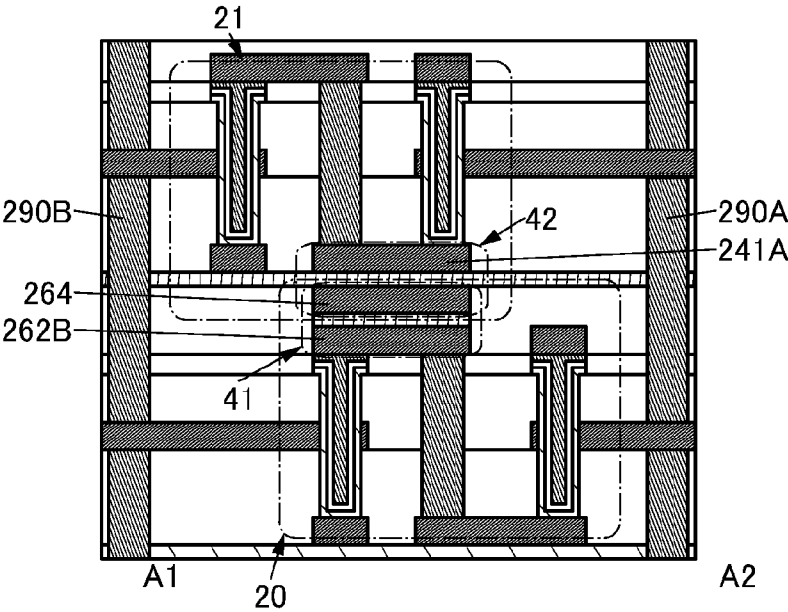


図17B

10E

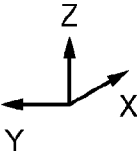
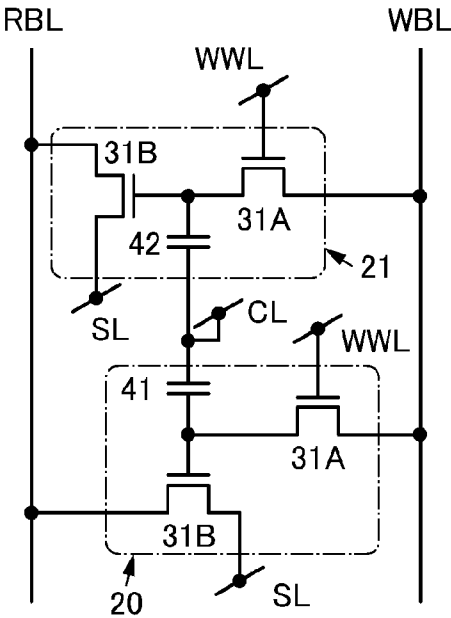


図18A

10F

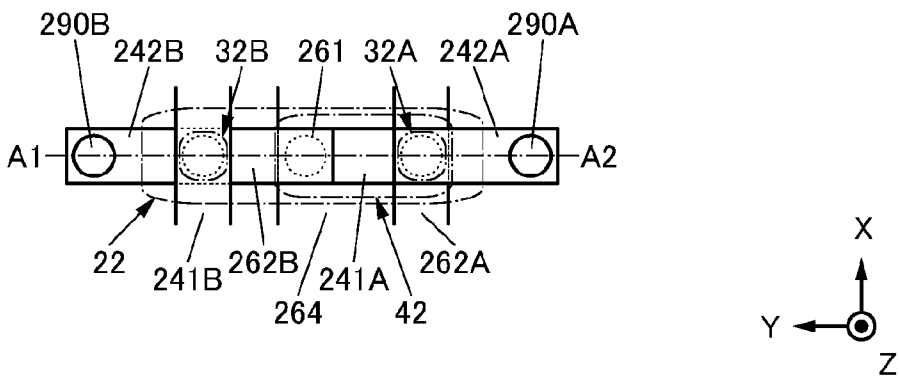


図18B

10F

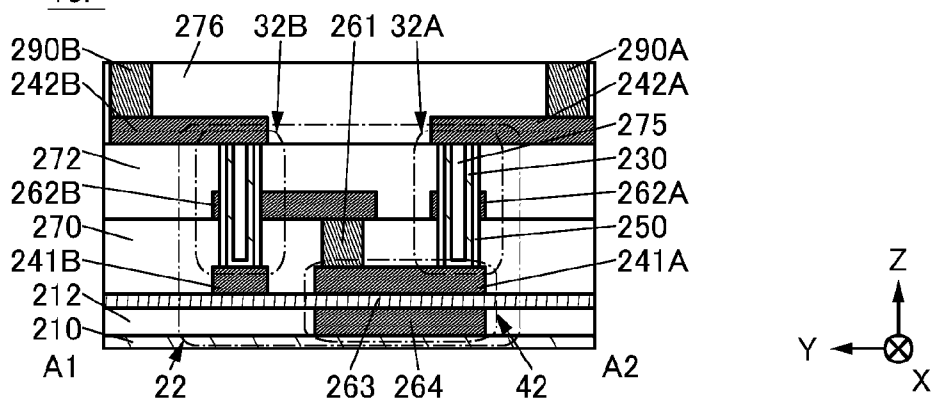


図18C

10F

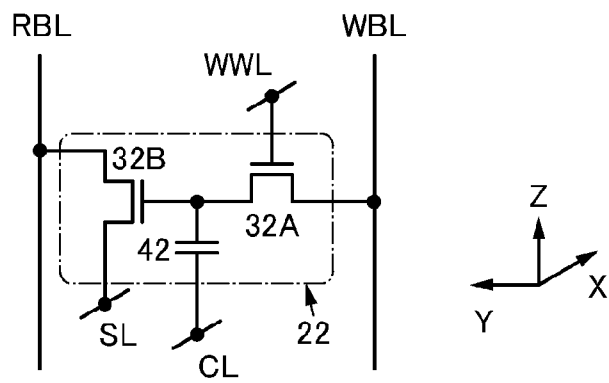
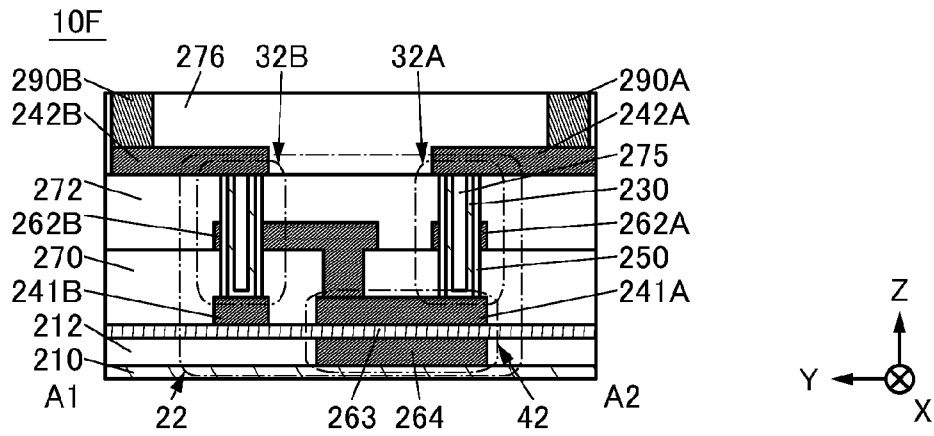
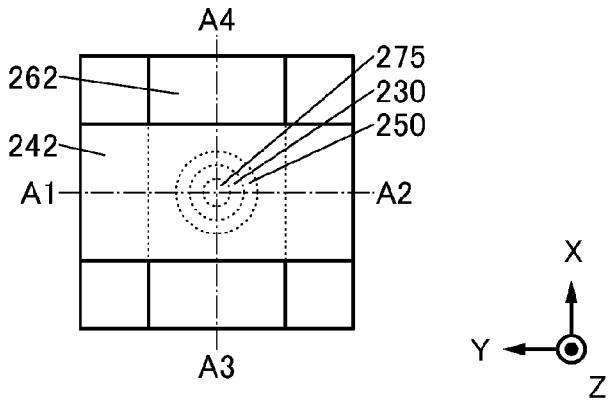


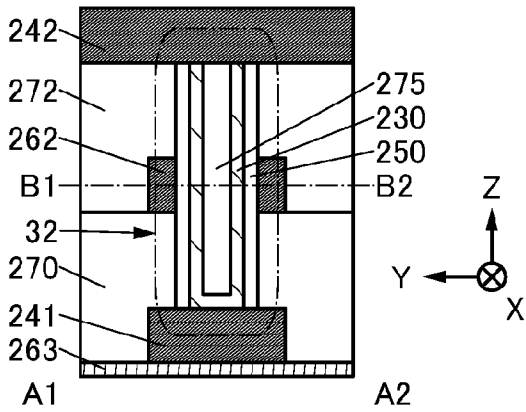
図19



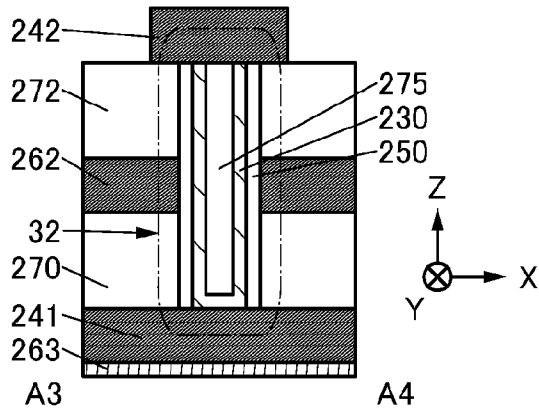
20A



20B



20C



20D

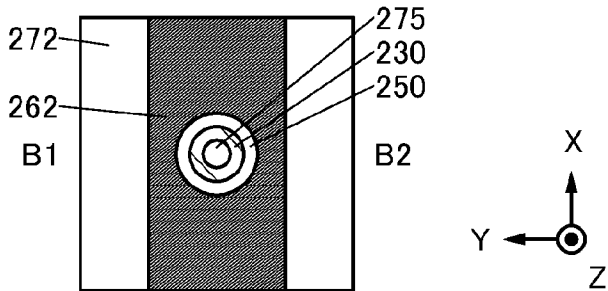


図21

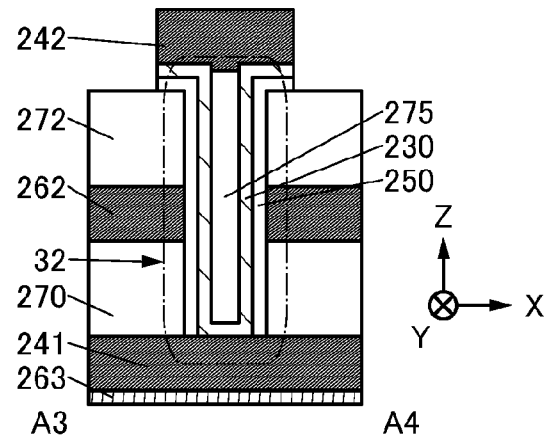


図23A

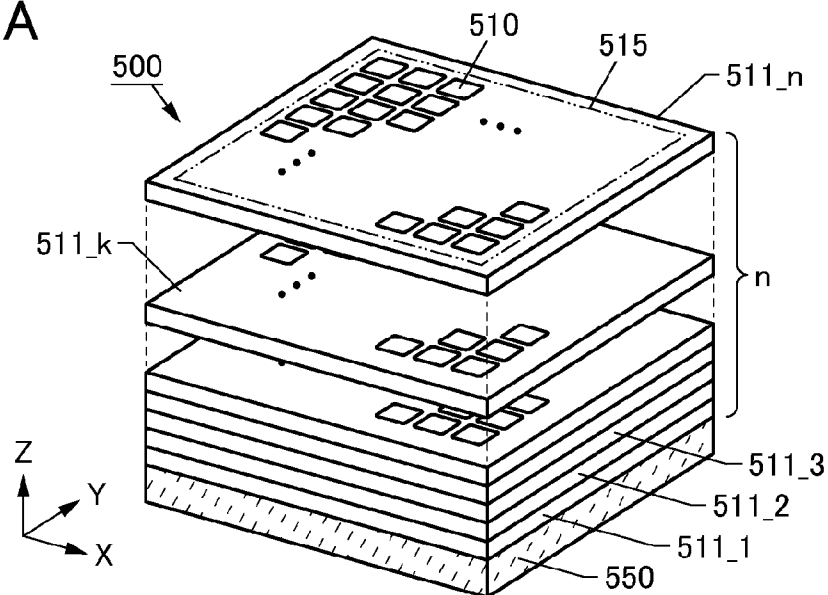


図23B

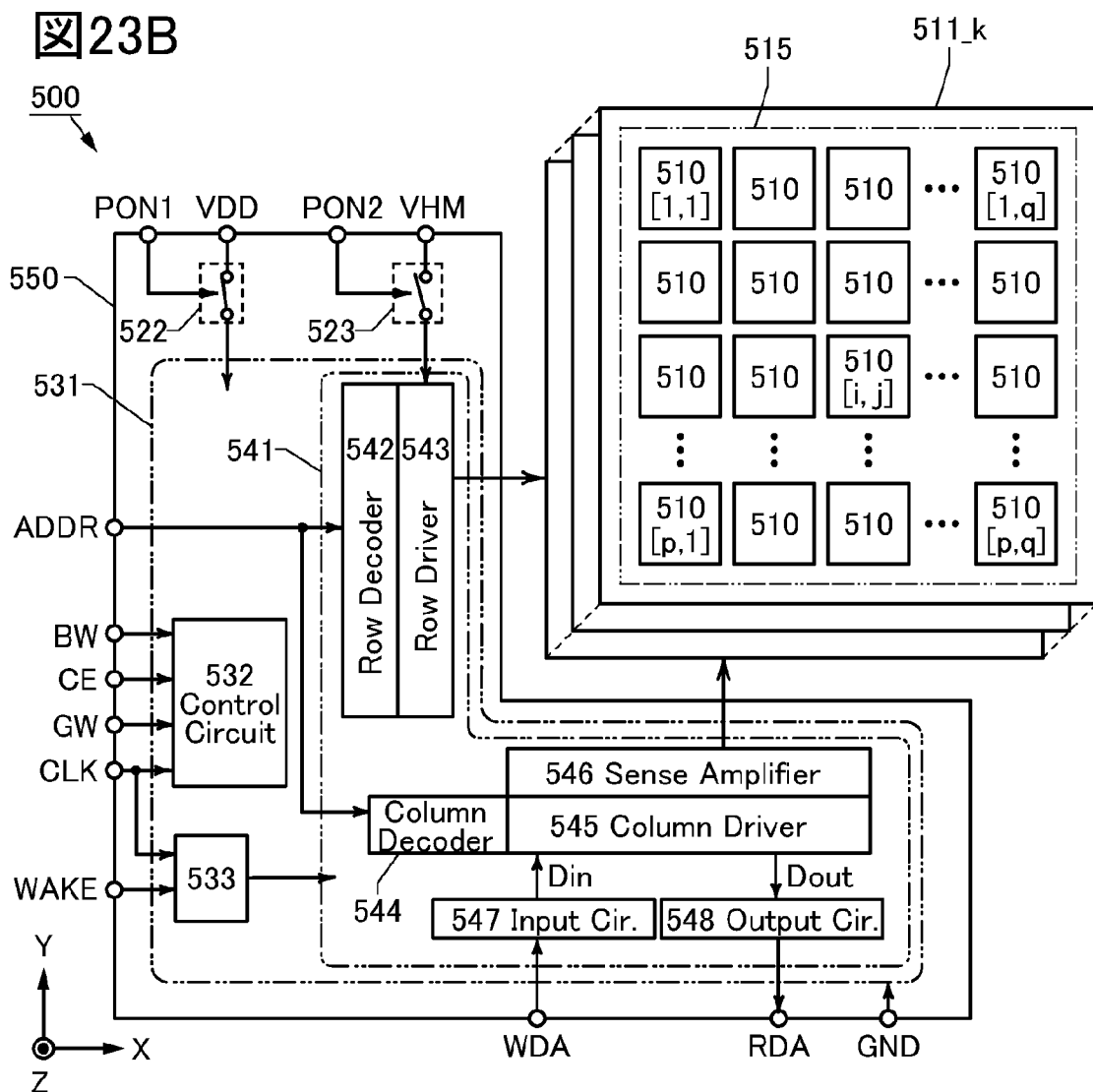


図24

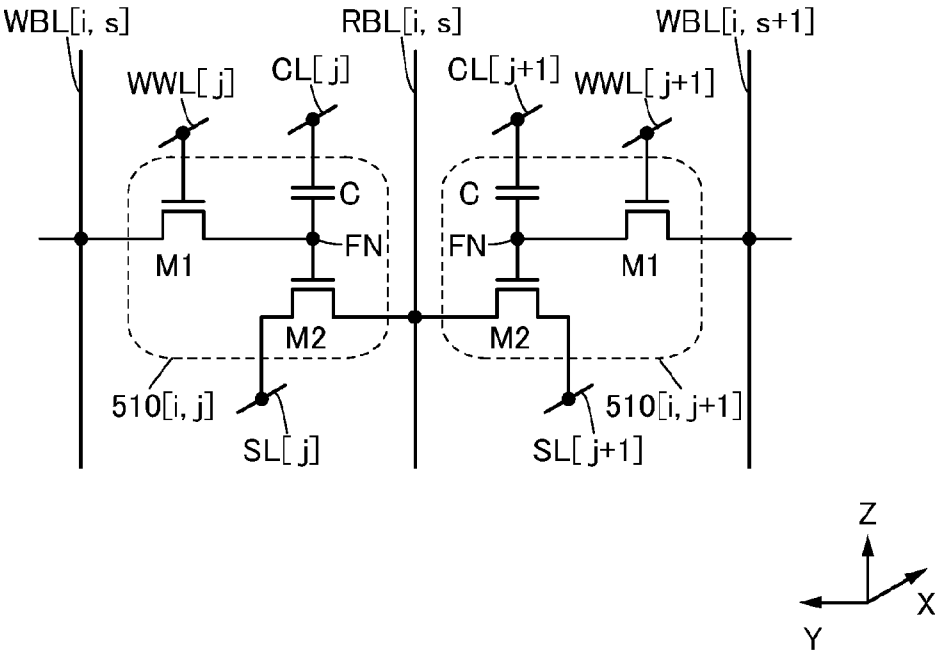


図25

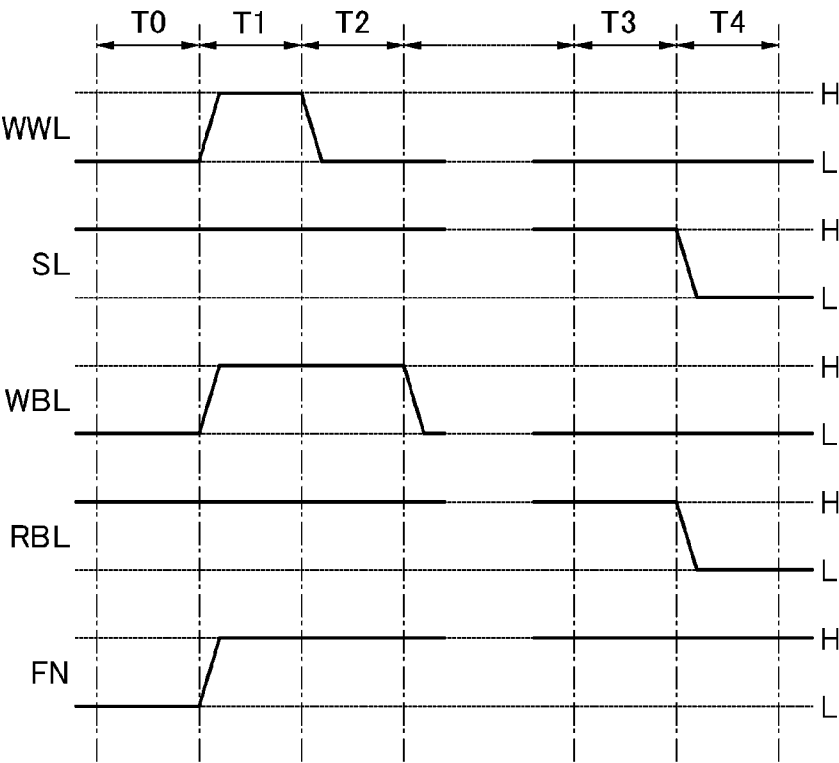


図26A

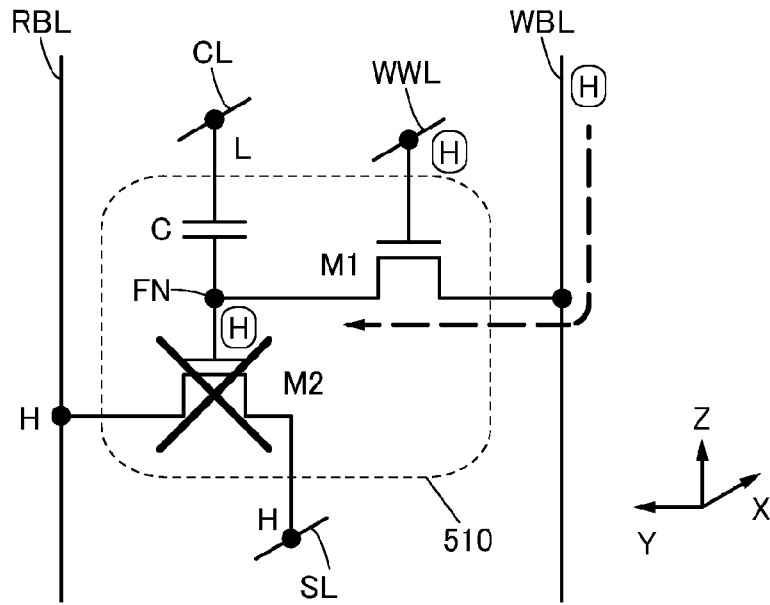
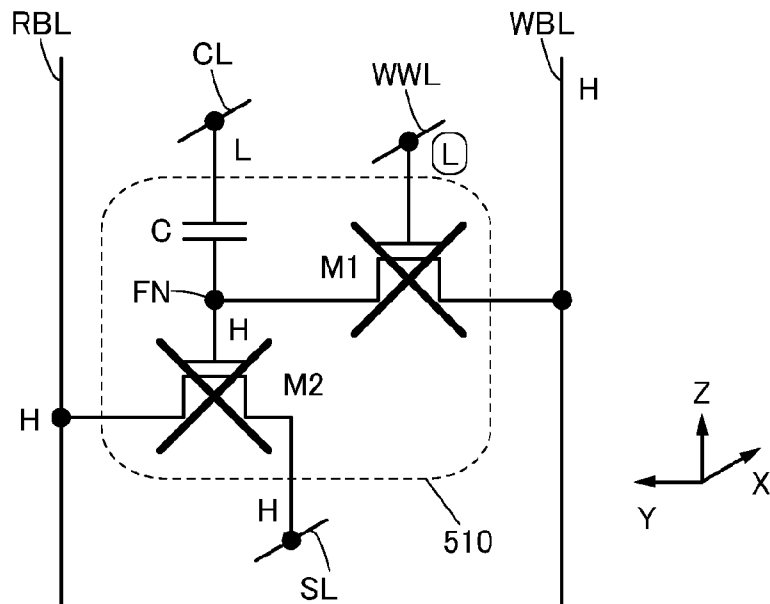
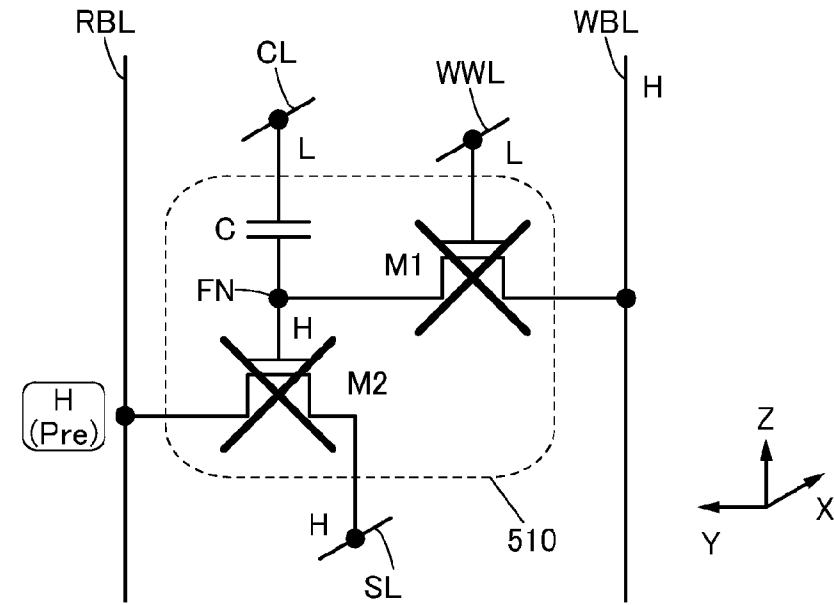


図26B



27A



27B

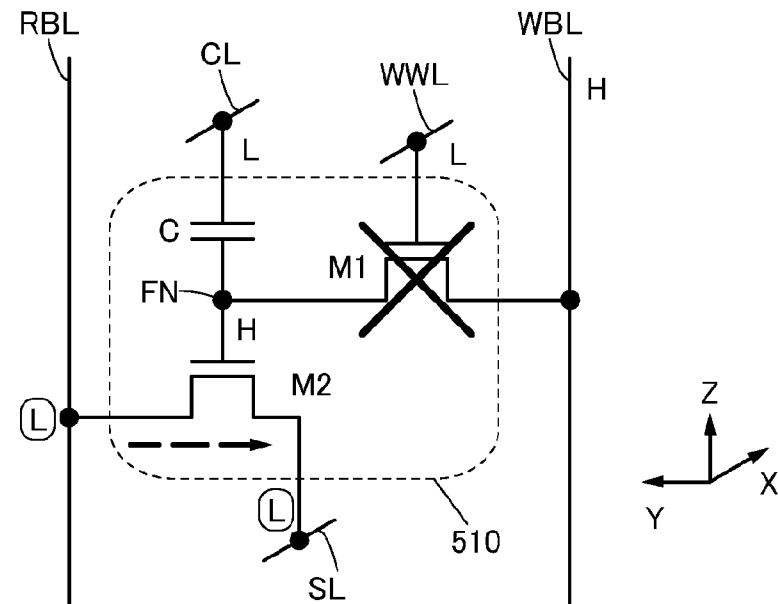


图 28

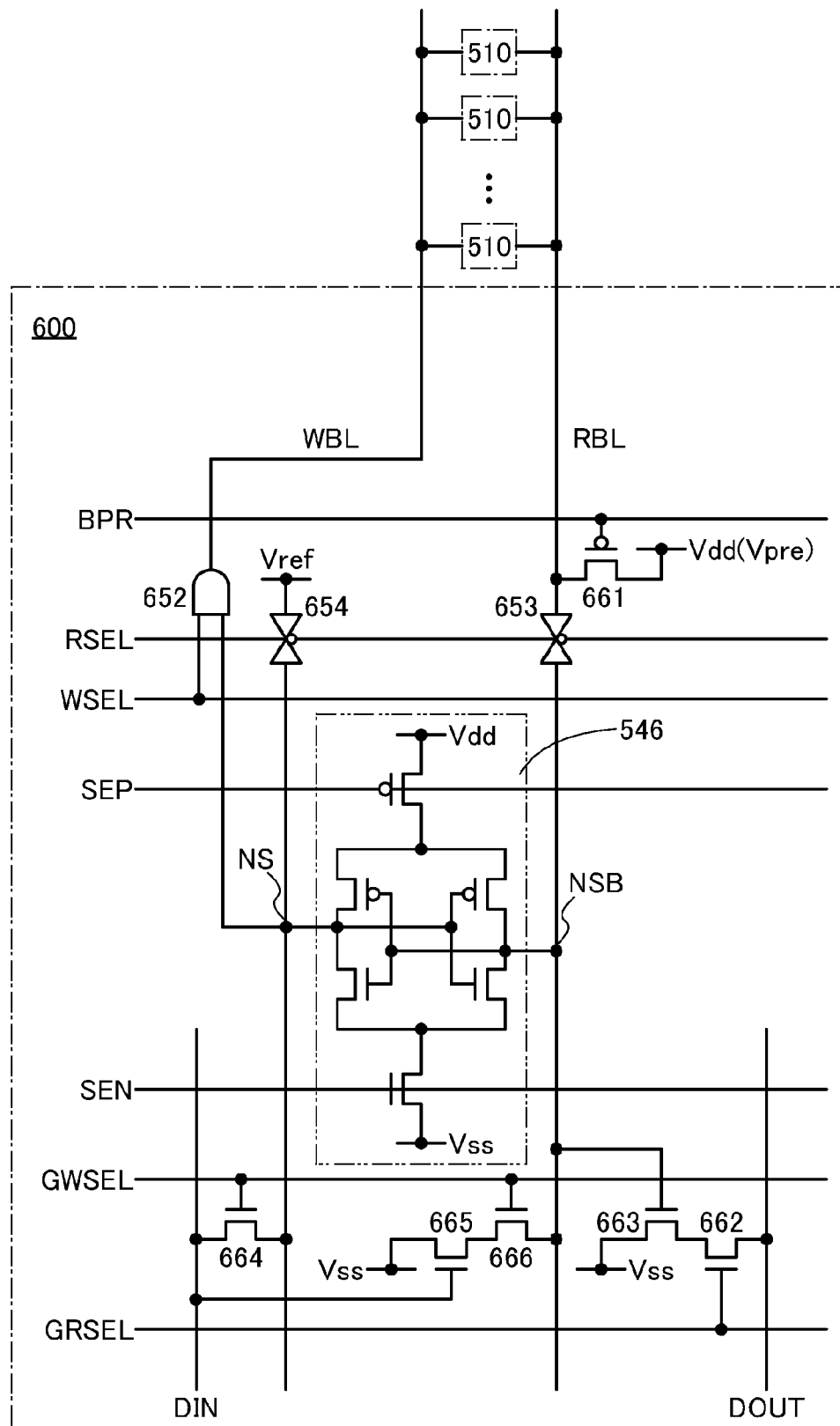


図 29A

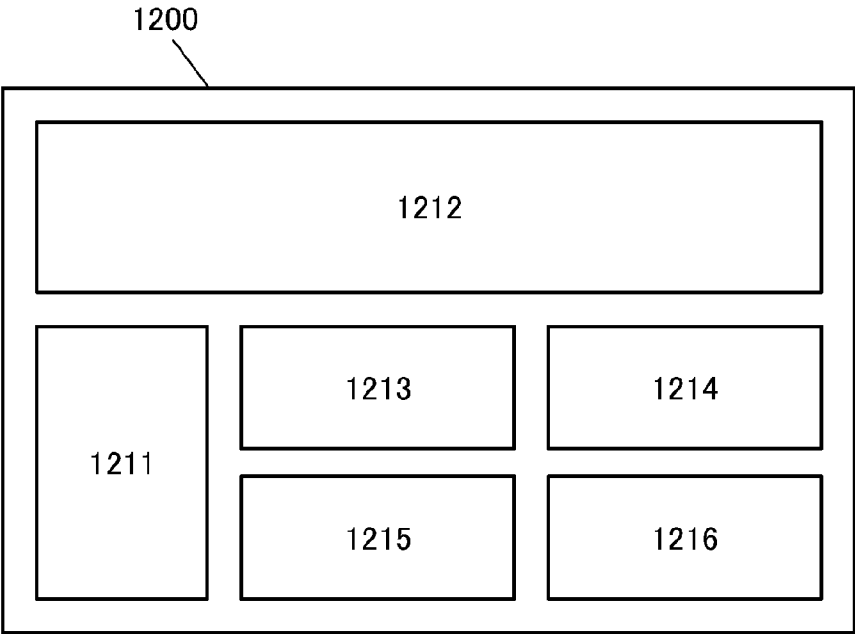


図 29B

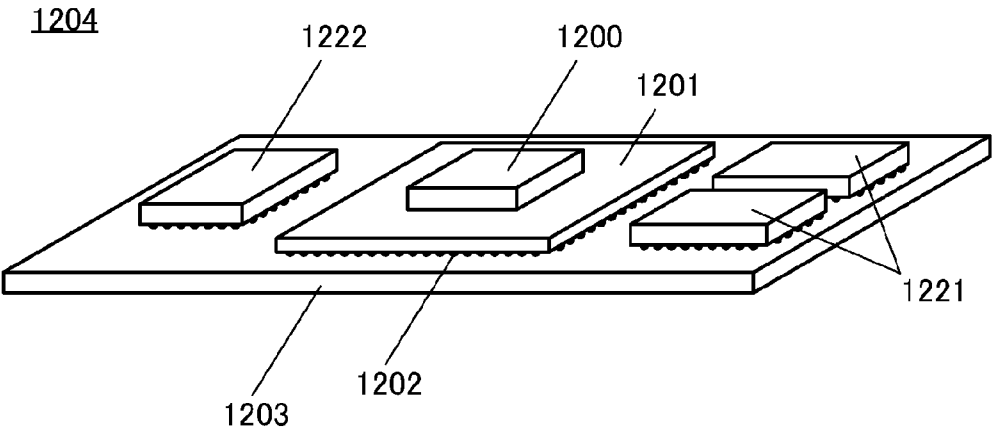


図30A

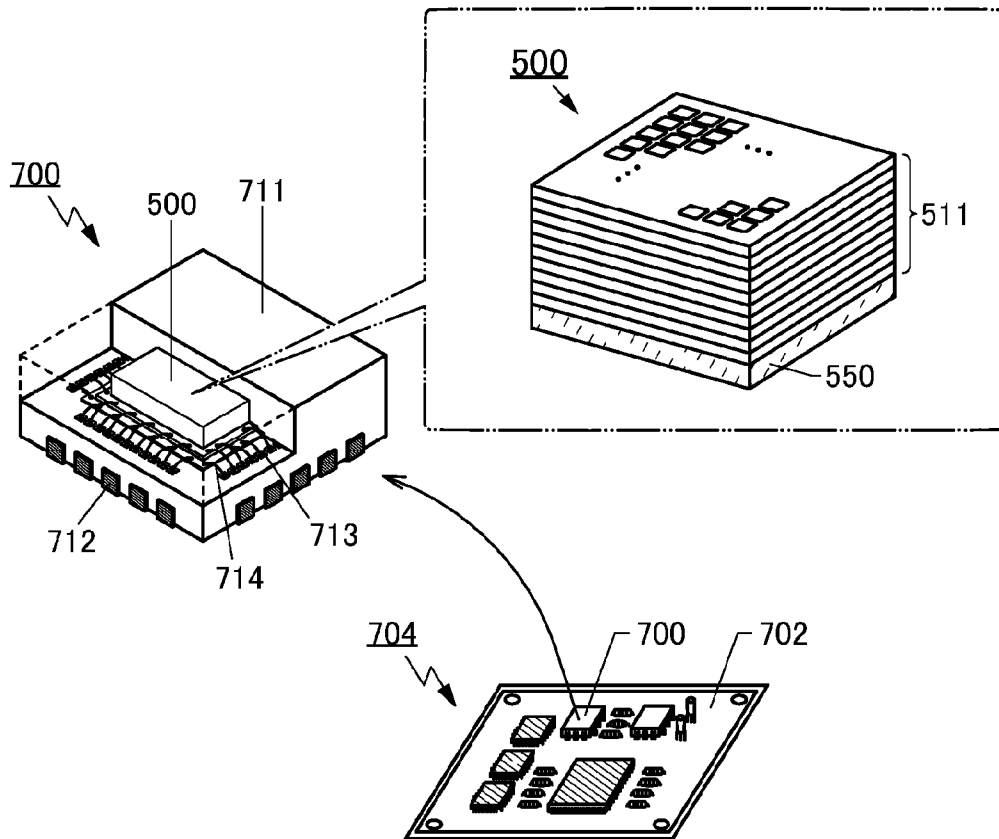


図30B

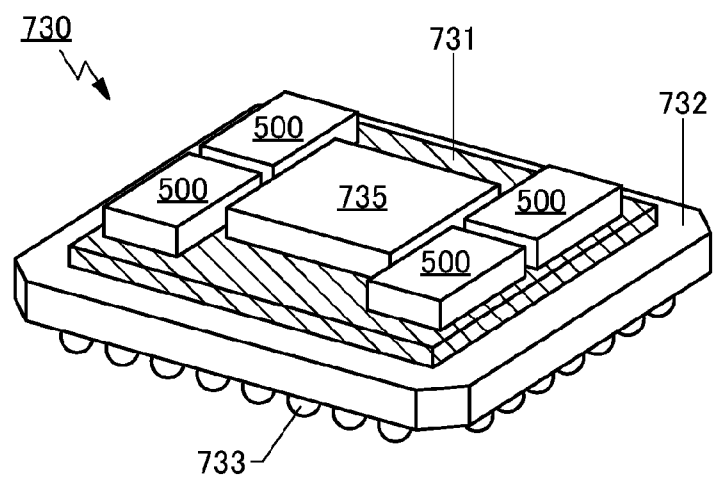


図31A

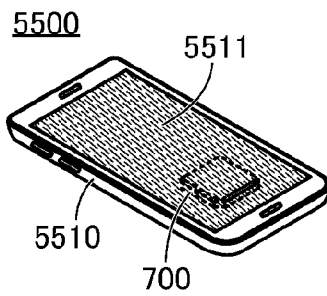


図31B

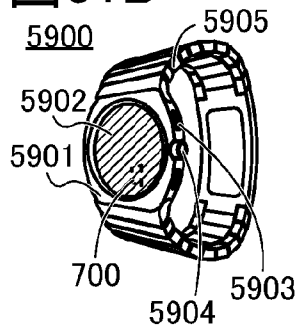


図31C

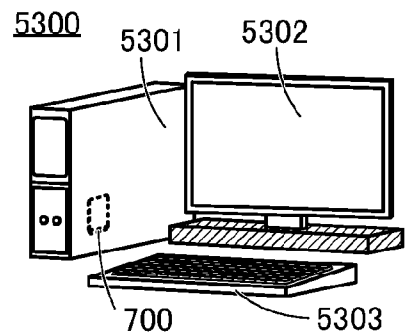


図31D

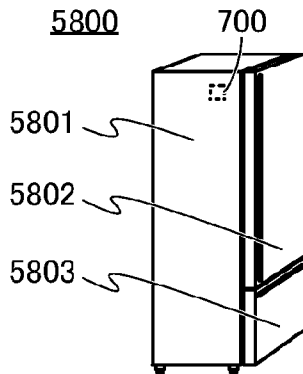


図31E

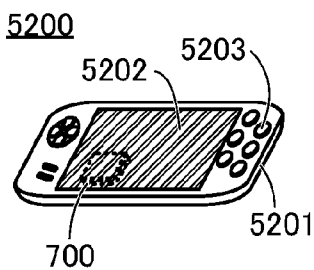


図31F

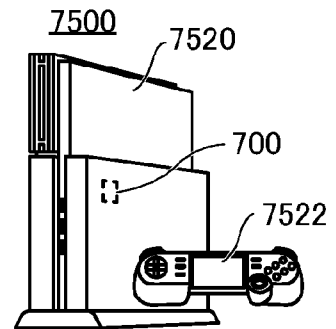


図31G

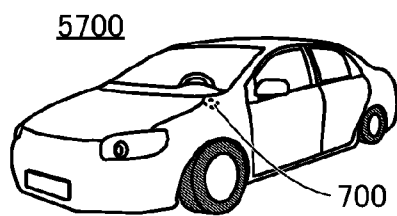


図31H

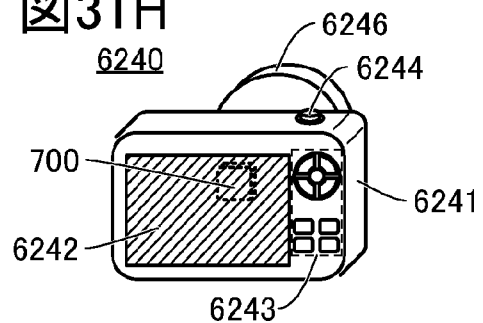


図31I

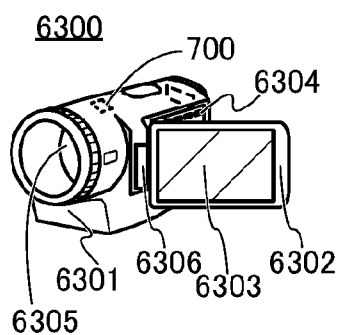


図31J

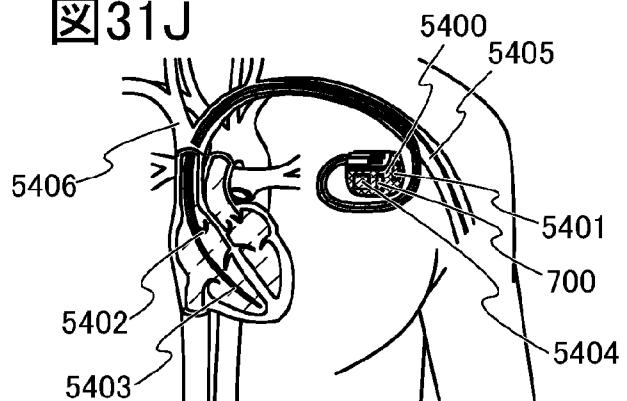


図32A

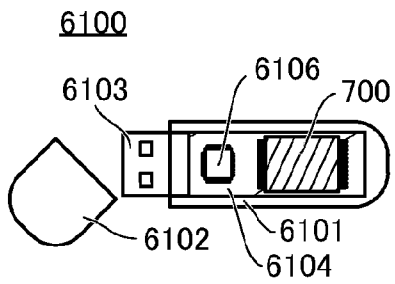


図32B

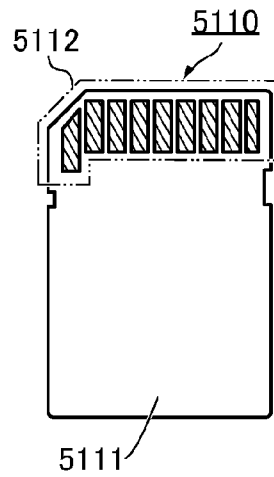


図32C

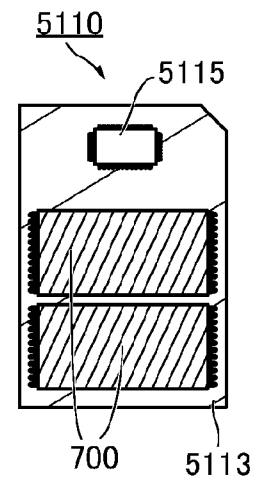


図32D

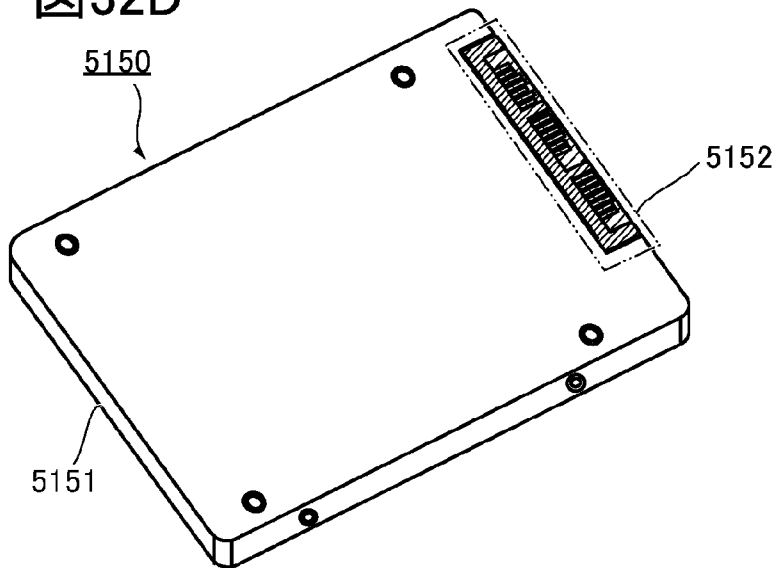
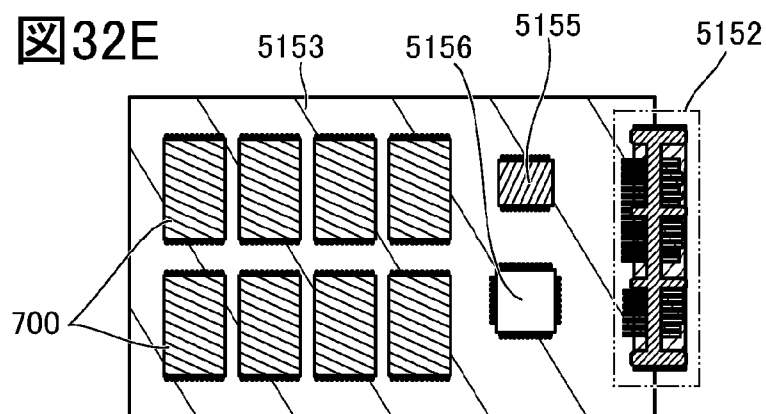


図32E



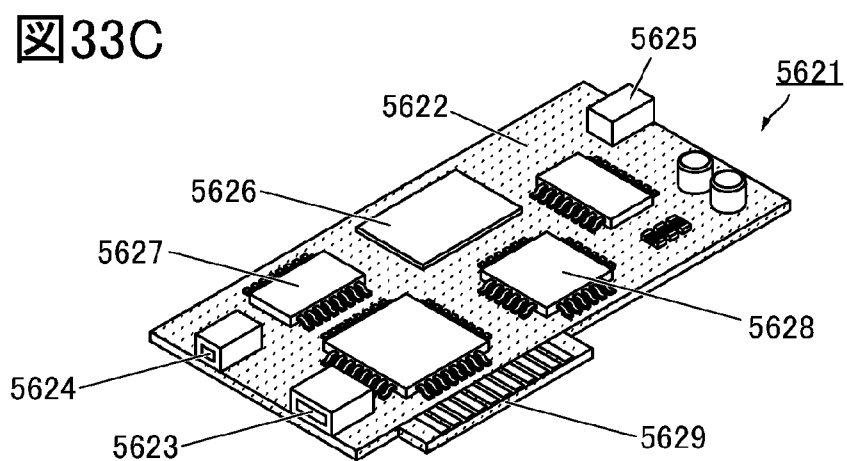
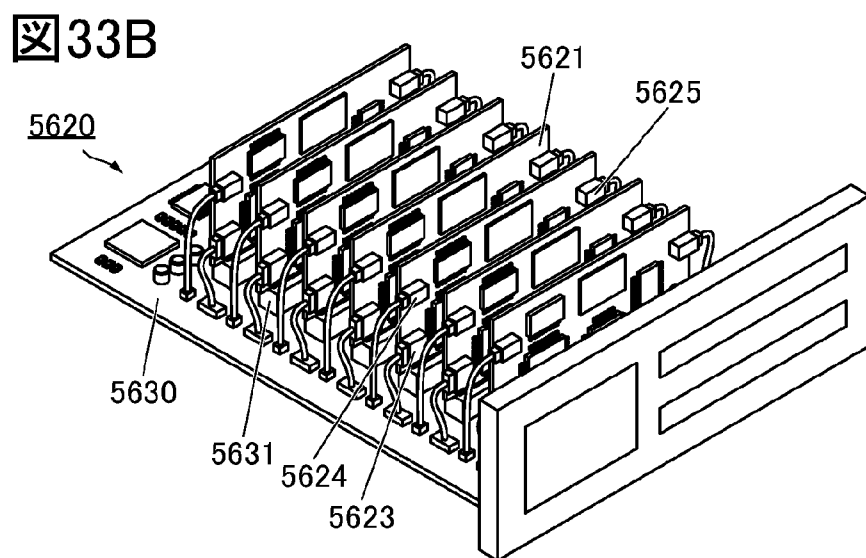
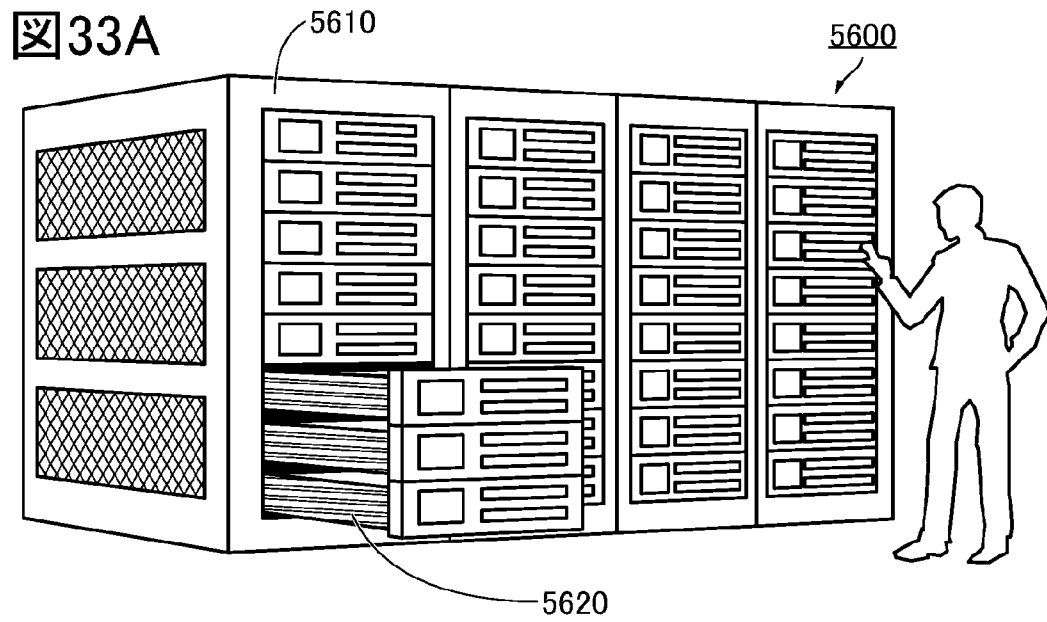
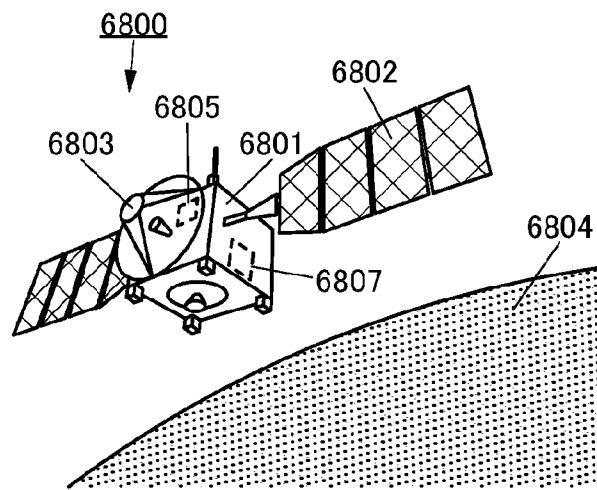


図34



INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2023/051550

A. CLASSIFICATION OF SUBJECT MATTER**H01L 29/786**(2006.01)i; **H10B 10/00**(2023.01)i; **H10B 12/00**(2023.01)i; **H10B 41/70**(2023.01)i; **H10B 99/00**(2023.01)i

FI: H01L29/78 626A; H01L29/78 613B; H01L29/78 618B; H10B10/00; H10B12/00 671A; H10B12/00 671C; H10B12/00 801; H10B41/70; H10B99/00 441

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/786; H10B10/00; H10B12/00; H10B41/70; H10B99/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2023

Registered utility model specifications of Japan 1996-2023

Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2018/203181 A1 (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 08 November 2018 (2018-11-08)	1-8
A	JP 2006-148097 A (SAMSUNG SDI CO LTD) 08 June 2006 (2006-06-08)	1-8
A	JP 2016-149552 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 18 August 2016 (2016-08-18)	1-8
A	JP 2012-256847 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 27 December 2012 (2012-12-27)	1-8



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

27 April 2023

Date of mailing of the international search report

16 May 2023

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)

3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915

Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/IB2023/051550

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
WO	2018/203181	A1	08 November 2018	JP	2022-159517	A	
JP	2006-148097	A	08 June 2006	US	2006/0103290	A1	
				US	2010/0291716	A1	
				EP	1659647	A1	
				KR	10-2006-0053743	A	
				CN	1802054	A	
JP	2016-149552	A	18 August 2016	US	2016/0233343	A1	
				WO	2016/128859	A1	
				TW	201640683	A	
JP	2012-256847	A	27 December 2012	JP	2015-233155	A	
				JP	2017-157866	A	
				JP	2019-62241	A	
				JP	2020-150282	A	
				US	2012/0228688	A1	
				US	2016/0358923	A1	
				US	2018/0076204	A1	
				WO	2012/121265	A1	
				TW	201304073	A	
				CN	103415921	A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 29/786(2006.01)i; H10B 10/00(2023.01)i; H10B 12/00(2023.01)i; H10B 41/70(2023.01)i; H10B 99/00(2023.01)i FI: H01L29/78 626A; H01L29/78 613B; H01L29/78 618B; H10B10/00; H10B12/00 671A; H10B12/00 671C; H10B12/00 801; H10B41/70; H10B99/00 441		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H01L29/786; H10B10/00; H10B12/00; H10B41/70; H10B99/00		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2023年 日本国実用新案登録公報 1996-2023年 日本国登録実用新案公報 1994-2023年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2018/203181 A1（株式会社半導体エネルギー研究所）08.11.2018（2018-11-08）	1-8
A	JP 2006-148097 A（三星エスディアイ株式会社）08.06.2006（2006-06-08）	1-8
A	JP 2016-149552 A（株式会社半導体エネルギー研究所）18.08.2016（2016-08-18）	1-8
A	JP 2012-256847 A（株式会社半導体エネルギー研究所）27.12.2012（2012-12-27）	1-8
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技术水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 27.04.2023	国際調査報告の発送日 16.05.2023	
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 鈴木 聡一郎 5F 3864 電話番号 03-3581-1101 内線 3516	

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/IB2023/051550

引用文献			公表日	パテントファミリー文献			公表日
WO	2018/203181	A1	08.11.2018	JP	2022-159517	A	
JP	2006-148097	A	08.06.2006	US	2006/0103290	A1	
				US	2010/0291716	A1	
				EP	1659647	A1	
				KR	10-2006-0053743	A	
				CN	1802054	A	
JP	2016-149552	A	18.08.2016	US	2016/0233343	A1	
				WO	2016/128859	A1	
				TW	201640683	A	
JP	2012-256847	A	27.12.2012	JP	2015-233155	A	
				JP	2017-157866	A	
				JP	2019-62241	A	
				JP	2020-150282	A	
				US	2012/0228688	A1	
				US	2016/0358923	A1	
				US	2018/0076204	A1	
				WO	2012/121265	A1	
				TW	201304073	A	
				CN	103415921	A	