



(72) 발명자

**최정달**

경기 수원시 영통구 망포동 동수원엘지빌리지 205  
동 1603호

**강창석**

경기 성남시 분당구 수내동 파크타운롯데아파트  
137동 901호

**박진택**

경기 수원시 영통구 영통동 청명마을 동신아파트  
313동 803호

**특허청구의 범위**

**청구항 1**

소자 분리막에 의해 정의되고 제1 방향으로 신장하는 활성 영역을 포함하는 기관 상에 상기 제1 방향과 교차하는 제2 방향으로 신장하는 게이트 전극 라인; 및

상기 활성 영역 및 상기 게이트 전극 라인 간에 개재되는 전하 트랩층을 포함하되,

상기 소자 분리막 상의 상기 게이트 전극 라인의 바닥면은, 상기 활성 영역 상의 상기 전하 트랩층의 상부면과 상기 활성 영역의 상부면 사이의 높이를 갖는 플래쉬 메모리 소자.

**청구항 2**

제 1 항에 있어서,

상기 소자 분리막과 접한 상기 활성 영역의 모서리는 라운드진 것을 특징으로 하는 플래쉬 메모리 소자.

**청구항 3**

제 1 항에 있어서,

상기 소자 분리막은 상기 활성 영역보다 리세스된 것을 특징으로 하는 플래쉬 메모리 소자.

**청구항 4**

제 1 항에 있어서,

상기 전하 트랩층은 실리콘 산화 질화막, 실리콘 질화막, 실리콘 닷을 포함하는 물질막, 금속 닷을 포함하는 물질막, 금속 산화막 중 적어도 어느 하나를 포함하는 것을 특징으로 하는 플래쉬 메모리 소자.

**청구항 5**

제 1 항에 있어서,

상기 게이트 전극 라인은 일함수가 4ev 이상인 물질을 포함하는 것을 특징으로 하는 플래쉬 메모리 소자.

**청구항 6**

제 5 항에 있어서,

상기 게이트 전극 라인은 티타늄 질화물(TiN), 티타늄 실리콘 질화물(TiSiN), 탄탈륨(Ta), 탄탈륨 질화물(TaN), 텅스텐 질화물(WN), 텅스텐(W), 하프늄 질화물(HfN) 및 탄탈륨 실리콘 질화물(TaSiN) 중 적어도 어느 하나를 포함하는 것을 특징으로 하는 플래쉬 메모리 소자.

**청구항 7**

제 1 항에 있어서,

상기 활성 영역 및 상기 전하 트랩층 간에 개재되는 제1 절연막; 및

상기 전하 트랩층 및 상기 게이트 전극 라인 간에 개재되는 제2 절연막을 더 포함하는 것을 특징으로 하는 플래쉬 메모리 소자.

**청구항 8**

제 7 항에 있어서,

상기 제2 절연막은 실리콘 산화물, 실리콘 산화 질화물, 및 금속산화물 중 적어도 어느 하나를 포함하는 것을 특징으로 하는 플래쉬 메모리 소자.

**청구항 9**

제 7 항에 있어서,

상기 제1 절연막 및 상기 제2 절연막 중 적어도 하나는 적어도 상기 게이트 전극 라인 및 상기 기판 사이에서 연장되는 것을 특징으로 하는 플래쉬 메모리 소자.

**청구항 10**

제 1 항에 있어서,

상기 전하 트랩층은 적어도 상기 게이트 전극 라인 및 상기 기판 사이에서 연장되는 것을 특징으로 하는 플래쉬 메모리 소자.

**청구항 11**

제 1 항에 있어서,

상기 전하 트랩층은 상기 소자 분리막 상에서 끊어진 것을 특징으로 하는 플래쉬 메모리 소자.

**청구항 12**

제 11 항에 있어서,

상기 전하 트랩층 측벽에 절연 스페이서를 더 포함하는 것을 특징으로 하는 플래쉬 메모리 소자.

**청구항 13**

제1 방향으로 신장하는 활성 영역을 정의하는 소자 분리막 및 상기 활성 영역 상의 전하 트랩층을 기판 상에 형성하는 단계; 및

상기 전하 트랩층 상에 상기 제1 방향과 교차하는 제2 방향으로 신장하는 게이트 전극 라인을 형성하는 단계를 포함하되,

상기 전하 트랩층은 적어도 상기 활성 영역 및 상기 게이트 전극 라인 간에 개재되고,

상기 소자 분리막 상의 상기 게이트 전극 라인의 바닥면은, 상기 활성 영역 상의 상기 전하 트랩층의 상부면과 상기 활성 영역의 상부면 사이의 높이를 갖는 플래쉬 메모리 소자의 제조방법.

**청구항 14**

제 13 항에 있어서,

상기 전하 트랩층은 실리콘 산화 질화막, 실리콘 질화막, 실리콘 닷을 포함하는 물질막, 금속 닷을 포함하는 물질막, 금속 산화막 중 적어도 어느 하나를 포함하는 것을 특징으로 하는 플래쉬 메모리 소자의 제조방법.

**청구항 15**

제 13 항에 있어서,

상기 게이트 전극 라인은 일함수가 4ev 이상인 물질을 포함하는 것을 특징으로 하는 플래쉬 메모리 소자의 제조방법.

**청구항 16**

제 15 항에 있어서,

상기 게이트 전극 라인은 티타늄 질화물(TiN), 티타늄 실리콘 질화물(TiSiN), 탄탈륨(Ta), 탄탈륨 질화물(TaN), 텅스텐 질화물(WN), 텅스텐(W), hafnium 질화물(HfN) 및 탄탈륨 실리콘 질화물(TaSiN) 중 적어도 어느 하나를 포함하는 것을 특징으로 하는 플래쉬 메모리 소자의 제조방법

**청구항 17**

제 13 항에 있어서,

상기 활성 영역 및 상기 전하 트랩층 간에 개재되는 제1 절연막을 형성하는 단계; 및

상기 전하 트랩층 및 상기 게이트 전극 라인 간에 개재되는 제2 절연막을 형성하는 단계를 더 포함하는 것을 특

징으로 하는 플래쉬 메모리 소자의 제조방법.

**청구항 18**

제 17 항에 있어서,

상기 제2 절연막은 실리콘 산화물, 실리콘 산화 질화물, 및 금속산화물 중 적어도 어느 하나를 포함하는 것을 특징으로 하는 플래쉬 메모리 소자의 제조방법.

**청구항 19**

제 13 항에 있어서,

상기 소자 분리막 및 상기 전하 트랩층을 형성하는 단계는:

트렌치를 포함하는 상기 기판 상에 상기 트렌치를 매립하도록 트렌치 절연막을 형성하는 단계;

상기 소자 분리막의 상부면이 상기 기판 상부면보다 낮도록 상기 트렌치 절연막을 리세스 하는 단계;

상기 소자 분리막에 의해 노출된 상기 활성 영역의 모서리가 라운딩되도록 하는 단계; 및

상기 활성 영역 및 상기 소자 분리막 상에 중간 절연막을 형성하는 단계를 포함하는 것을 특징으로 하는 플래쉬 메모리 소자의 제조방법.

**청구항 20**

제 13 항에 있어서,

상기 소자 분리막 및 상기 전하 트랩층을 형성하는 단계는:

마스크 패턴을 이용하여 상기 기판 상에 형성된 중간 절연막과 상기 기판을 연속적으로 식각하여 트렌치 및 전하 트랩층을 형성하는 단계;

상기 기판에 대해 산화 공정을 수행하는 단계;

상기 마스크 패턴을 제거하는 단계;

상기 트렌치를 매립하는 트렌치 절연막을 형성하는 단계;

상기 소자 분리막의 상부면이 적어도 상기 기판 상부면보다 높도록 상기 트렌치 절연막을 리세스 하는 단계; 및

상기 전하 트랩층 측면에 절연 스페이서를 형성하는 단계를 포함하되,

상기 산화 공정에 의해 상기 트렌치 측벽에 노출된 상기 기판의 모서리는 라운딩되는 것을 특징으로 하는 플래쉬 메모리 소자의 제조방법.

**명세서**

**발명의 상세한 설명**

**기술분야**

<1> 본 발명은 전하 트랩층을 포함하는 플래쉬 메모리 소자 및 그 제조방법에 관한 것이다.

**배경기술**

<2> 비휘발성 메모리 소자(Non-Volatile Memory Device)는 전원이 공급되지 않는 상태에서도 데이터를 손실하지 않는 반도체 소자이다. 비휘발성 메모리 소자는 메모리 셀의 구조에 따라 부유 게이트형 소자(floating gate type device) 및 부유 트랩형 소자(floating trap type device)로 구분될 수 있다.

<3> 부유 트랩형 소자의 메모리 셀은 게이트 절연막, 전하 저장층, 블로킹 절연막 및 게이트 전극을 포함할 수 있다. 부유 트랩형 소자의 메모리 셀은 전하 저장층(charge storage layer) 내의 트랩(trap)에 전하를 저장하는 방법에 의해 프로그래밍될 수 있다. 부유 게이트형 소자의 메모리 셀은 터널 절연막, 전하 저장층인 플로팅 게이트, 게이트 층간 유전막 및 컨트롤 게이트를 포함한다.

<4> 비휘발성 메모리 소자의 메모리 셀들은 직렬로 배열된 스트링 구조를 갖는다. 하나의 스트링에 있어서, 메모리 셀들은 정해진 순서에 따라 프로그램된다. 각각의 메모리 셀들은 정해진 문턱 전압의 범위 내에서 프로그램된다. 예컨대, 서로 인접한 제1 메모리 셀 및 제2 메모리 셀들이 순차적으로 프로그램될 수 있다. 제1 메모리 셀의 전하 저장층에 전하가 저장되어 제1 메모리 셀이 프로그램된 후, 인접한 제2 메모리 셀의 전하 저장층에 전하가 저장되어 제2 메모리 셀이 프로그램될 수 있다. 이때, 후속으로 프로그램되는 제2 메모리 셀의 전하 저장층에 저장된 전하에 의해 제1 메모리셀에 간섭현상이 유발될 수 있다. 간섭현상에 의해 이미 프로그램이 끝난 제1 메모리 셀의 문턱전압이 상승하여 제1 메모리 셀의 문턱전압의 범위가 넓어질 수 있다. 즉, 메모리 셀의 프로그램 산포가 넓어질 수 있다. 따라서, 멀티 레벨 셀의 구현이 어렵고, 소자의 제어가 어려울 수 있다.

**발명의 내용**

**해결 하고자하는 과제**

<5> 본 발명의 기술적 과제는 우수한 동작 특성을 갖는 플래쉬 메모리 소자 및 이의 제조방법을 제공하는 것이다.

**과제 해결수단**

<6> 본 발명의 실시예에 따른 플래쉬 메모리 소자는 소자 분리막에 의해 정의되고 제1 방향으로 신장하는 활성 영역을 포함하는 기판 상에 상기 제1 방향과 교차하는 제2 방향으로 신장하는 게이트 전극 라인 및 상기 활성 영역 및 상기 게이트 전극 라인 간에 개재되는 전하 트랩층을 포함하되, 상기 소자 분리막 상의 상기 게이트 전극 라인의 바닥면은, 상기 활성 영역 상의 상기 전하 트랩층의 상부면과 상기 활성 영역의 상부면 사이의 높이를 가질 수 있다.

<7> 일 실시예에 따르면, 상기 소자 분리막과 접한 상기 활성 영역의 모서리는 라운드질 수 있다.

<8> 다른 실시예에 따르면, 상기 소자 분리막은 상기 활성 영역 보다 리세스될 수 있다.

<9> 또 다른 실시예에 따르면, 상기 전하 트랩층은 실리콘 산화 질화막, 실리콘 질화막, 실리콘 닷을 포함하는 물질막, 금속 닷을 포함하는 물질막, 금속 산화막 중 적어도 어느 하나를 포함할 수 있다.

<10> 또 다른 실시예에 따르면, 상기 게이트 전극 라인은 일함수가 4eV 이상인 물질을 포함할 수 있다.

<11> 또 다른 실시예에 따르면, 상기 게이트 전극 라인은 티타늄 질화물(TiN), 티타늄 실리콘 질화물(TiSiN), 탄탈륨(Ta), 탄탈륨 질화물(TaN), 텅스텐 질화물(WN), 텅스텐(W), hafnium 질화물(HfN) 및 탄탈륨 실리콘 질화물(TaSiN) 중 적어도 어느 하나를 포함할 수 있다.

<12> 또 다른 실시예에 따르면, 상기 플래쉬 메모리 소자는 상기 활성 영역 및 상기 전하 트랩층 간에 개재되는 제1 절연막 및 상기 전하 트랩층 및 상기 게이트 전극 라인 간에 개재되는 제2 절연막을 더 포함할 수 있다.

<13> 또 다른 실시예에 따르면, 상기 제2 절연막은 실리콘 산화물, 실리콘 산화 질화물, 및 금속산화물 중 적어도 어느 하나를 포함할 수 있다.

<14> 또 다른 실시예에 따르면, 상기 제1 절연막 및 상기 제2 절연막 중 적어도 하나는 적어도 상기 게이트 전극 라인 및 상기 기판 사이에서 연장될 수 있다.

<15> 또 다른 실시예에 따르면, 상기 전하 트랩층은 적어도 상기 게이트 전극 라인 및 상기 기판 사이에서 연장될 수 있다.

<16> 또 다른 실시예에 따르면, 상기 전하 트랩층은 상기 소자 분리막 상에서 끊어질 수 있다.

<17> 또 다른 실시예에 따르면, 상기 플래쉬 메모리 소자는 상기 전하 트랩층 측벽에 절연 스페이서를 더 포함할 수 있다.

<18> 본 발명의 실시예에 따른 플래쉬 메모리 소자의 제조방법은 제1 방향으로 신장하는 활성 영역을 정의하는 소자 분리막 및 상기 활성 영역 상의 전하 트랩층을 기판 상에 형성하는 단계 및 상기 전하 트랩층 상에 상기 제1 방향과 교차하는 제2 방향으로 신장하는 게이트 전극 라인을 형성하는 단계를 포함하되, 상기 전하 트랩층은 적어도 상기 활성 영역 및 상기 게이트 전극 라인 간에 개재되고, 상기 소자 분리막 상의 상기 게이트 전극 라인의 바닥면은, 상기 활성 영역 상의 상기 전하 트랩층의 상부면과 상기 활성 영역의 상부면 사이의 높이를 가질 수 있다.

- <19> 일 실시예에 따르면, 상기 전하 트랩층은 실리콘 산화 질화막, 실리콘 질화막, 실리콘 닷을 포함하는 물질막, 금속 닷을 포함하는 물질막, 금속 산화막 중 적어도 어느 하나를 포함할 수 있다.
- <20> 다른 실시예에 따르면, 상기 게이트 전극 라인은 일함수가 4eV 이상인 물질을 포함할 수 있다.
- <21> 또 다른 실시예에 따르면, 상기 게이트 전극 라인은 티타늄 질화물(TiN), 티타늄 실리콘 질화물(TiSiN), 탄탈륨(Ta), 탄탈륨 질화물(TaN), 텅스텐 질화물(WN), 텅스텐(W), haf늄 질화물(HfN) 및 탄탈륨 실리콘 질화물(TaSiN) 중 적어도 어느 하나를 포함할 수 있다.
- <22> 또 다른 실시예에 따르면, 상기 제조방법은 상기 활성 영역 및 상기 전하 트랩층 간에 개재되는 제1 절연막을 형성하는 단계 및 상기 전하 트랩층 및 상기 게이트 전극 라인 간에 개재되는 제2 절연막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 플래쉬 메모리 소자의 제조방법.
- <23> 또 다른 실시예에 따르면, 상기 제2 절연막은 실리콘 산화물, 실리콘 산화 질화물, 및 금속산화물 중 적어도 어느 하나를 포함할 수 있다.
- <24> 또 다른 실시예에 따르면, 상기 소자 분리막 및 상기 전하 트랩층을 형성하는 단계는 트렌치를 포함하는 상기 기판 상에 상기 트렌치를 매립하도록 트렌치 절연막을 형성하는 단계, 상기 소자 분리막의 상부면이 상기 기판 상부면보다 낮도록 상기 트렌치 절연막을 리세스 하는 단계, 상기 소자 분리막에 의해 노출된 상기 활성 영역의 모서리가 라운딩되도록 하는 단계 및 상기 활성 영역 및 상기 소자 분리막 상에 중간 절연막을 형성하는 단계를 포함할 수 있다.
- <25> 또 다른 실시예에 따르면, 상기 소자 분리막 및 상기 전하 트랩층을 형성하는 단계는 마스크 패턴을 이용하여 상기 기판 상에 형성된 중간 절연막과 상기 기판을 연속적으로 식각하여 트렌치 및 전하 트랩층을 형성하는 단계, 상기 기판에 대해 산화 공정을 수행하는 단계, 상기 마스크 패턴을 제거하는 단계, 상기 트렌치를 매립하는 트렌치 절연막을 형성하는 단계, 상기 소자 분리막의 상부면이 적어도 상기 기판 상부면보다 높도록 상기 트렌치 절연막을 리세스 하는 단계 및 상기 전자 트랩층 측면에 절연 스페이서를 형성하는 단계를 포함하되, 상기 산화 공정에 의해 상기 트렌치 측벽에 노출된 상기 기판의 모서리는 라운딩될 수 있다.

**효과**

- <26> 본 발명의 실시예에 따르면, 플래쉬 메모리 소자는 소자 분리막 및 활성 영역 상에 서로 다른 위치에 놓이는 게이트 전극을 포함하여, 전하 저장층에 각각 저장된 전하를 상기 게이트 전극에 의해 전기적 차폐함으로써, 인접한 메모리 셀의 프로그램에 의해 문턱 전압이 변화하는 것을 방지할 수 있다. 상기 플래쉬 메모리 소자는 라운딩된 모서리를 갖는 활성 영역을 포함하여, 활성 영역의 모서리에 전계가 집중되는 것을 방지할 수 있다. 따라서, 메모리 셀 간의 간섭현상이 감소되어, 메모리 셀의 프로그램 디스터번스(disturbance) 특성이 개선될 수 있다.

**발명의 실시를 위한 구체적인 내용**

- <27> 이하, 첨부 도면을 참조하여 본 발명의 실시 예에 대해 설명한다. 본 발명의 목적(들), 특징(들) 및 장점(들)은 첨부된 도면과 관련된 이하의 실시 예들을 통해서 쉽게 이해될 것이다. 본 발명은 여기서 설명되는 실시 예에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시 예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되는 것이다. 도면들에서 동일한 기능을 갖는 구성 요소에 대해서는 동일한 참조 번호를 병기하였다.
- <28> 본 명세서에서, 도전성막, 반도체막, 또는 절연성막 등의 어떤 물질막이 다른 물질막 또는 기판상에 있다고 언급되는 경우에, 그 어떤 물질막은 다른 물질막 또는 기판상에 직접 형성될 수 있거나 또는 그들 사이에 또 다른 물질막이 개재될 수도 있다는 것을 의미한다. 또, 본 명세서의 다양한 실시예들에서 제 1, 제 2, 제 3 등의 용어가 다양한 부분, 물질 등을 기술하기 위해서 사용되었지만, 이들 부분이 같은 용어들에 의해서 한정되어서는 안 된다. 또한 이들 용어들은 단지 어느 소정 부분을 다른 부분과 구별시키기 위해서 사용되었을 뿐이다. 따라서, 어느 한 실시예에의 제 1 부분으로 언급된 것이 다른 실시예에서는 제 2 부분으로 언급될 수도 있다.
- <29> 본 명세서에서 '및/또는'이라는 용어는 이 용어 앞뒤에 열거된 구성들 중 어느 하나 또는 모두를 가리키는 것으로 이해되어야 한다.
- <30> 도 1, 2 및 4를 참조하여, 본 발명의 실시예 1에 따른 플래쉬 메모리 소자가 설명된다.



- <31> 기판(110)이 제공된다. 상기 기판(110)은 예컨대, 실리콘 웨이퍼 또는 SOI(Silicon On Insulator) 기판일 수 있다. 상기 기판(110)에 형성된 트랜치(114) 내에 소자 분리막(124)이 배치될 수 있다. 상기 소자 분리막(124)에 의해 제1 방향(D1)으로 신장되는 활성 영역(112, ACT)이 정의될 수 있다. 상기 소자 분리막(124)의 상부면(top surface)은 상기 활성 영역(112) 상부면(top surface) 보다 낮을 수 있다. 상기 소자 분리막(124) 및 상기 활성 영역(112)의 높낮이 차에 의해 노출된 상기 활성 영역(112)은 라운딩된 모서리(116)를 가질 수 있다. 예컨대, 상기 활성 영역(112, ACT)은 상기 모서리(116)에서 보다 중심(117)에서 큰 곡률반경을 가질 수 있다(도 4). 상기 제1 방향(D1)과 교차하는 제2 방향(D2)으로 복수의 워드 라인들(WL<sub>1</sub>, WL<sub>2</sub>, . . . , WL<sub>n-1</sub>, WL<sub>n</sub>)이 신장될 수 있다. 상기 워드라인들(WL<sub>1</sub>, WL<sub>2</sub>, . . . , WL<sub>n-1</sub>, WL<sub>n</sub>)과 평행하게 스트링 선택 라인(SSL), 접지 선택 라인(GSL) 및 공통 소스 라인(CSL)이 배열될 수 있다. 상기 스트링 선택 라인(SSL)은 상기 워드라인들(WL<sub>1</sub>, WL<sub>2</sub>, . . . , WL<sub>n-1</sub>, WL<sub>n</sub>) 중 n번째 워드라인(WL<sub>n</sub>)에 인접하게 배열될 수 있다. 상기 접지 선택 라인(GSL) 및 상기 공통 소스 라인(CSL)은 상기 워드라인들(WL<sub>1</sub>, WL<sub>2</sub>, . . . , WL<sub>n-1</sub>, WL<sub>n</sub>) 중 첫 번째 워드라인(WL<sub>1</sub>)에 인접하게 순차적으로 배열될 수 있다.
- <32> 상기 워드라인들(WL<sub>1</sub>, WL<sub>2</sub>, . . . , WL<sub>n-1</sub>, WL<sub>n</sub>) 각각은 게이트 전극 라인(170)을 포함할 수 있다. 즉, 상기 게이트 전극 라인(170)은 상기 제2 방향(D2)으로 상기 활성 영역(112, ACT) 및 상기 소자 분리막(124) 상에서 신장될 수 있다. 상기 게이트 전극 라인(170)은 일함수가 약 4eV 이상인 물질을 포함할 수 있다. 이는 미국특허 US 7,253,467에 개시되어 있다. 예컨대, 상기 게이트 전극 라인(170)은 티타늄 질화물(TiN), 티타늄 실리콘 질화물(TiSiN), 탄탈륨(Ta), 탄탈륨 질화물(TaN), 텅스텐 질화물(WN), 텅스텐(W), hafnium 질화물(HfN) 및 탄탈륨 실리콘 질화물(TaSiN) 중 적어도 어느 하나를 포함할 수 있다.
- <33> 상기 게이트 전극 라인(170)과 상기 활성 영역(112, ACT) 사이, 및 상기 게이트 전극 라인(170)과 상기 소자 분리막(124) 사이에 제1 게이트 절연막(140), 중간 절연막(150) 및 제2 게이트 절연막(160)이 순차적으로 개재될 수 있다. 상기 제1 게이트 절연막(140), 상기 중간 절연막(150), 상기 제2 게이트 절연막(160) 및 상기 게이트 전극 라인(170)은 상기 활성 영역(112) 및 상기 소자 분리막(124)의 프로파일을 따라 형성될 수 있다. 예컨대, 상기 제1 게이트 절연막(140)은 산화 공정, 원자층 적층 방식(Atomic Layer Deposition) 또는 화학적 기상 증착 방식(Chemical Vapor Deposition)에 의해 형성된 막일 수 있다. 상기 중간 절연막(150)은 고유전 물질막으로 이루어질 수 있다. 예컨대, 상기 중간 절연막(150)은 실리콘 질화막, 실리콘 닷(silicon dot)을 포함하는 물질막, 금속 닷(metal dot)을 포함하는 물질막, 및 금속 산화막 중 적어도 어느 하나를 포함할 수 있다. 상기 중간 절연막(150)은 원자층 적층 방식(Atomic Layer Deposition) 또는 화학적 기상 증착 방식(Chemical Vapor Deposition)에 의해 형성될 수 있다. 상기 중간 절연막(150)은 상기 활성 영역(112) 및 상기 제2 게이트 절연막(160) 사이에 개재되어 전하를 저장하는 전하 트랩층(152)을 포함할 수 있다. 상기 전하 트랩층(152)에 선택적으로 전하가 저장될 수 있다. 상기 제2 게이트 절연막(160)은 고유전 물질을 포함할 수 있다. 예컨대, 상기 제2 게이트 절연막(160)은 실리콘 산화물, 실리콘 산화 질화물, 및 금속 산화물 중 적어도 어느 하나를 포함할 수 있다. 상기 제1 게이트 절연막(140), 상기 중간 절연막(150) 및 상기 제2 게이트 절연막(160)은 적어도 상기 게이트 전극 라인(170)과 상기 기판(110) 사이에서 신장될 수 있다.
- <34> 상기 게이트 전극 라인(170)의 바닥면(bottom surface)은 상기 소자 분리막(124) 및 상기 활성 영역(112, ACT) 상에서 서로 다른 높이에 놓일 수 있다. 예컨대, 상기 소자 분리막(124) 상의 상기 게이트 전극 라인(170)의 바닥면은, 상기 활성 영역(112, ACT) 상의 상기 전하 트랩층(152)의 상부면보다 낮을 수 있다. 동시에, 상기 소자 분리막(124) 상의 상기 게이트 전극 라인(170)의 바닥면은, 상기 활성 영역(112)과 같거나, 상기 활성 영역(112)보다 높을 수 있다. 상기 게이트 전극 라인(170)의 바닥면이 더 낮아지면, 인접한 워드 라인의 상기 전하 트랩층들(152)의 대향면적이 과도하게 증가하여 인접한 워드 라인 간의 간섭이 증가할 수 있다. 바람직하게는, 상기 소자 분리막(124) 상의 상기 게이트 전극 라인(170)의 바닥면은, 상기 활성 영역(112, ACT) 상의 상기 전하 트랩층(152)의 바닥면과 같거나, 낮을 수 있다. 동시에, 상기 소자 분리막(124) 상의 상기 게이트 전극 라인(170)의 바닥면은, 상기 활성 영역(112)과 같거나, 상기 활성 영역(112)보다 높을 수 있다. 상기 소자 분리막(124) 상의 상기 게이트 전극 라인(170)은 상기 활성 영역(112) 상의 전하 트랩층들(152) 사이를 차단할 수 있다.
- <35> 층간 절연막(180)에 의해 상기 게이트 전극 라인(170)과 이격되어 상기 기판(110) 상(above)에 상기 제1 방향(D1)으로 비트 라인(BL)이 신장될 수 있다. 상기 활성 영역(112, ACT) 및 상기 비트 라인(BL)은 콘택(DC)에 의해 전기적으로 연결될 수 있다.



- <36> 도 1, 3 및 4를 참조하여, 본 발명의 실시예 2에 따른 플래쉬 메모리 소자가 설명된다.
- <37> 기판(110)이 제공된다. 상기 기판(110)은 예컨대, 실리콘 웨이퍼 또는 SOI(Silicon On Insulator) 기판일 수 있다. 상기 기판(110)에 형성된 트렌치(114) 내에 소자 분리막(124)이 배치될 수 있다. 상기 소자 분리막(124)에 의해 제1 방향(D1)으로 신장되는 활성 영역(112, ACT)이 정의될 수 있다. 상기 소자 분리막(124)의 상부면(top surface)은 상기 활성 영역(112) 상부면(top surface) 보다 높을 수 있다. 상기 소자 분리막(124)에 접한 상기 기판(110)의 활성 영역(112, ACT)은 라운드된 모서리(116)를 가질 수 있다. 예컨대, 상기 활성 영역(112, ACT)은 상기 모서리(116)에서 보다 그 중심(117)에서 큰 곡률반경을 가질 수 있다(도 4). 상기 제1 방향(D1)과 교차하는 제2 방향(D2)으로 복수의 워드 라인들(WL<sub>1</sub>, WL<sub>2</sub>, . . . , WL<sub>n-1</sub>, WL<sub>n</sub>)이 신장될 수 있다. 상기 워드라인들(WL<sub>1</sub>, WL<sub>2</sub>, . . . , WL<sub>n-1</sub>, WL<sub>n</sub>)과 평행하게 스트링 선택 라인(SSL), 접지 선택 라인(GSL) 및 공통 소스 라인(CSL)이 배열될 수 있다. 상기 스트링 선택 라인(SSL)은 상기 워드라인들(WL<sub>1</sub>, WL<sub>2</sub>, . . . , WL<sub>n-1</sub>, WL<sub>n</sub>) 중 n번째 워드라인(WL<sub>n</sub>)에 인접하게 배열될 수 있다. 상기 접지 선택 라인(GSL) 및 상기 공통 소스 라인(CSL)은 상기 워드라인들(WL<sub>1</sub>, WL<sub>2</sub>, . . . , WL<sub>n-1</sub>, WL<sub>n</sub>) 중 첫 번째 워드라인(WL<sub>1</sub>)에 인접하게 순차적으로 배열될 수 있다.
- <38> 상기 워드라인들(WL<sub>1</sub>, WL<sub>2</sub>, . . . , WL<sub>n-1</sub>, WL<sub>n</sub>) 각각은 게이트 전극 라인(170)을 포함할 수 있다. 즉, 상기 게이트 전극 라인(170)은 상기 제2 방향(D2)으로 상기 활성 영역(112, ACT) 및 상기 소자 분리막(124) 상에서 신장될 수 있다. 상기 게이트 전극 라인(170)은 일함수가 약 4eV 이상인 물질을 포함할 수 있다. 이는 미국특허 US 7,253,467에 개시되어 있다. 예컨대, 상기 게이트 전극 라인(170)은 티타늄 질화물(TiN), 티타늄 실리콘 질화물(TiSiN), 탄탈륨(Ta), 탄탈륨 질화물(TaN), 텅스텐 질화물(WN), 텅스텐(W), 하프늄 질화물(HfN) 및 탄탈륨 실리콘 질화물(TaSiN) 중 적어도 어느 하나를 포함할 수 있다. 상기 게이트 전극 라인(170) 및 상기 활성 영역(112, ACT) 사이에 제1 게이트 절연패턴(142), 전하 트랩층(152) 및 제2 게이트 절연패턴(162)이 순차적으로 개재될 수 있다. 예컨대, 상기 제1 게이트 절연패턴(142)은 산화 공정, 원자층 적층 방식(Atomic Layer Deposition) 또는 화학적 기상 증착 방식(Chemical Vapor Deposition)에 의해 형성된 물질을 포함할 수 있다. 상기 전하 트랩층(152)은 전하 저장층으로써, 고유전 물질을 포함할 수 있다. 예컨대, 상기 전하 트랩층(152)은 실리콘 질화막, 실리콘 닷(silicon dot)을 포함하는 물질막, 금속 닷(metal dot)을 포함하는 물질막, 및 금속 산화막 중 적어도 어느 하나를 포함할 수 있다. 상기 전하 트랩층(152)은 원자층 적층 방식(Atomic Layer Deposition) 또는 화학적 기상 증착 방식(Chemical Vapor Deposition)에 의해 형성된 물질을 포함할 수 있다. 상기 제2 게이트 절연패턴(162)은 고유전 물질을 포함할 수 있다. 예컨대, 상기 제2 게이트 절연패턴(162)은 실리콘 산화물, 실리콘 산화 질화물, 및 금속 산화물 중 적어도 어느 하나를 포함할 수 있다. 상기 제1 게이트 절연패턴(142), 상기 전하 트랩층(152) 및 상기 제2 게이트 절연패턴(162)은 상기 기판(110) 상으로 신장될 수 있다.
- <39> 상기 제1 게이트 절연패턴(142), 상기 전하 트랩층(152) 및 상기 제2 게이트 절연패턴(162)은 상기 소자 분리막(124) 상에서 분리될 수 있다. 상기 제2 게이트 절연패턴(162)의 측면은 모두 노출될 수 있고, 상기 전하 트랩층(152)의 측면은 전부 또는 일부가 노출될 수 있다. 상기 전하 트랩층(152) 및 상기 제2 게이트 절연패턴(162)의 노출된 측면에 연속적으로 절연 스페이서(166)가 배치될 수 있다.
- <40> 상기 게이트 전극 라인(170)은 상기 제2 방향(D2)으로 신장하되, 인접한 절연 스페이서(166) 사이에 개재될 수 있다. 예컨대, 상기 소자 분리막(124) 상의 상기 게이트 전극 라인(170)의 바닥면은, 상기 활성 영역(112, ACT) 상의 상기 전하 트랩층(152)의 상부면보다 낮을 수 있다. 동시에, 상기 소자 분리막(124) 상의 상기 게이트 전극 라인(170)의 바닥면은, 상기 활성 영역(112)과 같거나, 상기 활성 영역(112)보다 높을 수 있다. 바람직하게는, 상기 소자 분리막(124) 상의 상기 게이트 전극 라인(170)의 바닥면은, 상기 활성 영역(112, ACT) 상의 상기 전하 트랩층(152)의 바닥면과 같거나, 낮을 수 있다. 동시에, 상기 소자 분리막(124) 상의 상기 게이트 전극 라인(170)의 바닥면은, 상기 활성 영역(112)과 같거나, 상기 활성 영역(112)보다 높을 수 있다. 상기 소자 분리막(124) 상의 상기 게이트 전극 라인(170)은 상기 활성 영역(112) 상의 전하 트랩층들(152) 사이를 차단할 수 있다.
- <41> 층간 절연막(180)에 의해 상기 게이트 전극 라인(170)과 이격되어 상기 기판(110) 상(above)에 상기 제1 방향(D1)으로 비트 라인(BL)이 신장될 수 있다. 상기 활성 영역(112, ACT) 및 상기 비트 라인(BL)은 콘택(DC)에 의해 전기적으로 연결될 수 있다.
- <42> 도 1 및 5를 참조하여, 본 발명의 실시예 1과 특성을 비교하기 위한 비교예가 설명된다.
- <43> 기판(210)이 제공된다. 상기 기판(210) 내에 소자 분리막(224)이 배치될 수 있다. 상기 소자 분리막(224)에 의

해 제1 방향(D1)으로 신장되는 활성 영역(212, ACT)이 정의될 수 있다. 상기 소자 분리막(224)의 상부면(top surface)은 상기 기관(210) 상부면(top surface)과 같거나 높을 수 있다. 상기 제1 방향(D1)과 교차하는 제2 방향(D2)으로 복수의 워드 라인들(WL<sub>1</sub>, WL<sub>2</sub>, . . . , WL<sub>n-1</sub>, WL<sub>n</sub>)이 신장될 수 있다. 상기 워드라인들(WL<sub>1</sub>, WL<sub>2</sub>, . . . , WL<sub>n-1</sub>, WL<sub>n</sub>)과 평행하게 스트링 선택 라인(SSL), 접지 선택 라인(GSL) 및 공통 소스 라인(CSL)이 배열될 수 있다. 상기 스트링 선택 라인(SSL)은 상기 워드라인들(WL<sub>1</sub>, WL<sub>2</sub>, . . . , WL<sub>n-1</sub>, WL<sub>n</sub>) 중 n번째 워드라인(WL<sub>n</sub>)에 인접하게 배열될 수 있다. 상기 접지 선택 라인(GSL) 및 상기 공통 소스 라인(CSL)은 상기 워드라인들(WL<sub>1</sub>, WL<sub>2</sub>, . . . , WL<sub>n-1</sub>, WL<sub>n</sub>) 중 첫 번째 워드라인(WL<sub>1</sub>)에 인접하게 순차적으로 배열될 수 있다.

<44> 상기 워드라인들(WL<sub>1</sub>, WL<sub>2</sub>, . . . , WL<sub>n-1</sub>, WL<sub>n</sub>)은 게이트 전극 라인(270)을 포함할 수 있다. 즉, 상기 게이트 전극 라인(270)은 상기 제2 방향(D2)으로 상기 활성 영역(212, ACT) 및 상기 소자 분리막(224) 상에서 신장될 수 있다. 상기 게이트 전극 라인(270)은 일함수가 약 4eV 이상인 물질을 포함할 수 있다. 상기 게이트 전극 라인(270), 및 상기 활성 영역(212, ACT)과 상기 소자 분리막(224) 사이에 제1 게이트 절연막(240), 중간 절연막(250) 및 제2 게이트 절연막(260)이 순차적으로 개재될 수 있다. 상기 제1 게이트 절연막(240), 상기 중간 절연막(250), 상기 제2 게이트 절연막(260) 및 상기 게이트 전극 라인(270)은 상기 기관(210)의 상부면(top surface)과 평행하게 형성될 수 있다. 즉, 상기 게이트 전극 라인(270)의 바닥면(bottom surface)은 상기 소자 분리막(224) 및 상기 활성 영역(212, ACT) 상에서 거의 같은 높이에 놓일 수 있다. 예컨대, 상기 제1 게이트 절연막(240)은 산화 공정에 의해 형성된 실리콘 산화물을 포함할 수 있다. 상기 중간 절연막(250)은 전하 저장층으로써, 실리콘 질화막을 포함할 수 있다. 상기 제2 게이트 절연막(260)은 실리콘 산화물을 포함할 수 있다. 상기 제1 게이트 절연막(240), 상기 중간 절연막(250) 및 상기 제2 게이트 절연막(260)은 상기 기관(210) 상으로 신장될 수 있다.

<45> 층간 절연막(280)에 의해 상기 게이트 전극 라인(270)과 이격되어 상기 기관(210) 상(above)에 상기 제1 방향(D1)으로 비트 라인(BL)이 신장될 수 있다. 상기 활성 영역(212, ACT) 및 상기 비트 라인(BL)은 콘택(DC)에 의해 전기적으로 연결될 수 있다.

<46> 도 1 및 6을 참조하여, 본 발명의 실시예들 및 비교예에 따른 플래쉬 메모리 소자의 특성이 설명된다. 하나의 선택된 워드 라인(WL<sub>n-1</sub>)에 대해, 짝수 번째 메모리 셀 및 홀수 번째 메모리 셀의 프로그램 특성이 설명된다.

<47> 실시예들 및 비교예에 있어서, 선택된 워드 라인(WL<sub>n-1</sub>) 및 선택된 비트라인(BL<sub>n</sub>)에 배열된 짝수 번째 메모리 셀(EVEN)에 대해 프로그램 동작(program operation)이 수행된다. 상기 선택된 워드 라인(WL<sub>n-1</sub>)에 프로그램 전압(Vpgam), 예컨대, 약 18V의 전압이 인가되고, 비선택된 워드 라인들에 패스 전압(Vpass), 예컨대, 약 5V가 인가된다. 이때, 메모리 셀들이 형성된 벌크(예컨대, 웰 영역)에 0V의 전압이 인가된다. 메모리 셀을 프로그램하기 위해, 상기 선택된 비트라인(BL<sub>n</sub>)에 접지 전압(0V)이 인가된다. 반면, 비선택 비트라인들에 전원 접압(Vcc)이 인가되어 프로그램이 금지(program inhibit)된다. 스트링 선택 라인(SSL)에는 전원 전압(Vcc)이 인가되고, 접지 선택 라인(GSL)에는 0V가 인가되며, 예컨대, 공통 소스 라인(CSL)에는 1.2V가 인가될 수 있다. 상기와 같이 프로그램된 짝수 번째 셀(EVEN)의 제1 문턱전압 산포(10)가 측정되었다. 실시예들 및 비교예의 상기 제1 문턱전압 산포(10)는 거의 동일한 산포를 나타내었다.

<48> 실시예들 및 비교예에 있어서, 상기와 같은 방법으로 선택된 워드 라인(WL<sub>n-1</sub>) 및 선택된 비트라인(BL<sub>n-1</sub>)에 배열된 홀수 번째 메모리 셀(ODD)에 대해 먼저 프로그램 동작(program operation)이 수행된다. 이후, 상기와 같이, 선택된 워드 라인(WL<sub>n-1</sub>) 및 선택된 비트라인(BL<sub>n</sub>)에 배열된 짝수 번째 메모리 셀(EVEN)에 대해 프로그램 동작(program operation)이 수행된다. 상기와 같이 프로그램된 홀수 번째 셀(ODD)에 인접한 짝수 번째 셀(EVEN)의 제2 문턱전압 산포(22, 24)가 측정되었다. 비교예에 있어서, 짝수 번째 메모리 셀(EVEN)의 제2 문턱전압 산포(22)는 홀수 번째 메모리 셀(ODD)의 프로그램 유무에 따라 약 50% 이상 문턱전압의 범위가 변화하였다. 반면, 실시예들에 있어서, 짝수 번째 메모리 셀(EVEN)의 제2 문턱전압 산포(24)는 홀수 번째 메모리 셀(ODD)의 프로그램 유무에 상관없이 유사한 형태를 나타내었다. 실시예들의 전하 트랩층들(152)은 소자 분리막(124) 상의 게이트 전극 패턴(170)에 의해 서로 차단될 수 있으므로, 인접한 메모리 셀의 프로그램시 간섭현상이 발생하지 않았다.

<49> 도 1 내지 2, 및 도 7 내지 10을 참조하여, 본 발명의 실시예 1에 따른 플래쉬 메모리 소자의 제조방법이 설명된다.

- <50> 도 7을 참조하면, 기판(110)이 제공된다. 상기 기판(110)은 예컨대, 실리콘 웨이퍼 또는 SOI(Silicon On Insulator) 기판일 수 있다. 상기 기판(110)에 트렌치(114)가 형성될 수 있다. 예컨대, 상기 트렌치(114)는 마스크 패턴(미도시)을 이용한 식각 공정에 의해 형성될 수 있다. 상기 트렌치(114)를 매립하도록 상기 기판(110) 상에 트렌치 절연막(120)이 형성될 수 있다.
- <51> 도 8을 참조하면, 상기 트렌치 절연막(120)이 일부 제거되어 상기 트렌치(114) 내에 격리된 소자 분리막(124)이 형성될 수 있다. 상기 소자 분리막(124)에 의해 제1 방향(D1)으로 신장되는 활성 영역(112, ACT)이 정의될 수 있다. 상기 활성 영역(112) 상에 상기 소자 분리막(124)을 선택적으로 노출하는 희생 패턴(130)이 형성될 수 있다. 상기 희생 패턴(130)은 상기 활성 영역(112) 및 상기 소자 분리막(124)에 대해 식각 선택성을 갖는 물질을 포함할 수 있다. 예컨대, 상기 희생 패턴은 실리콘 질화막 및/또는 실리콘 산화 질화막을 포함할 수 있다. 예컨대, 상기 소자 분리막(124)은 식각 공정에 의해 형성될 수 있다. 상기 식각 공정에 의해, 상기 소자 분리막(124)의 상부면이 상기 활성 영역(112) 상부면보다 낮도록, 상기 트렌치 절연막(120)이 리세스될 수 있다. 또는, 상기 소자 분리막(124)은 평탄화 공정 및 리세스 공정에 의해 형성될 수 있다. 상기 평탄화 공정은 에치백(etch-back) 또는 화학적 기계적 연마(Chemical Mechanical Polishing: CMP) 공정과 같은 공정일 수 있다. 상기 평탄화 공정에 의해, 상기 활성 영역(112)의 상부면(top surface)을 노출하도록 상기 트렌치 절연막(120)은 일부 제거될 수 있다. 상기 노출된 활성 영역(112)의 상부면 상에 상기 희생 패턴(130)이 형성될 수 있다. 이어서, 상기 활성 영역(112)의 상부면보다 낮은 상기 소자 분리막(124)이 형성되도록 리세스 공정이 수행될 수 있다.
- <52> 도 9를 참조하면, 상기 소자 분리막(124)에 의해 노출된 상기 활성 영역(112)의 모서리에 대해 산화 공정이 수행될 수 있다. 상기 산화 공정에 의해, 상기 노출된 모서리는 산화되어, 버즈빅(bird's beak)(118)이 형성될 수 있다. 상기 희생 패턴(130)에 의해 상기 활성 영역(112)의 상부면은 산화공정으로부터 보호될 수 있다. 이로써, 상기 활성 영역(112)은 상기 트렌치(114) 측면에 노출된 라운드된 모서리(116)를 가질 수 있다.
- <53> 도 10을 참조하면, 상기 희생 패턴(130)이 제거될 수 있다. 상기 희생 패턴(130)은 상기 소자 분리막(124) 및 상기 활성 영역(112) 보다 높은 식각 선택성을 갖고 제거될 수 있다. 상기 버즈빅(118)은 상기 희생 패턴(130)과 동시에 제거될 수 있다. 노출된 상기 활성 영역(112) 상에 제1 게이트 절연막(140)이 형성될 수 있다. 상기 버즈빅(118)이 잔류하는 경우, 상기 제1 게이트 절연막(140)은 상기 버즈빅(118)을 포함할 수 있다. 예컨대, 상기 제1 게이트 절연막(140)은 컨포멀하게 형성될 수 있으며, 산화 공정에 의해 형성될 수 있다. 또는, 상기 제1 게이트 절연막(140)은 원자층 적층 방식(Atomic Layer Deposition) 또는 화학적 기상 증착 방식(Chemical Vapor Deposition)에 의해 형성될 수 있다.
- <54> 상기 제1 게이트 절연막(140) 상에 중간 절연막(150)이 형성될 수 있다. 상기 중간 절연막(150)은 컨포멀하게 형성될 수 있으며, 고유전 물질막으로 이루어질 수 있다. 예컨대, 상기 중간 절연막(150)은 실리콘 질화막, 실리콘 닷(silicon dot)을 포함하는 물질막, 금속 닷(metal dot)을 포함하는 물질막, 및 금속 산화막 중 적어도 어느 하나를 포함할 수 있다. 상기 중간 절연막(150)은 원자층 적층 방식(Atomic Layer Deposition) 또는 화학적 기상 증착 방식(Chemical Vapor Deposition)에 의해 형성될 수 있다. 상기 중간 절연막(150)은 상기 활성 영역(112) 상에, 전하를 트랩시켜 데이터를 저장할 수 있는 전하 트랩층(152)을 포함할 수 있다.
- <55> 상기 중간 절연막(150) 상에 제2 게이트 절연막(160)이 형성될 수 있다. 예컨대, 상기 제2 게이트 절연막(160)은 컨포멀하게 형성될 수 있으며, 고유전 물질을 포함할 수 있다. 예컨대, 상기 제2 게이트 절연막(160)은 실리콘 산화물, 실리콘 산화 질화물, 및 금속 산화물 중 적어도 어느 하나를 포함할 수 있다.
- <56> 상기 제2 게이트 절연막(160) 상에 도전막(미도시)이 형성될 수 있다. 상기 도전막은 일함수가 약 4eV 이상인 물질을 포함할 수 있다. 이는 미국특허 US 7,253,467에 개시되어 있다. 상기 도전막은 티타늄 질화물(TiN), 티타늄 실리콘 질화물(TiSiN), 탄탈륨(Ta), 탄탈륨 질화물(TaN), 텅스텐 질화물(WN), 텅스텐(W), 하프늄 질화물(HfN) 및 탄탈륨 실리콘 질화물(TaSiN) 중 적어도 어느 하나를 포함할 수 있다. 상기 도전막에 대해 상기 제1 방향(D1)과 교차하는 제2 방향(D2)으로 패터닝 공정을 수행하여, 게이트 전극 라인(170)이 형성될 수 있다. 상기 게이트 전극 라인(170)의 바닥면(bottom surface)은 상기 제2 방향(D2)으로 상기 소자 분리막(124) 및 상기 활성 영역(112, ACT)의 표면 프로파일을 따라 연장될 수 있다. 상기 게이트 전극 라인(170)의 바닥면(bottom surface)은 상기 소자 분리막(124) 및 상기 활성 영역(112, ACT) 상에서 서로 다른 높이에 놓일 수 있다. 예컨대, 상기 소자 분리막(124) 상의 상기 게이트 전극 라인(170)의 바닥면은, 상기 활성 영역(112, ACT) 상의 상기 전하 트랩층(152)의 상부면보다 낮을 수 있다. 동시에, 상기 소자 분리막(124) 상의 상기 게이트 전극 라인(170)의 바닥면은, 상기 활성 영역(112)과 같거나, 상기 활성 영역(112)보다 높을 수 있다. 바람직하게는, 상기

소자 분리막(124) 상의 상기 게이트 전극 라인(170)의 바닥면은, 상기 활성 영역(112, ACT) 상의 상기 전하 트랩층(152)의 바닥면과 같거나, 낮을 수 있다. 동시에, 상기 소자 분리막(124) 상의 상기 게이트 전극 라인(170)의 바닥면은, 상기 활성 영역(112)과 같거나, 상기 활성 영역(112)보다 높을 수 있다.

- <57> 도 10 및 2를 다시 참조하면, 상기 결과물 상에 층간 절연막(180)이 형성될 수 있다. 상기 층간 절연막(180) 상에 상기 제1 방향(D1)으로 신장되는 비트 라인(BL)이 형성될 수 있다.
- <58> 도 1, 3 및 11 내지 16을 참조하여, 본 발명의 실시예 2에 따른 플래쉬 메모리 소자의 제조방법이 설명된다.
- <59> 도 11을 참조하면, 기판(110)이 제공된다. 상기 기판(110)은 예컨대, 실리콘 웨이퍼 또는 SOI(Silicon On Insulator) 기판일 수 있다. 노출된 상기 기판(110) 상에 제1 게이트 절연막(140)이 형성될 수 있다. 예컨대, 상기 제1 게이트 절연막(140)은 컨포멀하게 형성될 수 있으며, 산화 공정에 의해 형성될 수 있다. 또는, 상기 제1 게이트 절연막(140)은 원자층 적층 방식(Atomic Layer Deposition) 또는 화학적 기상 증착 방식(Chemical Vapor Deposition)에 의해 형성될 수 있다.
- <60> 상기 제1 게이트 절연막(140) 상에 중간 절연막(150)이 형성될 수 있다. 상기 중간 절연막(150)은 컨포멀하게 형성될 수 있으며, 고유전 물질막으로 이루어질 수 있다. 예컨대, 상기 중간 절연막(150)은 실리콘 질화막, 실리콘 닷(silicon dot)을 포함하는 물질막, 금속 닷(metal dot)을 포함하는 물질막, 및 금속 산화막 중 적어도 어느 하나를 포함할 수 있다. 상기 중간 절연막(150)은 원자층 적층 방식(Atomic Layer Deposition) 또는 화학적 기상 증착 방식(Chemical Vapor Deposition)에 의해 형성될 수 있다.
- <61> 상기 중간 절연막(150) 상에 제2 게이트 절연막(160)이 형성될 수 있다. 예컨대, 상기 제2 게이트 절연막(160)은 컨포멀하게 형성될 수 있으며, 고유전 물질을 포함할 수 있다. 예컨대, 상기 제2 게이트 절연막(160)은 실리콘 산화물, 실리콘 산화 질화물, 및 금속 산화물 중 적어도 어느 하나를 포함할 수 있다.
- <62> 상기 제2 게이트 절연막(160) 상에 마스크 패턴(133)이 형성될 수 있다. 상기 마스크 패턴(133)은 포토레지스트 막 및/또는 실리콘 질화막을 포함할 수 있다.
- <63> 도 12를 참조하면, 상기 마스크 패턴(133)을 이용하여 노출된 상기 제2 게이트 절연막(160), 상기 중간 절연막(150), 상기 제1 게이트 절연막(140) 및 상기 기판(110)이 순차적으로 식각될 수 있다. 이로써, 상기 기판(110)에 트렌치(114)가 형성되고, 제1 게이트 절연패턴(142), 전하 트랩층(152) 및 제2 게이트 절연패턴(162)이 형성될 수 있다.
- <64> 도 13을 참조하면, 상기 트렌치(114) 내벽에 대해 산화 공정이 수행될 수 있다. 상기 산화 공정에 의해, 식각 공정 중에 손상된 상기 트렌치 내벽이 큐어링될 수 있다. 상기 큐어링에 의해, 상기 활성 영역(112)의 모서리에 버즈빅(118)이 형성될 수 있다. 즉, 상기 활성 영역(112)은, 상기 제1 게이트 절연패턴(142)과 인접하고 상기 트렌치(114) 내벽에 노출된 영역에 라운딩된 모서리(116)를 가질 수 있다.
- <65> 상기 마스크 패턴(133)이 선택적으로 제거될 수 있다. 상기 트렌치(114)를 매립하도록 상기 기판(110) 상에 트렌치 절연막(120)이 형성될 수 있다. 상기 버즈빅(118)은 상기 마스크 패턴(133)과 동시에 제거될 수 있다. 또는, 상기 버즈빅(118)은 잔류하더라도 상기 트렌치 절연막(120)을 구성할 수 있다.
- <66> 도 14를 참조하면, 상기 트렌치 절연막(120)이 일부 제거되어 상기 트렌치(114) 내에 격리된 소자 분리막(124)이 형성될 수 있다. 상기 소자 분리막(124)에 의해, 활성 영역(112, ACT)이 정의될 수 있다. 상기 활성 영역(112, ACT)은 제1 방향(D1)으로 신장되고, 라운딩된 모서리(116)를 가질 수 있다. 예컨대, 상기 소자 분리막(124)은 식각 공정에 의해 형성될 수 있다. 상기 식각 공정은 상기 제2 게이트 절연패턴(162)의 상부면(top surface) 및 측면을 모두 노출시키는 한편, 상기 소자 분리막(124)의 상부면이 상기 활성 영역(112) 상부면 보다 낮아지지 않도록 수행될 수 있다. 예컨대, 상기 식각 공정은 상기 제2 게이트 절연패턴(162)의 측면을 전부 또는 일부 노출시키도록 수행될 수 있다.
- <67> 도 15를 참조하면, 상기 결과물 상에 컨포멀하게 스페이서막(165)이 형성될 수 있다. 상기 스페이서막(165)은 적어도 상기 제2 게이트 절연패턴(162)의 상부면(top surface)과 상기 소자 분리막(124)의 상부면(top surface) 상에 동일한 두께로 형성될 수 있다. 상기 스페이서막(165)은 절연물질을 포함하며, 예컨대, 소자 분리막(124)과 동일한 물질을 포함할 수 있다.
- <68> 도 16을 참조하면, 상기 스페이서막(165)에 대해 이방성 식각을 수행하여 절연 스페이서(166)가 형성될 수 있다. 상기 절연 스페이서(166)는 노출된 상기 제2 게이트 절연패턴(162)의 측면 및 노출된 상기 전하 트랩층



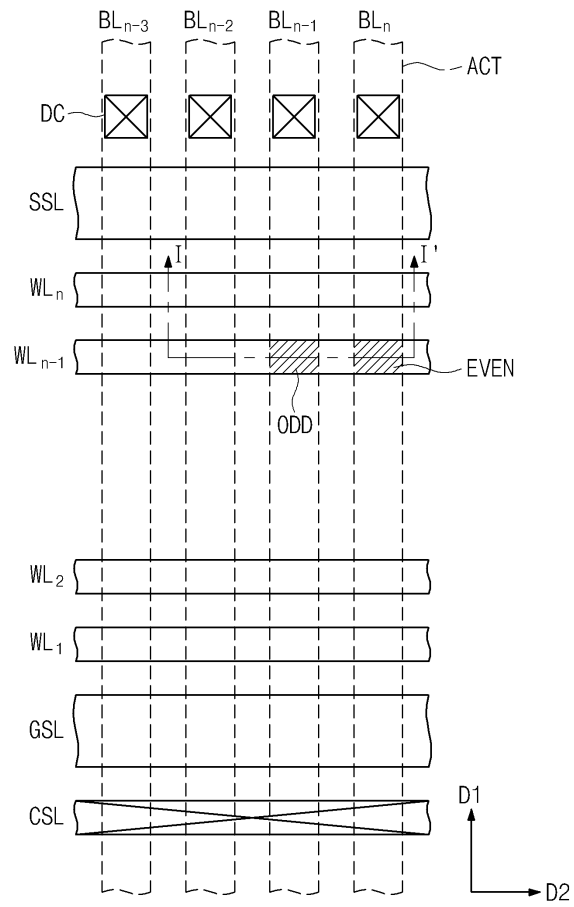
(152)의 측면에 연속적으로 형성될 수 있다.

- <69> 상기 제2 게이트 절연패턴(162), 상기 절연 스페이서(166) 및 상기 소자 분리막(124) 상에 도전막(미도시)이 형성될 수 있다. 상기 도전막은 상기 절연패턴들(152, 162) 사이를 매립하도록 형성될 수 있다. 상기 도전막은 일함수가 약 4eV 이상인 물질을 포함할 수 있다. 이는 미국특허 US 7,253,467에 개시되어 있다. 상기 도전막은 티타늄 질화물(TiN), 티타늄 실리콘 질화물(TiSiN), 탄탈륨(Ta), 탄탈륨 질화물(TaN), 텅스텐 질화물(WN), 텅스텐(W), hafnium 질화물(HfN) 및 탄탈륨 실리콘 질화물(TaSiN) 중 적어도 어느 하나를 포함할 수 있다. 상기 도전막에 대해 상기 제1 방향(D1)과 교차하는 제2 방향(D2)으로 패터닝 공정을 수행하여, 게이트 전극 라인(170)이 형성될 수 있다. 상기 게이트 전극 라인(170)은 상기 제2 방향(D2)으로 신장하되, 인접한 절연 스페이서(166) 사이에 개재될 수 있다. 예컨대, 상기 소자 분리막(124) 상의 상기 게이트 전극 라인(170)의 바닥면은, 상기 활성 영역(112, ACT) 상의 상기 전하 트랩층(152)의 상부면보다 낮을 수 있다. 동시에, 상기 소자 분리막(124) 상의 상기 게이트 전극 라인(170)의 바닥면은, 상기 활성 영역(112)과 같거나, 상기 활성 영역(112)보다 높을 수 있다. 바람직하게는, 상기 소자 분리막(124) 상의 상기 게이트 전극 라인(170)의 바닥면은, 상기 활성 영역(112, ACT) 상의 상기 전하 트랩층(152)의 바닥면과 같거나, 낮을 수 있다. 동시에, 상기 소자 분리막(124) 상의 상기 게이트 전극 라인(170)의 바닥면은, 상기 활성 영역(112)과 같거나, 상기 활성 영역(112)보다 높을 수 있다.
- <70> 도 16 및 3을 다시 참조하면, 상기 결과물 상에 층간 절연막(180)이 형성될 수 있다. 상기 층간 절연막(180) 상에 상기 제1 방향(D1)으로 신장 되는 비트 라인(BL)이 형성될 수 있다.
- <71> 도 17을 참조하여, 본 발명의 실시예에 따른 플래쉬 메모리 소자를 포함하는 메모리 소자 모듈(modular memory device)이 설명된다.
- <72> 메모리 소자 모듈(300)은 인쇄 회로 기판(printed circuit board)(320)을 포함할 수 있다. 상기 인쇄 회로 기판(320)은 상기 메모리 소자 모듈(300)의 외부 표면 중 하나일 수 있다. 상기 인쇄 회로 기판(320)은 메모리 유닛(memory unit)(330), 소자 인터페이스 유닛(device interface unit)(340) 및 커넥터(electrical connector)(310)를 지지할 수 있다.
- <73> 상기 메모리 유닛(330)은 3차원적 메모리 어레이를 포함할 수 있고 메모리 어레이 컨트롤러와 연결될 수 있다. 상기 메모리 어레이는 기판 상에 3 차원적 격자 내에 배열된 적당한 수의 메모리 셀들을 포함할 수 있다. 상기 메모리 셀들은 본 발명의 실시예들에 따른 플래쉬 메모리 셀들일 수 있다.
- <74> 상기 소자 인터페이스 유닛(340)은 분리된 기판 상에 형성되어, 상기 인쇄 회로 기판(320)에 의해 상기 메모리 유닛(330) 및 상기 커넥터(310)에 전기적으로 연결될 수 있다. 또는, 상기 메모리 유닛(330) 및 상기 소자 인터페이스 유닛(340)은 상기 인쇄 회로 기판(320) 상에 직접 탑재될 수 있다. 상기 소자 인터페이스 유닛(340)은 전압(voltages), 클락 주파수(clock frequencies), 및 프로토콜 로직(protocol logic)을 생성하는데 필요한 성분을 포함할 수 있다.
- <75> 도 18을 참조하여, 본 발명의 실시예들에 따른 플래쉬 메모리 소자를 포함하는 메모리 시스템(memory system)이 설명된다.
- <76> 메모리 시스템(400)은 대용량의 데이터를 저장하기 위한 메모리 소자(410) 및 메모리 컨트롤러(420)를 포함할 수 있다. 상기 메모리 소자(410)는 본 발명의 실시예들에 따른 플래쉬 메모리 소자일 수 있다. 상기 메모리 컨트롤러(420)는 호스트(430)(Host)의 읽기/쓰기 요청에 응답하여 상기 메모리 소자(410)로부터 저장된 데이터를 독출 또는 기입하도록 상기 메모리 소자(410)를 제어한다. 상기 메모리 컨트롤러(420)는 상기 호스트(430)(모바일 기기 또는 컴퓨터 시스템)로부터 제공되는 어드레스를 상기 메모리 소자(410)의 물리적인 어드레스로 맵핑하기 위한 어드레스 맵핑 테이블(Address mapping table)을 구성할 수 있다.
- <77> 도 19를 참조하여, 본 발명의 실시예들에 따른 플래쉬 메모리 소자를 포함하는 전자 장치(500)가 설명된다. 전자 장치(500)는 무선통신 장치 예를 들어, PDA, 랩톱(laptop) 컴퓨터, 휴대용 컴퓨터, 웹 태블릿(web tablet), 무선 전화기, 휴대폰, 디지털 음악 재생기(digital music player), 또는 정보를 무선환경에서 송신 그리고/또는 수신할 수 있는 모든 소자에 사용될 수 있다.
- <78> 전자 장치(500)는 버스(550)를 통해서 서로 결합한 제어기(510), 키패드, 키보드, 화면(display) 같은 입출력 장치(520), 메모리(530), 무선 인터페이스(540)를 포함할 수 있다. 제어기(510)는 예를 들어 하나 이상의 마이크로프로세서, 디지털 신호 프로세서, 마이크로컨트롤러, 또는 이와 유사한 것들을 포함할 수 있다. 메모리(530)는 예를 들어 제어기(510)에 의해 실행되는 명령어를 저장하는데 사용될 수 있다. 또 메모리(530)는 사용자 데이터를 저장하는 데 사용될 수 있다. 메모리(530)는 본 발명의 실시예들에 따른 플래쉬 메모리 소자를 포

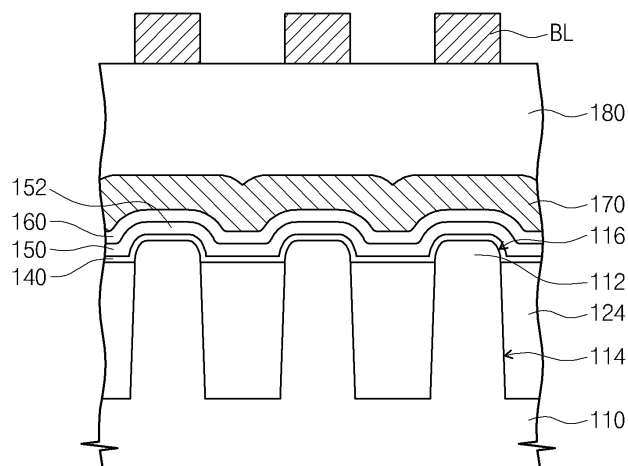


도면

도면1

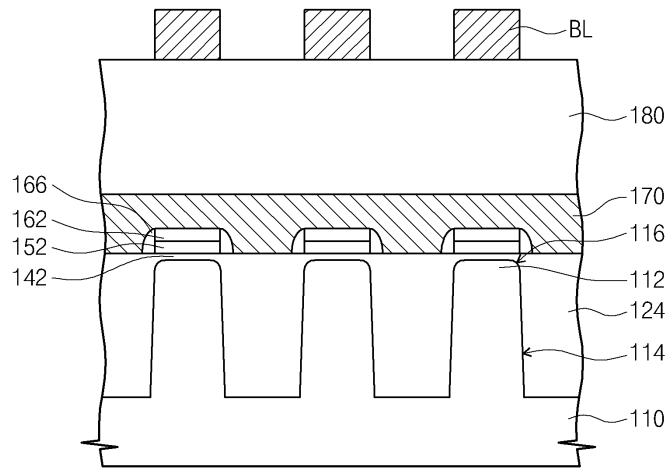


도면2

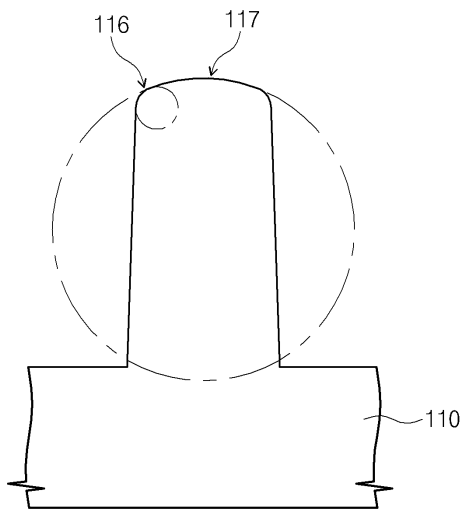




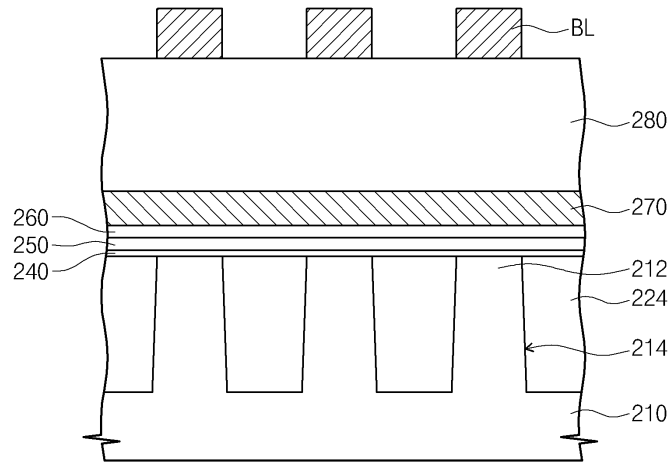
도면3



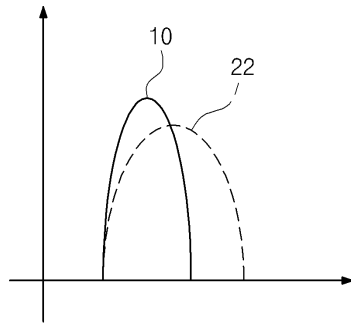
도면4



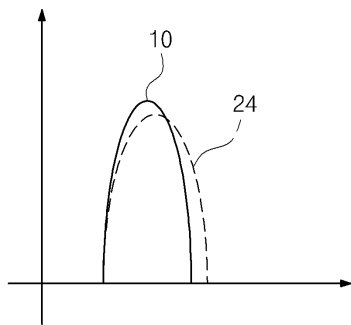
도면5



도면6

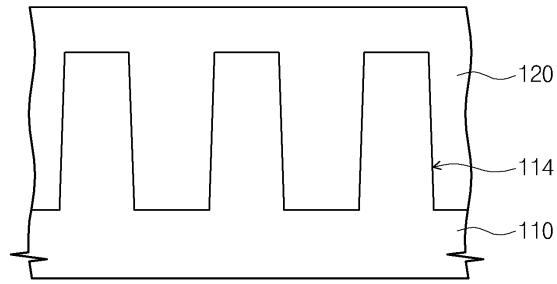


(a)비교예에 따른 프로그램산포특성

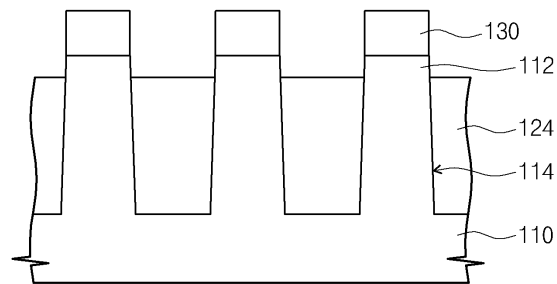


(b)실시에들에 따른 프로그램산포특성

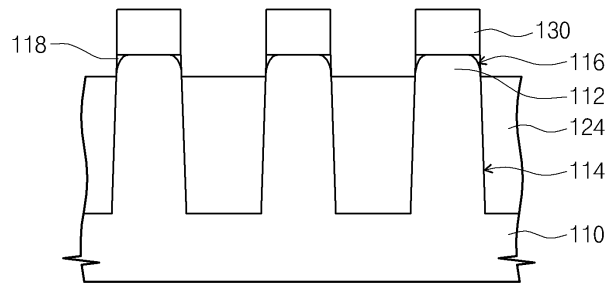
도면7



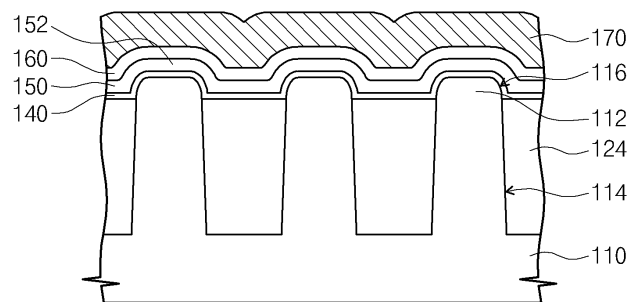
도면8



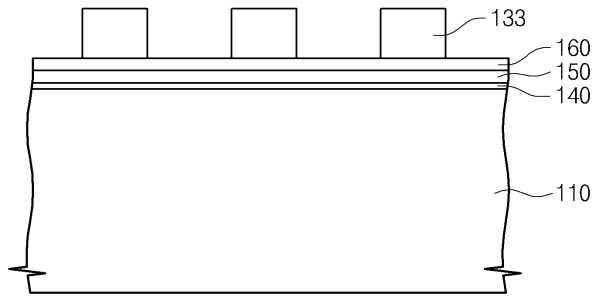
도면9



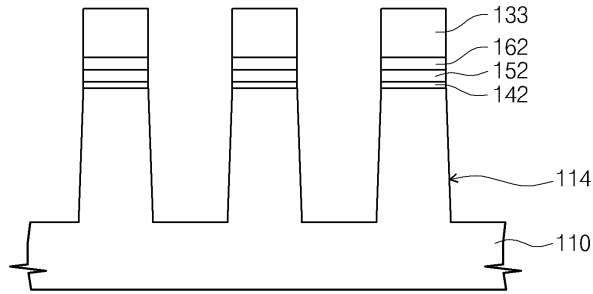
도면10



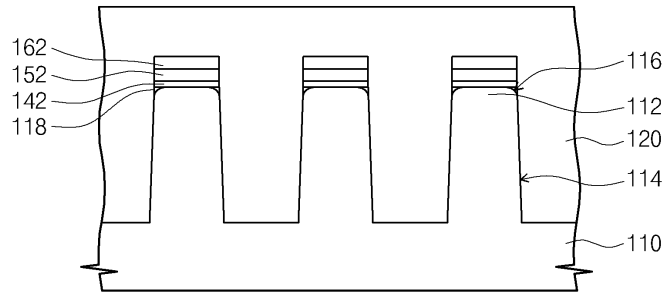
도면11



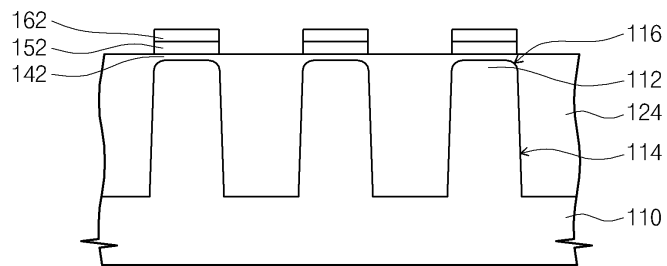
도면12



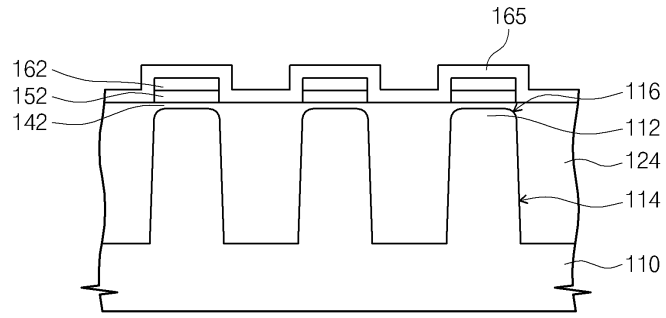
도면13



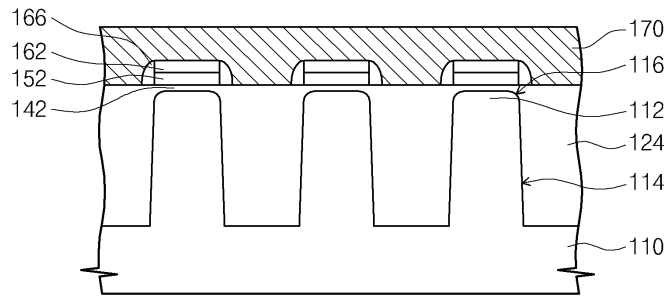
도면14



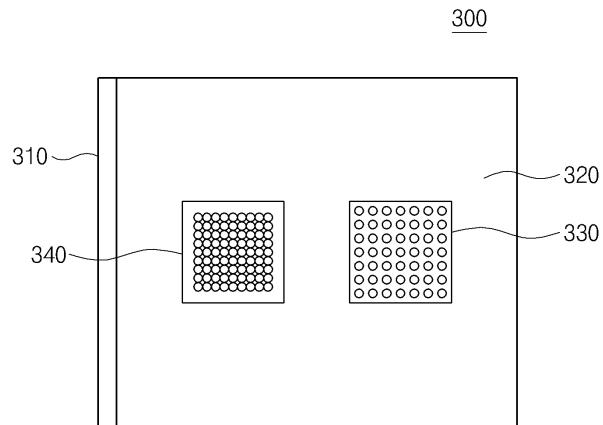
도면15



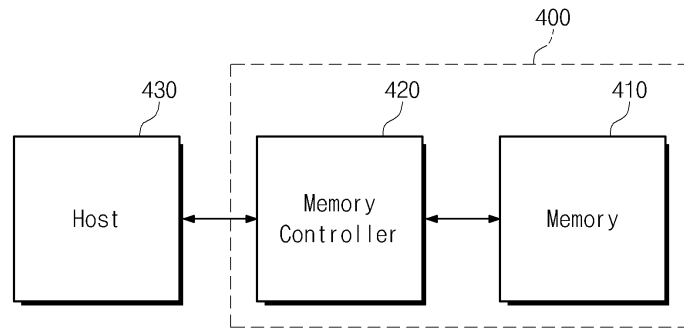
도면16



도면17



도면18



도면19

