



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0054780
 (43) 공개일자 2018년05월24일

- (51) 국제특허분류(Int. Cl.)
G06F 13/362 (2006.01) *G06F 13/40* (2006.01)
G06F 13/42 (2006.01)
- (52) CPC특허분류
G06F 13/362 (2013.01)
G06F 13/4068 (2013.01)
- (21) 출원번호 10-2018-7011003
- (22) 출원일자(국제) 2016년08월26일
 심사청구일자 없음
- (85) 번역문제출일자 2017년04월18일
- (86) 국제출원번호 PCT/US2016/049105
- (87) 국제공개번호 WO 2017/053010
 국제공개일자 2017년03월30일
- (30) 우선권주장
 14/860,568 2015년09월21일 미국(US)

- (71) 출원인
헬컴 인코포레이티드
 미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
- (72) 발명자
미쉬라 랄란 지
 미국 92121 캘리포니아주 샌디에고 모어하우스 드라이브 5775
위트펠트 리차드 도미닉
 미국 92121 캘리포니아주 샌디에고 모어하우스 드라이브 5775
- (74) 대리인
특허법인코리아나

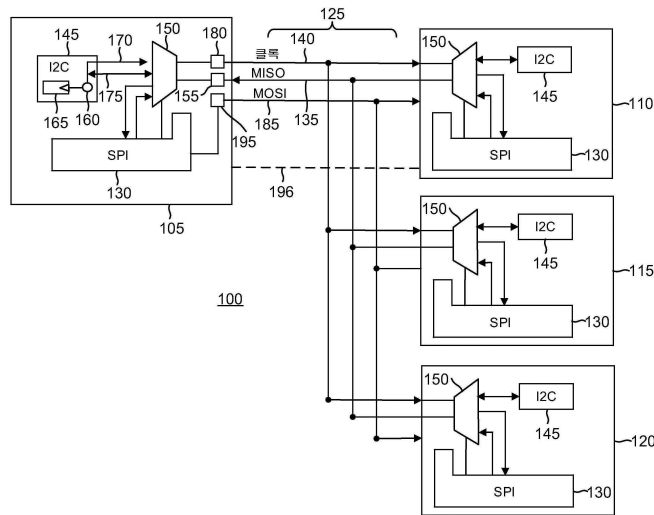
전체 청구항 수 : 총 26 항

(54) 발명의 명칭 **향상된 직렬 주변기기 인터페이스**

(57) 요약

수정된 직렬 주변기기 인터페이스 (SPI) 가, 슬레이브 선택 라인을 사용하지 않는 마스터 디바이스 및 복수의 슬레이브들의 각각에 제공된다. 따라서, 마스터 디바이스는 SPI MOSI 라인, SPI MISO 라인, 및 SPI 클럭 라인을 통해 각각의 슬레이브 디바이스와 풀-듀플렉스 직렬 통신에 관여할 수도 있다.

대표도



(52) CPC특허분류
G06F 13/4291 (2013.01)

명세서

청구범위

청구항 1

마스터 디바이스로서,

마스터-입력 슬레이브-출력 (MISO) 라인 및 마스터-출력 슬레이브-입력 (MOSI) 라인을 포함하는 수정된 직렬 주변기기 인터페이스 (SPI) 버스; 및

어드레싱된 프레임을 상기 MOSI 라인 상으로 복수의 슬레이브 디바이스들 중 어드레싱된 슬레이브 디바이스에 송신하고 그리고 비-어드레싱된 프레임들을 상기 MISO 라인 상으로 상기 슬레이브 디바이스들의 각각으로부터 수신하도록 구성된 수정된 직렬 주변기기 인터페이스를 포함하는, 마스터 디바이스.

청구항 2

제 1 항에 있어서,

상기 마스터 디바이스의 파워-온 리셋 이후 어드레스 할당 모드에서 동작하도록 구성된 어드레스 할당 엔진을 더 포함하고,

상기 어드레스 할당 엔진은 상기 어드레스 할당 모드 동안 상기 수정된 SPI 버스에서의 클록 라인으로 클록 신호를 드라이빙하도록 구성된 클록 소스를 포함하고, 로컬 카운트를 결정하기 위해 상기 어드레스 할당 모드 동안 상기 클록 신호의 사이클들을 카운트하도록 구성된 로컬 카운터를 포함하는, 마스터 디바이스.

청구항 3

제 2 항에 있어서,

상기 어드레스 할당 엔진은 내장형 집적회로간 (I2C) 인터페이스를 포함하는, 마스터 디바이스.

청구항 4

제 2 항에 있어서,

상기 어드레스 할당 엔진은 내장형 I3C 인터페이스를 포함하는, 마스터 디바이스.

청구항 5

제 3 항에 있어서,

멀티플렉서를 더 포함하고,

상기 멀티플렉서는 상기 어드레스 할당 엔진 및 상기 수정된 직렬 주변기기 인터페이스를 상기 클록 라인에 그리고 상기 MISO 라인에 선택적으로 커플링하도록 구성되는, 마스터 디바이스.

청구항 6

제 5 항에 있어서,

상기 내장형 I2C 인터페이스는 추가로, 상기 MISO 라인의 디스차징에 응답하여 상기 로컬 카운트의 값에 의해 슬레이브 디바이스의 어드레스를 식별하도록 구성되는, 마스터 디바이스.

청구항 7

제 1 항에 있어서,

호스트 프로세서를 더 포함하고,

상기 마스터 디바이스는 시스템 온 칩 (SoC) 을 포함하는, 마스터 디바이스.

청구항 8

제 7 항에 있어서,

상기 SoC 및 상기 복수의 슬레이브 디바이스들은 셀룰러 폰, 스마트 폰, 개인용 디지털 보조기, 태블릿 컴퓨터, 랩탑 컴퓨터, 디지털 카메라, 및 핸드헬드 게이밍 디바이스로 이루어진 그룹으로부터 선택된 디바이스에 통합되는, 마스터 디바이스.

청구항 9

제 1 항에 있어서,

호스트 프로세서는 상기 수정된 직렬 주변기기 인터페이스를 구현하기 위해 소프트웨어로 구성되는, 마스터 디바이스.

청구항 10

제 1 항에 있어서,

상기 수정된 직렬 주변기기 인터페이스는 유한 상태 머신을 포함하는, 마스터 디바이스.

청구항 11

제 1 항에 있어서,

상기 수정된 SPI 버스에서의 클록 라인을 더 포함하고,

상기 수정된 직렬 주변기기 인터페이스는 추가로, 상기 어드레싱된 프레임의 송신 동안 그리고 상기 비-어드레싱된 프레임들의 수신 동안 상기 클록 라인 상으로 클록 신호를 드라이빙하도록 구성되는, 마스터 디바이스.

청구항 12

제 2 항에 있어서,

상기 수정된 직렬 주변기기 인터페이스는 추가로, 상기 MOSI 라인 상으로 송신된 어드레싱된 폴링 프레임을 사용하여 각각의 슬레이브 디바이스를 주기적으로 폴링하도록 구성되는, 마스터 디바이스.

청구항 13

제 1 항에 있어서,

상기 마스터 디바이스와 상기 MISO 라인 사이에 및 상기 마스터 디바이스와 상기 MOSI 라인 사이에 물리 계층 인터페이스를 형성하도록 구성된 입력/출력 회로의 쌍을 더 포함하는, 마스터 디바이스.

청구항 14

슬레이브 디바이스로서,

마스터-입력 슬레이브-출력 (MISO) 라인 및 마스터-출력 슬레이브-입력 (MOSI) 라인을 포함하는 수정된 직렬 주변기기 인터페이스 (SPI) 버스; 및

마스터 디바이스로부터 상기 MOSI 라인 상으로 수신된 어드레싱된 프레임에서의 어드레스 헤더를 디코딩하여, 상기 어드레싱된 프레임이 상기 슬레이브 디바이스로 어드레싱되는지 여부를 결정하도록 구성된 수정된 직렬 주변기기 인터페이스를 포함하는, 슬레이브 디바이스.

청구항 15

제 14 항에 있어서,

상기 수정된 SPI 버스는 클록 라인을 포함하고, 상기 슬레이브 디바이스는 카운트를 결정하기 위해 상기 클록 라인 상에서 수신된 클록 신호의 천이들을 카운트하도록 구성된 카운터를 갖는 내장형 집적회로간 (I2C) 인터페이스를 더 포함하고,

상기 내장형 I2C 인터페이스는 추가로, 상기 카운트에 대한 값이 상기 슬레이브 디바이스에 대한 초기 어드레스와 동일한 것에 응답하여 상기 MISO 라인을 디스차지하도록 구성되는, 슬레이브 디바이스.

청구항 16

제 14 항에 있어서,

상기 수정된 직렬 주변기기 인터페이스는, 비-어드레싱된 프레임의 상기 MISO 라인 상으로의 상기 마스터 디바이스로의 송신 이전에 상기 마스터 디바이스에 인터럽트 신호를 어서트(assert)하도록 구성되는, 슬레이브 디바이스.

청구항 17

마스터 디바이스로부터, 복수의 슬레이브 디바이스들에 대한 직렬 주변기기 인터페이스(SPI) 클록 라인 상으로의 클록 신호를 사이클링하는 단계;

각각의 슬레이브 디바이스에 있어서, 로컬 카운트를 유지하기 위해 상기 클록 라인 상의 상기 클록 신호의 사이클링에 응답하여 카운팅하는 단계; 및

각각의 슬레이브 디바이스로부터, 상기 슬레이브 디바이스의 로컬 카운트에 대한 값이 상기 슬레이브 디바이스에 대한 초기 어드레스와 동일할 경우 직렬 주변기기 인터페이스(SPI) 마스터-입력 슬레이브-출력(MISO) 라인을 디스차지함으로써 상기 마스터 디바이스에게 시그널링하는 단계를 포함하는, 방법.

청구항 18

제 17 항에 있어서,

상기 마스터 디바이스로부터, 각각의 슬레이브 디바이스에 대한 어드레싱된 프레임을 SPI 마스터-출력 슬레이브-입력(MOSI) 라인 상으로 송신하는 단계를 더 포함하고,

각각의 어드레싱된 프레임에서의 헤더는 대응하는 슬레이브 디바이스에 대한 상기 초기 어드레스를 포함하고, 각각의 어드레싱된 프레임의 보디는 상기 대응하는 슬레이브 디바이스에 대한 단축 어드레스를 포함하고, 각각의 슬레이브 디바이스의 단축 어드레스는 상기 슬레이브 디바이스의 초기 어드레스에 포함된 것보다 더 적은 수의 비트들을 갖는, 방법.

청구항 19

제 18 항에 있어서,

SPI 클록 라인 상에서 송신된 SPI 클록 신호의 사이클들에 응답하여 단축 어드레싱된 프레임을 상기 MOSI 라인 상으로 상기 슬레이브 디바이스들 중 선택된 슬레이브 디바이스에 송신하는 단계를 더 포함하고,

상기 단축 어드레싱된 프레임은 상기 선택된 슬레이브 디바이스에 대한 단축 어드레스를 포함하는 어드레스 헤더를 포함하는, 방법.

청구항 20

제 17 항에 있어서,

상기 마스터 디바이스에 있어서, 마스터 디바이스 로컬 카운트를 유지하기 위해 상기 클록 라인 상의 상기 클록 신호의 사이클링에 응답하여 카운팅하는 단계; 및

상기 마스터 디바이스에 있어서, 각각의 슬레이브 디바이스가 상기 MISO 라인을 디스차지할 경우 상기 마스터 디바이스 로컬 카운트에 대한 값을 통해 각각의 슬레이브 디바이스의 초기 어드레스를 결정하는 단계를 더 포함하는, 방법.

청구항 21

제 17 항에 있어서,

상기 마스터 디바이스로부터, 각각의 슬레이브 디바이스에 대한 어드레싱된 프레임을 SPI 마스터-출력 슬레이브

-입력 (MOSI) 라인 상으로 송신하는 단계를 더 포함하고,

각각의 어드레싱된 프레임에서의 헤더는 대응하는 슬레이브 디바이스에 대한 상기 초기 어드레스를 포함하고, 각각의 어드레싱된 프레임의 보디는 상기 클록 라인, 상기 MOSI 라인, 및 상기 MISO 라인으로 이루어진 그룹으로부터 선택된 상기 대응하는 슬레이브 디바이스에 대한 라인 할당을 포함하고,

상기 마스터 디바이스는 추가로, 상기 대응하는 슬레이브 디바이스가 상기 마스터 디바이스에 송신하기 위한 프레임을 갖는다는 표시로서 상기 대응하는 슬레이브 디바이스에 의한 할당된 라인의 임시의 디스차징을 검출하도록 구성되는, 방법.

청구항 22

마스터 디바이스로서,

마스터-입력 슬레이브-출력 (MISO) 라인, 마스터-출력 슬레이브-입력 (MOSI) 라인, 및 클록 라인을 포함하는 수정된 직렬 주변기기 인터페이스 (SPI) 버스;

어드레싱된 프레임을 상기 MOSI 라인 상으로 복수의 슬레이브 디바이스들 중 어드레싱된 슬레이브 디바이스에 송신하고 그리고 비-어드레싱된 프레임들을 상기 MISO 라인 상으로 상기 슬레이브 디바이스들의 각각으로부터 수신하도록 구성된 수정된 직렬 주변기기 인터페이스; 및

각각의 슬레이브 디바이스에 어드레스를 할당하는 수단을 포함하는, 마스터 디바이스.

청구항 23

제 22 항에 있어서,

호스트 프로세서를 더 포함하고,

상기 마스터 디바이스는 시스템 온 칩 (SoC) 을 포함하는, 마스터 디바이스.

청구항 24

제 23 항에 있어서,

상기 SoC 및 상기 복수의 슬레이브 디바이스들은 셀룰러 폰, 스마트 폰, 개인용 디지털 보조기, 태블릿 컴퓨터, 랩탑 컴퓨터, 디지털 카메라, 및 핸드헬드 게이밍 디바이스로 이루어진 그룹으로부터 선택된 디바이스에 통합되는, 마스터 디바이스.

청구항 25

제 22 항에 있어서,

호스트 프로세서는 상기 수정된 직렬 주변기기 인터페이스를 구현하기 위해 소프트웨어로 구성되는, 마스터 디바이스.

청구항 26

제 22 항에 있어서,

상기 수정된 직렬 주변기기 인터페이스는 유한 상태 머신을 포함하는, 마스터 디바이스.

발명의 설명

기술 분야

[0001] 관련 출원들에 대한 상호참조

[0002] 본 출원은 2015년 9월 21일자로 출원된 미국출원 제14/860,568호에 대한 우선권을 주장한다.

[0003] 본 출원은 직렬 주변기기 인터페이스들에 관한 것으로서, 더 상세하게는, 슬레이브 선택 라인에 대한 필요성을 제거하도록 하는 직렬 주변기기 인터페이스의 향상에 관한 것이다.

배경 기술

[0004] 직렬 주변기기 인터페이스 (SPI) 는, 일반적으로, 시스템 온 칩 (SoC) 프로세서와 다양한 주변기기 디바이스들 사이의 동기식 직렬 통신을 제공하기 위해 모바일 디바이스들에 포함된다. SoC 는 SPI 마스터 디바이스로서 기능하지만 각각의 주변기기 디바이스는 슬레이브 SPI 디바이스로서 기능한다. SPI 버스는 마스터 디바이스를 각각의 SPI 슬레이브 디바이스들에 커플링시킨다. 마스터 디바이스는 클록을 SPI 버스 내의 클록 라인에 공급한다. 마스터 디바이스와 슬레이브 디바이스들 사이의 모든 직렬 데이터 교환들은 클록 신호에 동기적이다. 마스터 디바이스는 마스터-출력 슬레이브-입력 (MOSI) 라인 상으로 데이터를 슬레이브 디바이스들에 드라이빙한다. 슬레이브 디바이스들은 각각, 공유된 마스터-입력 슬레이브 출력 (MISO) 라인 상에서 데이터를 마스터에 드라이빙할 수도 있다. MISO 라인이 슬레이브 디바이스들에 의해 공유되기 때문에, SPI 버스는 또한, 공유된 MISO 라인에 액세스 프로토콜을 제공하기 위해 각각의 슬레이브 디바이스에 대한 슬레이브 선택 라인을 포함한다.

[0005] 각각의 슬레이브는 그 자신의 슬레이브 선택 라인을 갖기 때문에, 각각의 슬레이브 디바이스에서의 SPI 버스는 클록, MOSI, MISO, 및 슬레이브 선택 시그널링을 수용하기 위해 4-와이어 버스이다. 하지만, 마스터 디바이스에서의 SPI 버스는 (3 + N) 와이어 버스일 것이며, 여기서, N 은 슬레이브 디바이스들의 수를 나타내는 정수이다. SPI 버스에서의 각각의 와이어는 그 자신의 핀에 전용되어, SPI 버스에 전용된 마스터 디바이스에서의 핀들의 수는 서비스하는 슬레이브 디바이스들의 수로 증가한다. 결과적으로, SoC 와 같은 마스터 디바이스에서의 더 적은 핀들은 다른 시그널링을 위해 전용될 수도 있다. 더욱이, 마스터 디바이스 상의 각각의 요구된 추가 핀은 제조 비용을 상승시킨다.

[0006] 이에 따라, 종래의 SPI 아키텍처들의 핀 수요들을 경감시키는 개선된 SPI 인터페이스가 당업계에 필요하다.

발명의 내용

과제의 해결 수단

[0007] 향상된 직렬 주변기기 인터페이스들이 마스터 디바이스 및 복수의 슬레이브들에 대해 제공된다. 각각의 향상된 직렬 주변기기 인터페이스 (이는 또한 수정된 직렬 주변기기 인터페이스 (SPI) 로서 표기될 수도 있음) 는, 슬레이브 선택 라인들의 사용없이, 마스터 디바이스로부터 마스터-출력 슬레이브-입력 (MOSI) 라인 상으로의 그리고 슬레이브 디바이스들로부터 마스터-입력 슬레이브-출력 (MISO) 라인 상으로 마스터 디바이스로의 데이터 송신을 가능케 하도록 구성된다. 따라서, 결과적인 시스템은 마스터 디바이스에서의 복수의 슬레이브 선택 핀들에 대한 필요성없이 MOSI 및 MISO 라인들 상으로의 듀플렉스 데이터 송신으로부터 이익을 얻는다. 본 명세서에서 사용된 바와 같이, "핀" 은, 집적 회로가 회로 보드 상의 리드들 또는 다른 적합한 송신 라인들에 커플링하기 위해 사용하는 패드 또는 실제 핀과 같은 구조물을 커버하기 위한 포괄적인 용어이다.

[0008] 마스터 디바이스에서의 수정된 SPI 는, MOSI 라인 상으로 슬레이브들에 송신된 어드레싱된 프레임들에 어드레스 헤더를 삽입하도록 구성된다. 각각의 슬레이브 디바이스에서의 수정된 SPI 는, 수신된 어드레싱된 프레임들이 슬레이브 디바이스로 어드레싱되는지 여부를 결정하기 위해 MOSI 라인으로부터의 수신된 어드레싱된 프레임들에서의 어드레스 헤더를 디코딩하도록 구성된다.

[0009] 슬레이브 선택 라인들의 부재가 주어지면 슬레이브 디바이스에 대한 액세스 프로토콜을 공유된 MISO 라인에 제공하기 위해, 마스터 디바이스에서의 수정된 SPI 는 어드레스 헤더를 갖는 어드레싱된 폴링 프레임으로 각각의 슬레이브 디바이스를 주기적으로 폴링할 수도 있다. 수신된 어드레싱된 폴링 프레임이 슬레이브 디바이스로 지향되었음을 슬레이브 디바이스에서의 수정된 SPI 가 결정하면, 데이터 프레임을 MISO 라인 상으로 마스터 디바이스에 송신하도록 진행할 수도 있다. 대안적으로, 각각의 슬레이브 디바이스는 마스터 디바이스에 의해 수신된 개별 인터럽트 라인에 커플링된 인터럽트 핀을 포함할 수도 있다. 그러한 슬레이브 디바이스는 마스터 디바이스에 송신하기 위한 프레임을 가지면, 먼저, 마스터 디바이스에서의 호스트 프로세서를 인터럽트할 수도 있다. 그 후, 인터럽트하는 슬레이브 디바이스의 아이덴티티는 대응하는 개별 인터럽트 라인을 통해 마스터 디바이스에 공지된다. 슬레이브 디바이스 생성 프레임들은, MISO 라인에 대한 이들 액세스 프로토콜들이 주어지면 어드레싱된 프레임들일 필요가 없다.

도면의 간단한 설명

[0010] 도 1 은, 본 개시의 일 양태에 따른, 임의의 슬레이브 선택 라인들을 포함하지 않는 수정된 SPI 버스 상으로 통

신하도록 구성된 마스터 디바이스 및 복수의 슬레이브 디바이스들을 포함한 예시적인 시스템의 다이어그램이다.

도 2 는 어드레스 할당 절차 동안 도 1 의 시스템의 다이어그램이다.

도 3 은 도 1 의 시스템에 있어서 어드레스들을 할당하는 방법의 플로우차트이다.

도 4 는 도 1 의 시스템을 포함한 예시적인 디바이스에 대한 블록 다이어그램이다.

본 개시의 추가적인 양태들 및 그 이점들은 뒤이어지는 상세한 설명을 참조함으로써 가장 잘 이해된다. 동일한 참조부호들은 도면들 중 하나 이상에서 예시된 동일한 엘리먼트들을 식별하기 위해 사용됨이 인식되어야 한다.

발명을 실시하기 위한 구체적인 내용

- [0011] 슬레이브 선택 라인들이 제거된 수정된 직렬 주변기기 인터페이스 (SPI) 가 제공된다. 이러한 방식으로, 마스터 디바이스 및 복수의 슬레이브 디바이스들은 3-와이어 수정된 SPI 버스를 이용하여 개별 수정된 직렬 주변기기 인터페이스들을 통해 네트워킹될 수도 있다. 따라서, 마스터 디바이스는, 인터페이스에 네트워킹되는 슬레이브 디바이스들의 수에 무관하게, 그 수정된 직렬 주변기기 인터페이스를 지원하기 위해 오직 3개의 핀들만을 필요로 한다.
- [0012] 슬레이브 선택 라인들이 삭제되기 때문에, 마스터 디바이스에서의 수정된 직렬 주변기기 인터페이스는 어드레싱된 프레임들을 마스터-출력 슬레이브-입력 (MOSI) 라인 상으로 슬레이브 디바이스들에 송신하도록 구성되며, 여기서, 각각의 어드레싱된 프레임은 선택된 슬레이브 디바이스에 대한 어드레스를 갖는 헤더를 포함한다. 어드레스들을 제공하기 위해, 마스터 및 슬레이브 디바이스들은, 각각, MiPi 얼라이언스에 의해 정의된 바와 같은 내장형 집적회로간 (I2C) 인터페이스 또는 내장형 I3C (Sensewire) 인터페이스를 포함할 수도 있다. 더 일반적으로, 마스터 및 슬레이브 디바이스들은 각각, 내장형 어드레스 할당 엔진을 포함할 수도 있다. 따라서, 다음의 논의는, 내장형 어드레스 할당 엔진이 I2C 인터페이스이라는 일반성의 상실없이 가정할 것이다.
- [0013] 내장형 I2C 인터페이스는 파워-온 시퀀스의 완료 시에, 예컨대, 파워-온 리셋 (POR) 시퀀스의 완료 시에 가능하다. I2C 및 I3C 업계들에서 알려진 바와 같이, IC2 버스는 2-와이어 버스이다. 따라서, 내장형 I2C 인터페이스는, 수정된 직렬 주변기기 인터페이스들에 의해 사용된 3-와이어 SPI 버스에 있어서 클록 라인 및 MISO 라인을 공유한다. 내장형 I2C 인터페이스 및 수정된 직렬 주변기기 인터페이스를, 마스터 디바이스 (그리고 또한 슬레이브 디바이스들) 는 대응하는 멀티플렉서를 통해 클록 라인 및 MISO 라인에 대해 선택할 수도 있다.
- [0014] 파워-온 리셋 시퀀스의 완료 시, 마스터 디바이스에서의 내장형 I2C 인터페이스는 공유된 클록 라인을 클록킹하기 시작한다. 마스터 디바이스는 또한, 전력 공급 전압 (VDD) 에 MISO 라인을 약하게 차징 (charge) 하도록 구성된다. 슬레이브 디바이스들에서의 각각의 내장형 I2C 인터페이스는 로컬 카운트를 유지하기 위해 클록 라인의 토글링에 응답하여 카운트하도록 구성된다. 예를 들어, 슬레이브 디바이스들에서의 각각의 내장형 I2C 인터페이스는, 그 로컬 카운트를 유지하기 위해 클록 신호의 각각의 상승 에지 또는 각각의 하강 에지를 카운트하도록 구성될 수도 있다. 대안적으로, 슬레이브 디바이스들에서의 각각의 내장형 I2C 인터페이스는, 그 로컬 카운트를 유지하기 위해 클록 신호의 각각의 상승 에지 및 각각의 하강 에지를 카운트하도록 구성될 수도 있다. 각각의 슬레이브 디바이스 내장형 I2C 인터페이스는 N비트 의사랜덤 또는 랜덤 어드레스와 같은 초기 어드레스로 구성된다. 그 로컬 카운트의 각각의 증분 이후, 각각의 슬레이브 디바이스 내장형 I2C 인터페이스는 그 현재의 로컬 카운트를 그 초기 어드레스와 비교한다.
- [0015] 비교가 현재의 로컬 카운트가 슬레이브 디바이스의 초기 어드레스와 동일함을 표시할 경우, 슬레이브 디바이스의 내장형 I2C 인터페이스는 접지에 대해 낮은 공유된 MISO 라인을 디스차징하여, 대응하는 현재의 로컬 카운트와 동일한 초기 어드레스를 슬레이브 디바이스가 가짐을 마스터 디바이스에게 시그널링한다. 마스터 디바이스에서의 내장형 I2C 인터페이스는 또한, 카운터들이 슬레이브 디바이스들에서 동작하는 것과 동일한 방식으로 클록 신호의 천이들에 응답하여 카운트하는 카운터를 포함한다. 마스터 디바이스 및 슬레이브 디바이스들의 소정의 시스템으로의 통합 이전에, 마스터 디바이스는 슬레이브 디바이스들의 총 수로 구성된다. 예를 들어, 슬레이브 디바이스들의 수는 마스터 디바이스에서의 플래시 메모리와 같은 판독 전용 메모리에 기입될 수도 있다. 따라서, 마스터 디바이스에서의 내장형 I2C 인터페이스는, 슬레이브 디바이스들의 총 수가 그 초기 어드레스들을 식별할 때까지 클록 신호를 계속 사이클링한다. 그 후, 마스터 디바이스는 슬레이브 디바이스들의 각각에 대한 초기 어드레스를 소유한다.
- [0016] 그 후, 마스터 디바이스에서의 수정된 SPI 인터페이스는, 단축 어드레스들을 MOSI 라인을 통해 슬레이브 디바이

스들에 할당하도록 진행할 수도 있다. 예를 들어, 8개 이하의 슬레이브 디바이스들이 존재하면, 모든 슬레이브 디바이스들을 고유하게 식별하기 위해 3 어드레스 비트들이 충분하다. 다른 구현들에 있어서, 예상된 수의 슬레이브 디바이스들을 수용하기에 충분히 큰 고정된 단축 어드레스 사이즈가 사용될 수도 있다. 마스터 디바이스에서의 수정된 직렬 주변기기 인터페이스는, 어드레싱된 구성 프레임을 MOSI 라인을 통해 슬레이브 디바이스들의 제 1 슬레이브 디바이스로 전송하는 동안 클록 라인을 토글링하기 시작할 수도 있다. 어드레싱된 구성 프레임은 제 1 슬레이브 디바이스의 초기 어드레스를 갖는 헤더를 포함하고, 제 1 슬레이브 디바이스의 단축 어드레스를 식별하는 프레임 보디를 포함한다. 그 후, 제 1 슬레이브 디바이스의 내장형 I2C 인터페이스는, 마스터 디바이스에서의 수정된 직렬 주변기기 인터페이스에 의한 클록 라인의 토글링에 응답하여 확인 응답 프레임을 MISO 라인 상으로 송신할 수도 있다. 이러한 방식으로, 마스터 디바이스는, 제 1 슬레이브 디바이스에 관하여 논의된 바와 같이 나머지 슬레이브들에 나머지 단축 어드레스들을 할당하도록 진행할 수도 있다. 본 명세서에서 사용된 바와 같이, 추가의 한정없이 용어 "어드레스" 는 간략화를 위해 단축 어드레스들을 지칭한다.

[0017] 어드레스들의 할당 이후, 마스터 디바이스 및 슬레이브 디바이스들에서의 수정된 직렬 주변기기 인터페이스들은 통상 또는 미션 동작 모드에서 데이터를 교환하기 시작할 수도 있다. 데이터의 어드레싱된 프레임을 슬레이브 디바이스들 중 특정 슬레이브 디바이스로 전송하기 위해, 마스터 디바이스에서의 수정된 직렬 주변기기 인터페이스는 원하는 슬레이브 디바이스에 대한 어드레스를 어드레싱된 프레임에 대한 헤더에 삽입하도록 구성된다.

본 명세서에서 논의된 다른 프레임 타입들과 같이, 어드레싱된 프레임의 비트 길이는 소정의 시스템의 요건들에 의존하여 변할 수도 있다. 프레임 길이에 무관하게, 슬레이브 디바이스들 및 마스터 디바이스가 적절한 비휘발성 메모리를 이용하여 구성될 수도 있는 것은 파라미터이다. 그 후, 마스터 디바이스에서의 수정된 직렬 주변기기 디바이스는 클록 신호의 천이들에 응답하여 어드레싱된 프레임을 MOSI 라인 상으로 비트 단위로 시프트-아웃하도록 진행할 수도 있다. 각각의 슬레이브 디바이스는, 클록 라인 상으로 송신될 때 클록 신호의 천이들에 응답하여 어드레싱된 프레임을 MOSI 라인 상으로 수신한다. 각각의 슬레이브 디바이스의 수정된 주변기기 인터페이스는, 수신된 어드레싱된 프레임이 대응하는 슬레이브 디바이스로 어드레싱되는지 여부를 결정하기 위해 수신된 어드레싱된 프레임의 헤더를 검사하도록 구성된다. 오직 어드레싱된 슬레이브 디바이스에서의 수정된 직렬 주변기기 인터페이스만이 헤더에서의 어드레스와 동일한 그 어드레스를 가질 것이고, 그래서, 수신된 어드레싱된 프레임에서의 데이터 페이로드를 프로세싱하도록 진행한다.

[0018] 슬레이브 디바이스로부터 마스터 디바이스로의 송신은 유사하다. 하지만, 슬레이브 디바이스들에서의 수정된 직렬 주변기기 인터페이스들은 종래의 SPI 시스템에서의 슬레이브 디바이스들로부터의 프레임 송신들과 유사한 MISO 라인 상으로 마스터 디바이스로 어떠한 어드레스 헤더도 없이 프레임들을 송신할 수도 있다. 종래의 SPI 슬레이브 디바이스들에 반하여, 본 명세서에 개시된 슬레이브 디바이스들은 MISO 라인에 관하여 액세스 프로토콜로서 슬레이브 선택 라인을 사용하지 않는다. 슬레이브 디바이스들에 의해 실시된 액세스 프로토콜은 하기에서 추가로 논의된다. 일단 슬레이브 디바이스가 MISO 라인에 액세스하면, 그 수정된 직렬 주변기기 인터페이스는 클록 라인 상에서 수신된 클록 신호의 천이들에 응답하여 결과적인 프레임을 MISO 라인 상으로 시프트-아웃하도록 진행할 수도 있다.

[0019] 마스터 및 슬레이브 디바이스들의 각각에서의 내장형 I2C 인터페이스와 수정된 직렬 주변기기 인터페이스의 결과적인 조합은, 각각의 디바이스가 MISO 및 MOSI 라인들을 제공한 풀 듀플렉스 통신을 지원하지만 마스터 디바이스는 복수의 슬레이브 디바이스들과 통신하기 위해 오직 3개 핀들만을 제공할 필요가 있다는 점에 있어서 상당히 유리하다. 이러한 방식으로, 제조 비용이 감소되지만 마스터 디바이스 및 슬레이브 디바이스는 풀 듀플렉스 직렬 통신에 관여할 수도 있다. 이들 유리한 특징들은 다음의 예시적인 구현들의 고려를 통해 더 잘 인식될 수도 있다.

[0020] 이제 도면들로 돌아가면, 예시적인 네트워킹된 시스템 (100) 이 도 1 에 도시된다. 시스템 온 칩 (SoC) 과 같은 마스터 디바이스 (105) 는, 슬레이브 디바이스 (110), 슬레이브 디바이스 (115), 및 슬레이브 디바이스 (120) 와 같은 복수의 슬레이브 디바이스들과 3-와이어 수정된 SPI 버스 (125) 상으로 통신하기 위한 수정된 직렬 주변기기 인터페이스 (130) 를 포함한다. 직렬 주변기기 인터페이스 (130) 는 버스 (125) 에서의 데이터 라인들 중 하나, 예컨대, MISO 라인 (135) 그리고 또한 클록 라인 (140) 을 멀티플렉서 (150) 를 통해 내장형 I2C 인터페이스 (145) 와 공유한다. 마스터 디바이스 (105) 에서의 I/O 회로 (엔드포인트) (155) 는 MISO 라인 (135) 상으로의 수신된 신호들에 대한 물리 계층 프로세싱을 수행한다.

[0021] 파워-온 리셋 (POR) 시퀀스의 완료 이후, 예컨대, POR 신호 (도시 안됨) 에 응답하여, 마스터 디바이스 (105) 에서의 제어기, 예컨대, 수정된 직렬 주변기기 인터페이스 (130) 는 그 멀티플렉서 (150) 에게, I2C 클록 소스

(160)로부터 I2C 클럭 신호 (170)를 선택하여 슬레이브들에 대한 초기 어드레스들이 식별되는 어드레스 할당 모드를 개시하기 위해 대응하는 엔드포인트 (180)을 통해 클럭 라인 (140)을 드라이빙하도록 명령한다. POR 신호 시퀀스의 완료에 응답하여, I2C 클럭 소스 (160)는 I2C 클럭 신호 (170)를 사이클링한다. 엔드포인트 (155)는 전력 공급 전압 (VDD)에 MISO 라인 (135)을 약하게 차징하도록 구성되어, I2C 클럭 소스 (160)가 클럭 라인 (140)상으로 I2C 클럭 신호 (170)를 계속 사이클링하는 동안 MISO 라인 (135)은 차징상태에 머무른다. 이러한 어드레스 할당 모드 동안, 멀티플렉서 (150)는 수신된 MISO 신호를 엔드포인트 (155)로부터 마스터 디바이스 (105)에서의 I2C 데이터 라인 (175)에 커플링시킨다.

[0022]

각각의 슬레이브 디바이스는 유사한 내장형 I2C 인터페이스 (145), 멀티플렉서 (150), 및 수정된 직렬 주변기기 인터페이스 (130)를 포함한다. 하지만, 슬레이브 디바이스들에서의 내장형 I2C 인터페이스들 (145)은, I2C 클럭 (170)이 마스터 디바이스 (105)에 의해 드라이빙되기 때문에 I2C 클럭 소스 (160)를 포함할 필요가 없다. 부가적으로, 슬레이브 디바이스들에 대한 엔드포인트들은 예시 명료화를 위해 도 1에 도시되지 않는다. 파워-온 리셋 시퀀스의 완료 및 클럭 라인 (140)의 사이클링 이후, 각각의 슬레이브 디바이스는 사이클들 (또는 양자의 클럭 에지들이 카운트되는지 여부에 의존하여 하프 사이클들)을 카운트하기 시작한다. 도 2에 도시된 바와 같이, 각각의 슬레이브 디바이스 내장형 I2C 인터페이스 (130)는, 초기 어드레스 (190)로서 또한 지정될 수도 있는 랜덤 수 (또는 의사-랜덤) 어드레스 (190)를 저장한다. 각각의 슬레이브 디바이스 내장형 I2C 인터페이스 (145)에서의 로컬 카운터 (165)는 마스터 디바이스 (105)에서의 I2C 클럭 소스 (160)로부터 클럭 라인 (140)의 사이클링에 응답하여 카운트한다. 슬레이브 디바이스 내장형 I2C 인터페이스 (145)는 그 로컬 카운터 (165)로부터의 카운트가 그 초기 어드레스 (190)와 동일함을 결정할 경우, MISO 라인 (135)을 접지로 디스차징한다. 도 1을 다시 참조하면, 마스터 디바이스 (105)에서의 엔드포인트 (155)는 전력 공급 전압 (VDD)에 MISO 라인 (135)을 약하게 차징하도록 구성된다. 따라서, 슬레이브 디바이스들은 MISO 라인 (135)상의 이러한 약한 풀-업을 극복하여, 그 로컬 카운트가 그 초기 어드레스 (190)와 동일함을 마스터 디바이스 (105)에게 시그널링할 수 있다. 마스터 디바이스 I2C 인터페이스 (145)는 또한, I2C 클럭 소스 (160)로부터의 클럭 신호 (170)의 사이클링에 응답하여 슬레이브 디바이스들에서의 로컬 카운터들 (165)에 의해 결정된 로컬 카운트들을 미러링하는 마스터 로컬 카운트를 유지하는 로컬 카운터 (165)를 포함한다. 따라서, 마스터 디바이스 I2C 인터페이스 (145)는, 슬레이브 디바이스가 그 초기 어드레스 (190)가 MISO 라인 (135)의 디스차징에 의한 현재 마스터 카운트와 동일함을 표시하였음을 경고받는다. 마스터 디바이스 I2C 인터페이스 (145)는 또한 시스템 (100)에서의 슬레이브 디바이스들의 총 수로 구성되기 때문에, 모든 슬레이브 디바이스들이 그 초기 어드레스 (190)를 식별할 때까지 클럭 신호 (170)를 계속 오실레이팅할 수도 있다. 그 후, 수정된 SPI 인터페이스 (130)는, 나중에 논의되는 바와 같이, 그 단축 어드레스의 슬레이브 디바이스를 경고하기 위해 그 초기 어드레스 (190)를 사용하여 복수의 슬레이브 디바이스들로 어드레스되는 어드레싱된 구성 프레임을 MOSI 라인 (185)상으로 송신하도록 진행할 수도 있다. 대안적인 구현들에 있어서, 각각의 슬레이브 디바이스들은, MISO 라인 (135)을 디스차징하는 대신 MOSI 라인 (185)을 디스차징함으로써 그 로컬 카운트가 그 초기 어드레스와 일치함을 마스터 디바이스 (105)에 경고할 수도 있다. 따라서, 마스터 디바이스 (105)에서 MOSI 라인 (185)을 드라이빙하기 위한 대응하는 엔드포인트 (195)가 전력 공급 전압 (VDD)에 MOSI 라인 (185)을 약하게 차징하도록 구성될 수도 있다. 슬레이브 디바이스가 MISO 라인 (135) 또는 MOSI 라인 (185)을 사용하여 그 로컬 카운트와 그 초기 어드레스 (190)사이의 일치를 마스터 디바이스 (105)에 경고하는지 여부와 무관하게, MISO 라인 (135) 또는 MOSI 라인 (185)의 결과적인 디스차징은, 더 긴 지속기간들이 대안적인 구현들에서 사용될 수도 있더라도 단지 일 비트 주기의 지속기간을 가질 수도 있다.

[0023]

따라서, 마스터 디바이스 (105)에서의 내장형 I2C 인터페이스 (145)는 또한, 어드레스 할당 엔진 (145)으로서 지정될 수도 있다. 그러한 엔진은 소프트웨어 또는 펌웨어를 사용하여 구현될 수도 있고, 어떠한 I2C 또는 I3C 기능을 가질 필요가 없다. 대안적으로, 어드레스 할당 엔진 (145)은 유한 상태 머신을 사용하여 구현될 수도 있다. 유사하게, 각각의 수정된 직렬 주변기기 인터페이스 (130)는 소프트웨어, 펌웨어, 또는 유한 상태 머신을 사용하여 구현될 수도 있다. 어드레스 할당 엔진 (145)에 의해 실시된 방법은 도 3에 도시된 플로우차트에 관하여 요약될 수도 있다. 그 방법은 또한, 마스터 디바이스가 직렬 주변기기 인터페이스 (SPI) 클럭 라인 상의 클럭 신호를 사이클링하는 동작 (300)을 포함한다. 상기 논의된 바와 같은 클럭 라인 (140)상으로의 클럭 신호 (170)의 사이클링은 동작 (300)의 일 예이다. 부가적으로, 그 방법은, 각각의 슬레이브 디바이스가 로컬 카운트를 유지하기 위해 클럭 신호의 사이클링에 응답하여 카운팅하는 동작 (305)을 포함한다. 도 2에 관하여 논의된 바와 같은 슬레이브 디바이스들에 의한 로컬 카운터들 (165)내의 카운팅은 동작 (305)의 일 예이다. 마지막으로, 그 방법은 각각의 슬레이브가, 슬레이브 디바이스의 로

컬 카운트에 대한 값이 슬레이브 디바이스의 초기 어드레스와 동일할 경우 SPI MISO 라인을 디스차징함으로써 마스터 디바이스에게 시그널링하는 동작 (310) 을 포함한다. 도 2 에 관하여 논의된 바와 같은 슬레이브 디바이스 내장형 I2C 인터페이스 (145) 에 의한 MISO 라인 (135) 의 디스차징은 동작 (310) 의 일 예이다. 그 후, 마스터 디바이스에서의 수정된 직렬 주변기기 인터페이스 (130) 는, 전술된 바와 같이, 단축 어드레스들을 슬레이브 디바이스들에 할당하도록 진행할 수도 있다.

[0024] 일단 어드레스들이 모두 할당되면, 도 1 의 시스템 (100) 은, 미션 동작 모드로서 또한 표기될 수도 있는 통상 동작으로 천이할 수도 있다. 슬레이브 선택 라인들이 존재하지 않기 때문에, 공유된 MISO 라인 (135) 에 대한 액세스 프로토콜이 다수의 방식들로 달성될 수도 있다. 일 구현에 있어서, 마스터 디바이스 (105) 는 슬레이브 디바이스들을 개별적으로 주기적으로 폴링할 수도 있다. 그러한 폴링은, MOSI 라인 (185) 상으로 송신되는 마스터 디바이스에서의 수정된 SPI (130) 로부터의 어드레스 헤더를 갖는 어드레싱된 폴링 프레임을 통해 발생할 것이다. 각각의 슬레이브 디바이스의 수정된 SPI (130) 는, 슬레이브 디바이스가 폴링되고 있는지 여부를 결정하기 위해 수신된 어드레싱된 폴링 프레임에서의 어드레스 헤더를 디코딩하도록 구성된다. 슬레이브 디바이스는 폴링 프레임에 의해 어드레싱되고 마스터 디바이스 (105) 에 송신하기 위한 프레임들을 가지면, MISO 라인 (135) 을 임시로 디스차징함으로써 수신된 폴링 프레임에 응답할 수도 있다. 폴링된 슬레이브 디바이스에서의 수정된 직렬 주변기기 인터페이스 (130) 는, 폴링된 슬레이브 디바이스의 아이덴티티가 공지되기 때문에, MISO 라인 (135) 상으로 송신된 그 프레임들에서의 어드레스 헤더를 마스터 디바이스 (105) 에 첨부할 필요가 없다.

[0025] 대안적인 액세스 프로토콜 구현에 있어서, 각각의 슬레이브 디바이스는 마스터 디바이스 (105) 에 커플링된 인터럽트 라인을 드라이빙하기 위한 인터럽트 핀을 포함할 수도 있다. 예시적인 인터럽트 라인 (196) 이 슬레이브 디바이스 (110) 와 마스터 디바이스 (105) 사이에 커플링된다. 슬레이브 디바이스들 (115 및 120) 과 같은 각각의 나머지 슬레이브 디바이스는, 이들이 또한 마스터 디바이스 (105) 를 인터럽트할 수 있도록 그 자신의 인터럽트 라인들 (도시 안됨) 을 가질 것이다. 각각의 슬레이브 디바이스의 아이덴티티가 그 대응하는 인터럽트 라인을 통해 공지되기 때문에, 슬레이브 디바이스 (110) 와 같은 슬레이브 디바이스는 그 인터럽트 라인 (196) 을 사용하여 마스터 디바이스 (105) 에서의 인터럽트를 트리거링함으로써 MOSI 라인 (185) 상으로 송신하기 위한 그 의도를 시그널링할 수도 있다. 액세스 프로토콜에 대한 폴링에 관하여 논의된 바와 같이, 슬레이브 디바이스들에서의 각각의 수정된 직렬 주변기기 인터페이스 (130) 는, 송신 슬레이브 디바이스가 그 대응하는 인터럽트 라인 (196) 을 통해 식별될 것이기 때문에, 인터럽트 라인 액세스 제어 실시형태에 있어서 어드레스 헤더를 MISO 라인 (135) 상으로의 그 송신된 프레임들에 삽입할 필요가 없다.

[0026] 슬레이브 디바이스들에 대한 대안적인 액세스 프로토콜은, 마스터 디바이스 (105) 가 도 1 의 시스템 (100) 에 도시된 바와 같이 단지 3개의 슬레이브 디바이스들과 네트워킹하는 구현들에서 실시될 수도 있다. 마스터 디바이스 (105) 가 각각의 슬레이브 디바이스에 의한 그 초기 어드레스 (190) 의 식별 이후 단축 어드레스들을 할당하는 대신, 마스터 디바이스 (105) 는 대신 각각의 슬레이브 디바이스에, 3-와이어 SPI 버스 (125) 에서의 라인들 (140, 135 및 185) 중 대응하는 라인을 할당할 수도 있다. 할당된 라인은 대응하는 슬레이브 디바이스에 대한 인터럽트 또는 경고 라인으로서 기능한다. 라인을 할당하기 위해, 마스터 디바이스 (105) 에서의 수정된 SPI 인터페이스 (130) 는, 슬레이브 디바이스의 초기 어드레스 (190) 를 사용하여 어드레싱되는 구성 프레임을 각각의 슬레이브 디바이스에 송신할 수도 있다. 구성 프레임의 보디는 할당된 라인을 식별한다. 라인 할당에 후속하여, 각각의 슬레이브 디바이스는 할당된 라인을 경고 또는 인터럽트 라인으로서 사용하여, 대응하는 슬레이브 디바이스가 프레임을 송신하도록 의도함을 마스터 디바이스 (105) 에게 경고할 수도 있다.

[0027] 예를 들어, 도 1 의 슬레이브 디바이스 (110) 는 클록 라인 (140) 에 할당될 수도 있다. 유사하게, 슬레이브 디바이스 (115) 는 MISO 라인 (135) 에 할당될 수도 있다. 마지막으로, 슬레이브 디바이스 (120) 는 MOSI 라인 (185) 에 할당될 수도 있다. 각각의 라인의 디폴트 상태는 하이 (전력 공급 전압 (VDD) 에 차징됨) 일 수도 있다. 마스터 디바이스 (105) 가 클록 라인 (140) 을 사이클링하고 있지 않는 소강상태 주기 동안, 슬레이브 디바이스들 중 하나는, 그 할당된 라인을 접지에 디스차징함으로써 프레임을 송신하도록 의도함을 시그널링할 수도 있다. 이러한 디스차징은, 디폴트 프레임 길이에 있어서 단지 단일 비트의 지속기간 동안과 같이 상대적으로 잠시일 수도 있다. 그 후, 마스터 디바이스에서의 수정된 SPI 인터페이스 (130) 는, 3-와이어 SPI 버스 (125) 에서의 대응하는 라인이 디스차징되었음을 검출할 시, 대응하는 슬레이브 디바이스가 송신하기 위한 프레임을 가짐을 경고받을 것이다. 예를 들어, 슬레이브 디바이스 (120) 는 송신하기 위한 프레임을 가지며 MOSI 라인 (185) 에 할당되었음을 가정한다. 마스터 디바이스 (105) 가 클록 라인 (140) 을 토글링하고 있지 않는 소강상태 주기 동안, 슬레이브 디바이스 (120) 는, 그 후, 비트 주기 지속기간 동안

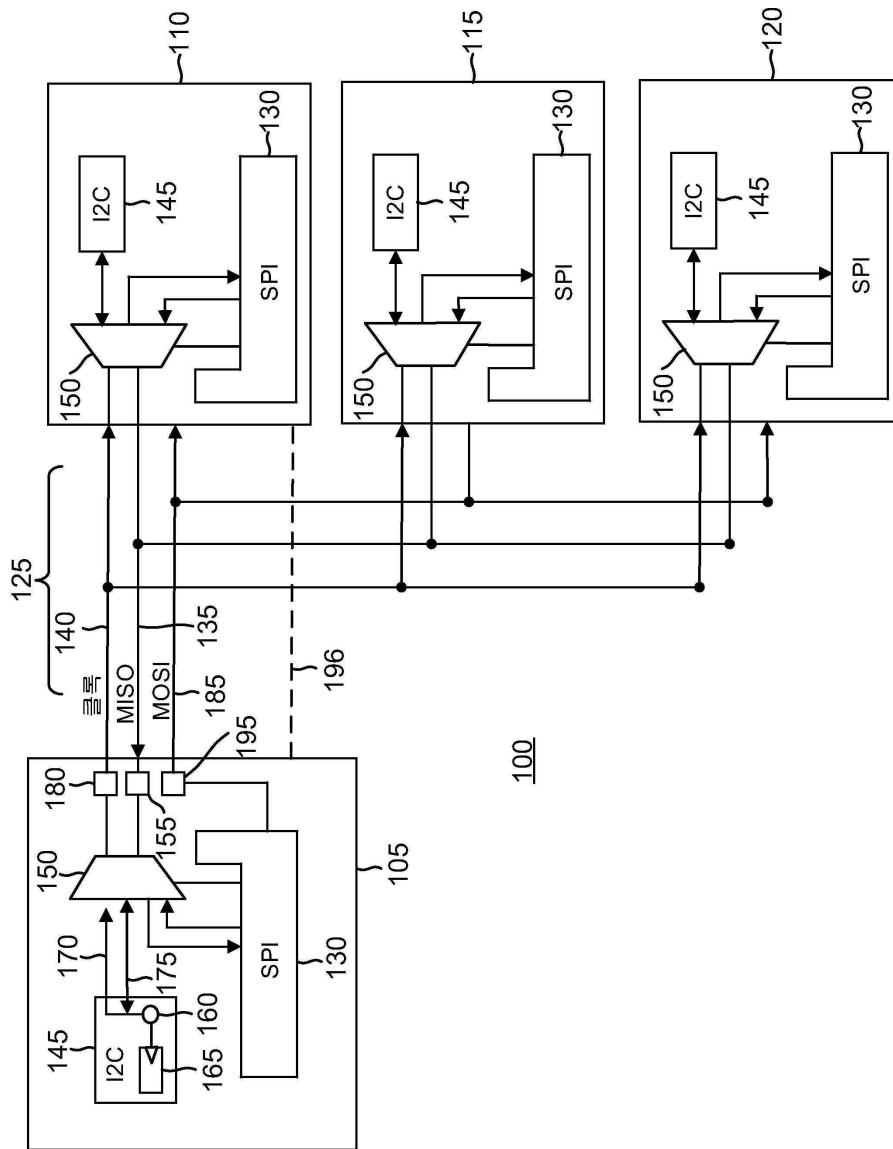
(또는 대안적인 구현들에 있어서 더 길게) MOSI 라인 (185) 을 디스차징할 수도 있다. 마스터 디바이스 (105) 에서의 수정된 SPI 인터페이스 (130) 는, 클록 라인 (140) 을 토글링함으로써 그러한 구현에 있어서 MOSI 라인 (185) 의 임시의 디스차징에 응답하도록 구성된다. 그 후, 슬레이브 디바이스 (120) 에서의 수정된 SPI 인터페이스 (130) 는 클록 라인 (140) 의 사이클링에 응답하여 프레임을 MISO 라인 (135) 상으로 마스터 디바이스 (105) 로 시프트-아웃하도록 진행할 수도 있다. 그러한 슬레이브 생성 프레임에 있어서 어드레싱은 필요하지 않은데, 왜냐하면 마스터 디바이스 (105) 는 할당된 라인의 낮은 이전 토글링을 통한 발신 슬레이브 디바이스의 아이덴티티를 통지받기 때문이다.

[0028] 도 1 의 시스템 (100) 에서의 마스터 디바이스 (105) 는 시스템 온 칩 (SoC) (105) 으로서 도 4 에 도시된 바와 같은 디바이스 (400) 에 통합될 수도 있다. 디바이스 (400) 는 셀룰러 폰, 스마트 폰, 개인용 디지털 보조기, 태블릿 컴퓨터, 랩탑 컴퓨터, 디지털 카메라, 핸드헬드 게이밍 디바이스, 또는 다른 적합한 디바이스를 포함할 수도 있다. SoC (105) 는, DRAM (420) 과 같은 메모리에 그리고 디스플레이 제어기 (425) 에 또한 커플링한 시스템 버스 (415) 상으로 센서들과 같은 슬레이브 디바이스들 (110, 115, 및 120) 과 통신한다. 차레로, 디스플레이 제어기 (425) 는, 디스플레이 (435) 를 드라이빙하는 비디오 프로세서 (430) 에 커플링한다. 따라서, 시스템 버스 (415) 에서의 3개 와이어들 (도시 안됨) 은 수정된 SPI 버스 (125) 에 전용될 것이어서, SoC (105) 가 도 1 의 시스템 (100) 에 관하여 논의된 바와 같이 슬레이브 디바이스들 (110, 115, 및 120) 과 통신할 수도 있다.

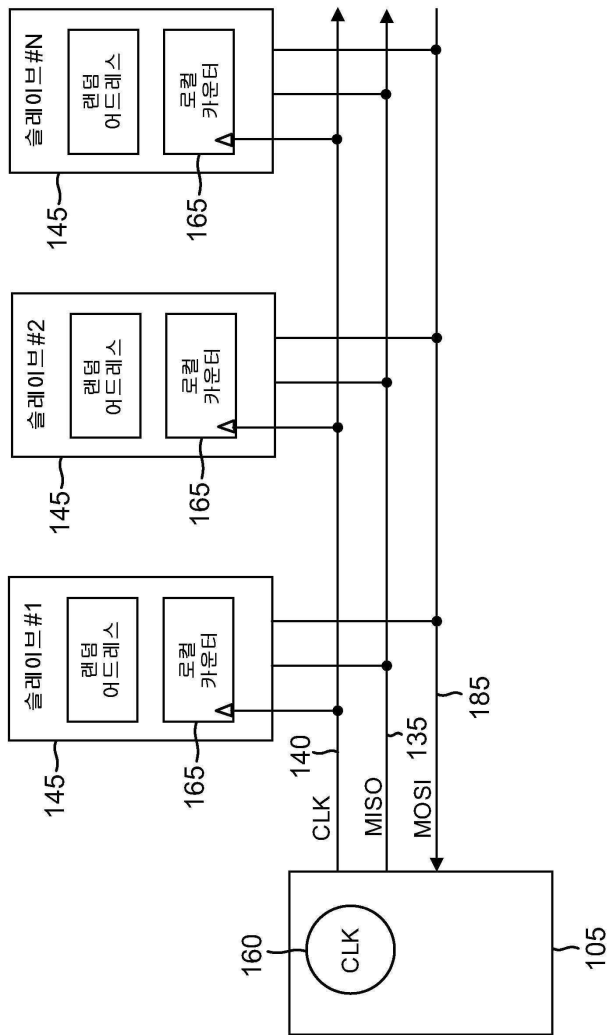
[0029] 당업자가 이제 인식할 바와 같이 그리고 당해 특정 어플리케이션에 의존하여, 본 개시의 사상 및 범위로부터의 일탈함없이 본 개시의 구성요소들, 장치, 구성들 및 디바이스들의 사용 방법들에서 치환들 및 변동들이 행해질 수 있다. 이러한 관점에서, 본 개시의 범위는 본 명세서에서 도시 및 설명된 특정 실시형태들의 범위로 한정되지 않아야 하는데, 왜냐하면 이 실시형태들은 단지 그 일부 예들로서일 뿐이지만, 오히려, 이하 첨부된 청구항들 및 그 기능적 균등물들의 범위와 완전히 동등해야 하기 때문이다.

도면

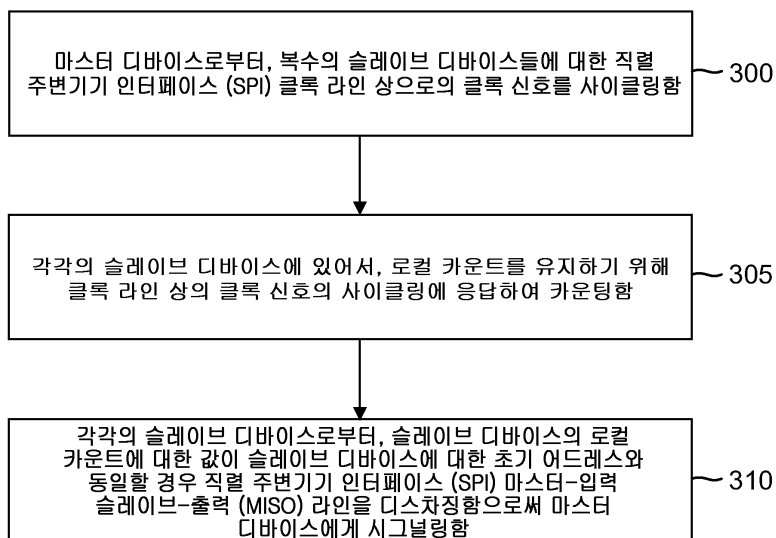
도면1



도면2



도면3



도면4

