

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.⁷
H01L 27/12

(11) 공개번호 10-2004-0105627
(43) 공개일자 2004년12월16일

(21) 출원번호 10-2004-0042219
(22) 출원일자 2004년06월09일

(30) 우선권주장 JP-P-2003-00164085 2003년06월09일 일본(JP)
JP-P-2004-00059449 2004년03월03일 일본(JP)

(71) 출원인 캐논 가부시끼가이샤
일본 도쿄도 오오따꾸 시모마루코 3쵸메 30방 2고

(72) 발명자 사카구치기요후미
일본국 도쿄도 오오따꾸 시모마루코 3쵸메 30방 2고 캐논 가부시끼가이샤나이

사토노브히코
일본국 도쿄도 오오따꾸 시모마루코 3쵸메 30방 2고 캐논 가부시끼가이샤나이

(74) 대리인 신중훈
임옥순

심사청구 : 있음

(54) 반도체기판, 반도체디바이스 및 이들의 제조방법

요약

반도체디바이스는, 다공질층과, 다공층상에 형성되고 단면형상의 높이가 단면형상의 폭 보다 긴 반도체영역을 가지는 구조체와, 구조체에 응력을 부가함으로써 변형시키는 영역을 포함하는 변형영역을 가진다.

대표도

도 1

명세서

도면의 간단한 설명

도 1a 내지 도 1e는 본 발명의 바람직한 제 1실시예에 의한 기판제조방법을 설명하는 단면도

도 2a 내지 도 2e는 본 발명의 바람직한 제 2실시예에 의한 기판제조방법을 설명하는 단면도

도 3a 내지 도 3e는 본 발명의 바람직한 제 3실시예에 의한 기판제조방법을 설명하는 단면도

도 4a 내지 도 4d는 본 발명의 바람직한 실시예에 의한 반도체기판의 제 1적용예를 설명하는 단면도

도 5는 다공도와 영율(Young's modulus) 사이의 관계를 도시하는 그래프

도 6a 내지 도 6h는 본 발명의 바람직한 제 1실시예에 의한 Fin디바이스제조방법을 설명하는 단면도
 도 7a 내지 도 7h는 본 발명의 바람직한 제 2실시예에 의한 Fin디바이스제조방법을 설명하는 단면도
 도 8a 내지 도 8h는 본 발명의 바람직한 제 3실시예에 의한 Fin디바이스제조방법을 설명하는 단면도
 도 9a 및 도 9b는 Fin디바이스의 구조를 설명하는 도

<도면의 부호에 대한 설명>

11, 21: 기판 2, 12, 22: 다공질층

13, 23, 33: 반도체층 14, 27: 변형유기영역

24: 절연막 25, 55: 게이트전극

26, 56: 게이트절연막 57: 소스 및 드레인영역

59: 측벽 60: 금속규화물

61: 절연층 62: 배리어금속

63: 도전성재료

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<발명의 분야>

본 발명은 반도체기판, 반도체디바이스 및 그 제조방법에 관한 것이다.

<발명의 배경>

종래, 헤테로 에피택셜 성장은, 단결정기판상에 그것과는 상이한 재료로부터, 에피택셜성장하는 방법으로서 공지되었다. 헤테로에피택셜성장에 있어서, 결정격자가 변형된 에피택셜층은 결정성장의 재료와 조건에 따라서 형성할 수 있다. 변형된 결정격자를 가지는 에피택셜층에 있어서, 에피택셜층에서의 원자간격은 장력에 의해 증가한다. 따라서, 에피택셜층에서 캐리어의 유효질량은 감소하고 캐리어 이동도를 향상시킬 수 있다.

이러한 사실을 이용한 기술로서, 일본국 특개평 No. 2000-286418호는 SiGe층에 의해 변형된 실리콘층(이하, '변형 실리콘층'이라고 칭함)을 이용함으로써 캐리어이동도를 증가시키는 기술에 대하여 개시하고 있다. 변형된 Si기술에 있어서, Si층을 SiGe층에 형성하고 반도체층을 변형시켜서, 반도체층의 격자상수를 비변형Si의 것보다 크게함으로써, 채널의 캐리어이동도를 증가시킨다. 실리콘을 SiGe층에 에피택셜성장시키는 경우, 실리콘의 격자상수보다 큰 격자상수를 가지는 SiGe에 따라서 성장한다.(Si와 Ge 사이의 격자상수의 차는 약 4%이다). 그러므로, 수%정도의 변형이 생긴다(변형량은 SiGe층에 함유된 Ge의 량에 따라서 변한다.).

인터넷상에 있어서, 2002년 12월 17일 <http://www.mitsubishielectric.co.jp/news/2002/1217-b.html>에, 기사제목 '최선단의 반도체분야에서 2개의 고성능트랜지스터기술개발'이 개시되었다. 이러한 기술에 있어서, 장력은 그 상부층으로부터 실리콘층으로 인가되어 실리콘층의 결정격자를 변형시킨다. 예를 들면, 장력을 상기 채널영역에 형성된 게이트전극의 측으로부터 채널영역에 인가함으로써, 채널영역에서 캐리어이동도를 증가시킨다.

그러나, 일본국 특개평 No. 2000-286418호 기술에 있어서, 높은 결정성을 가지는 변형실리콘층을 형성하는 것을 곤란하다. 인터넷상에 개시된 기사에 있어서, 비변형실리콘층을 형성한 후, 실리콘층상에 형성된 디바이스구조체에 의

해 변형을 도입한다. 이 경우에 있어서, 변형된 실리콘층 아래의 구조체는, 실리콘층이 변형되기 전에 정합된 재료로 이루어진다. 이러한 이유때문에, 변형이 실리콘층의 상부 측으로부터 인가될 경우, 변형을 저지하려는 힘이 실리콘층 아래 층에서 생성된다. 일반적으로, 2축응력이 실리콘층에 인가되어 그것을 변형시키는 경우, 변형량은

$= \varepsilon (1 - \nu) \cdot \sigma / E$ (식 1)에 따라서 실리콘면내에서 생성된다.

(여기서 ε 는 실리콘의 면내에서의 변형량(무단위)이며, ν 는 실리콘결정의 포이송의 비(무단위)이며, σ 는 실리콘의 평면내에서 인가된 2축응력[GPa]이며, E는 실리콘결정의 영률(Young's modulus)[GPa]이다). 통상적으로, $E = 16$ GPa, 및 $\nu = 0.26$ 인 경우, SiGe상의 실리콘의 변형량 ε 으로서 1% 내지 2%를 얻기 위해, 응력 $\sigma = 2.2$ 내지 4.4[GPa]가 필요하다. 그러므로, 일반적인 Si-LSI(Large-Scale Integration)구조에 있어서, 표면실리콘층 뿐만아니라 언더라인부분도 변형되어야 한다. 이를 위해, 응력을 실리콘층의 상부 또는 측표면으로부터 인가하는 경우, 상기 값 보다 큰 응력이 인가될 것이 필요하다.

한편, 반도체디바이스제조에 있어서, 소자크기의 감소가 진행되어 반도체디바이스의 고집적도 및 고속동작을 실현한다. 그러나, 소자크기의 감소에 따라서, 캐리어이동도가 감소하고 누전이 증가한다. 따라서, 앞으로 마이크로패터닝기술은 그 물리적제한에 도달한다는 점이 지적되었다.

이러한 문제점에 대처하기 위해, 일본국 특개평 No. 2000-286418호에 마이크로패터닝에 의존하지 않는 트랜지스터의 캐리어이동도를 증가시키는 변형Si기술에 대하여 개시하고 있다. 그러나, 상기 설명한 바와 같이, SiGe층은 일반적으로 결함을 가지고 있으므로, 고결정성을 가지는 변형실리콘을 형성하는 것이 곤란하다.

변형Si구조에 대한 차기 신기원 디바이스구조로서, 캘리포니아, 버클리 대학 C. Hu 등 교수그룹에 의해 개발된 Fin FET가, 'A folded-channel MOSFET for deep-sub-tenth micron era' IEDM Tech. Dig., 1998, pp. 1032-1034에 개시되어 있다. 종래 평면 FET에 있어서, 채널은 실리콘상에 형성된 게이트전극에 의해 상부측으로부터 제어된다. Fin FET에 있어서, 게이트전극은, 실리콘상에 'Fin'이라고 칭하는 채널을 끼워서 형성하므로 채널은 양측으로부터 제어된다. 이러한 구조에 의해, 종래 FET에서 문제점으로 제기되었던 누전의 증가를 효율적으로 억제할 수 있으며, 미세한 디바이스구조를 형성할 수 있다.

Fin FET는 현재 반도체디바이스 프로세스를 이용하여 용이하게 제조할 수 있다. 또한, 종래기술에서 칩위에 집적할 수 있는 것의 400배의 소자가 추정된다.

그러나, Fin FET에 있어서, 채널을 비다공질층에 형성한다. 변형이 채널의 상부측으로부터 인가되는 경우, 변형에 상반되는 힘이 채널 아래의 층에서 생성된다. 그러므로 채널이 거의 효율적으로 변형될 수 없다.

발명이 이루고자 하는 기술적 과제

<발명의 요약>

본 발명은 상기 상황을 고려하여 이루어졌으며, 반도체층 또는 반도체영역을 효율적으로 변형시키는 것을 목적으로 한다.

본 발명의 제 1측면에 의하면, 반도체층, 반도체층을 지지하는 다공질층과 반도체에 응력을 인가함으로써 반도체층을 변형하게 하는 변형유기영역을 포함하는 것을 특징으로 하는 반도체기판을 제공한다.

본 발명의 제 2측면에 의하면, 반도체디바이스가 반도체층상에 형성된 것을 특징으로 하는 반도체기판을 제공하는 데 있다.

본 발명의 제 3측면에 의하면, 기판상에 다공질층을 형성하는 공정과, 다공질층상에 반도체층을 형성하는 공정과, 반도체층에 응력을 인가함으로써 반도체층을 변형시키는 변형유기영역을 형성하는 공정을 구비하는 것을 특징으로 하는 반도체기판제조방법을 제공하는 데 있다.

본 발명의 제 4측면에 의하면, 상기 반도체방법을 적용함으로써 제조된 반도체기판을 준비하는 공정과, 반도체기판위에 반도체디바이스를 형성하는 공정으로 이루어진 것을 특징으로 하는 반도체디바이스제조방법을 제공하는 데 있다.

본 발명의 제 5측면에 의하면, 다공질층, 다공질층위에 형성되고 단면형상의 높이가 단면형상의 폭 보다 긴 반도체영역을 가지는 구조체와, 구조체에 응력을 인가함으로써 구조체를 변형시키는 변형유기영역으로 이루어진 반도체디바이스를 제공하는 데 있다.

본 발명의 제 6측면에 의하면, 상기 반도체디바이스, 반도체영역의 한쪽 단부에 형성된 소스와, 반도체영역의 다른쪽 단부에 형성된 드레인으로 이루어진 트랜지스터를 제공하는 데 있다.

본 발명의 제 7측면에 의하면, 기판위에 다공질층을 형성하는 공정과, 단면형상의 높이가 단면형상의 폭 보다 긴 반도체영역을 형성하기 위해 반도체층을 형성하는 공정과, 반도체영역에 응력을 인가함으로써 반도체영역을 변형시키는 변형유기영역을 형성하는 공정으로 이루어진 반도체디바이스제조방법을 제공하는 데 있다.

본 발명의 제 8측면에 의하면, 기판위에 다공질층을 형성하는 공정과, 다공질층위에 반도체층을 형성하는 공정과, 다공질층과 반도체층을 에칭하여 단면형상의 높이가 단면형상의 폭보다 긴 반도체영역을 형성하는 공정과, 다공질영역과 반도체영역에 응력을 인가함으로써 다공질영역과 반도체영역을 변형시키는 변형유기영역을 형성하는 공정으로 이루어진 반도체디바이스제조방법을 제공하는 데 있다.

본 발명의 제 9측면에 의하면, 기판위에 다공질층을 부분적으로 형성하는 공정과, 부분적으로 형성된 다공질층상에 반도체층을 형성하는 공정과, 부분적으로 형성된 다공질층상에, 단면형상의 높이가 단면형상의 폭보다 긴 반도체영역을 형성하도록 반도체층을 에칭하는 공정과, 반도체영역에 응력을 인가함으로써 반도체영역을 변형시키는 변형유기영역을 형성하는 공정으로 이루어진 반도체디바이스제조방법을 제공하는 데 있다. 본 발명의 다른 특징과 이점은 첨부된 도면을 참조하면서 이하의 설명으로부터 명백해지며, 동일한 번호는 도면전체를 통하여 동일하거나 유사한 부분을 표시한다.

명세서를 구체화하고 그 일부를 구성하는 첨부된 도면은, 상세한 설명과 함께, 발명의 실시예를 도시하고 발명의 원리에 대하여 설명한다.

발명의 구성 및 작용

<바람직한 실시예의 상세한 설명>

이하에서, 본 발명의 바람직한 실시예에 대한 첨부된 도면을 참조하면서 설명한다.

(제 1실시예)

도 1a 내지 도 1e는 본 발명의 바람직한 제 1실시예에 의한 기판제조방법을 설명하는 단면도이다.

도 1a에 도시하는 공정에서, 기판(11)을 준비한다. 예를 들면, 기판(11)으로서, 실리콘이 바람직하다. 그러나, 어떠한 다른 재료를 이용할 수 있다.

도 1b에 도시한 공정에서, 다공질층(12)을 기판(11)의 표면에 형성한다. 다공질층(12)의 영율(Young's modulus)은 도 1c에서 도시하는 공정에서 형성될 반도체층(13)의 것보다 낮다. 다공질층(12)의 재료로서, 실리콘을 다공질화함으로써 제작된 다공질실리콘을 이용하는 것이 바람직하다. 다공질실리콘층은 실리콘기판의 표면을 양극화성함으로써 형성될 수 있다. 양극화성은 플루오르화수소산을 함유하는 전해액중에 양극과 음극을 배치하고, 이들 전극 사이에 기판을 배치하고, 전극 사이에 전류를 인가함으로써 실시할 수 있다.

다공질실리콘층은 거의 균일한 다공도를 가지는 단일층 또는 상이한 다공도를 가지는 2이상의 층을 포함한다. 다공질실리콘층의 영율은 다공도를 변경함으로써 적어도 약 1GPa 내지 약 83GPa까지 변화시킬 수 있다(예를 들면, D. Bellet저, 'Properties of Porous silicon' edited by L Canham, INSPEC, The Institution of Electrical Engineers, p. 127-131).

도 5는 D. Bellet의 논문에서 개시된 데이터에 의거한 다공질실리콘의 영율 E와 다공도 σ 사이의 관계를 도시하는 그래프이다. 도 5에 도시한 바와 같이, 다공질실리콘의 다공도가 높아지면, 영율은 낮아진다. 양극화성을 이용하는 경우, 다공질실리콘의 다공도는 용액의 농도, 전류밀도 및 실리콘기판의 저항율에 의해 제어 될 수 있다. 그러므로, 소망하는 영율을 가지는 다공질실리콘을 형성할 수 있다.

본 발명에 있어서, 다공질층을 형성하는 방법은 양극화성에 제한되지 않는다. 예를 들면, 기판에 수소이온 또는 헬륨이온 주입방법을 또한 이용할 수 있다.

도 1c에 도시된 공정에서, 반도체층(13)은 에피택셜성장에 의해 다공질층 (12)에 형성된다. 에피택셜성장에 의해, 양질의 반도체층을 형성할 수 있다.

도 1d에 도시한 공정에서, 저항이 다공질층(13)위에 인가된 후, 다공질층(12)과 반도체층(13)은 일반적인 리소그래피에 의해 패턴화되어 개구부를 형성한다. 이러한 프로세스에 의해, 섬형상을 각각 가지는 복수의 다공질층(12')과 반도체층(13')을 기판(11)위에 형성한다. 각각의 개구부의 폭은 특별히 제한하지 않지만, 1 μ m이상이면 바람직하다.

도 1e에 도시한 공정에서, 반도체층에 응력을 인가한 변형유기영역(14)을, 도 1d에서 도시한 공정에서 형성된 각각의 개구부에 노출된 기판(11)상에 형성한다. 변형유기영역(14)은, 제 2반도체층(13')에 거의 수평방향으로 연장하기 위해 제 2반도체층(13')에 응력을 인가하도록 다공질층(12')과 반도체층(13')의 표면에 대해 거의 평행한 방향으로 다공질층(12')과 반도체층(13')을 잡아당기도록 작용한다. 변형유기영역(14)에 의해 면내방향으로 장력을 인가하는 반도체층(13')에 있어서, 결정격자는 변형되고, 반도체층(13')내를 이동하는 캐리어의 이동도는 증가한다. 변형유기영역(14)에서, 예를 들면, TEOS(Tetra Ethyl Ortho Silicate)등을 원료로서 하는 산화실리콘 또는 SiN을 이용할 수 있다.

상기 방법에 의해, 기판(11)상에 형성된 다공질층(12')을 가지는 기판, 다공질층(12')상에 형성된 반도체층(13'), 반도체층(13')에 응력을 인가하여 반도체층(13')의 캐리어이동도를 증가시키는 변형유기영역(14)을 제조할 수 있다.

CVD(Chemical Vapor Deposition)산화실리콘을 형성하기 위해, TEOS, TEOS + O₂, TEOS + O₃, SiH₄ + O₂, SiH₄ + N₂O, SiH₂Cl₂ + N₂O 등을 이용할 수 있다. CVD방법은 열CVD와 플라즈마CVD를 포함한다.

질화실리콘을 형성하기 위해, 열CVD와 플라즈마CVD를 이용할 수 있다. Si를 함유하는 원재료의 예로서 SiCl₂, SiH 및 SiH₂Cl₂을 열거할 수 있다. N을 함유하는 원료의 예로서, NH₃, N₂H₄ 및 N₂을 열거할 수 있다.

반도체층(13')의 것보다 낮은 응력을 가지는 다공질층(12')이 하부층에 형성된다. 이런 이유때문에, 반도체층(13')을 잡아당기는 힘을 작게하기 위하여 변형유기영역(14)으로부터 반도체층(13')으로 인가된 대부분의 장력이 반도체층(13')에 작용하게 된다. 다공질층(12')이 반도체층(13')아래에 배치되어 장력을 면내변형으로 효율적으로 변화하게 하는 경우, 큰 변형을 작은 응력에 의해 발생하게 할 수 있다.

또한, 섬형상의 반도체층(13')을 형성하는 경우, 그들은 독립적으로 변형될 수 있다. 반도체층(13')이 다공질층(12)상에 균일하게 형성되고 변형되는 경우, 전체 변형량은 대단히 크다. 예를 들면, SiGe가 완전하게 완화되는 경우, SiGe상의 변형실리콘층은 면내에서 약 1% 만큼 변형된다. 300mm의 직경을 가지는 웨이퍼에 있어서, 전체변형량은 3mm이다. 층이 비변형상태로부터 변형되는 경우, 약 3mm 만 큼 큰 직경을 가지는 실리콘층이 형성된다. 실제로, 전체 실리콘층은 이러한 량까지 변형될 수 있다. 제 1실시예에 의하면, 섬형상을 각각 가지는 반도체층(13')을 기판(11)상에 형성한다. 따라서, 1 μ m개구부는, 예를 들면, 10 μ m각의 반도체층(13')에 대해 형성한다. 각각의 섬형상 반도체층(13')은 10.1mm크기를 가지며, 섬형상의 반도체층(13')이 각각 변형되도록 반도체층(13') 사이의 각각의 개구부는 0.9mm크기를 갖는다.

SiGe상에 변형된 Si 형성에서, 퇴적(에피택셜성장) 시에 이미 변형된다. 따라서, 실제 크기는 결코 증대하지 않는다. 그러나, 비변형층이 나중에 변형되는 경우, 상기한 문제점이 대두된다.

(제 2실시예)

이하에서, 본 발명의 바람직한 제 2실시예에 의한 기판제조방법에 대하여 설명한다. 본 실시예에 의한 기판제조방법에 있어서, 제 1실시예에 의한 기판제조방법에서의 몇몇의 공정이 변경된다. 도 2a 내지 도 2e는 제 2실시예에 의한 기판제조방법을 설명하는 단면도이다. 도 2a 내지 도 2c에 도시한 공정은 도 1a 내지 도 1c에서 도시한 것과 동일하다.

도 2d에서 도시한 공정에서, 반도체층(13)이 에칭되어 개구부를 형성한다. 도 2e에서 도시한 공정에서, 변형유기영역(14)은 각각의 개구부에 노출된 다공질층(12)에 형성된다. 상기 구조에 의해, 다공질층(12)에 형성된 반도체층(13')을 효율적으로 변형할 수 있다.

(제 3실시예)

이하에서, 본 발명의 바람직한 제 3실시예에 의한 기판제조방법에 대하여 설명한다. 본 실시예에 의한 기판제조방법에서, 제 1실시예에 의한 기판제조방법에서의 몇몇의 공정이 변경된다. 도 3a 내지 도 3e는 제 3실시예에 의한 기판제조방법을 설명하는 단면도이다. 도 3a 내지 도 3c에 도시한 공정은 도 1a 내지 도 1c에서 도시한 것과 동일하다.

도 3b에 도시한 공정에서, 다공질층은 기판(11)에 부분적으로 형성된다. 양극화성이 다공질층형성방법으로 이용되는 경우, 예를 들면, 양극화성에 이용되는 화학액(예를 들면, 플루오르화수소산)으로부터 기판을 보호하는 보호막(예를 들면, 질화물막 또는 HF저항막)이 기판(11)위에 형성된다. 그 후, 기판(11)을 양극화성하여 도 3b에 도시한 바와 같이 일부 다공질층(12')을 형성한다. 도 3d에 도시한 공정에서, 반도체층(13)을 에칭하고 개구부를 형성한다. 도 3e에

도시한 공정에서, 변형유기영역(14)은 각각의 개구부에 노출된 기판(11)에 형성된다. 상기 구성에 의해, 다공질층(12)에 형성된 반도체층(13')을 효율적으로 변형시킬 수 있다.

[반도체기판의 제 1적용예]

본 적용예에서, 본 발명의 바람직한 제 1실시에 내지 제 3실시에중 하나에 의한 기판제조방법을 사용함으로써 제조할 수 있는 반도체기판을 이용하는 반도체디바이스의 제조방법에 대하여 설명한다.

도 4a 내지 도 4d는, 본 발명의 바람직한 제 1 내지 제 3실시에에 의해 제조된 기판의 반도체층(13')과 변형유기영역(14)에 근접한 구조를 도시한다. 먼저, 소자분리영역(54)과 게이트절연막(56)을 반도체층(13) 또는 (13')의 표면에 형성한다(도 4a). 게이트절연막(56)의 재료로서, 예를 들면, 산화실리콘, 질화실리콘, 산화질화실리콘, 산화알루미늄, 산화탄탈륨, 산화하프늄, 산화티타늄, 산화스칸듐, 산화이트륨, 산화가돌리늄, 산화란탄, 산화지르코늄 또는 그 혼합유리를 이용하는 것이 바람직하다. 게이트절연막(56)은, 예를 들면, 반도체층(13) 또는 (13')의 표면을 산화시키거나 CVD 또는 PVD에 의해 반도체층(13)의 표면에 상당하는 물질을 퇴적시킴으로써 형성할 수 있다.

게이트전극(55)은 게이트절연막(56)위에 형성된다. 게이트전극(55)은 예를 들면, p 또는 n타입불순물에 의해 도핑된 폴리실리콘, 텅스텐, 몰리브덴, 티타늄, 탄탈륨, 알루미늄, 또는 구리 등의 금속, 적어도 이들중 하나를 함유하는 합금, 또는 몰리브덴 규화물, 텅스텐 규화물, 또는 코발트 규화물 등의 금속 규소화합물, 또는 질화티타늄, 질화텅스텐 또는 질화탄탈륨 등의 질화금속으로부터 형성할 수 있다. 게이트절연막(56)은, 예를 들면, 상이한 재료로 이루어진 복수의 층을 적층함으로써 형성할 수 있다. 게이트전극(55)은 예를 들면, 사리디에이션이라고 칭하는 방법(규화물의 자기조형성), 데머신(damascene)게이트프로세스라고 칭하는 방법, 또는 다른 방법에 의해 형성될 수 있다. 상기 공정에 의해, 도 4a에 도시한 바와 같은 구조를 얻는다.

다음, 인, 비소 또는 안티몬 등의 n타입불순물 또는 붕소 등의 p타입불순물을 반도체층(13) 또는 (13')에 도핑하여 비교적 약간 도핑된 소스 및 드레인영역(58)을 형성한다(도 4b). 불순물은, 예를 들면, 이온주입 및 어닐링에 의해 도핑할 수 있다.

게이트전극(55)을 덮는 절연막을 형성하고 배면을 에칭하여 게이트전극(55)의 측부분에 측벽(59)을 형성한다.

상기 불순물과 동일한 도전성타입을 갖는 불순물을 반도체층(13) 또는 (13')에 도핑하여 비교적 많이 도핑된 소스 및 드레인영역(57)을 다시 형성한다. 상기 공정에 의해, 도 4b에 도시한 구조를 얻는다.

금속규화물(60)을 게이트전극(55)의 상부표면과 소스와 드레인영역(57)의 하부표면에 형성한다(도 4c). 금속규화물층(60)의 재료로서, 예를 들면, 니켈규화물, 티탄규화물, 코발트규화물, 몰리브덴규화물, 또는 텅스텐규화물을 사용하는 것이 바람직하다. 이들 규화물은 금속을 퇴적시킴으로써 형성할 수 있으며 게이트전극의 상부표면(55)과 소스 및 드레인영역(57)의 하부표면을 덮으며, 금속을 하부층상의 실리콘과 반응하게 하여 어닐링을 행하고, 황산등의 에칭제를 이용하여 금속의 비반응 부분을 제거할 수 있다. 규화물층의 표면은 필요에 따라서 질화될 수 있다. 상기 공정에 의해, 도 4c에 도시한 바와 같은 구조를 얻는다.

절연층(61)은 게이트전극의 상부표면과 소스와 드레인영역의 상부표면을 덮도록 형성되며, 규화물로 전환된다(도 4d). 절연층(61)의 재료로서, 인 및/또는 붕소를 함유하는 산화실리콘을 이용하는 것이 바람직하다.

표면은 필요에 따라서 CMP(Chemical Mechanical Polishing)에 의해 평탄화된다. 다음, 콘택홀이 절연층(61)상에 형성된다. KrF엑시머레이저, ArF엑시머레이저, F엑시머레이저, 전자빔, 또는 X레이저를 이용하는 리소그래피를 적용하는 경우, 0.25 μ m 미만의 층을 가지는 직사각형콘택홀 또는 0.25 μ m미만의 직경을 가지는 원 형콘택홀을 형성할 수 있다.

콘택홀은 도전성물질로 채워진다. 콘택홀에 도전성물질로 채우는 바람직한 방법으로서, 배리어금속(62)으로 되는 고용점금속 또는 그 질화물의 막을, 콘택홀의 내부벽에 형성한다. 다음, 텅스텐합금, 알루미늄, 알루미늄합금, 구리 또는 구리합금 등의 도전성재료(63)를 CVD, PVD(physical vapor deposition), 또는 플레이팅에 의해 퇴적한다. 절연층(61)의 상부표면보다 높게 퇴적된 도전성재료는 에칭백(etch back) 또는 CMP에 의해 제거할 수 있다. 콘택홀을 도전성재료에 의해 채우기 전, 콘택홀의 저면부분에 노출된 소스 또는 드레인영역에서 규화물층의 표면을 질화시킬 수 있다. 상기 공정에 의해, FET 등의 트랜지스터(Field Effect Transistor)를 기판에 형성할 수 있으며, 도 4d에 도시된 구조체를 가지는 반도체디바이스를 얻을 수 있다.

상기 설명한 바와 같이, 본 실시예에 의하면, 반도체층을 효율적으로 변형시킬 수 있으며, 반도체층의 캐리어이동도를 증가시킬 수 있다. 그러므로, 반도체층에 형성된 트랜지스터 등의 디바이스를 고속으로 구동할 수 있다.

[반도체기판의 제 2적용예]

본 적용예에 있어서, 반도체기판의 제 1적용예에 의해 제조된 반도체디바이스가 더욱 개선된다. 본 적용예에 있어서, 반도체기판의 제 1적용예에 의해 반도체층(13) 또는 (13')의 표면에 형성된 게이트전극(55)으로서, 거의 수평방향으로 제 2반도체층(13) 또는 (13')을 연장시키는 게이트전극을 사용함으로써 반도체층(13) 또는 (13')을 더욱 변형시킬 수 있다. 이것을 하기 위해, 이온주입한 다음 어닐링 하는 게이트전극을 이용할 수 있다.

이런 경우에 있어서, 장력이 섬형상으로 형성된 반도체층(13) 또는 (13')에 인가되는 재료를 이용하는 것이 바람직하다. 그러나, 이러한 재료를 항상 이용할 필요성은 없다. 소자분리의 특성에 따라서 최적화된 다양한 재료(예를 들면, 장력을 항상 반도체층(13) 또는 (13')에 인가하지 않는 재료) 및 구조를 이용할 수 있다.

또한, 층간유전체막을 반도체층(13) 또는 (13')의 표면에 형성하고, 이러한 막에 기인하는 응력이 제어되는 경우, 더욱 많은 응력을 반도체층(13) 또는 (13')에 인가할 수 있다.

이하, 본 발명의 예 1 내지 5에 대하여 설명한다.

(예 1)

8인치 p타입 실리콘웨이퍼(11)(저항력 : 0.013 내지 0.017Ωcm)를 준비한다(도 1a). 다공질실리콘(12)을 양극화성에 의해 실리콘웨이퍼(11)의 표면에 형성한다(도 1b). 양극화성용액은 50% HF : IPA = 2 : 1(체적비)이며, 전류밀도는 8mA/cm²며, 전류인가시간은 11분이며, 다공질실리콘(12)의 두께는 10μm이다. 양극화성후, 실리콘웨이퍼(11)를 1시간 동안 400°C 저온의 산소중에서 산화한다. 표면산화막은 DHF에 의해 제거한다. 다음, 웨이퍼는 에피택셜장치에 적재한다. 에피택셜장치에 적재한 후, 실리콘웨이퍼(11)는, 950°C, 10초동안 산소분위기에서 표면처리하여 표면의 기공을 채운다. 또한, 실리콘계가스의 소량을 도입하여 잔류표면기공을 채운다. 그 후, 실리콘은 실리콘웨이퍼(11)상에서 에피택셜성장하여 소정의 두께를 가지는 에피택셜실리콘층(13)을 형성한다(도 1c). 에피택셜실리콘층(13)의 두께는 제조된 디바이스에 따라서 결정되며 약 10nm 내지 수μm의 폭범위내에서 제어할 수 있다.

다음, 보호산화막을 에피택셜실리콘층(13)의 표면에 형성한다. 패터닝과 에칭을 리소그래피에 의해 행하고 에피택셜실리콘층(13)과 그 하부에 다공질실리콘(12)을 섬형상으로 패터닝한다(도 1d). 각각의 섬의 크기와 형상은 제조될 디바이스에 따라서 결정된다. 섬의 크기는 1 내지 수백 μm로 제어될 수 있다.

실리콘을 에칭한 후, 산화막(14)은 원재료인 TEOS + O₃를 이용한 CVD에 의해 섬형상을 가지는 에피택셜실리콘층(13')과 다공질실리콘(12') 사이에 갭을 형성한다(도 1e). 산화실리콘막은 폭범위에서 그 응력을 제어할 수 있다. 이런 이유때문에, 장력이 섬형상을 가지는 에피택셜실리콘층(13')과 다공질실리콘(12')에 인가하도록 조건을 설정한다.

상기 처리에 의해, 표면상의 실리콘반도체층(13')을 변형할 수 있다.

(예 2)

예 2에 있어서, 예 1에서의 몇몇의 공정을 변경한다. 더욱 구체적으로는, 예 2에서, 에피택셜실리콘층(13)의 표면위에 보호산화막을 형성하고, 리소그래피에 의해 패터닝화하고 에칭하여 에피택셜실리콘층(13)과 그 아래 다공질실리콘(12)을 패터닝하는 대신, 에피택셜실리콘층(13)을 섬형상으로 패터닝한다(도 2d).

(예 3)

예 3에서, 예 1의 몇몇의 공정을 변경한다. 더욱 구체적으로는, 실시예 3에서, 다공질실리콘층(12'')을 실리콘웨이퍼(11)에 부분적으로 형성한다(도 3b). 실리콘을 선택적으로 양극화성하여 다공질실리콘층(12'')을 부분적으로 형성하기 위해, 예를 들면, (1)실리콘이 다공화되는 영역에 붕소를 이온주입하여 p⁺⁺층을 형성하거나, 또는 (2) HF내성을 가지는 절연보호막을 실리콘상에 패터닝하여 선택적으로 다공화되는 영역을 제외한 표면을 덮는다.

(예 4)

예 1 내지 3에서, 섬형상을 가지는 CMOS(Complementary Metal-Oxide Semiconductor)구조를 표면실리콘에 형성한다(도 4a 내지 도 4d). CMOS를 일반적인 방법에 의해 형성한다. NMOS 및 PMOC트랜지스터에서의 전자이동도와 홀이동도는, 비변형구조체를 가진 디바이스에 비해서 증가하는 것으로 확인되었다.

(예 5)

실리콘반도체층에 변형을 인가하는 방법을 실시예 4에 적용한다. 더욱 구체적으로는, 비소를 채널의 바로 위의 게이트전극(55)에 주입하여 게이트를 둘러싸는 게이트보호막을 형성한다. 그 후, 어닐링을 행한다. 게이트전극(55)과 게이트보호막의 확장 및 수축을 이용함으로써, 국부변형을 채널영역에서 생성한다. 섬형상의 실리콘층 사이에 장력이 인가된 재료에 있어서 장력을 부가하는 것 이외에, 응력을 게이트 바로 위에 부가하여 반도체층(13) 또는 (13')을 효과적으로 변형시킬 수 있다. 또한, 반도체층(13) 또는 (13') 보다 낮은 영율을 가지는 다공질실리콘(12) 또는 (12')을 그 아래에 배치한다. 이러한 구조에 의해, 표면상의 실리콘반도체층 (13) 또는 (13')을 더욱 효과적으로 변형시킬 수 있다.

상기 설명한 실시예 1 내지 5에 있어서, 다공질실리콘형성조건은 상기 조건에 제한되지 않는다. 다공도를 변경하기 위해, 기판의 타입(p형 또는 n형), 저항성, 용액농도, 전류 및 온도를 변경할 수 있다. 다공질실리콘상의 에피택셜성장 실리콘방법으로서, CVD, MBE(Molecular Beam Epitaxy), 스퍼터링, 및 액상성장 등의 다양한 방법을 이용할 수 있다. 다른 공정을 실시예에서 제한되는 조건아래서 뿐만 아니라 다양한 조건 아래에서도 행할 수 있다.

상기 설명한 바와 같이, 본 발명에 의하면, 예를 들면, 반도체층을 효과적으로 변형시킬 수 있다.

(제 4실시예)

이하에서, 본 발명의 다른 바람직한 실시예에 대한 첨부한 도면을 참조하면서 설명한다. 도 6a 내지 8h는 도9b의 선 A-A'라인을 따라서 취한 단면도이다.

도 6a 내지 도 6h는 본 발명의 바람직한 제 4실시예에 의한 Fin디바이스제조방법을 설명하는 단면도이다.

도 6a에서 도시한 공정에서, 기판(21)을 준비한다. 기판(21)으로서, 표면이 다공화되는 기판이 바람직하다. 예를 들면, 실리콘을 이용할 수 있다.

도 6b에서 도시된 공정에서, 다공질층(22)을 기판(21)의 표면에 형성한다. 다공층(2)에 대해, 도 6c에서 도시된 공정에서 형성될 반도체층(23) 보다 낮은 영율을 가지는 재료를 이용하는 것이 바람직하다. 예를 들면, 실리콘기판을 기판(21)으로서 이용하는 경우, 실리콘기판의 표면을 다공화함으로써 형성된 다공질실리콘을 다공질층(22)으로서 이용할 수 있다. 다공질실리콘은 실리콘기판의 표면을 양극처리함으로써 형성할 수 있다. 양극처리는 플루오로화수소산을 함유하는 전해용액에서 양극과 음극을 배치하고, 전극 사이에 기판을 배치하고, 전극 사이에 전류를 인가함으로써 행한다.

다공질실리콘의 특징으로서, 영율은, 다공도를 변경시킴으로써 적어도 약 1GPa 내지 약 83GPa로 변경할 수 있다. 그러므로, 다공질실리콘의 다공도를 다공질실리콘의 영율을 설정하도록 조정하는 경우, 다공질층(22)의 영율은 도 6c에서 도시된 공정에서 형성될 반도체층(23)의 것 보다 낮게 설정할 수 있다.

다공질실리콘층은 거의 균일한 다공도를 가지는 단결정층 또는 상이한 다공도를 가지는 2이상의 층을 포함한다. 본 발명에서, 다공질층의 형성방법은, 양극처리에 제한되는 것이 아니며, 기판내에 수소이온 또는 헬륨이온 등의 이온을 주입함으로써 다공질층을 형성하는 방법을 채택할 수 있다.

도 6c에서 도시한 공정에서, 반도체층(23)은 도 6b에 도시된 공정에서 형성된 다공질층(22)에 형성된다. 반도체층(23)을 형성하는 방법은 특별히 제한되지 않는다. 반도체층(23)은, 예를 들면, 에피택셜 성장에 의해 형성될 수 있다. 에피택셜 성장을 사용하는 경우, 고품질단결정반도체층을 형성할 수 있다.

도 6d에 도시한 공정에서, 절연막(24)을 반도체층(23)위에 형성한다. 절연막 (24)은, 예를 들면, 산화막, 질화막, LTO 및 다른 절연막, 및 이들 막의 다층구조를 포함한다.

도 6e에 도시된 공정에서, 저항을 절연막(24)상에 인가하고 리소그래피에 의해 패턴화한다. 다음, 절연막(24)과 반도체층(23)을 에칭하여, 절연막(24')과 반도체층(23')을 각각 가지는 Fin(23'')을 형성하고, 단면형상의 높이는 단면형상의 폭보다 크다. 단면형상의 폭(t_1)과 높이(t_2)는 $t_1 < t_2$ 을 만족하도록 Fin(23'')을 형성한다. 즉, Fin(23'')의 특징적인 특성으로서, 수직으로 긴 단면형상을 갖는다. 이렇게 형성된 Fin을 가지는 구조를 'Fin structure'라고 칭한다. Fin구조를 가지는 디바이스를 'Fin device'라고 칭한다.

게이트절연막(26)을 Fin(23'')의 표면에 형성한다. 게이트절연막(26)의 재료로서, 예를 들면, 산화실리콘, 질화실리콘, 산화질화물 실리콘, 산화 알루미늄, 산화 탄탈륨, 산화하프늄, 산화티타늄, 산화스칸듐, 산화이트륨, 산화가돌리늄, 산화란타늄, 산화지르코늄, 그의 혼합유리를 이용하는 것이 바람직하다. 게이트절연막(26)은, 예를 들면, CVD 또는 PVD에 의해 SOI층의 표면에 적절한 물질을 퇴적하거나 SOI층의 표면을 산화시킴으로써 형성할 수 있다.

도 6f에서 도시한 공정에서, 게이트전극(25)을 Fin(23'')상에 형성한다. 게이트전극(25)은, 예를 들면, p 또는 n형의 불순물에 의해 도핑된 폴리실리콘, 텅스텐, 몰리브덴, 티타늄, 탄탈륨, 알루미늄, 또는 구리, 적어도 이들의 하나를 함유하는 합금 또는 규화물몰리브덴 등의 금속규화물로부터 형성할 수 있다. 게이트절연막(26)은, 예를 들면, 폴리사이드 게이트와 같은, 상이한 재료로 이루어진 복수의 층을 적층함으로써 형성될 수 있다. 게이트전극(55)은 살리사이드 선이라고 칭하는 방법(살리사이드의 자기조정형성), 데머신게이트프로세스라고 칭하는 방법, 또는 다른 방법에 의해 형성될 수 있다.

도 6g에서 도시한 공정에서, 패턴닝을 행하여 적어도 Fin(23'')의 중심부분의 측표면에 게이트전극(25)과 게이트절연막(26)을 형성한다. 게이트전극(25)은 게이트절연막(26)상에 형성하여 Fin(23'')이 게이트전극(25)에 의해 끼워진다. 다음, 인, 비소 또는 안티몬 등의 n형불순물, 또는 붕소 등의 p형불순물을 게이트전극(25)의 양측에 노출된 Fin(23'')으로 도핑하여 상대적으로 약간 도핑된 소스영역(25')과 드레인영역(25'')을 형성한다. 불순물은, 예를 들면, 이온주입과 어닐링에 의해 도핑할 수 있다.

도 6h에 도시한 공정에서, Fin(23'')을 가지는 Fin구조에 응력을 인가하는 변형유기영역(27)은 소스영역(25')과 드레인영역(25'')에서 게이트전극(25)과 Fin(23'')에 접촉하여 형성된다. 변형유기영역(27)으로서, 원재료로서 TEOS(Tetra Ethyl Ortho Silicate)을 이용하는 산화실리콘 또는 SiN을 이용할 수 있다. 산화실리콘은, TEOS, TEOS + O₂, TEOS + O₃, SiH₄ + O₂, SiH₄ + N₂O, SiH₂Cl₂ + N₂O 으로부터 CVD(Chemical Vapor Deposition)에 의해 형성될 수 있다. CVD로서, 열 CVD 또는 플라즈마CVD를 이용할 수 있다. 질화실리콘은 열CVD 및 플라즈마 CVD를 이용함으로써 형성할 수 있다. Si를 함유하는 원재료의 예로서, SiCl₂, SiH 및 SiH₂Cl₂ 이 있다. N을 함유하는 원재료의 예로서, NH₃, N₂H₄ 및 N₂ 이 있다.

변형유기영역(27)은 다공질층(22)의 표면에 거의 평행하게 퍼지며 Fin(23'')을 가지는 Fin구조에 압착응력을 인가한다. Fin(23'')은, 단면형상의 폭(t₁)과 높이(t₂)가 t₁ < t₂ 을 만족시키는 구조를 갖는다. 이런 이유 때문에, 측표면으로부터의 응력이 면내응력으로 전환된다. 그러므로, 보다 큰 변형이 변형유기영역(27)로부터의 더욱 작은 응력에 의해 Fin(23'')에서 생성될 수 있다. 변형이 변형유기영역(27)에서 생성되는 경우, Fin(23'')내에서 이동하는 캐리어의 이동도가 증가한다.

Fin(23'')의 것 보다 낮은 응력을 가지는 다공질층(22)은 하부측에 형성된다. 이런 이유 때문에, 변형유기영역(27)으로부터 Fin(23'')으로 인가된 대부분의 압착응력은 Fin(23'')에 작용하여 변형유기영역(27)으로부터의 응력을 작게할 수 있다. 상기 설명한 바와 같이, 다공질층(22)이 Fin(23'')의 아래에 배치되어 압착응력을 면내응력으로 효과적으로 변환할 수 있는 경우, 큰 변형을 더욱 작은 응력에 의해 생성시킬 수 있다.

Fin디바이스는 상기 방법에 의해 제조된다.

도 9a 및 9b는 상기 Fin디바이스제조방법에 의해 제조된 Fin디바이스의 구조를 도시하는 개략도이다. 도 9a는 도 9b에서 선 A-A'를 따라서 취한 단면도이다. 도 9b는 Fin디바이스의 사시도이다. 도 9a 및 도 9b에서 도시한 바와 같이, 본 실시예에 의하면, 기판위에 형성된 다공질층(22)을 가지는 Fin FET, 다공질층(22)에 형성된 Fin(23'')에 응력을 인가하는 변형유기영역(27)이 제조된다.

복수의 Fin(23'')은 다공질층(22)상에 형성될 수 있다. 예를 들면, 도 6e는 두개의 동일한 구조를 도시한다. 구조체의 수의 증가는 Fin구조를 가지는 트랜지스트이 채널의 W(폭)의 증가에 해당한다. 이런 경우에 있어서, 예를 들면, 절연막 또는 얇은 트렌치(trench) 등의 소자분리영역(29)이 LOCOS 또는 STI 등의 소자분리방법을 사용함으로써 도 6b에 도시된 공정에서 다공질층(22)상에 형성되는 것이 바람직하다. 도 6d에서 도시된 공정에서, 절연막(24)은 반도체층(23)상에 형성된다. 절연막(24)은 생략될 수 있다. 이런 경우에 있어서, 게이트절연막(26)은 도 6e에 도시된 공정에서 Fin(23'')의 상부표면상에 형성된다.

(제 5실시예)

이하, 본 발명의 바람직한 제 5실시예에 의한 Fin디바이스제조방법에 대하여 설명한다. 본 실시예에 의한 Fin디바이스제조방법에서, 제 4실시예에 의한 Fin디바이스제조방법에서 몇몇의 공정은 변경된다. 도 7a 내지 도 7h는 제 5실시예에 의한 Fin디바이스제조방법을 도시하는 개략도이다. 도 7a 내지 도 7h에서 도시하는 공정에서, 도 6a 내지 도 6h와 동일한 공정에 대한 설명은 생략한다.

도 7e(도 6e에 대응)에 도시된 공정에서, 저항을 절연막(24)에 인가하여 리소그래피에 의해 패턴화한다. 다음, 절연막(24), 반도체층(23), 다공질층(22)을 에칭한다. 패턴화된 반도체층(23)이 다공질층(22)은, 단면형상의 높이가 단면형상의 폭 보다 긴 반도체영역을 가지는 Fin(23'')을 형성한다. Fin(23'')은 단면형상의 폭(t₁)과 높이(t₂)가 t₁ < t₂ 을 만족하도록 형성된다.

도 7h(도 6h에 대응함)에 도시된 공정에서, 응력이 기판(21)에 인가된 변형유기영역(27)을 형성한다. 변형유기영역(27)으로서, 예를 들면, 원재료로서 TEOS (Tetra Ethyl Ortho Silicate)을 이용한 산화실리콘 또는 SiN을 이용할 수 있다.

(제 6실시예)

이하, 본 발명의 바람직한 제 6실시예에 의한 Fin디바이스제조방법에 대하여 설명한다. 본 실시예에 의한 Fin디바이스제조방법에서, 제 4실시예에 의한 Fin디바이스제조방법에서의 몇몇의 공정을 변경한다. 도 8a 내지 도 8h는 제 6실시예에 의한 Fin디바이스제조방법을 도시하는 개략도이다. 도 8a 내지 도 8h에서 도시하는 공정에서, 도 6a 내지 도 6h와 동일한 공정에 대한 설명은 생략한다.

도 8b(도 6b에 대응함)에서 도시하는 공정에서, 다공질층(22')은 기판에 부분적으로 형성된다. 양극처리를 다공질층(22')이 부분적으로 형성되는 방법으로서 이용하는 경우, 예를 들면, 양극처리에서 이용되는 화학액(예를 들면, 플루오르화수소산)으로부터 기판을 보호하는 보호막(예를 들면, 질화막 또는 HF내성마스크)을 기판(21)에 형성한다. 그 후, 기판(21)을 양극처리하여 도 8b에 도시된 바와 같은 다공질층(22')을 일부 형성한다.

도 8e(도 6e에 대응함)에 도시된 공정에서, 절연막(24)과 반도체층(23)은 제 4실시예와 같이 에칭된다. 제 6실시예는, 단면형상의 높이가 반면형상의 폭보다 긴 반도체영역을 가지는 Fin(23'')이, 도 8b에 도시된 공정에서 형성된 일부 다공질층(22')에 형성된 제 4실시예와 상이하다. Fin(23'')은 단면형상의 높이(t_2)가 $t_1 < t_2$ 을 만족하도록 형성된다.

복수의 Fin(23'')은 기판(21)에 형성된다. 이런 경우에 있어서, 예를 들면, 절연막 또는 얇은 트렌치 등의 소자분리영역(29)은, LOCOS 또는 STI 등의 소자분리방법을 이용함으로써 도 8b에 도시된 공정에서 기판(21)상에 형성된다.

상기 설명한 바와 같이, 본 발명에 의하면, 예를 들면, 반도체영역은 효율적으로 변형될 수 있다.

이하에서, 본 발명의 예 6 내지 8에 대하여 설명한다.

(예 6)

8인치 p형실리콘웨이퍼(21)(저항 : 0.013 내지 0.017 Ω cm)를 준비한다(도 6a). 다공질실리콘(22)을 기판(21)의 표면에 양극처리에 의해 형성한다(도 6b). 양극처리용액은 50% HF : IPA = 2 : 1(체적비)이며, 전류밀도는 8mA/cm² 이고, 전류인가시간은 11분이며, 다공질실리콘(22)의 두께는 10 μ m이다. 양극처리 후, 실리콘웨이퍼(21)을, 400°C저온의 산소에서, 1시간동안 산화시켰다. 산화표면막을 DHF에 의해 제거한다. 다음, 웨이퍼를 에피택설장치에 적재한다. 에피택설장치에 적재한 후, 실리콘웨이퍼(21)를 950°C의 수소분위기에서, 10초 동안 표면처리를 행하여 표면기공을 채운다. 또한, 소량의 실리콘계가스를 도입하여 잔류표면기공에 채운다. 그 후, 실리콘을 실리콘웨이퍼(21)상에서 에피택설장치시켜서 소정의 두께를 갖는 에피택설실리콘층(23)을 형성한다(도 6c). 에피택설실리콘층(23)의 두께는 제조될 디바이스에 따라서 결정되며 약 10nm 내지 수 μ m의 폭범위에서 제어될 수 있다.

다음, 절연막(24)은 에피택설실리콘층(23)의 표면에 형성된다(도 6d). 패터닝과 에칭을 리소그래피에 의해 행하며 절연막(24)과 그 아래의 에피택설실리콘층(23)을 Fin구조로 되도록 에칭한다. 그 후, 게이트절연막(26)을 Fin(23'')의 표면에 형성한다(도 6e).

게이트전극(25)을 Fin(23'')상에 형성한다(도 6f).

게이트전극(25)과 게이트절연막(26)을 패터닝하여 Fin(23'')의 중심부에서 게이트절연막(26)상에 게이트전극(25)을 형성하여, Fin(23'')이 게이트전극(25)에 의해 끼워진다. 다음, 인, 비소 또는 안티몬 등의 n형불순물, 또는 붕소 등의 p형불순물을 Fin(23'')에 도핑하여 게이트전극(25)의 양측에 노출시켜서 비교적 약간 도핑된 소스영역(25')과 드레인영역(25'')을 형성한다(도 6g).

다음, Fin(23'')을 가지는 Fin구조에 응력을 인가하는 변형유기영역(27)을, 소스영역(25')과 드레인영역(25'')에서 게이트전극(25)과 Fin(23'')에 접촉시킨다(도 6h). 변형유기영역(27)을, 원재료로서 TEOS + O₃ 을 이용하는 CVD에 의해 Fin형상을 가지는 다공질실리콘(22')과 에피택설실리콘층(23') 사이의 갭에 형성한다. 산화실리콘막은 그 폭범위내에서 그 응력을 제어할 수 있다. 이런 이유때문에, Fin형상을 가지는 에피택설실리콘층(23')의 측벽에 장력을 인가하도록 장력을 설정한다. 상기 처리에 의해, Fin(23'')을 변형할 수 있다. 따라서, Fin디바이스가 제조된다.

(예 7)

예 7에서, 예 6에서의 몇몇의 공정은 변경된다. 더욱 구체적으로는, 예 7에서, 에피택셜실리콘층(23)의 표면에 산화 보호막을 형성하는 대신, 리소그래피에 의해 패터닝과 에칭을 행하여 절연막(24)과 에피택셜실리콘층(23)을 패터닝하고, 절연막(24), 에피택셜실리콘층(23) 및 다공질층(22)을 Fin구조로 에칭한다(도 7e).

(예 8)

예 8에서, 예 6에서의 몇몇의 공정은 변경된다. 더욱 구체적으로는, 실시예 8에서, 다공질실리콘층(22'')은 실리콘웨이퍼(21)에 일부 형성된다(도 8b). 실리콘을 선택적으로 양극처리하여 다공질실리콘층(22'')을 일부형성하기 위해, 예를 들면, (1) 실리콘을 다공화하여 p층을 형성하는 영역에 붕소를 이온주입하고, 또는 (2) HF내성을 가진 절연보호막을 실리콘상에서 패터닝하여 선택적으로 다공화될 영역을 제외한 표면을 덮는다. 예 1과 상이하게, 단면형상의 높이가 단면형상의 폭보다 높은 반도체영역을 가지는 Fin(23''')을 형성한다(도 8e). 단면형상의 폭(t_1)과 높이(t_2)가 $t_1 < t_2$ 를 만족하도록 Fin(23''')을 설정한다. 본 발명에 의한 예 6 내지 8에서 형성된 FIN트랜지스터에서의 캐리어 이동도는 비변형구조를 가지는 디바이스에 비하여 증가하는 것이 확인되었다.

상기 설명한 예 6 내지 8에서, 다공질실리콘형성조건은 상기 조건에 제한되지 않는다. 다공도를 변경하기 위해, 기판의 타입(p형 또는 n형), 저항, 용액농도, 전류 및 온도를 변경할 수 있다. 다공질실리콘 상에서 실리콘을 에피택셜성장시키는 방법으로서, CVD, MBE(Molecular Beam Epitaxy), 스퍼터링 및 액상성장 등의 다양한 방법을 이용할 수 있다. 실시예에서의 제한된 조건뿐만 아니라 다양한 조건하에서도 다른 공정을 행할 수 있다.

본 발명의 다수의 명백하고 폭넓은 다른 실시예는 그 정신과 영역을 이탈하지 않으면서 이루어지며, 본 발명은, 첨부된 청구항을 제외하는 특정한 실시예로 제한되지 않는 것으로 이해되어야 한다.

발명의 효과

본 발명에 의하면, 반도체층 또는 반도체 영역을 효율적으로 변형시킬 수 있다.

(57) 청구의 범위

청구항 1.

반도체층과;

상기 반도체층을 지지하는 다공질층과;

상기 반도체층에 응력을 인가함으로써 상기 반도체층을 변형시키는 변형유기영역으로 이루어진 것을 특징으로 하는 반도체기판.

청구항 2.

제 1항에 있어서,

상기 다공질층과 상기 반도체층은, 복수의 섬형상의 영역을 포함하며, 상기 변형유기영역은 복수의 섬형상의 영역 사이에 형성되는 것을 특징으로 하는 반도체기판.

청구항 3.

제 1항에 있어서,

상기 반도체층은, 복수의 섬형상의 반도체영역을 포함하고, 상기 변형유기영역은 복수의 섬형상의 반도체영역 사이에 형성되는 것을 특징으로 하는 반도체기판.

청구항 4.

제 1항에 있어서,

상기 다공질층은 다공질실리콘층인 것을 특징으로 하는 반도체기판.

청구항 5.

제 1항에 있어서,

상기 반도체층은 주로 단결정실리콘으로 이루어지는 것을 특징으로 하는 반도체기판.

청구항 6.

제 1항에 있어서,

상기 변형유기영역은 주로 산화실리콘으로 이루어진 것을 특징으로 하는 반도체기판.

청구항 7.

제 1항에 있어서,

상기 변형유기영역은 주로 질화실리콘으로 이루어진 것을 특징으로 하는 반도체기판.

청구항 8.

제 1항에 있어서,

상기 반도체디바이스는 상기 반도체층상에 형성되는 것을 특징으로 하는 반도체기판.

청구항 9.

제 8항에 있어서,

반도체디바이스이 채널 위에 형성되고 상기 반도체층에 응력을 인가함으로써 상기 반도체층을 변형시키는 제 2변형 유기영역을 부가하여 포함하는 것을 특징으로 하는 반도체기판.

청구항 10.

기판위에 다공질층을 형성하는 공정과;

반도체층을 다공질층 위에 형성하는 공정과;

응력을 상기 반도체층에 인가함으로써 상기 반도체층을 변형시키는 변형유기영역을 형성하는 공정으로 이루어진 것을 특징으로 하는 반도체기판제조방법.

청구항 11.

제 10항에 있어서,

반도체층형성공정 후에, 다공질층과 반도체층을 부분적으로 에칭함으로써 개구부를 형성하는 공정을 부가하여 포함하며,

상기 변형유기영역을 형성하는 공정에서, 변형유기영역은 개구부에 형성되는 것을 특징으로 하는 반도체기판제조방법.

청구항 12.

제 10항에 있어서,

반도체층형성공정 후에, 반도체층을 부분적으로 에칭함으로써 개구부를 형성하는 공정을 부가하여 포함하며,

상기 변형유기영역을 형성하는 공정에서, 변형유기영역은 개구부에 형성되는 것을 특징으로 하는 반도체기판제조방법.

청구항 13.

제 10항에 있어서,

상기 다공질층을 형성하는 공정에서, 복수의 다공질영역을 기판에 형성하며, 변형유기영역을 형성하는 공정에서, 변형유기영역은 상기 복수의 다공질영역의 반도체층 사이에 형성되는 것을 특징으로 하는 반도체기판제조방법.

청구항 14.

청구항 제 10항에 기재된 제조방법을 적용함으로써 제조된 반도체기판을 준비하는 공정과,

반도체기판위에 반도체디바이스를 형성하는 공정으로 이루어진 것을 특징으로 하는 반도체디바이스 제조방법.

청구항 15.

제 14항에 있어서,

반도체디바이스의 채널의 상부측으로부터 반도체층으로 응력을 인가함으로써 반도체층에 응력을 형성하는 공정을 부가하여 포함하는 것을 특징으로 하는 반도체디바이스 제조방법.

청구항 16.

다공질층과;

상기 다공질층상에 형성되고 단면형상의 높이가 단면형상의 폭보다 높은 반도체영역을 가지는 구조체와,

응력을 상기 구조체에 인가함으로써 상기 구조체를 변형시키는 변형유기영역으로 이루어진 것을 특징으로 하는 반도체디바이스.

청구항 17.

제 16항에 있어서,

상기 변형유기영역은 적어도 상기 구조체의 측표면과 접촉하는 것을 특징으로 하는 반도체디바이스.

청구항 18.

제 17항에 있어서,

상기 변형유기영역은 상기 다공질층의 표면에 실질적으로 평행하게 응력을 인가하는 것을 특징으로 하는 반도체디바이스.

청구항 19.

제 16항에 있어서,

상기 다공질층상에 형성된 복수의 구조체를 부가하여 포함하고,

상기 변형유기영역은 상기 복수의 구조체 사이에 배치되어 있는 것을 특징으로 하는 반도체디바이스.

청구항 20.

제 16항에 있어서,

상기 다공질층상에 형성되어 있는 반도체영역과,

적어도 상기 반도체영역의 측표면에 형성된 게이트절연막과,

상기 게이트절연막상에 형성되어 상기 반도체영역을 끼우는 게이트전극으로 이루어진 것을 특징으로 하는 반도체디바이스.

청구항 21.

제 16항에 있어서,

상기 다공질층은 다공질실리콘을 포함하는 것을 특징으로 하는 반도체디바이스.

청구항 22.

제 16항에 있어서,

상기 반도체영역은 단결정실리콘을 포함하는 것을 특징으로 하는 반도체디바이스.

청구항 23.

제 16항에 있어서,

상기 변형유기영역은 산화실리콘을 함유하는 것을 특징으로 하는 반도체디바이스.

청구항 24.

제 16항에 있어서,

상기 변형유기영역은 질화실리콘을 함유하는 것을 특징으로 하는 반도체디바이스.

청구항 25.

청구항 제 16항에 기재된 반도체디바이스와;

반도체영역의 한쪽의 단부에 형성된 소스와;

반도체 영역의 다른쪽 단부에 형성된 드레인으로 이루어진 것을 특징으로 하는 트랜지스터.

청구항 26.

기판상에 다공질층을 형성하는 공정과;

다공질층상에 반도체층을 형성하는 공정과;

단면형상의 높이가 단면형상의 폭보다 높은 반도체영역을 형성하기 위해 반도체층을 에칭하는 공정과;

반도체영역에 응력을 인가함으로써 반도체영역을 변형시키는 변형유기영역을 형성하는 공정으로 이루어진 것을 특징으로 하는 반도체디바이스 제조방법.

청구항 27.

기판상에 다공질층을 형성하는 공정과;

다공질층상에 반도체층을 형성하는 공정과;

단면형상의 높이가 단면형상의 폭보다 높은 반도체영역을 형성하기 위해 다공질층과 반도체층을 에칭하는 공정과;

다공질영역과 반도체영역에 응력을 인가함으로써 다공질영역과 반도체영역을 변형시키는 변형유기영역을 형성하는 공정으로 이루어진 것을 특징으로 하는 반도체디바이스 제조방법.

청구항 28.

기판상에 다공질층을 부분적으로 형성하는 공정과;

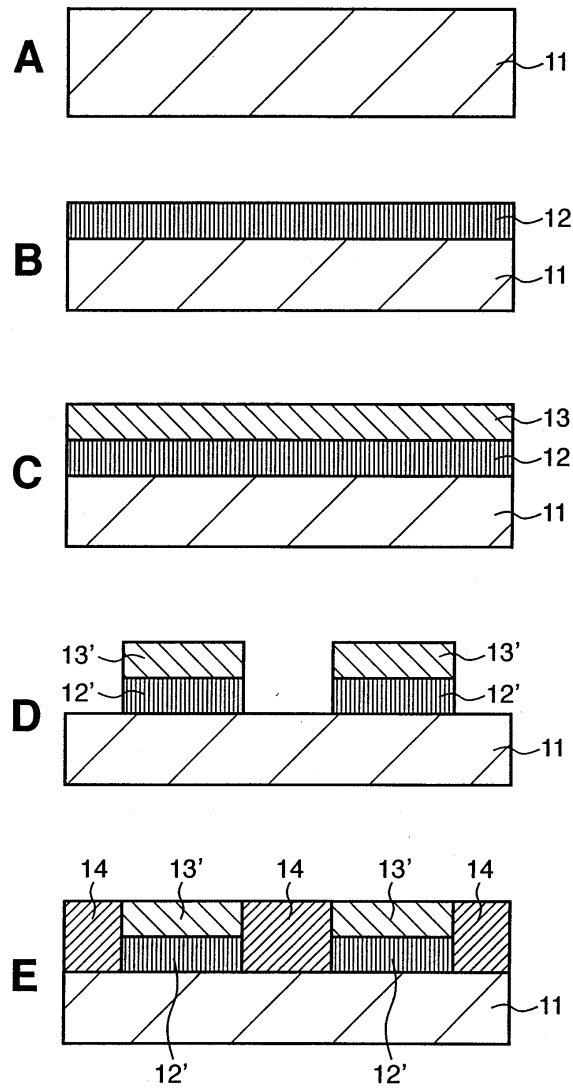
부분적으로 형성된 다공질층상에 반도체층을 형성하는 공정과;

부분적으로 형성된 다공질층상에, 단면형상의 높이가 단면형상의 폭보다 높은 반도체영역을 형성하기 위하여, 반도체영역을 에칭하는 공정과;

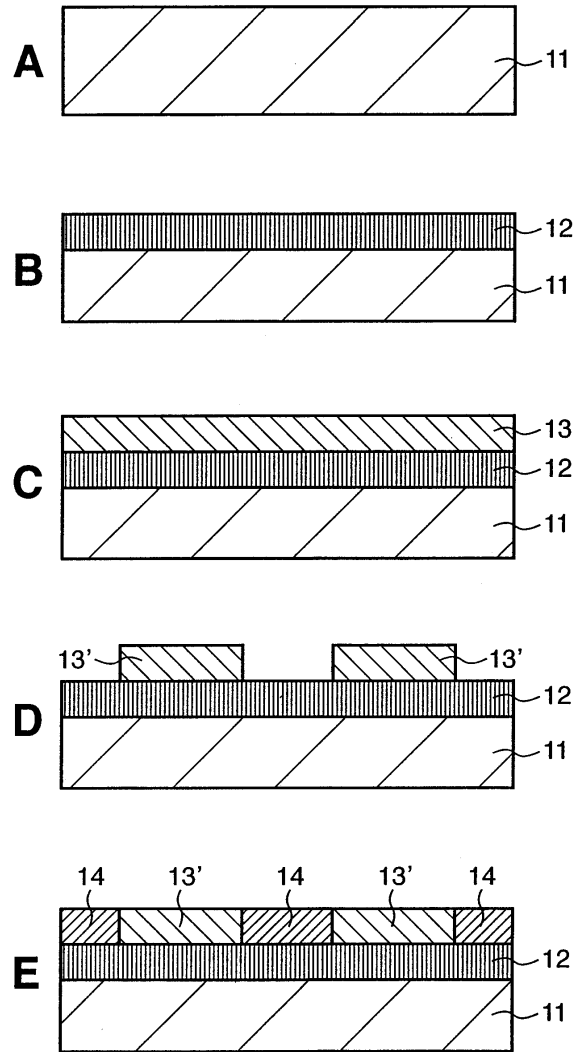
응력을 반도체영역에 인가함으로써 반도체영역을 변형시키는 변형유기영역을 형성하는 공정으로 이루어진 것을 특징으로 하는 반도체디바이스 제조방법.

도면

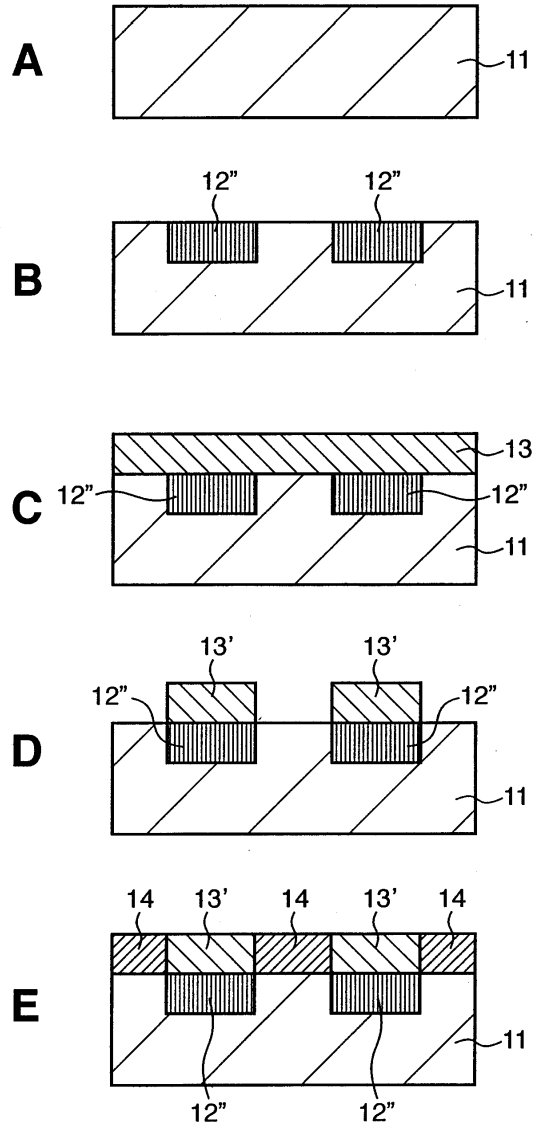
도면1



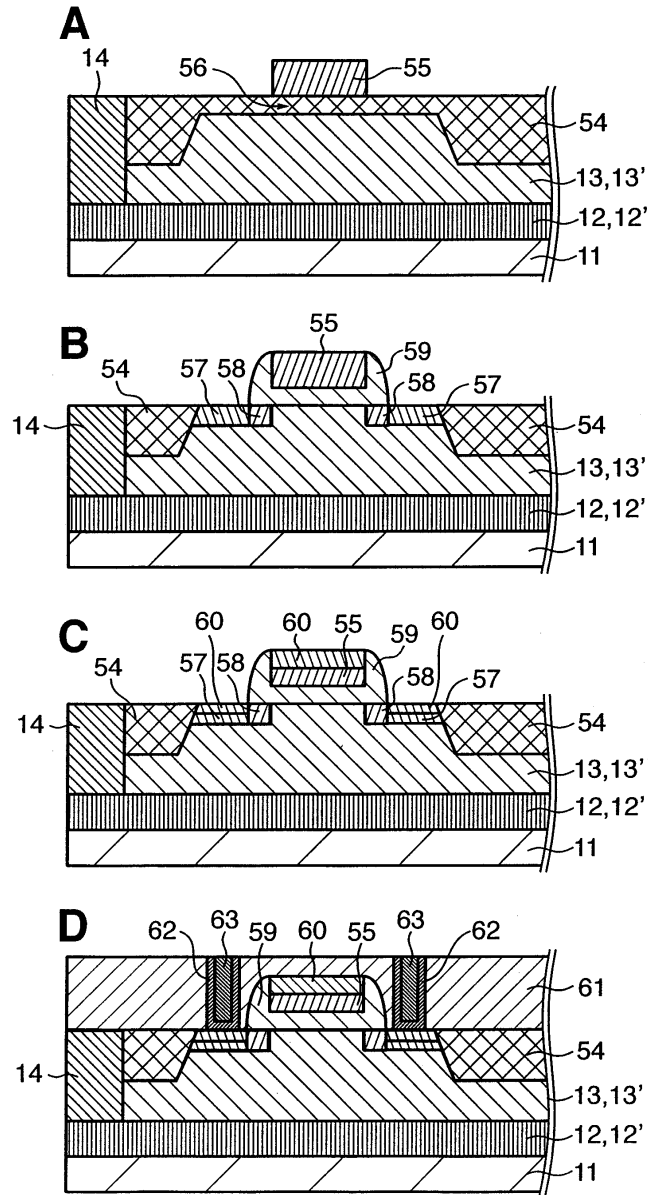
도면2



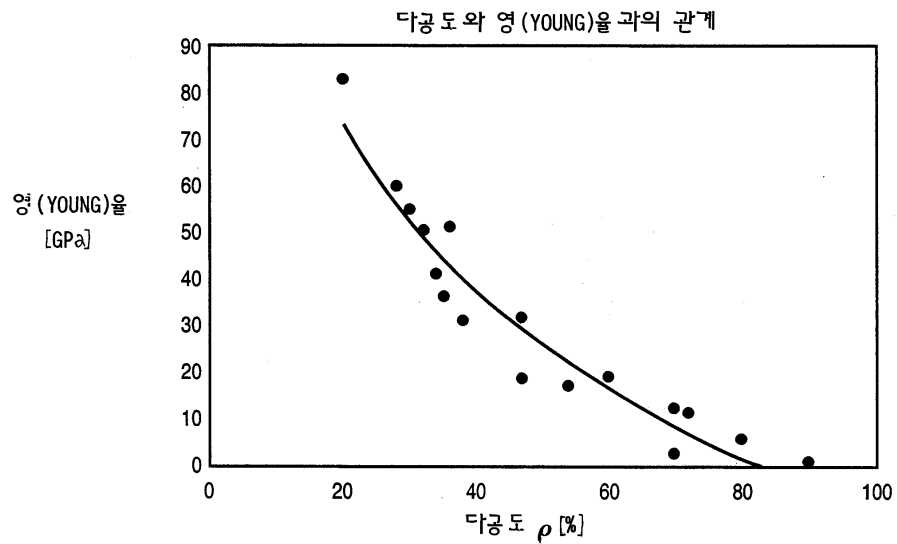
도면3



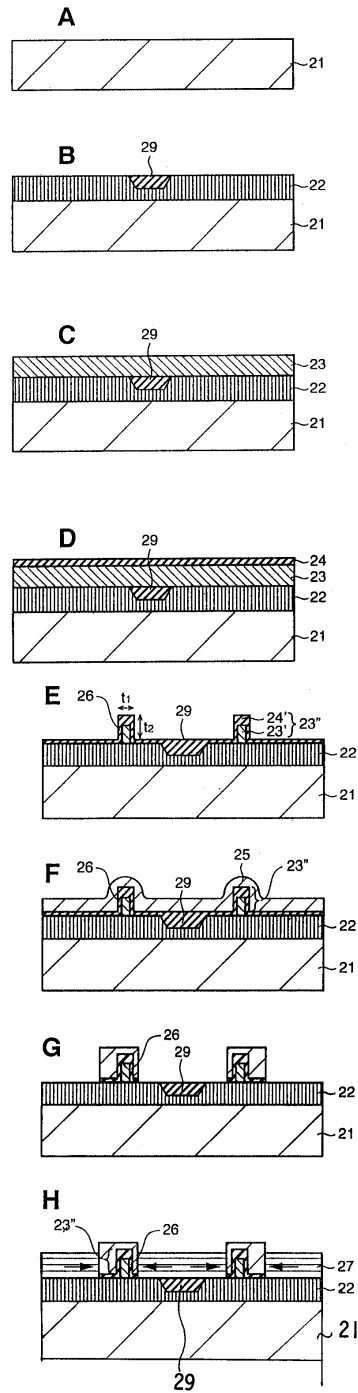
도면4



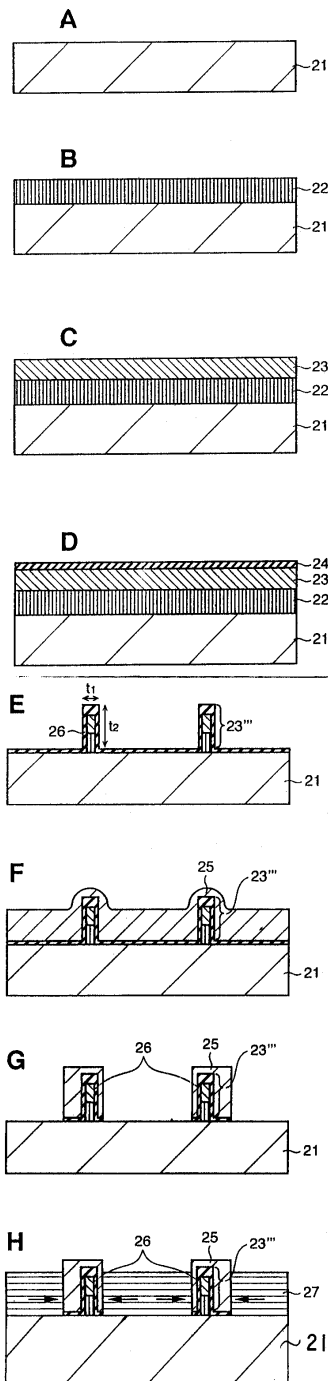
도면5



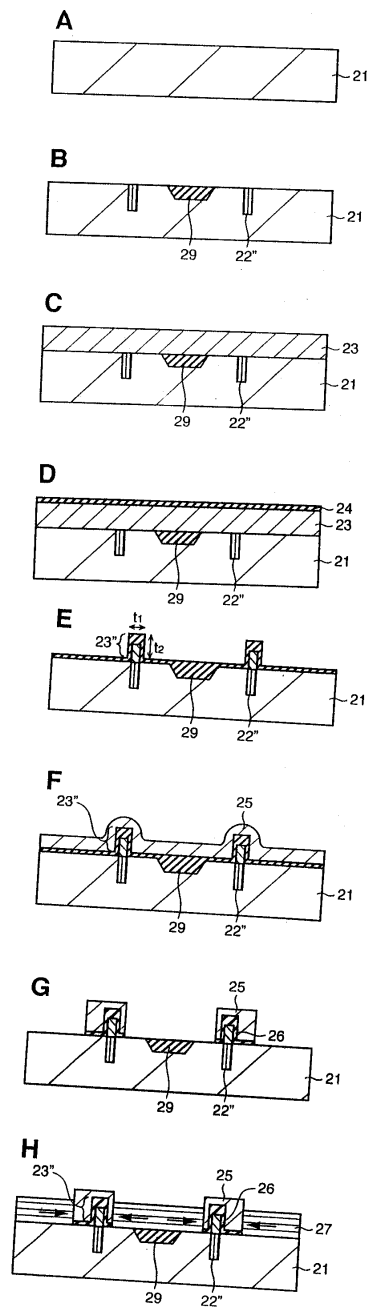
도면6



도면7

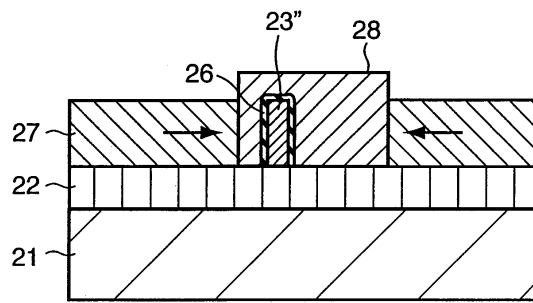


도면8



도면9

A



B

