(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.
H04L 12/46 (2006.01)

(45) 공고일자 2006년08월25일
(11) 등록번호 10-0615663
(24) 등록일자 2006년08월17일

(21) 출원번호 10-2002-7005526
(22) 출원일자 2002년04월29일
번역문 제출일자 2002년04월29일
(86) 국제출원번호 PCT/US2000/013397
국제출원일자 2000년05월16일

(65) 공개번호 10-2002-0059657
(43) 공개일자 2002년07월13일
(87) 국제공개번호 WO 2001/33774
국제공개일자 2001년05월10일

(81) 지정국 국내특허 : 일본, 대한민국,

EP 유럽특허 : 오스트리아, 벨기에, 스위스, 독일, 덴마크, 스페인, 프랑스, 영국, 그리스, 아일랜드, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투칼, 스웨덴, 핀란드, 사이프러스,

(30) 우선권주장 09/430,753 1999년10월29일 미국(US)

(73) 특허권자 어드밴스드 마이크로 디바이시즈, 인코포레이티드
미국 캘리포니아 94088-3453 서니베일 원 에이엠디 플레이스 메일 스톱68

(72) 발명자 젱쉬르-지에
미국캘리포니아94555프레몬트미모사테라스34263

(74) 대리인 박장원

심사관 : 김윤배

(54) 네트워크 스위치 포트 상에서 데이터 패킷의 타입을 실시간으로 식별하는 장치 및 방법

요약

입력되는 데이터 패킷의 블럭킹없이 이서넷(IEEE 802.3) 네트워크 내에서 층 2 및 층 3 스위칭을 수행하도록 구성된 네트워크 스위치는 입력되는 데이터 패킷을 순간적으로 평가하는 데에 이용되는 필터(즉, 패킷 분류기 모듈)를 구비하는 네트워크 스위치 포트를 포함한다. 이 필터는 입력되는 데이터 패킷의 데이터 스트림과 각 데이터 프로토콜을 식별하도록 구성된 다수의 템플릿을 동시에 비교한다. 각 템플릿은 다수의 최소항으로 이루어지고, 각 최소항은 입력되는 데이터 패킷의 선택된 데이터 바이트 내에서의 소정의 비교 동작을 특정한다. 템플릿은 사용자에 의해 프로그램되어 내부 최소항 메모리에 저장될 수 있다. 또한, 다수의 동시 비교에 의해, 네트워크 스위치는 네트워크 스위치 내에서의 블럭킹없이 100 Mbps 및 기가비트 네트워크들에 대해 층 3 스위칭을 행할 수 있다.

대표도

도 1

색인어

네트워크 스위치, 데이터 패킷, 동시 비교, 블럭킹, 최소항, 템플릿

명세서

기술분야

본 발명은 서브 네트워크 간에 데이터 패킷을 스위칭하도록 구성된 비 블럭킹 네트워크 스위치(non-blocking network switch)에서의 데이터 패킷의 층 2 및 층 3 스위칭에 관한 것이다.

배경기술

근거리 네트워크(LAN)는 네트워크 케이블 또는 다른 매체를 이용하여 네트워크 상의 스테이션을 링크시킨다. 각 근거리 네트워크의 아키텍쳐는 매체 액세스 제어(MAC)를 이용하여 각 네트워크 노드에서의 네트워크 인터페이스 디바이스가 네트워크 매체를 액세스할 수 있게 한다.

이서넷 프로토콜 IEEE 802.3은 데이터 패킷을 전송하기 위한 반이중 매체 액세스 메커니즘 및 전이중 매체 액세스 메커니즘을 특정한다. 전이중 매체 액세스 메커니즘은 2개의 네트워크 요소, 예를 들어 네트워크 노드와 스위칭 허브 간에 양방향의 지점간(point-to-point) 통신 링크를 제공한다.

스위치된 근거리 네트워크에서는, 보다 고속의 접속성, 보다 유연한 스위칭 성능 및 보다 복잡한 네트워크 아키텍쳐에 대처할 수 있는 능력에 대한 요구가 증가하고 있다. 예를 들어, 공동 양도된 미국 특허 제5,953,335호는 서로 다른 네트워크 노드 간에 층 2 타입 이서넷 (IEEE 802.3) 데이터 패킷을 스위칭시키도록 구성된 네트워크 스위치를 개시하는바, 수신된 데이터 패킷은 (라우터를 통한) 서로 다른 서브 네트워크 또는 소정의 스테이션 그룹을 특정하는 IEEE 802.1q 프로토콜에 따른 VLAN (가상 LAN) 태그 프레임(tagged frame)을 포함할 수 있다. 스위칭은 층 2 레벨에서 일어나기 때문에, 전형적으로 서브 네트워크 간에 데이터 패킷을 전송하기 위해서는 라우터가 필요하다.
네트워크 주변에서 데이터 패킷의 전송을 용이하게 하는 방법은 잘 알려져있다. 예를 들어, US-A-5 546 389호는 라우팅 정보가 신속하게 결정될 수 있도록 데이터 패킷에 부가되는 라벨의 이용을 개시한다. WO-A-99 52648호는 스위칭 정보를 특정하는 태그가 저장되는 메모리에 대한 인덱스를 형성하기 위해 데이터 패킷 내에 헤더 정보를 해시(hash)한다. US-A-5 802 054호는 해시되는 입력 데이터 패킷으로부터 바이트를 선택하는 데에 마스킹 템플릿이 이용되는 원자 네트워크 시스템 내에서 유사한 시스템을 이용한다.
WO-A-98 35480호는, 네트워크 노드에 의해 수신되는 데이터의 타입을 결정하고, 그 노드에서의 처리를 용이하게 하기 위해 데이터 패킷에 관련 정보를 포함하는 데이터 구조를 부가하는 매체 액세스 제어 마이크로-RISC 스트림 프로세서를 개시한다. 이 방법은 첨부된 청구항 1의 전제부의 특징을 포함한다.

네트워크 스위칭의 스위칭성 성능을 높여 층 3(예를 들어, 인터넷 프로토콜)의 처리를 포함하기 위한 노력은 중대한 문제를 갖는다. 왜냐하면, 현재의 층 2 스위치는 데이터 패킷이 수신될 때와 동일한 속도로 스위치로부터 출력될 수 있는 비 블럭킹 모드에서 동작하도록 구성되는 것이 바람직하기 때문이다. 보다 고속의 스위치가 100 Mbps 또는 기가 비트 네트워크 등의 보다 고속의 네트워크에 대해 층 2 스위칭 성능 및 층 3 스위칭 성능을 모두 제공할 수 있도록 하는 새로운 설계가 필요하다.

하지만, 이러한 설계 요건은 네트워크 스위치의 비 블럭킹 특성의 손실을 감수해야 하는바, 이는 네트워크 스위치의 스위칭 구조에 있어서 와이어 속도(wire rate)(즉, 네트워크 데이터 속도)로 층 3의 처리를 행하는 것이 더욱 어려워지고 있기 때문이다.

발명의 상세한 설명

네트워크 스위치가 100Mbps 및 기가비트 링크에 대해 데이터 패킷의 블럭킹없이 층 2 스위칭 성능 및 층 3 스위칭 성능을 제공할 수 있는 구성이 필요하다.

또한, 네트워크 스위치가 네트워크 스위치 내에서 최소한의 버퍼링(만일 그렇지 못한 경우에는 스위치되는 데이터 패킷의 레이턴시에 영향을 줄 수 있다)으로 층 2 스위칭 성능 및 층 3 스위칭 성능을 제공할 수 있는 구성이 필요하다.

또한, 서로 다른 타입의 층 3 데이터 패킷을 구별하도록 네트워크 스위치를 용이하게 프로그램하여 서비스 품질(QoS)을 달성할 수 있는 구성이 필요하다.

또한, 네트워크 스위치 포트가 입력되는 데이터 패킷을 순간적으로 평가하고, 층 3 또는 보다 높은 프로토콜을 결정한 다음, 관련된 스위치 구조에, 검출된 프로토콜에 따라 상기 입력되는 데이터 패킷을 처리하는 데에 충분한 시간을 제공할 수 있는 구성이 필요하다.

상기 및 다른 요구는, 네트워크 스위치 포트가 입력되는 데이터 패킷을 순간적으로 평가하도록 구성된 필터를 포함하는 본 발명에 의해 달성된다. 이 필터는 데이터 패킷의 입력되는 데이터 스트림과 각 프로토콜을 식별하도록 구성된 다수의 템플릿(template) 간에 동시 비교를 행한다. 각 템플릿은 다수의 최소항(min term)으로 구성되고, 각 최소항은 입력되는 데이터 패킷의 선택된 데이터 바이트와의 소정의 비교 동작을 특정한다. 필터는 데이터 바이트의 순서에 기초하여 최소항을 액세스한다. 즉, 먼저 제 1 데이터 바이트가 수신될 때에는 제 1 데이터 바이트를 비교하는 데에 이용되는 최소항을 액세스하여, 이 최소항과 제 1 데이터 바이트를 비교한다. 이후, 제 2 데이터 바이트가 수신될 때에는 제 2 데이터 바이트를 비교하는 데에 이용되는 최소항을 액세스하여, 이 최소항과 제 2 데이터 바이트를 비교한다. 이에 따라, 필터는 선택 바이트가 네트워크 스위치 포트에 의해 수신되면, 입력되는 데이터 패킷의 선택 바이트에 대응하는 최소항들을 동시에 비교한다. 입력되는 데이터 스트림의 선택된 데이터 바이트들과 최소항들 간의 비교 결과는 필터 내의 방정식 코어(equation core)에 의해 평가되는바, 이는 템플릿에 대한 비교 결과를 결정한 다음 스위칭 코어에 태그를 출력하여, 수신된 데이터 패킷을 처리하는 방법에 관한 정보를 스위칭 코어에 제공한다. 따라서, 스위칭 코어는 고속 데이터 네트워크에서 비 블럭킹 방식으로, 수신된 데이터 패킷의 층 2 스위칭 또는 층 3 스위칭을 행할 수 있는 충분한 시간을 갖게 된다.

본 발명의 일 양상은 네트워크 스위치 포트에 입력되는 데이터 패킷을 평가하는 방법을 제공한다. 이 방법은 각 데이터 포맷을 식별하도록 구성된 다수의 템플릿을 저장하는 단계를 포함하는바, 각 템플릿은 입력되는 데이터 패킷의 대응하는 선택 바이트를 대응하는 소정값과 비교하도록 구성된 적어도 1개의 최소항을 갖는다. 이 방법은 또한 선택 바이트가 네트워크 스위치 포트에 의해 수신될 때 이 선택 바이트에 대응하는 최소항들과 이 선택 바이트를 동시에 비교하는 단계와, 그리고 네트워크 스위치 포트에 의해 수신되는 데이터 바이트와 최소항의 비교에 기초하여, 입력되는 데이터 패킷을 식별하는 비교 결과를 발생시키는 단계를 포함한다. 각 데이터 포맷을 식별하도록 구성되는 템플릿을 저장함으로써, 사용자 정의(user-defined)의 데이터 포맷을 식별하도록 네트워크 스위칭 포트를 용이하게 프로그램할 수 있다. 또한, 선택 바이트가 네트워크 스위치 포트로부터 수신될 때 이 선택 바이트에 대응하는 최소항들을 동시에 비교함으로써, 입력되는 데이터 패킷을 실시간으로 확실하게 평가할 수 있게 되어, 데이터 패킷이 수신될 때, 입력되는 데이터 패킷을 사용자 정의의 데이터 포맷에 대해 식별할 수 있게 된다.

본 발명의 다른 양상은 네트워크 스위치 포트에에 입력되는 데이터 패킷을 평가하는 방법을 제공한다. 이 방법은 네트워크 스위치 포트에 의해 제 1 바이트가 수신될 때, 적어도 1개의 템플릿과 관련된 적어도 제 1 최소항과 제 1 바이트를 비교함으로써, 입력되는 데이터 패킷의 제 1 바이트와 다수의 템플릿을 동시에 비교하는 단계를 포함하는바, 각 템플릿은 입력되는 데이터 패킷 내의 소정의 포맷을 식별하도록 구성된다. 이 방법은 또한, 제 1 바이트 다음에 오는 제 2 바이트를 적어도 1개의 템플릿과 관련된 적어도 제 2 최소항을 비교함으로써, 입력되는 데이터 패킷의 제 2 바이트와 템플릿을 동시에 비교하는 단계와, 그리고 다수의 템플릿에 대한 제 1 바이트 및 제 2 바이트의 비교로부터의 최소항 결과에 기초하여 비교 결과를 발생시키는 단계를 포함한다. 제 1 바이트와 적어도 제 1 최소항의 동시 비교 및 제 1 바이트 다음에 오는 제 2 바이트와 적어도 제 2 최소항의 동시 비교에 의해, 관련된 데이터 바이트가 수신되는 순서에 기초하여 최소항이 확실하게 연속적으로 처리될 수 있게 된다. 따라서, 입력되는 데이터 스트림에 기초하여 최소항을 배열함으로써, 다수의 템플릿을 동시에 그리고 실시간으로 처리할 수 있다. 결과적으로, 입력되는 데이터 패킷을 네트워크 스위치 포트에서 실시간으로 평가할 수 있게 되어, 네트워크 스위치 포트 내에서의 레이턴시를 최소화한다.

본 발명의 또 다른 양상은 입력되는 데이터 패킷을 평가하도록 구성된 네트워크 스위치 포트 필터를 제공한다. 이 네트워크 스위치 포트 필터는 최소항 값을 저장하도록 구성된 최소항 메모리를 포함한다. 각 최소항 값은 입력되는 데이터 패킷의 대응하는 선택 바이트에 기초하여, 비교를 위해 최소항 메모리에 저장된다. 최소항 값은 또한 대응하는 비교 동작을 특정하는 표현 부분(expression portion) 및 대응하는 최소항을 이용하는 템플릿을 특정하는 식별자 필드(identifier field)를 갖는다. 이 네트워크 스위치 포트 필터는 또한, 입력되는 데이터 패킷의 수신된 바이트와 이 수신된 바이트에 대응하는 최소항을 동시에 비교하고, 각각의 최소항 비교 결과를 발생시키도록 구성된 최소항 발생기와, 그리고 템플릿에 대한 최소항 비교 결과에 기초하여, 입력되는 데이터 패킷을 식별하는 프레임 태그를 발생시키도록 구성된 방정식 코어를 포함한다. 각 최소항 값은 입력되는 데이터 패킷의 대응하는 선택 바이트에 기초한 위치에 저장되기 때문에, 각 최소항은 최소항 메

모리로부터 액세스될 수 있고, 선택 바이트가 네트워크 스위치 포트에 의해 수신되는 순서에 기초하여 선택 바이트와 비교될 수 있다. 따라서, 최소항 발생기는 입력되는 데이터 패킷의 소정의 수신 바이트를 관련된 모든 최소항과 동시에 비교할 수 있게 된다. 결과적으로, 입력되는 데이터 패킷을 실시간으로 평가할 수 있다.

본 발명의 새로운 장점 및 신규 특징은 하기의 상세한 설명에서 부분적으로 설명될 것이며, 당업자에게는 하기의 상세한 설명을 통해 명백해지거나, 본 발명의 실시를 통해 이해될 수 있을 것이다. 본 발명의 장점은 청구항에서 특정하게 지정한 수단 및 결합에 의해 구현 및 달성된다.

이제, 첨부 도면을 참조한다. 도면에서, 동일한 참조 부호를 갖는 요소는 전체적으로 동일한 요소를 나타낸다.

도면의 간단한 설명

도 1은 본 발명의 일 실시예에 따라 각 서브 네트워크 간에 데이터 패킷을 스위칭시키는 다수의 네트워크 스위치를 포함하는 패킷 교환 네트워크의 블록도이다.

도 2는 층 3 인터넷 프로토콜(IP) 패킷을 전달하는 종래의 층 2 이서넷 타입의 데이터 패킷을 나타낸다.

도 3은 IP 패킷을 평가하는 일반적인(종래 기술의) 방법을 나타낸 흐름도이다.

도 4는 본 발명의 실시예에 따른, 네트워크 스위치 포트 필터를 포함하는 도 1의 네트워크 스위치 포트를 예시한 블록도이다.

도 5A 및 5B는 도 4의 최소항 발생기에 의한 방정식의 4개의 템플릿의 동시 처리를 나타낸다.

도 6은 도 4의 최소항 발생기에 의한 최소항의 동시 처리를 보다 상세히 나타낸다.

도 7은 본 발명의 실시예에 따른, 도 4의 최소항 메모리 내의 최소항의 테이블 엔트리를 나타낸다.

실시예

도 1은 이서넷(IEEE 802.3) 네트워크 등의 패킷 교환 네트워크(10)를 나타내는 블록도이다. 이 패킷 교환 네트워크는 네트워크 스테이션(14) 간에 데이터 패킷의 통신을 가능하게 하는 집적(즉, 단일 칩) 멀티포트 스위치(12)를 포함한다. 각 네트워크 스테이션(14), 예를 들어 클라이언트 워크스테이션은 전형적으로 IEEE 802.3 프로토콜에 따라 10 Mbps 또는 100 Mbps로 데이터 패킷을 송수신하도록 구성된다. 각 집적 멀티포트 스위치(12)는 기가비트 이서넷 링크(16)에 의해 서로 접속되어, 서브 네트워크(18a, 18b 및 18c) 간의 데이터 패킷의 전송을 가능하게 한다. 따라서, 각 서브 네트워크는 스위치(12) 및 네트워크 스테이션(14)의 관련 그룹을 포함한다.

각 스위치(12)는 스위치 포트(20)를 포함하고, 이 스위치 포트(20)는 매체 액세스 제어(MAC) 모듈(22) 및 패킷 분류기 모듈(24)을 포함한다. MAC 모듈(22)은 IEEE 802.3u 프로토콜에 따라 10/100 Mbps 물리층(PHY) 트랜스시버(미도시)를 통해 관련된 네트워크 스테이션(14)과 데이터 패킷을 송수신한다. 각 스위치(12)는 또한 수신된 데이터 패킷에 대한 프레임 전송 결정을 하도록 구성된 스위치 구조(25)를 포함한다. 특히, 스위치 구조(25)는 소스 어드레스, 목적지 어드레스, 및 이서넷(IEEE 802.3) 헤더 내의 VLAN 정보에 기초하여 층 2 스위칭 결정을 하도록 구성된다. 스위치 구조(25)는 또한 이서넷 패킷 내의 IP 데이터 패킷의 평가에 기초하여 선택적인 층 3 스위칭 결정을 하도록 구성된다.

도 1에 나타낸 바와 같이, 각 스위치(12)는 관련된 호스트 CPU(26) 및 버퍼 메모리(28), 예를 들어 SSRAM을 갖는다. 호스트 CPU(26)는 스위치 구조(25)의 프로그래밍을 포함하여, 대응하는 스위치 구조(25)의 전체 동작을 제어한다. 버퍼 메모리(28)는 대응하는 스위치(12)에 의해 데이터 프레임을 저장하는 데에 이용되고, 스위치 구조(25)는 수신된 데이터 패킷에 대한 전송 결정을 처리한다.

상기 설명한 바와 같이, 스위치 구조(25)는 층 2 스위칭 결정 및 층 3 스위칭 결정을 행하도록 구성된다. 층 3 스위칭 결정의 유용성은, 서브 네트워크(18a) 내의 엔드 스테이션(14)이 서브 네트워크(18b 또는 18c) 또는 그 양쪽 모두에 있어서의 선택된 네트워크 스테이션에 e-메일 메세지를 전송하기를 원하는 경우에 특히 유효하다. 단지 층 2 스위칭 결정 만을 이용할 수 있는 경우, 스위치(12a)의 스위치 구조(25)는 특정한 목적지 어드레스 정보없이 스위치(12b 및 12c)에 e-메일 메세지를 전송함으로써, 스위치(12b 및 12c)의 모든 포트에 플러딩(flooding)한다. 그렇지 않으면, 스위치(12a)의 스위치 구조

(25)는 라우터(미도시)에 e-메일 메세지를 전송할 필요가 있는데, 이는 부가적인 지연을 야기시킨다. 스위치 구조(25)에 의한 층 3 스위칭 결정을 이용함으로써, 스위치 구조(25)는 진보된 전송 결정을 포함한 패킷 처리 방법에 관련하여, 그리고 비디오 또는 음성 등의 레이턴시에 민감한 응용에 대해 패킷이 높은 우선 순위의 패킷으로 고려되어야 하는 지의 여부에 대해 지능적인 결정을 할 수 있다. 스위치 구조(25)에 의한 층 3 스위칭 결정을 이용함으로써, 스위치(12a)의 호스트 CPU(26)는 스위치(12b)의 IP 어드레스에 대응하는 IP 어드레스를 갖는 메세지를 전송하여, 다른 스위치, 예를 들어 스위치(12b)를 원격으로 프로그램할 수 있다. 스위치(12b)는 자신에게 어드레스되는 메세지의 검출에 응답하여, 대응하는 호스트 CPU(26)에 메세지를 전송하여 스위치(12b)의 프로그래밍을 실시할 수 있다.

도 2는 페이로드(payload) 데이터로서 IP 패킷(32)을 전달하는 이서넷(IEEE 802.3) 패킷(30)를 도시한다. 구체적으로, 이서넷 패킷(30)은 시작 프레임 딜리미터(SFD)(34), 이서넷 헤더(36), IP 패킷(32), 및 순환 리던던시 체크(CRC) 또는 프레임 체크 시퀀스(FCS) 필드(38)를 포함한다. 따라서, 층 3 스위칭 결정을 하도록 구성된 스위치 구조(25)는 수신된 이서넷 프레임(30) 내의 IP 패킷(32)을 신속하게 처리하여, 스위치 내에서의 프레임의 블럭킹을 피할 수 있어야 한다.

도 3은 입력되는 데이터 패킷에 대해 수행될 수 있는 층 3 처리 타입의 예를 나타낸 흐름도이다. 소프트웨어에서 일반적으로 실시되는 도 3의 흐름도는 입력되는 데이터 패킷이 하이퍼텍스트 전송 프로토콜(HTTP) 패킷인지(단계 50), SNMP 패킷인지(단계 52), 아니면 높은 우선순위의 패킷인지(단계 54)의 여부를 체크하는 것을 포함한다. 이후, 단계(56, 57, 58 또는 60)에서는, 패킷을 식별하기 위한 적절한 태그가 할당된다.

하지만, 실제적인 관점에서, 도 3의 구성은 100 Mbps 또는 기가비트 네트워크에 비 블럭킹 스위치를 제공하는 방식으로 하드웨어에서 구현될 수 없다. 특히, 도 3의 결정 과정의 순차적인 특성에 의해, 입력되는 데이터 패킷에 대해 과도한 레이턴시를 야기시킨다.

개시된 실시예에 따르면, 도 1의 패킷 분류기 모듈(24)은 입력되는 데이터 스트림과 입력되는 데이터 스트림의 데이터 포맷을 식별하는 템플릿 간의 다수의 동시 비교를 행하도록 구성된다. 구체적으로, 호스트 프로세서(26)의 사용자들은 특정한 IP 프로토콜을 갖는 데이터 패킷이 스위치 구조(25)에 의해 어떻게 처리되어야 하는 지를 정의하는 방침을 지정한다. 이러한 방침은 대응하는 각 IP 프로토콜 타입에 대한 프레임 전송 결정의 세트를 스위치 구조(25) 내에 적재(load)함으로써 구현된다. 따라서, 스위치 구조(25)는 HTTP 패킷에 대한 프레임 전송 명령의 한 세트, SNMP 패킷에 대한 프레임 전송 명령의 다른 세트, 및 높은 우선 순위 패킷(예를 들어, 비디오 또는 음성 등)에 대한 프레임 전송 명령의 다른 세트를 포함할 수 있다.

도 4는 본 발명의 일 실시예에 따른 패킷 분류기 모듈(24)을 도시한 블록도이다. 도 4에 도시된 바와 같이, 네트워크 스위치 포트(20)는 MAC(22), 수신 FIFO 버퍼(27), 헤더 변경자(header modifier)(29) 및 패킷 분류기 모듈(24)을 포함한다. 네트워크 스위치 포트 필터라고도 일컬어지는 패킷 분류기 모듈(24)은 네트워크 스위치 포트(20)에서 입력되는 데이터 패킷을 식별(즉, 평가)하고, 수신되는 데이터 패킷의 타입에 기초하여 데이터 패킷에 대해 수행될 동작을 특정하는 태그를 스위치 구조(25)에 공급하도록 구성된다. 구체적으로, 패킷 분류기 모듈(24)은 입력되는 데이터 패킷과 각 데이터 포맷을 식별하도록 구성된 다수의 템플릿을 동시에 비교한다. 패킷 분류기 모듈(24)은, 입력되는 데이터 패킷과 다수의 템플릿 간의 비교에 기초하여, 스위치 구조(25)에 공급될 태그를 특정하는 실행될 방정식을 식별한다.

구체적으로, 패킷 분류기 모듈(24)은 다수의 템플릿들로부터 적어도 1개의 정합되는 템플릿을 검출함으로써, 입력되는 데이터 패킷을 식별하는 비교 결과를 발생시킨다. 이후, 패킷 분류기 모듈(24)은 어떤 방정식이 정합된 템플릿을 포함하는 지를 식별하고, 이 방정식에 의해 특정되는 태그를 발생시킨다.

도 5A 및 5B는 패킷 분류기 모듈(24)에 의한 1개의 방정식의 2개의 템플릿의 동시 처리를 나타낸다. 도 5A는 패킷 분류기 모듈(24)에 의한 방정식의 논리적 평가를 나타낸다:

$$Eq1=M1*M2*M3*M4*(M5+M6+M7+M8).$$

도 5B는 방정식 Eq1이 최소항 메모리(70)에 실질적으로 어떻게 저장되는 지를 예시한다. 방정식 Eq1은 4개의 템플릿(62a, 62b, 62c 및 62d)을 포함하는바, 템플릿(62a)은 최소항(M1, M2, M3, M4 및 M5)을 포함하고, 템플릿(62b)은 최소항(M1, M2, M3, M4 및 M6)을 포함하며, 템플릿(62c)은 최소항(M1, M2, M3, M4 및 M7)을 포함하고, 그리고 템플릿(62d)은 최소항(M1, M2, M3, M4 및 M8)을 포함한다. 각 템플릿(62)은 IP 데이터 패킷(32)의 헤더를 기초하여 인식가능한 특정한 IP 데이터 포맷에 대응한다. 예를 들어, 템플릿(62a 및 62c)은 HTTP 패킷을 식별하도록 구성될 수 있고, 템플릿(62b 및 62d)은 SNMP 패킷을 식별하도록 구성될 수 있다. 구체적으로, HTTP 패킷은 그것이 IPv4 포맷을 갖고, IP 내의 존속 시간 필드(time to live field)가 1 보다 크고, IP 헤더 내의 프로토콜 필드가 TCP이고, 헤더 체크섬(header

checksum)이 정확하고, 소스 TCP 포트가 80이거나 목적지 TCP 포트가 80인 경우 식별된다. SNMP 패킷은 그것이 IPv4 포맷을 갖고, IP 내의 존속 시간 필드가 1 보다 크고, IP 헤더 내의 프로토콜 필드가 TCP이고, 헤더 체크섬이 정확하고, 소스 TCP 포트가 25이거나 목적지 TCP 포트가 25인 경우 식별된다.

따라서, 하기의 최소항은 상기 설명한 모든 기준을 나타내도록 확립될 수 있다.

M1= 패킷이 IPv4 포맷을 갖는다.

M2= IP 내의 존속 시간 필드가 1 보다 크다.

M3= IP 헤더 내의 프로토콜 필드가 TCP이다.

M4= 헤더 체크섬이 정확하다.

M5= 소스 TCP 포트가 80이다.

M6= 목적지 TCP 포트가 80이다.

M7= 소스 TCP 포트가 25이다.

M8= 목적지 TCP 포트가 25이다.

이에 따라, 템플릿(62a 및 62c)은 HTTP 패킷을 식별하고, 템플릿(62b 및 62d)은 SNMP 패킷을 식별한다. 따라서, 방정식 1 (Eq1)은 템플릿(62a, 62b, 62c 및 62d)중 어느 것이 참인 경우, 특정한 결과(예를 들어, 특정값을 갖는 태그)가 스위치 구조(25)에 출력되어야 함을 특정한다.

또한, 최소항(M1...M8)은 입력되는 데이터 스트림의 데이터 바이트의 관련 위치에 대응하는 소정의 순서로 관련된 템플릿(62a 그리고/또는 62b) 내에 배열된다. 도 6에 도시된 바와 같이, 최소항(M1)은 IP 패킷(32)의 제 1 바이트(B1)와 비교되도록 구성되고, 최소항(M2)은 B1 다음에 오는 IP 패킷(32)의 후속 바이트 (B2)와 비교되도록 구성되며, 그리고 최소항(M3)은 B2 다음에 오는 이후 바이트(B3)와 비교되도록 구성되며, 이하 마찬가지이다. 이에 따라, 입력되는 데이터 스트림 내의 데이터 바이트의 관련 위치에 기초하는 순서로 최소항을 갖는 템플릿(62)을 이용함으로써, 입력되는 데이터 스트림과 최소항 간의 다수의 동시 비교를 행할 수 있다. 따라서, 입력되는 데이터 패킷을 다수의 템플릿과 비교하여, 입력되는 데이터 패킷의 데이터 포맷 뿐 아니라 스위치 구조(25)에 의해 어떠한 조치를 취할 필요가 있는 지를 결정할 수 있다.

도 4는 도 1의 패킷 분류기(24)를 상세히 나타낸 블럭도이다. 도 4에 나타낸 바와 같이, 네트워크 스위치 포트 필터라고도 칭해지는 패킷 분류기(24)는 도 7에 도시되어 하기에서 설명되는 바와 같이 최소항 값(예를 들어, M1, M2 등)을 저장하는 최소항 메모리(70)를 포함한다. 패킷 분류기(24)는 또한 수신되고 있는 층 2 프레임의 타입을 식별하도록 구성된 프레임 식별자(72)를 포함한다. 특히, 수신되고 있는 층 2 프레임의 타입(예를 들어, 이서넷(IEEE 802.3) 등)을 식별하게 되면, 층 2 패킷(30) 내의 IP 패킷(32)의 시작 위치를 식별할 수 있게 된다. 패킷 분류기(24)는 또한 최소항 제어기(74), 최소항 발생기(76), 방정식 코어(78) 및 평가 결과 메모리(80)를 포함한다. 프로세서 인터페이스 모듈(pi_mod)(82)은 생성한 최소항을 호스트 CPU(26)로부터 최소항 메모리(70)에 전송하는 데에 이용된다.

최소항 제어기(74)는 IP 프레임(32)의 선택 바이트에 대응하는 최소항을 최소항 메모리(70)로부터 페치(fetch)하도록 구성된다. 최소항 제어기(74)는 또한 층 2 프레임의 타입을 특정하는 프레임 식별자(72)로부터의 프레임 타입(frm_type) 신호의 수신에 응답하여 시작 지점(64)의 실제 바이트 위치(byte_location)를 특정하도록 구성된 위치 변환기를 포함한다. 따라서, 최소항 제어기(74)는 IP 패킷의 시작의 검출에 응답하여, IP 패킷(32)의 제 1 바이트(B1)와 비교될 모든 최소항, 예를 들어 도 6의 방정식(Eq1, Eq2 및 Eq3)에 대한 최소항(M1, M9 및 M14)을 페치한다. 이후, 최소항 제어기(74)는 최소항값(M_STRU INFO)을 최소항 발생기(76) 및 방정식 코어(78)에 전송한다.

최소항 발생기(76)는 최소항 제어기에 의해 페치된 최소항과 입력되는 데이터 스트림의 선택 바이트 간의 실제적인 최소항 비교를 수행한다. 예를 들어, 도 6에서, 최소항 발생기(76)는 입력되는 데이터 바이트(B1)와 최소항(M1, M9 및 M14)을 동시에 비교한 다음, 방정식 코어(78)에 최소항 비교 결과(mt_result)를 제공한다. 다음 비교 주기 동안, 최소항 발생기(76)는 입력되는 데이터 바이트(B2)와 최소항(M2, M10 및 M15)을 동시에 비교한다. 개시된 실시예에 따르면, 최소항 발생기는 입력되는 데이터 바이트와 최대 8개의 최소항을 동시에 비교하도록 구성된다.

방정식 코어(78)는, 관련된 템플릿(62)에 대해, 최소항 발생기(76)로부터 수신한 최소항 비교 결과에 기초하여 프레임 태그를 발생시키도록 구성된다. 예를 들어, 도 5에 나타낸 바와 같이, 방정식 코어(78)는 최소항 발생기로부터 결과가 공급되면 최소항 결과를 순차적으로 평가함으로써 방정식 1을 평가한다. 예를 들어, 도 7을 참조하여 하기에서 설명되는 바와 같이, 각 최소항(M1, M2, M3, M4, M5 및 M6)에 대한 비교가 결과적으로 참 조건이면, 최종 조건이 방정식 1에 부합되어, 방정식 코어(78)는 방정식 1에 대해 특정된 조건에 대응하는 태그를 발생시킨다. 프레임 태그는 입력되는 데이터 패킷의 특성 뿐 아니라, 스위치 구조(25)에 의해 실행될 필요가 있는 조치를 식별한다.

도 7은 최소항 메모리(70) 내의 최소항 구조의 데이터 포맷을 나타낸다. 개시된 실시예에 따르면, 최소항은 비교될 데이터 바이트의 관련 위치에 대응하는 순서로 최소항 메모리(70)에 저장된다. 따라서, 제 1 데이터 바이트와 비교될 모든 최소항이 최소항 메모리의 제 1 부분에 함께 저장된 다음, 제 2 데이터 바이트와 비교될 최소항이 계속되며, 이하 마찬가지이다.

대안적으로, 최소항은 IP 헤더 내의 관련 정보 뿐 아니라 비교될 데이터 바이트의 관련 위치에 기초한 순서로 저장될 수 있다. 따라서, 최소항은 소스 IP 어드레스, 목적지 IP 어드레스를 제공하는 데이터 바이트의 시퀀스를 소스 포트 및 목적지 포트와 비교하기 위한 순서로 저장될 수 있는바, 이 경우 IP 프레임의 시작시 관련이 없는 데이터 바이트는 최소항 메모리(70)의 시작시에 저장되는 관련 최소항을 갖지 않게 됨으로써, 최소항 메모리(70)의 효율성을 더욱 개선시킨다.

각 테이블 엔트리(90)는 최소항 부분 및 평가 부분을 포함한다. 최소항 부분은 마스크 필드(MASK)(94), 기대 데이터 필드(EXP_DATA)(96) 및 오퍼레이터 필드(OPERATOR)(98)를 포함한다. 최소항 메모리(70) 내의 테이블 엔트리(90)의 위치에 기초하여, 최소항 제어기(74)는 IP 패킷의 시작(64)과 관련하여 IP 패킷(32)의 어떤 바이트가 대응하는 최소항과 비교될 필요가 있는 지를 결정할 수 있다. 마스크 필드(94)는 비교를 수행할 때 최소항 발생기(76)에 의해 이용되는 마스크이다. 이 마스크가 1로 설정된 비트를 갖는 경우에는 값이 비교되고, 마스크 값이 필드 내에서 0을 갖는 경우에는 비교는 이루어지지 않는다. 기대 데이터 필드(96)는 IP 패킷(32)의 관련 데이터 바이트와 비교될 기대 데이터를 특정한다. 오퍼레이터 필드(98)는 최소항 발생기에 의해 수행될 비교의 타입, 예를 들어 "미만", "이하", "동일", "초과", "이상" 및 "동일하지 않음"을 특정한다.

평가 부분은 분기 부분(100), 최소항 부분의 비교가 참인 경우에 대한 응답 부분(RINP1)(102), 최소항 부분의 비교가 거짓인 경우에 대한 제 2 응답 부분(RINP0)(106) 및 방정식 식별자(110)를 포함한다. 분기 부분(100)은 방정식 내의 OR항의 순서를 특정한다. 예를 들어, 도 5, 6에 나타낸 최소항(M1)의 분기 부분은 0000 1111로 세트되어, 방정식 식별자 필드(110)에 특정된 방정식의 첫 번째 4개의 분기가 대응하는 최소항을 포함하고 있음을 나타낸다. 분기 부분에 8 비트를 이용하는 것은, 어떠한 소정의 방정식에 최대 8개의 분기가 있는 것으로 가정한다.

응답 부분(102)은, 비교되는 데이터 바이트와 관련하여, 최소항 부분이 참으로서 평가되는 경우에 수행될 연산을 특정한다. 방정식의 결과가 결정되어 최소항의 결과가 참인 경우에는 마지막 비트(FIN)가 1로 세트되고, 최소항 결과가 참이고 평가 과정이 초기 상태(init)로 돌아가야만 하는 경우에는 백 투 이니셜(BINIT: back to initial))이 1로 세트된다. 예를 들어, 최소항(M1)의 경우, RINP1의 FIN 비트 및 BNIT 비트는 0으로 세트되는데, 이는 최소항 결과가 참인 경우에는 부가적인 비교가 필요하기 때문이다. 최소항(M5, M6, M7 및 M8)의 경우, RINP1의 FIN 비트는 1로 세트되는데, 이는 도 5에 나타낸 바와 같이 "참" 비교 결과는 결과적으로 평가의 끝이 되기 때문이다.

응답 부분(106)은, 비교되는 데이터 바이트와 관련하여, 최소항 부분이 거짓으로서 평가되는 경우에 수행될 연산을 특정한다. 특히, 방정식의 결과가 결정되어 최소항의 결과가 거짓인 경우에는 마지막 비트(FIN)가 1로 세트되고, 최소항 결과가 거짓이고 평가 과정이 초기 상태(init)로 돌아가야만 하는 경우에는 백 투 이니셜(BINIT)이 1로 세트된다. 예를 들어, 최소항(M1)의 경우, 도 5에 나타낸 바와 같이, FIN 비트는 0으로 세트되고 RINP1의 BINIT 비트는 1로 세트되어, 최소항 결과(M1)가 거짓인 경우 방정식은 INIT 상태로 돌아간다.

방정식 식별자 필드(110)는 최소항이 대응하는 방정식(또는, 그 방정식에 단지 1개의 템플릿 만이 있는 경우에는 템플릿)을 식별한다.

따라서, 방정식 코어(78)는 어떠한 특정한 방정식이, 입력되는 데이터 스트림과 정합되는 템플릿(62)을 갖는 지의 여부를 결정한다. 입력되는 데이터 스트림과 다수의 템플릿(62)과의 다수의 동시 비교에 기초하여, 방정식 코어(78)는 정합하는 방정식을 식별하고, 이 정합되는 방정식에 대응하는 적절한 태그를 발생시켜 스위칭 구조(25)에 출력한다. 필요에 따라, 방정식 코어(78)는 또한, 스위치에 데이터를 전송하기 전에, 헤더 변경자(29)에 커맨드를 출력하여 층 2 헤더, 층 3 헤더, 또는 둘 모두의 헤더를 변경할 수 있다.

개시된 실시예에 따르면, 네트워크 스위치 포트는 데이터 패킷의 입력되는 데이터 스트림과 대응하는 프로토콜을 식별하도록 구성된 다수의 템플릿 간에 다수의 동시 비교를 행할 수 있는 필터를 포함한다. 패킷 분류기 모듈(24)은 IP 프레임(32)의 어떠한 바이트도 처리할 수 있기 때문에, 패킷 분류기 모듈(24)은 IP 패킷(32) 내의 층 3 프로토콜로부터 층 7 프로토콜까지의 모든 헤더 정보를 해석할 수 있다. 또한, 다수의 동시 비교에 의해, 네트워크 스위치(12)는 네트워크 스위치 내에서의 블럭킹없이 100 Mbps 및 기가비트 네트워크에 대한 층 3 스위칭을 행할 수 있다. 마지막으로, 데이터가 수신되는 순서로 다수의 동시 비교를 실시함으로써, 처리가 시작되기 전에 전체 헤더가 수신될 것을 요구하는 프로그램가능한 논리 어레이 등의 대안적인 방식과 대조적으로, 실시간 비교를 행하는 것이 가능해진다.

본 발명은 현재 가장 바람직한 실시예로 여겨지는 것과 관련하여 설명되었지만, 본 발명은 개시된 실시예에 한정되지 않고, 첨부된 청구항의 정신 및 범위 내에 포함되는 많은 변경 및 등가의 구성을 포함할 수 있다.

(57) 청구의 범위

청구항 1.

네트워크 스위치 포트에서 입력되는 데이터 패킷을 평가하는 방법으로서,

각 데이터 포맷을 식별하는 복수의 테플릿을 저장하는 단계와, 여기서 상기 템플릿은 상기 입력되는 데이터 패킷의 대응하는 선택 바이트와 대응하는 소정값을 비교하는 적어도 1개의 최소항을 가지며;

상기 네트워크 스위치 포트에 의해 상기 선택 바이트가 수신될 때 상기 선택 바이트에 대응하는 최소항과 상기 선택 바이트를 동시에 비교하는 단계와; 그리고

상기 네트워크 스위치 포트에 의해 수신되는 상기 데이터 바이트와 상기 최소항의 비교에 기초하여, 상기 입력되는 데이터 패킷을 식별하는 비교 결과를 발생시키는 단계를 포함하는 것을 특징으로 하는 입력되는 데이터 패킷을 평가하는 방법.

청구항 2.

제 1 항에 있어서, 상기 동시에 비교하는 단계는:

상기 데이터 바이트중 제 1 데이터 바이트에 대응하는 최소항들을 최소항 발생기에 적재하는 단계와;

상기 최소항 발생기에 적재된 상기 최소항들과 상기 제 1 데이터 바이트를 동시에 비교하는 단계와; 그리고

상기 최소항 발생기에 적재된 상기 최소항들에 대한 비교 결과를 방정식 코어에 출력하는 단계를 포함하는 것을 특징으로 하는 입력되는 데이터 패킷을 평가하는 방법.

청구항 3.

제 2 항에 있어서,

상기 동시에 비교하는 단계는, 상기 데이터 바이트들중 상기 제 1 데이터 바이트 바로 다음에 오는 제 2 데이터 바이트에 대응하는 최소항을 상기 최소항 발생기에 적재하는 단계를 더 포함하는 것을 특징으로 하는 입력되는 데이터 패킷을 평가하는 방법.

청구항 4.

제 1 항에 있어서,

상기 비교 결과에 기초하여 프레임 태그를 스위치 구조에 출력하는 단계를 더 포함하고, 상기 스위치 구조는 대응하는 프레임 태그에 기초하여 상기 입력되는 데이터 패킷을 선택적으로 스위칭하는 것을 특징으로 하는 입력되는 데이터 패킷을 평가하는 방법.

청구항 5.

제 1 항에 있어서,

상기 저장 단계는 각 최소항을 테이블 엔트리로서 메모리에 저장하는 것을 포함하고, 상기 각 테이블 엔트리는 상기 입력되는 데이터 패킷의 대응하는 선택 바이트의 위치에 기초하여 상기 메모리 내에 위치를 갖고, 상기 테이블 엔트리는 대응하는 소정값 및 비교 오퍼랜드를 특정하는 최소항 표현 부분 및 상기 대응하는 최소항을 이용하는 템플릿을 특정하는 템플릿 식별자 필드를 포함하는 것을 특징으로 하는 입력되는 데이터 패킷을 평가하는 방법.

청구항 6.

제 5 항에 있어서, 상기 발생 단계는:

상기 입력되는 데이터 패킷의 선택 바이트에 대한 상기 최소항의 비교 결과를 일시적으로 저장하는 단계와;

상기 최소항의 비교 결과에 기초하여 상기 복수의 템플릿으로부터 적어도 1개의 정합되는 템플릿을 검출하는 단계와; 그리고

상기 검출된 적어도 1개의 정합되는 템플릿에 기초하여 상기 비교 결과를 발생시키는 단계를 포함하는 것을 특징으로 하는 입력되는 데이터 패킷을 평가하는 방법.

청구항 7.

제 5 항에 있어서,

상기 데이터 바이트중 상기 제 1 데이터 바이트는 소정의 포맷을 갖는 패킷의 데이터 바이트중 제 1 데이터 바이트에 대응하고,

상기 동시에 비교하는 단계는 상기 소정의 포맷을 갖는 패킷의 시작과 관련하여 선택된 데이터 바이트를 평가하는 것을 포함하는 것을 특징으로 하는 입력되는 데이터 패킷을 평가하는 방법.

청구항 8.

제 7 항에 있어서,

상기 소정의 포맷은 인터넷 프로토콜(IP) 포맷인 것을 특징으로 하는 입력되는 데이터 패킷을 평가하는 방법.

청구항 9.

제 6 항에 있어서, 상기 검출된 적어도 1개의 정합되는 템플릿에 기초하여 비교 결과를 발생시키는 단계는:

상기 입력되는 데이터 패킷과 비교되는 각 최소항에 대한 대응하는 방정식을 식별하는 단계와, 여기서 상기 각 방정식은 상기 템플릿의 선택된 그룹에 대한 고유한 결과를 특정하고; 그리고

상기 검출된 적어도 1개의 정합되는 템플릿을 갖는 방정식에 의해 상기 비교 결과를 발생시키는 단계를 포함하는 것을 특징으로 하는 입력되는 데이터 패킷을 평가하는 방법.

청구항 10.

네트워크 스위치 포트에서 입력되는 데이터 패킷을 평가하는 방법으로서,

상기 네트워크 스위치 포트에 의해 제 1 바이트가 수신될 때, 템플릿중 적어도 1개와 관련된 적어도 제 1 최소항과 상기 제 1 바이트를 비교함으로써, 상기 입력되는 데이터 패킷의 상기 제 1 바이트와 복수의 템플릿들을 동시에 비교하는 단계와, 여기서 상기 각 템플릿은 상기 입력되는 데이터 패킷 내의 소정의 포맷을 식별하고;

상기 입력되는 데이터 패킷의 상기 제 1 바이트 다음에 오는 제 2 바이트와 상기 템플릿중 적어도 1개와 관련된 적어도 제 2 최소항을 비교함으로써, 상기 제 2 바이트와 상기 템플릿들을 동시에 비교하는 단계와; 그리고

상기 복수의 템플릿들에 대한 상기 제 1 바이트 및 상기 제 2 바이트의 비교로부터의 최소항 결과에 기초하여 비교 결과를 발생시키는 단계를 포함하는 것을 특징으로 하는 입력되는 데이터 패킷을 평가하는 방법.

청구항 11.

제 10 항에 있어서,

상기 제 1 최소항은 상기 템플릿들의 제 1 그룹과 관련되고, 상기 제 1 바이트와 비교하기 위한 제 3 최소항은 상기 템플릿들의 제 2 그룹과 관련되고,

상기 제 1 바이트를 동시에 비교하는 단계는 상기 제 1 바이트를 상기 제 1 최소항 및 상기 제 3 최소항과 동시에 비교하는 것을 포함하는 것을 특징으로 하는 입력되는 데이터 패킷을 평가하는 방법.

청구항 12.

제 11 항에 있어서,

각 템플릿은 상기 입력되는 데이터 패킷의 각 바이트와 비교하기 위한 복수의 최소항을 갖고,

상기 방법은 상기 입력되는 데이터 패킷의 각 바이트의 관련 위치에 기초하여 상기 템플릿들의 상기 최소항을 연속적으로 비교하는 단계를 더 포함하는 것을 특징으로 하는 입력되는 데이터 패킷을 평가하는 방법.

청구항 13.

제 12 항에 있어서,

상기 발생시키는 단계는 방정식의 결과에 할당된 상기 템플릿에 대한 상기 비교 결과에 기초하여, 네트워크 스위치 구조에 의해 수행될 조치를 특정하는 상기 방정식의 결과를 발생시키는 것을 포함하는 것을 특징으로 하는 입력되는 데이터 패킷을 평가하는 방법.

청구항 14.

입력되는 데이터 패킷을 평가하는 네트워크 스위치 포트 필터로서,

최소항 값을 저장하는 최소항 메모리와, 여기서 상기 각 최소항 값은 비교를 위해, 상기 입력되는 데이터 패킷의 대응하는 선택 바이트의 위치에 기초하여 저장되고, 상기 최소항 값은 대응하는 비교 동작을 특정하는 표현 부분 및 상기 대응하는 최소항을 이용하는 템플릿들을 특정하는 템플릿 식별자 필드를 가지며;

상기 입력되는 데이터 패킷의 수신 바이트와 상기 수신 바이트에 대응하는 최소항을 동시에 비교하고, 각 최소항 비교 결과를 발생시키는 최소항 발생기와; 그리고

상기 템플릿들에 대한 상기 최소항 비교 결과에 기초하여 상기 입력되는 데이터 패킷을 식별하는 프레임 태그를 발생시키는 방정식 코어를 포함하는 것을 특징으로 하는 네트워크 스위치 포트 필터.

청구항 15.

제 14 항에 있어서,

층 2 패킷의 타입을 식별하는 프레임 식별자를 더 포함하고,

상기 입력되는 데이터 패킷의 선택 바이트는 상기 층 2 패킷의 식별된 타입에 기초하여 결정되는 것을 특징으로 하는 네트워크 스위치 포트 필터.

청구항 16.

제 15 항에 있어서,

상기 저장된 각 최소항 값의 위치는 상기 층 2 패킷 내의 IP 프레임의 시작에 관련되는 것을 특징으로 하는 네트워크 스위치 포트 필터.

청구항 17.

제 16 항에 있어서,

상기 입력되는 데이터 패킷 내의 상기 IP 프레임의 선택 바이트에 대응하는 최소항을 상기 최소항 메모리로부터 페치하는 최소항 제어기를 더 포함하는 것을 특징으로 하는 네트워크 스위치 포트 필터.

청구항 18.

제 15 항에 있어서,

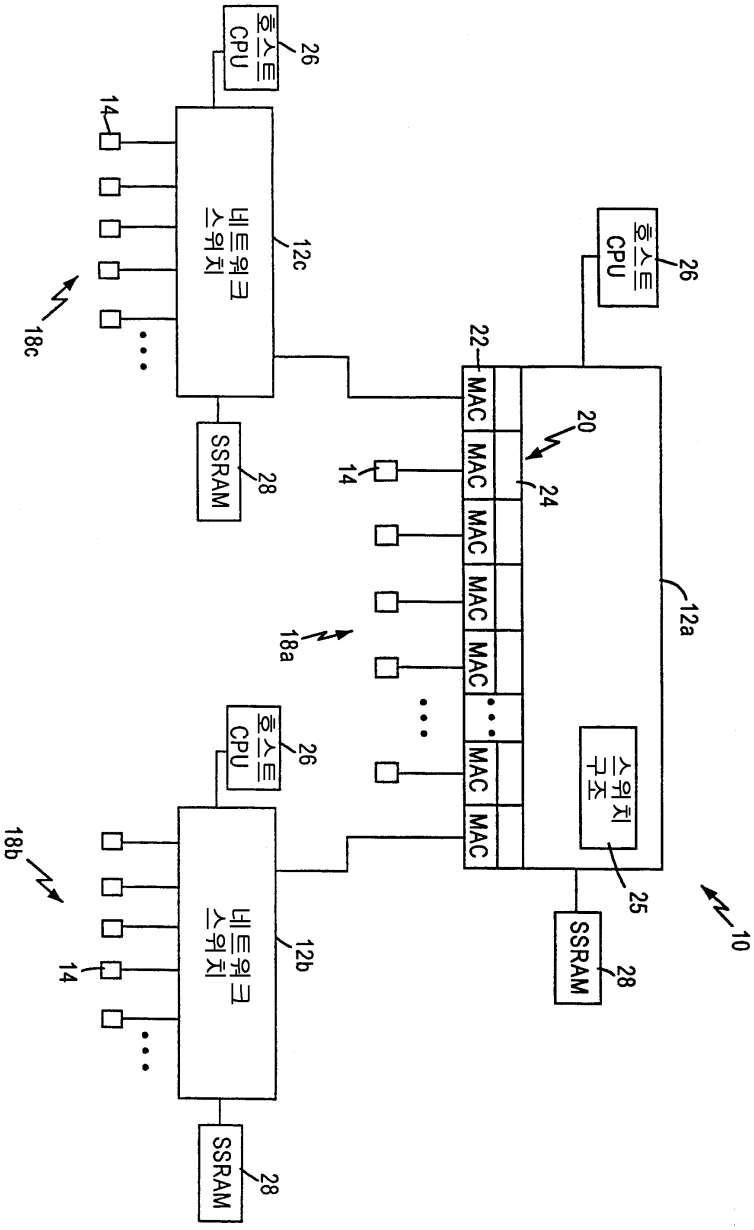
상기 방정식 코어는 상기 입력되는 데이터 패킷의 와이어 속도로 그리고 상기 입력되는 데이터 패킷의 끝 이전에 상기 프레임 태그를 발생시키는 것을 특징으로 하는 네트워크 스위치 포트 필터.

청구항 19.

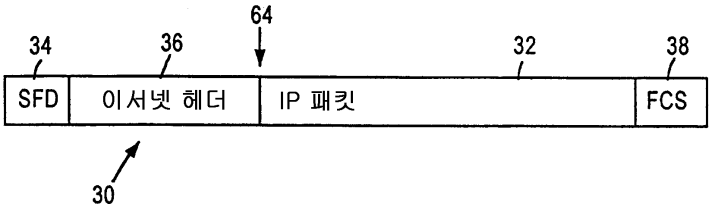
삭제

도면

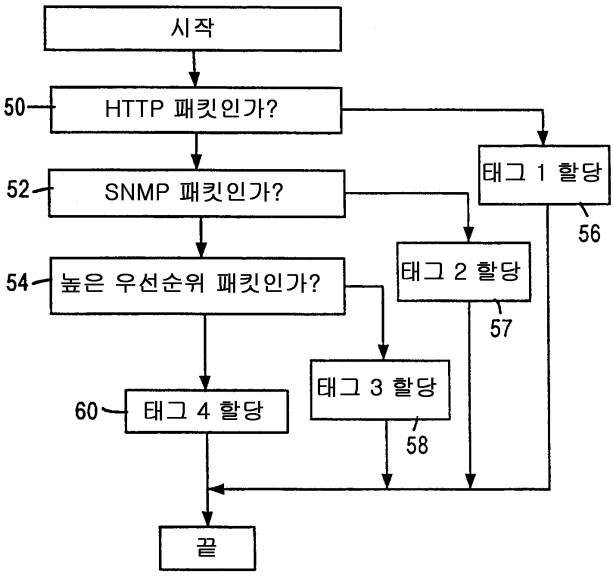
도면1


호스트 CPU
26
네트워크 스위치
12c
14
18c
SSRAM
28
22
MAC
20
24
12a
18a
스위치 구조
25
10
18b
12b

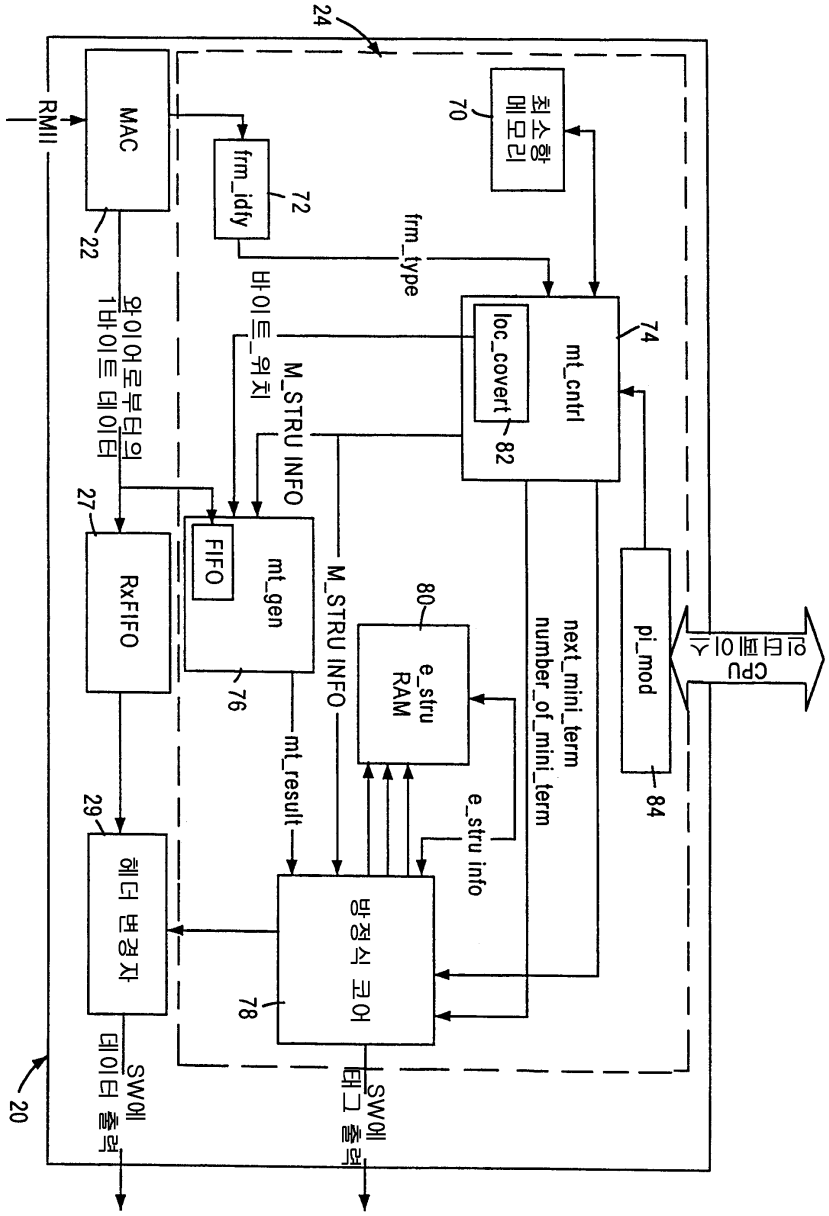
도면2


64
34
36
32
38
SFD
이서넷 헤더
IP 패킷
FCS
30

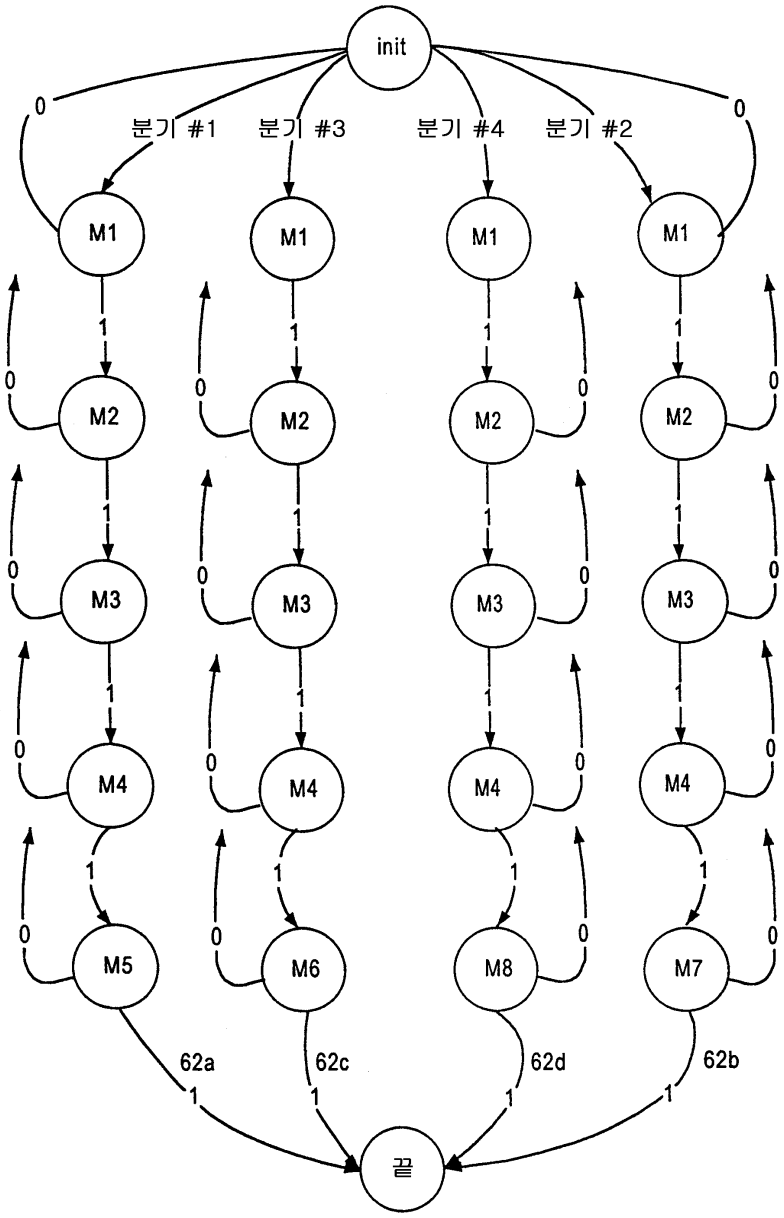
도면3


시작
50
HTTP 패킷인가?
52
SNMP 패킷인가?
54
높은 우선순위 패킷인가?
60
태그 4 할당
태그 3 할당
58
태그 2 할당
57
태그 1 할당
56
끝

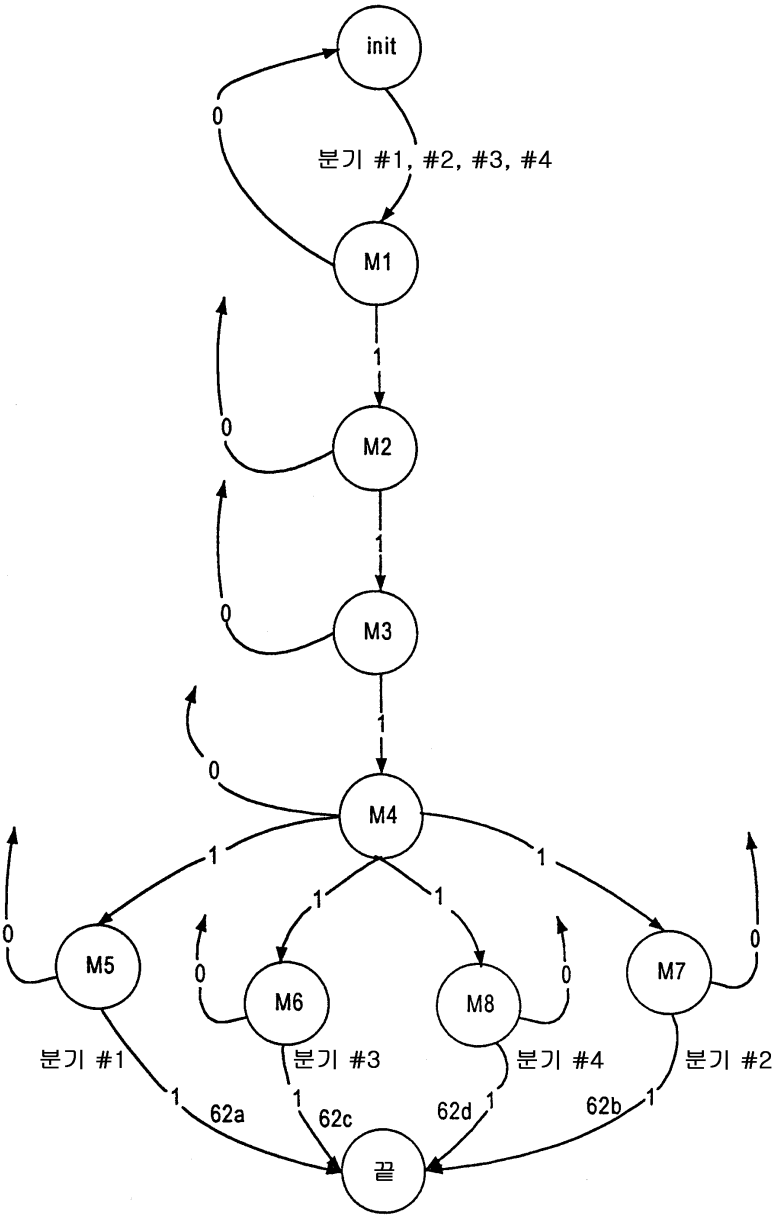
도면4


24
RMII
MAC
22
frm_idfy
72
최소항 메모리
70
frm_type
바이트_위치
M_STRU INFO
와이어로부터의 1바이트 데이터
loc_covert
82
mt_cntrl
74
27
RxFIFO
FIFO
mt_gen
76
M_STRU INFO
80
e_stru RAM
next_mini_term
number_of_mini_term
pi_mod
84
CPU 인터페이스
mt_result
e_stru info
29
헤더 변경자
방정식 코어
78
SW에 데이터 출력
SW에 태그 출력
20

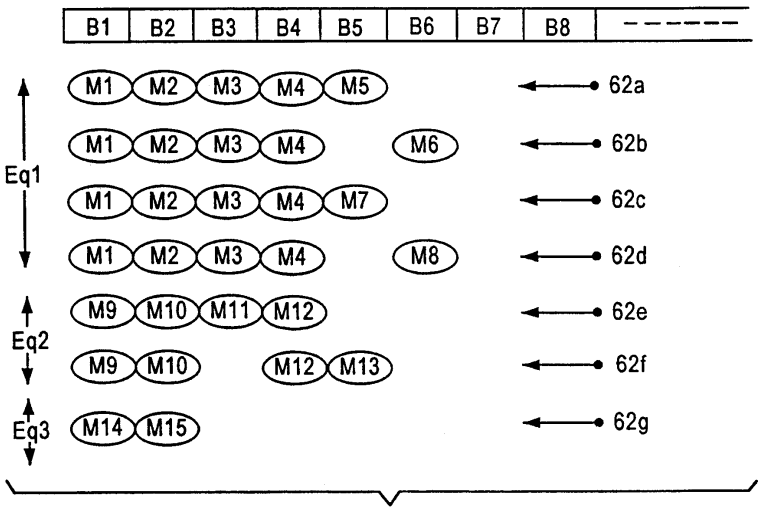
도면5a


init
0
분기 #1
분기 #3
분기 #4
분기 #2
0
M1
M1
M1
M1
1
0
M2
M2
M2
M2
M3
M3
M3
M3
M4
M4
M4
M4
M5
M6
M8
M7
62a
62c
62d
62b
끝

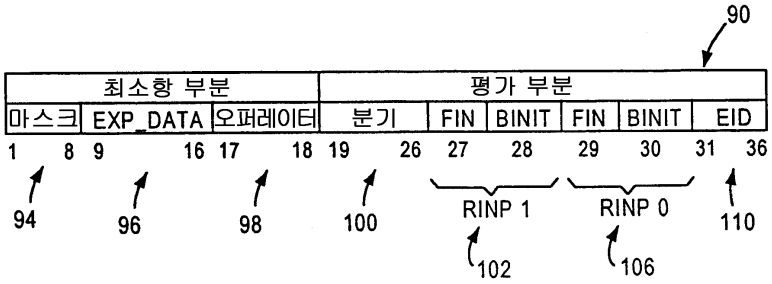
도면5b


init
0
분기 #1, #2, #3, #4
M1
1
0
M2
1
0
M3
1
0
M4
1
1
1
1
0
M5
0
M6
M8
0
M7
0
분기 #1
분기 #3
분기 #4
분기 #2
1
62a
1
62c
62d
1
62b
1
끝

도면6


B1
B2
B3
B4
B5
B6
B7
B8
Eq1
Eq2
Eq3
M1
M2
M3
M4
M5
M6
M7
M8
M9
M10
M11
M12
M13
M14
M15
62a
62b
62c
62d
62e
62f
62g

도면7


90
최소항 부분
평가 부분
마스크
EXP_DATA
오퍼레이터
분기
FIN
BINIT
FIN
BINIT
EID
1 8 9 16 17 18 19 26 27 28 29 30 31 36
94
96
98
100
RINP 1
RINP 0
110
102
106