

특허청구의 범위

청구항 1.

반도체 기판 상에 더미 패턴을 형성하고;

상기 더미 패턴 양측의 상기 반도체 기판상에 소오스 영역 및 드레인 영역을 형성하고;

상기 소오스 영역 및 상기 드레인 영역 상에 제1 금속실리사이드막을 형성한 후, 상기 더미 패턴 하측의 반도체 기판에 리세스 영역을 형성하고; 그리고

상기 리세스 영역에 게이트 절연막 및 게이트 전극을 형성하는 것을 포함하는 반도체 장치 형성 방법.

청구항 2.

청구항 1에 있어서,

상기 더미 패턴을 형성하는 것은,

실리콘 산화막에 대하여 식각 선택성을 갖는 물질막을 상기 반도체 기판 상에 증착하고, 패터닝하는 반도체 장치 형성 방법.

청구항 3.

청구항 1에 있어서,

상기 제1 금속실리사이드막을 형성하는 것은,

상기 더미 패턴의 측벽에 제1 스페이서를 형성하고;

상기 더미 패턴 및 상기 제1 스페이서가 형성된 상기 반도체 기판의 전면에 제1 금속막을 증착하고; 그리고

상기 제1 금속막을 실리사이드화하기 위하여 열처리하는 것을 포함하는 반도체 장치 형성 방법.

청구항 4.

청구항 3에 있어서,

상기 제1 금속실리사이드막이 형성된 반도체 기판을 덮는 스톱퍼막을 형성하고;

상기 스톱퍼막 상에 층간절연막을 형성하고, 상기 스톱퍼막이 노출되도록 평탄화하고;

상기 스톱퍼막을 선택적으로 식각하여 상기 더미 패턴의 상부면을 노출시키고; 그리고

상기 더미 패턴을 제거하여 상기 반도체 기판의 표면을 노출시키는 것을 더 포함하는 반도체 장치 형성 방법.

청구항 5.

청구항 1에 있어서,

상기 제1 금속실리사이드막을 형성하는 것은 상기 더미 패턴이 형성된 반도체 기판의 전면에 제1 금속막을 증착하고; 그리고

상기 제1 금속막을 실리사이드화하기 위하여 열처리하는 것을 포함하고,

상기 형성 방법은:

상기 반도체 기판상에 상기 더미 패턴을 덮되 상기 더미 패턴에 식각 선택성을 갖는 층간 절연막을 형성하고, 상기 더미 패턴이 노출되도록 평탄화하고; 그리고

상기 더미 패턴을 제거하고, 상기 층간 절연막의 측벽에 서로 마주보는 제1 스페이서들을 형성하고, 상기 제1 스페이서들 사이의 상기 반도체 기판을 노출시키는 것을 더 포함하는 반도체 장치 형성 방법.

청구항 6.

청구항 3 또는 청구항 5에 있어서,

상기 제1 금속실리사이드막은 코발트실리사이드막 또는 티타늄실리사이드막인 반도체 장치 형성 방법.

청구항 7.

청구항 4 또는 청구항 5에 있어서,

상기 리세스 영역을 형성하는 것은,

상기 제1 스페이서 및 상기 층간 절연막을 식각 마스크로 상기 노출된 반도체 기판을 식각하는 반도체 장치 형성 방법.

청구항 8.

청구항 7에 있어서,

상기 리세스 영역의 측벽에 제2 스페이서를 형성하고, 상기 리세스 영역 하부에 노출된 반도체 기판을 등방성 식각하는 것을 더 포함하는 반도체 장치 형성 방법.

청구항 9.

청구항 8에 있어서,

상기 리세스 영역의 하부면은 상기 제1 금속실리사이드막 하부면보다 깊은 반도체 장치 형성 방법.

청구항 10.

청구항 8에 있어서,

상기 게이트 전극을 형성하는 것은,

상기 리세스 영역을 채우는 게이트 도전막을 형성하고, 평탄화하여 상기 층간절연막을 노출시키고; 그리고

상기 층간 절연막이 노출된 반도체 기판의 전면에 제2 금속막을 증착하고 열처리하여, 상기 게이트 도전막의 상부에 제2 금속실리사이드막을 형성하는 것을 포함하는 반도체 장치 형성 방법.

청구항 11.

청구항 10에 있어서,

상기 제2 금속실리사이드막은 니켈실리사이드막인 반도체 장치 형성 방법.

청구항 12.

청구항 1에 있어서,

상기 게이트 절연막은 850℃ 이하의 온도에서 형성되는 반도체 장치 형성 방법.

청구항 13.

제1 영역 및 제2 영역을 구비하는 반도체 기판을 준비하고;

상기 제1 영역 상에 제1 게이트 전극용 더미 패턴을 형성하고, 상기 제2 영역 상에 제2 게이트 절연막 및 제2 게이트 전극을 형성하고;

상기 더미 패턴 및 상기 제2 게이트 전극 양측의 반도체 기판상에 소오스 영역 및 드레인 영역을 형성하고;

상기 더미 패턴 및 상기 제2 게이트 전극의 양측에, 제1 스페이서를 형성하고;

상기 제2 게이트 전극의 상부면과, 상기 소오스 영역 및 상기 드레인 영역 상에 제1 금속실리사이드막을 형성하고;

상기 더미 패턴 하측의 상기 반도체 기판에 리세스 영역을 형성하고;

상기 리세스 영역에 제1 게이트 절연막 및 제1 게이트 전극을 형성하는 것을 포함하는 반도체 장치 형성 방법.

청구항 14.

청구항 13에 있어서,

상기 제1 금속실리사이드막은 코발트실리사이드막 또는 티타늄실리사이드막인 반도체 장치 형성 방법.

청구항 15.

청구항 13에 있어서,

상기 더미 패턴을 형성하는 것은,

실리콘 산화막에 대하여 식각 선택성을 갖는 물질막을 상기 반도체 기판 상에 증착하고, 패터닝하는 반도체 장치 형성 방법.

청구항 16.

청구항 15에 있어서,

상기 제1 금속실리사이드막이 형성된 반도체 기판을 덮는 스토퍼막을 형성하고;

상기 스토퍼막 상에 층간절연막을 형성하고, 상기 스토퍼막이 노출되도록 평탄화하고;

상기 제2 영역을 포토레지스트로 덮은 상태에서, 상기 제1 영역상에 노출된 상기 스토퍼막을 선택적으로 식각하여 상기 더미 패턴의 상부면을 노출시키고; 그리고

상기 더미 패턴을 제거하여 상기 제1 영역의 반도체 기판 표면을 노출시키는 것을 더 포함하는 반도체 장치 형성 방법.

청구항 17.

청구항 16에 있어서,

상기 리세스 영역을 형성하는 것은,

상기 제1 스페이서 및 상기 층간절연막을 식각 마스크로 상기 노출된 상기 제1 영역의 반도체 기판을 식각하는 반도체 장치 형성 방법.

청구항 18.

청구항 17에 있어서,

상기 리세스 영역의 측벽에 제2 스페이서를 형성하고, 상기 리세스 영역 하부에 노출된 반도체 기판을 등방성 식각하는 것을 더 포함하는 반도체 장치 형성 방법.

청구항 19.

청구항 18에 있어서,

상기 리세스 영역의 하부면은 상기 제1 금속실리사이드막 하부면보다 깊은 반도체 장치 형성 방법.

청구항 20.

청구항 18에 있어서,

상기 제1 게이트 전극을 형성하는 것은,

상기 리세스 영역을 채우는 게이트 도전막을 형성하고, 평탄화하여 상기 층간절연막을 노출시키고; 그리고

상기 층간 절연막이 노출된 반도체 기관의 전면에 제2 금속막을 증착하고, 열처리하여 상기 게이트 도전막의 상부에 제2 금속실리사이드막을 형성하는 것을 포함하는 반도체 장치 형성 방법.

청구항 21.

청구항 20에 있어서,

상기 제2 금속실리사이드막은 니켈실리사이드막인 반도체 장치 형성 방법.

청구항 22.

반도체 기관의 리세스 영역에 형성된 제1 게이트 절연막 및 제1 게이트 전극;

상기 제1 게이트 전극 양측의 상기 반도체 기관에 형성된 제1 소오스 영역 및 제1 드레인 영역; 및

상기 제1 소오스 영역 및 상기 제1 드레인 영역 상에 형성된 제1 금속실리사이드막을 포함하되;

상기 제1 게이트 전극은 그 상부의 제2 금속실리사이드막을 포함하고, 상기 제1 금속실리사이드막과 상기 제2 금속실리사이드막은 서로 다른 금속을 포함하는 반도체 장치.

청구항 23.

청구항 22에 있어서,

상기 반도체 기관의 다른 영역에 형성된 제2 게이트 절연막 및 제2 게이트 전극;

상기 제2 게이트 전극 및 상기 제2 게이트 전극 양측의 상기 반도체 기관에 형성된 제2 소오스 영역 및 제2 드레인 영역; 및

상기 제2 소오스 영역 및 상기 제2 드레인 영역 상에 형성된 제1 금속실리사이드막을 더 포함하되;

상기 제2 게이트 전극은 그 상부의 제1 금속실리사이드막을 포함하는 반도체 장치.

청구항 24.

청구항 22에 있어서,

상기 제1 금속실리사이드막은 850℃ 이하의 온도에서 안정된 상태를 유지할 수 있는 것인 반도체 장치.

청구항 25.

청구항 24에 있어서,

상기 제1 금속실리사이드막은 코발트실리사이드막 또는 티타늄실리사이드막인 반도체 장치.

청구항 26.

청구항 22에 있어서,

상기 제2 금속실리사이드막은 니켈실리사이드막인 반도체 장치.

청구항 27.

청구항 22에 있어서,

상기 리세스 영역의 하부면은 상기 제1 금속실리사이드막의 하부면 보다 깊게 위치하는 반도체 장치.

청구항 28.

청구항 22에 있어서,

상기 리세스 영역은,

상기 반도체 기판에 형성된 제1 리세스 영역; 및

상기 제1 리세스 영역의 하부에서 상기 제1 리세스 영역과 연결되되, 원형의 프로파일을 갖는 제2 리세스 영역을 포함하는 반도체 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치 및 그 형성 방법에 관한 것으로, 더욱 상세하게는 리세스된 채널 어레이 트랜지스터를 갖는 반도체 장치 및 그 형성 방법에 관한 것이다.

반도체 장치가 고집적화됨에 따라 트랜지스터의 채널 길이도 짧아진다. 이러한 짧은 채널 길이에 의해 펀치 쓰루(punch through), 누설 전류(leakage current) 등 다양한 문제가 발생한다. 특히, 누설 전류의 증가는 메모리 셀의 데이터 보유 시간(retention time)의 감소를 유발한다. 한편, 고집적화된 트랜지스터에서는 얇은 접합깊이로 인한 누설전류 때문에, 소오스 영역과 드레인 영역에 실리사이드를 형성하기에 많은 어려움이 있다. 이에 따라, 콘택 저항이 급격히 증가되는 문제가 있다.

최근 이를 해결하기 위하여, 리세스된 채널 어레이 트랜지스터(recessed channel array transistor: RCAT)가 제안되고 있다. 도 1a는 통상적인 리세스된 채널 어레이 트랜지스터(recessed channel array transistor: RCAT)의 단면도이고, 도 1b는 통상적인 방법으로 형성된 리세스된 채널 어레이 트랜지스터 단면의 주사전자현미경(scanning electron microscope: SEM)의 이미지이다.

도 1a를 참조하여, 통상적인 리세스된 채널 어레이 트랜지스터의 형성방법이 설명된다. 반도체 기판(1)에 셸로우 트렌치 소자분리막(shallow trench isolation: STI, 3)이 형성되고, 반도체 기판(1)에 리세스 영역(5)이 형성된다. 리세스 영역(5)이 형성된 반도체 기판(1)에 게이트 절연막(6) 및 폴리실리콘막이 형성되어, 리세스 영역(5) 내를 채운다. 이때, 리세스 영역(5)의 하부에서 보이드(V)가 형성될 수 있다. 폴리실리콘막을 패터닝하여 게이트 전극(7)이 형성되고, 게이트 전극(7)의 양측에는 스페이서(8)가 형성된다. 스페이서(8) 양측의 반도체 기판(1)에 소오스 영역 및 드레인 영역(9)을 형성하기 위한 이온주입 공정이 진행되고, 이온주입 공정에서 주입된 불순물들을 활성화하기 위하여 열처리 공정이 진행된다.

상기 열처리 공정은 1000℃ 내외의 높은 온도에서 진행되는데, 이러한 고온으로 인해 폴리실리콘막이 유동할 수 있다. 폴리실리콘막의 보이드(V)는 리세스 영역(5)의 하부에서 게이트 절연막(6) 측으로 이동될 수 있다. 이에 따라, 도 1b에 도시된 바와 같이, 리세스 영역(5)에서 게이트 전극(7)과 게이트 절연막(6) 사이에 보이드(V)가 위치하게 된다. 소자 동작시, 보이드가 위치하는 곳은 채널 형성이 원만하지 않거나 문턱 전압의 상승 요인으로 작용할 수 있어 반도체 소자의 신뢰도를 저하시킨다. 이에 더하여, 도 1b에 도시된 바와 같이, 고온의 열처리 공정에 의하여 셀로우 트랜치 소자분리막(3)이 심하게 변형될 수 있다.

한편, 통상적인 형성 방법에 따르면, 반도체 기판(1)의 소정 영역이 식각되어 리세스 영역(5)이 형성된 후, 게이트 도전막이 증착되어 리세스 영역(5)을 채우고, 사진 식각 공정으로 게이트 전극(7)이 형성된다. 따라서, 고집적화된 반도체 장치의 형성에 있어서는, 게이트 패턴(7)을 위한 사진 공정에서 리세스 영역(5)에 대한 오정렬(mis-align)이 발생할 수 있다. 이에 의하여, 트랜지스터의 특성에 나쁜 영향을 미치게 된다.

발명이 이루고자 하는 기술적 과제

본 발명은 상술한 바와 같은 종래 기술이 가지고 있는 문제점들을 해결하기 위해 제안된 것으로, 신뢰성이 높고 고집적화 가능한 반도체 장치 및 그 형성 방법을 제공하는 것을 목적으로 한다.

발명의 구성

상기 본 발명의 목적을 달성하기 위한 본 발명에 따른 반도체 장치 형성방법이 제공된다. 이 방법은 반도체 기판 상에 더미 패턴을 형성하고, 상기 더미 패턴 양측의 상기 반도체 기판상에 소오스 영역 및 드레인 영역을 형성하고, 상기 소오스 영역 및 상기 드레인 영역 상에 제1 금속실리사이드막을 형성하는 것을 포함한다. 그 후, 상기 더미 패턴 하측의 반도체 기판에 리세스 영역을 형성하고, 상기 리세스 영역에 게이트 절연막 및 게이트 전극을 형성한다.

상기 더미 패턴은, 실리콘 산화막에 대하여 식각 선택성(etch selectivity)을 갖는 물질막을 상기 반도체 기판 상에 증착하고, 패터닝하여 형성될 수 있다. 이때, a가 b에 대하여 식각 선택성을 갖는다는 것은 b에 대한 식각을 최소화하면서 a를 식각하는 것이 가능하다는 것을 의미한다.

상기 제1 금속실리사이드막은, 상기 더미 패턴의 측벽에 제1 스페이서를 형성하고, 상기 더미 패턴 및 상기 제1 스페이서가 형성된 상기 반도체 기판의 전면에 제1 금속막을 증착하고, 상기 제1 금속막을 실리사이드화하기 위하여 열처리하는 것을 포함하여 형성될 수 있다. 이 경우, 상기 방법은, 상기 제1 금속실리사이드막이 형성된 반도체 기판을 덮는 스토퍼막을 형성하고, 상기 스토퍼막 상에 층간절연막을 형성하고, 상기 스토퍼막이 노출되도록 평탄화하고, 상기 스토퍼막을 선택적으로 식각하여 상기 더미 패턴의 상부면을 노출시키고, 상기 더미 패턴을 제거하여 상기 반도체 기판의 표면을 노출시키는 것을 더 포함할 수 있다.

상기 제1 금속실리사이드막은, 상기 더미 패턴이 형성된 반도체 기판의 전면에 제1 금속막을 증착하고, 상기 제1 금속막을 실리사이드화하기 위하여 열처리하여 형성될 수 있다. 이 경우, 상기 방법은, 상기 반도체 기판상에 상기 더미 패턴을 덮되 상기 더미 패턴에 식각 선택성을 갖는 층간 절연막을 형성하고, 상기 더미 패턴이 노출되도록 평탄화하고, 상기 더미 패턴을 제거하고, 상기 층간 절연막의 측벽에 서로 마주보는 제1 스페이서들을 형성하고, 상기 제1 스페이서들 사이의 상기 반도체 기판을 노출시키는 것을 더 포함할 수 있다.

상기 제1 금속실리사이드막은 코발트실리사이드막 또는 티타늄실리사이드막일 수 있다.

상기 리세스 영역은, 상기 제1 스페이서 및 상기 층간 절연막을 식각 마스크로 상기 노출된 반도체 기판을 식각하여 형성된다. 상기 방법은 상기 리세스 영역의 측벽에 제2 스페이서를 형성하고, 상기 리세스 영역 하부에 노출된 반도체 기판을 등방성 식각하는 것을 더 포함할 수 있다. 상기 리세스 영역의 하부면은 상기 제1 금속실리사이드막 하부면보다 깊은 것이 바람직하다.

상기 게이트 전극은, 상기 리세스 영역을 채우는 게이트 도전막을 형성하고, 평탄화하여 상기 층간절연막을 노출시키고, 상기 층간절연막이 노출된 반도체 기판의 전면에 제2 금속막을 증착하고 열처리하여, 상기 게이트 도전막의 상부에 제2 금속실리사이드막을 형성하는 것을 포함하여 형성될 수 있다.

상기 제2 금속실리사이드막은 니켈실리사이드막일 수 있다.

상기 게이트 산화막은 850℃ 이하의 온도에서 형성된다.

본 발명에 따른 반도체 장치 형성방법이 제공된다. 이 방법은 제1 영역 및 제2 영역을 구비하는 반도체 기판을 준비하고, 상기 제1 영역 상에 제1 게이트 전극용 더미 패턴을 형성하고, 상기 제2 영역 상에 제2 게이트 절연막 및 제2 게이트 전극을 형성하고, 상기 더미 패턴 및 상기 제2 게이트 전극 양측의 반도체 기판상에 소오스 영역 및 드레인 영역을 형성하고, 상기 더미 패턴 및 상기 제2 게이트 전극의 양측에 제1 스페이서를 형성하고, 상기 제2 게이트 전극의 상부면과, 상기 소오스 영역 및 상기 드레인 영역 상에 제1 금속실리사이드막을 형성하는 것을 포함한다. 상기 더미 패턴 하측의 상기 반도체 기판에 리세스 영역을 형성하고, 상기 리세스 영역에 제1 게이트 절연막 및 제1 게이트 전극을 형성한다.

상기 제1 금속실리사이드막은 코발트실리사이드막 또는 티타늄실리사이드막일 수 있다.

상기 더미 패턴은, 실리콘 산화막에 대하여 식각 선택성을 갖는 물질막을 상기 반도체 기판 상에 증착하고, 패터닝하여 형성된다.

이 방법은, 상기 제1 금속실리사이드막이 형성된 반도체 기판을 덮는 스토퍼막을 형성하고, 상기 스토퍼막 상에 층간절연막을 형성하고, 상기 스토퍼막이 노출되도록 평탄화하고, 상기 제2 영역을 포토레지스트로 덮은 상태에서 상기 제1 영역 상에 노출된 상기 스토퍼막을 선택적으로 식각하여 상기 더미 패턴의 상부면을 노출시키고, 상기 더미 패턴을 제거하여 상기 제1 영역의 반도체 기판 표면을 노출시키는 것을 더 포함할 수 있다.

상기 리세스 영역은, 상기 제1 스페이서 및 상기 층간절연막을 식각 마스크로 상기 노출된 상기 제1 영역의 반도체 기판을 식각하여 형성된다. 이 경우, 상기 방법은, 상기 리세스 영역의 측벽에 제2 스페이서를 형성하고, 상기 리세스 영역 하부에 노출된 반도체 기판을 등방성 식각하는 것을 더 포함한다.

상기 리세스 영역의 하부면은 상기 제1 금속실리사이드막 하부면보다 깊은 것이 바람직하다.

상기 제1 게이트 전극은, 상기 리세스 영역을 채우는 게이트 도전막을 형성하고, 평탄화하여 상기 층간 절연막을 노출시키고, 상기 층간절연막이 노출된 반도체 기판의 전면에 제2 금속막을 증착하고, 열처리하여 상기 게이트 도전막의 상부에 제2 금속실리사이드막을 형성하는 것을 포함하여 형성된다.

상기 제2 금속실리사이드막은 니켈실리사이드막일 수 있다.

또한, 본 발명에 따른 반도체 장치가 제공된다. 이 장치는, 반도체 기판의 리세스 영역에 형성된 제1 게이트 절연막 및 제1 게이트 전극과, 상기 제1 게이트 전극 양측의 상기 반도체 기판에 형성된 제1 소오스 영역 및 제1 드레인 영역과, 상기 제1 소오스 영역 및 상기 제1 드레인 영역 상에 형성된 제1 금속실리사이드막을 포함한다. 상기 제1 게이트 전극은 그 상부의 제2 금속실리사이드막을 포함하고, 상기 제1 금속실리사이드막과 상기 제2 금속실리사이드막은 서로 다른 금속을 포함한다.

이 장치는, 상기 반도체 기판의 다른 영역에 형성된 제2 게이트 절연막 및 제2 게이트 전극과, 상기 제2 게이트 전극 및 상기 제2 게이트 전극 양측의 상기 반도체 기판에 형성된 제2 소오스 영역 및 제2 드레인 영역과, 상기 제2 소오스 영역 및 상기 제2 드레인 영역 상에 형성된 제1 금속실리사이드막을 더 포함할 수 있다. 상기 제2 게이트 전극은 그 상부의 제1 금속실리사이드막을 포함한다.

상기 제1 금속실리사이드막은 850℃ 이하의 온도에서 안정된 상태를 유지할 수 있는 것이 바람직하다.

상기 제1 금속실리사이드막은 코발트실리사이드막 또는 티타늄실리사이드막일 수 있다. 상기 제2 금속실리사이드막은 니켈실리사이드막일 수 있다.

상기 리세스 영역은, 상기 반도체 기판에 형성된 제1 리세스 영역, 상기 제1 리세스 영역의 하부에서 상기 제1 리세스 영역과 연결되되, 원형의 프로파일을 갖는 제2 리세스 영역을 포함할 수 있다.

이 장치는, 상기 제1 및 제2 게이트 전극의 양측에 형성된 스페이서를 더 포함할 수 있으며, 상기 제1 금속실리사이드막은 상기 스페이서에 자기정렬된다.

이하 첨부한 도면들을 참조하여 본 발명의 실시예들을 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예들은 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되는 것이다. 도면들에 있어서, 막 및 영역들의 두께는 명확성을 기하기 위하여 과장된 것이다. 또한, 막이 다른 막 또는 기판 "상"에 있다고 언급되는 경우에 그것은 다른 막 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제3의 막이 개재될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.

본 명세서의 다양한 실시예들에서 제1, 제2, 제3 등의 용어가 다양한 영역, 전압 등을 기술하기 위해서 사용되었지만, 이들 영역이 같은 용어들에 의해서 한정되어서는 안 된다. 또한 이들 용어들은 단지 어느 소정 영역을 다른 영역과 구별시키기 위해서 사용되었을 뿐이다. 따라서, 어느 한 실시예에의 제1 영역으로 언급된 것이 다른 실시예에서는 제2 영역으로 언급될 수도 있다.

도 2 내지 도 28은 본 발명의 일 실시예에 따른 반도체 장치 형성방법을 도시하는 단면도들이다.

도 2를 참조하면, 제1 영역(A) 및 제2 영역(B)을 구비하는 반도체 기판(11)에 소자분리막(13)을 형성하여 활성 영역을 정의한다. 소자분리막(13)은 통상적인 셀로우 트랜치 소자분리(STI) 방법으로 형성될 수 있다. 제1 영역(A) 및 제2 영역(B)은 서로 다른 특성을 갖는 트랜지스터가 형성되는 영역들로, 예를 들면 각각 메모리 셀 영역 및 주변회로 영역일 수 있다.

도 3을 참조하면, 반도체 기판(11)의 표면에 버퍼 산화막(15)이 형성되고, 트랜지스터의 문턱 전압 조절을 위한 불순물 이온(I)이 주입된다. 버퍼 산화막(15)은 50 내지 200Å 두께를 갖는 열산화막 또는 CVD 산화막일 수 있다. 필요에 따라서는 패터닝된 포토레지스트 패턴(16)을 마스크로 사용하여 제1 영역(A)과 제2 영역(B), 또는 각 영역 내의 구분된 다른 부분들에 개별적으로 다른 불순물 이온들이 주입될 수 있다. 상기 각 영역들 또는 다른 부분들이 서로 다른 문턱 전압을 가질 수 있다.

도 4를 참조하면, 반도체 기판(11) 상에 더미 게이트막(19)이 형성된다. 더미 게이트막(19)은 실리콘 산화막을 포함하는 패드 산화막(17) 상에 형성되며, 실리콘 산화막에 대하여 식각 선택성을 갖는 물질막(19)일 수 있다. 식각 선택비는 건식 또는 습식 식각 공정에서 5:1 이상인 것이 바람직하다. 패드 산화막(17)을 위한 실리콘 산화막의 형성 전에 버퍼 산화막(15)이 습식 식각 방법으로 제거되거나 버퍼 산화막이 잔존하는 상태에서 화학 기상 증착법으로 형성될 수 있다. 더미 게이트막(19)은 화학 기상 증착법으로 형성된 질소를 포함하는 절연막일 수 있으며, 바람직하게는 실리콘 질화막(SiN) 또는 실리콘 산화 질화막(SiON)일 수 있다. 패드 산화막(17)과 더미 게이트막(19)의 두께는 각각 100 내지 500Å, 500 내지 2000Å일 수 있다.

도 5를 참조하면, 반도체 기판(11) 상에 포토레지스트막이 형성되고, 제2 영역(B)을 노출하는 노광 공정으로 포토레지스트 패턴(21)이 형성된다. 이 포토레지스트 패턴(21)을 식각 마스크로 건식 식각 공정이 진행되어, 제2 영역(B)의 더미 게이트막(19)이 제거된다. 건식 식각 공정에서 제2 영역(B)의 패드 산화막(17)의 일부는 잔류되고, 후속되는 습식 식각 공정으로 제거되어 반도체 기판이 노출되도록 한다. 이때, 패드 산화막(17)의 잔류량이 너무 많으면 식각량 증가에 의하여 부분적으로 반도체 기판(11)이 손상을 받아 소자의 열화가 발생될 수 있다. 따라서, 건식 식각 후의 잔류하는 패드 산화막(17)의 두께는 약 100Å 이하로 조절되도록 하는 것이 바람직하다.

도 6을 참조하면, 포토레지스트 패턴(21)은 제거되고, 세정 공정이 수행된다. 제2 영역(B)의 반도체 기판(11)상에 게이트 산화막(23)이 형성된다. 게이트 산화막은 통상적인 방법에 의하여 성장된 열산화막일 수 있다. 성장 온도는 900 내지 1000°C 정도일 수 있다.

도 7을 참조하면, 반도체 기판(11)의 전면에 게이트 도전막(25) 및 제1 하드 마스크막(27)이 형성된다. 게이트 도전막(25)은 불순물 이온이 도핑된 폴리실리콘막일 수 있으며, 제1 하드 마스크막(27)은 폴리실리콘막에 대하여 식각 선택비를 가지는 막이며, 바람직하게는 실리콘 산화막(SiO₂), 실리콘 질화막(SiN) 또는 실리콘 산화질화막(SiON)이다. 게이트 도전막(25) 및 제1 하드 마스크막(27)의 두께는 각각 500 내지 1500Å, 300 내지 1000Å 일 수 있다.

도 8을 참조하면, 제1 영역(A)을 노출시키는 포토레지스트 패턴(29)이 형성되고, 포토레지스트 패턴(29)을 식각 마스크로 제1 하드 마스크막(27)이 패터닝되어 제1 하드 마스크 패턴(28)이 만들어진다.

도 9를 참조하면, 포토레지스트 패턴(29)은 제거된다. 제1 하드 마스크 패턴(28)을 식각 마스크로 한 식각 공정에 의하여, 제1 영역(A) 상의 게이트 도전막(25)이 제거된다. 상기 식각 공정은 게이트 도전막(25) 만이 식각되도록 하는 것이 바람직하며, 소자분리막을 구성하는 산화물 표면의 일부가 식각되어 제거되지 않도록 조절되어야 한다. 바람직하게는, 산화물에 대하여 10:1 이상의 식각 선택비를 갖는 식각 조건으로 식각 공정이 수행된다. 동시에 제1 영역(A)의 더미 게이트막(19) 또한 상기 식각 공정에 의하여 식각되지 않도록 조절되는 것이 바람직하다.

도 10a를 참조하면, 반도체 기판 상에 포토레지스트막이 형성되고, 게이트 전극 형성을 위한 포토 공정으로 포토레지스트 패턴(30)이 만들어진다. 상기 포토레지스트 패턴(30)을 식각 마스크로 더미 게이트막(19)을 패터닝하여, 제1 영역(A)에 더미 패턴(20)이 형성된다. 이 더미 패턴(20)은 후속되는 공정에 의하여 제1 영역(A)의 제1 게이트 전극을 위한 더미 패턴이다. 동시에, 제2 영역(B)에서 제1 하드 마스크 패턴(28a)이 형성된다. 이 식각 공정에서는 제2 영역(B)의 게이트 도전막(25)이 식각되지 않도록 하는 식각 선택성을 갖는 조건으로 수행된다. 다만, 도시된 바와 같이, 약간의 과식각이 발생할 수 있다.

도 11을 참조하면, 포토레지스트 패턴(30)을 제거하고, 더미 패턴(20) 및 제1 하드 마스크 패턴(28a)을 식각 마스크로 하여, 노출된 패드 산화막(17) 및 게이트 도전막(25)을 건식 식각한다. 패드 산화막(17)이 약 100 내지 200Å의 두께로 얇아질 때까지는 실리콘 산화막과 게이트 도전막(25)의 식각 선택비가 거의 1:1인 조건으로 식각한 후, 그 이후부터는 게이트 도전막(25)의 식각 선택비가 높은 식각 조건으로 식각 공정을 수행한다. 이에 따라, 제1 영역(A)에서 노출된 반도체 기판의 손상이 감소될 수 있다. 이로써, 제1 영역(A) 및 제2 영역(B)에 각각 더미 패턴(20) 및 제2 게이트 전극(26)이 형성된다.

도 12를 참조하면, 제1 영역(A)을 노출시키는 포토레지스트 패턴(31)으로 제1 영역(A)에 불순물 이온(I)을 주입하여 불순물 영역(33)이 형성된다. NMOS인 경우, 불순물 영역(33)은 인 또는 비소를 약 5×10^{14} 내지 1×10^{15} atoms/cm²의 도즈(dose) 범위로 10keV 내지 30keV의 에너지로 주입하여 형성될 수 있다. PMOS인 경우, 동일한 조건으로 붕소를 이온 주입한다. 이후, 제1 하드 마스크 패턴(28a)은 습식 식각으로 제거될 수 있다.

도 13을 참조하면, 상기 포토레지스트 패턴(31)을 제거하고, 제2 영역(B)을 노출시키는 포토레지스트 패턴(35)으로 제2 영역(B)에 저농도의 불순물 이온(I)을 주입하여 저농도 불순물 영역(34a)이 형성된다. 한편, 제2 영역(B)은 NMOS와 PMOS를 가질 수 있으므로, NMOS와 PMOS를 위한 포토 공정 및 이온주입 공정이 개별적으로 수행될 수 있다.

NMOS인 경우, 저농도 불순물 영역(34a)은 인 또는 비소를 약 5×10^{14} 내지 1×10^{15} atoms/cm²의 도즈(dose) 범위로 10keV 내지 30keV의 에너지로 주입하여 형성될 수 있다. PMOS인 경우, 동일한 조건으로 붕소를 이온 주입한다.

도 14를 참조하면, 반도체 기판의 전면에 절연막을 증착하고 건식 식각하는 통상적인 방법으로, 더미 패턴(20) 및 제2 게이트 전극(26)의 측벽에 제1 스페이서(37)가 형성된다. 스페이서를 위한 절연막은 더미 패턴(20) 및 제1 게이트 전극(26)에 대하여 식각 선택성을 갖는 것으로, 바람직하게는 화학 기상 증착법으로 형성된 실리콘 산화막일 수 있다.

도 15를 참조하면, 제2 영역(B)을 노출시키는 포토레지스트 패턴(39)으로 제2 영역(B)에 고농도의 불순물 이온(I)을 주입하여 고농도 불순물 영역(34b)이 형성된다. 저농도 불순물 영역(34a) 및 고농도 불순물 영역(34b)를 포함하는 불순물 영역(34)이 형성된다. 한편, 제2 영역(B)은 NMOS와 PMOS를 가질 수 있으므로, NMOS와 PMOS를 위한 포토 공정 및 이온주입 공정이 개별적으로 수행될 수 있다. 고농도의 불순물 이온이 주입되는 깊이는 후속되는 제1 금속실리사이드막의 깊이보다 깊은 것이 바람직하다. 금속실리사이드막이 소오스 영역 및 드레인 영역 보다 깊게 형성됨에 의한 누설전류를 감소시키기 위함이다.

NMOS인 경우, 고농도 불순물 영역은 인 또는 비소를 약 1×10^{15} 내지 5×10^{15} atoms/cm²의 도즈(dose) 범위로 30keV 내지 50keV의 에너지로 주입하여 형성된다. PMOS인 경우, 동일한 조건으로 붕소를 이온 주입한다.

한편, 필요에 따라서는 제1 영역(A)에도 고농도의 불순물 이온이 제2 영역(B)과 동일한 방식으로 형성될 수 있다.

도 16을 참조하면, 불순물 이온 주입을 위한 포토레지스트 패턴(39)을 제거하고 열처리 공정이 수행되어, 반도체 기판에 주입된 불순물 이온들이 활성화된다. 이로써, 더미 패턴(20)의 양측에 제1 영역(A)의 소오스 영역 및 드레인 영역(33)이 형성되고, 제2 게이트 전극(26)의 양측에 제2 영역(B)의 소오스 영역 및 드레인 영역(34)이 형성된다. 제2 영역(B)의 소오스 영역 및 드레인 영역(34)은 LDD 구조일 수 있다. 열처리 공정은 1000℃ 내외의 고온에서 수행된다.

도 17을 참조하면, 제1 금속막(미도시)을 증착하고 열처리하여, 제2 게이트 전극(26)의 상부면, 소오스 영역 및 드레인 영역(33, 34) 상에 제1 금속실리사이드막(41)이 형성된다. 제1 금속막은 후속되는 고온 공정, 특히 제1 영역(A)의 게이트 절연막 형성을 위한 850°C 이하의 열산화 공정에서도 안정된 특성을 유지할 수 있는 금속에서 선택된 막이다. 바람직하게는 코발트 또는 티타늄이다.

제1 금속막이 코발트막인 경우, 코발트막은 450 내지 540°C의 온도 범위에서 1차 열처리되고, 미반응 코발트는 습식식각 용액으로 제거된 후 700 내지 850°C의 온도 범위에서 2차 열처리되어, 코발트실리사이드막이 된다. 제1 금속막이 티타늄막인 경우, 티타늄막은 650°C 내외의 온도 범위에서 1차 열처리되고, 미반응 티타늄은 습식식각 용액으로 제거된 후 800°C 내외의 온도 범위에서 2차 열처리되어, 티타늄실리사이드막이 된다. 이에 따라, 형성되는 제1 금속실리사이드막(41)은 코발트실리사이드막 또는 티타늄실리사이드막일 수 있다. 소오스 영역 및 드레인 영역(33, 34) 상의 제1 금속실리사이드막(41)은 제1 스페이서(37)에 자기정렬된다.

도 18을 참조하면, 제1 층간 절연막(43) 및 제2 층간 절연막(45)이 순차적으로 증착된다. 제1 층간 절연막은 후속되는 식각 공정 및 CMP 공정에서 스토퍼(stoper)로 사용되기 위한 스토퍼막으로, 제2 층간 절연막에 대하여 식각 선택성을 가진다. 제1 층간 절연막(43)은 실리콘 질화막(SiN) 또는 실리콘 산화질화막(SiON)인 것이 바람직하며, 200 내지 1000Å 두께를 갖는다. 제2 층간 절연막(45)은 하부의 구조물들을 덮고 평탄하게 될 수 있는 두께를 가지는 절연막으로, 고밀도 플라즈마 산화막(high density plasma oxide), 피비에스지(BPSG) 또는 플라즈마 강화 테오스(PE-TEOS) 등의 실리콘 산화막으로 형성될 수 있다.

이어서, 제1 층간 절연막(43)이 노출될 때까지 제2 층간 절연막(45)이 평탄화 식각된다. 평탄화 식각은 제1 층간 절연막(43)에 비해 제2 층간 절연막(45)에 대해 식각 선택성을 갖는 화학기계적 연마 공정(chemical mechanical polishing: CMP)을 사용하여 수행된다.

도 19를 참조하면, 제2 영역(B)을 덮는 포토레지스트 패턴(48)이 형성되고, 노출된 제1 영역(A)의 제1 층간 절연막(43)이 건식 식각된다. 제1 층간 절연막(43)은 제2 층간 절연막(45)에 대하여 식각 선택성을 가지는 물질로 구성되어 있기 때문에, 제1 층간 절연막(43)의 노출된 부분만이 식각되어 제거되고, 이에 따라 더미 패턴(20)이 노출된다.

도 20을 참조하면, 포토레지스트 패턴(48)이 제2 영역(B)을 덮은 상태에서, 더미 패턴(20)이 습식 식각으로 제거된다. 건식 식각과 같이, 더미 패턴(20)은 실리콘 산화막에 대하여 식각 선택성을 가지는 물질막이므로, 스페이서(37) 및 제2 층간 절연막(45)이 남겨진 상태에서 더미 패턴(20)만이 제거될 수 있다.

포토레지스트 패턴(48)이 제거된다. 도 21을 참조하면, 반도체 기판 전면을 식각하는 건식 식각 공정이 수행되어, 더미 패턴(20) 하부의 패드 산화막(17)이 제거되고, 반도체 기판(11)이 노출된다. 이와 동시에, 제2 층간 절연막(45)도 일부 제거될 수 있다.

도 22를 참조하면, 제1 및 제2 층간 절연막(43,45)과 스페이서(37)를 식각 마스크로 하여, 노출된 반도체 기판(11)이 이방성 식각된다. 이방성 식각 공정은 예를 들면 건식 식각일 수 있다. 제1 리세스 영역(49a)이 형성된다. 제1 리세스 영역(49a)의 깊이는 400 내지 1000Å으로, 바람직하게는 제1 금속실리사이드막(41)의 하부면 보다 깊게 형성된다.

도 23을 참조하면, 식각 저지막이 반도체 기판(11) 상에 50 내지 300Å의 두께로 콘포말(conformal)하게 형성된다. 식각 저지막에 이방성 식각 공정이 진행되어, 제1 리세스 영역(49a)의 측벽을 덮되 제1 리세스 영역(49a)의 바닥을 노출시키는 식각 저지 스페이서(51)가 형성된다. 식각 저지막은 반도체 기판(11)에 대해 식각 선택성을 갖는 물질로 형성되며, 예를 들면 실리콘질화막, 실리콘 산화질화막, 또는 실리콘산화막일 수 있다.

도 24를 참조하면, 식각 저지 스페이서(51)가 형성된 반도체 기판(11)에 대해 등방성 식각 공정이 수행된다. 제1 리세스 영역(49a) 하부에 원형의 프로파일을 갖는 또 다른 제2 리세스 영역(49b)이 형성된다. 식각 깊이는 300 내지 1000Å일 수 있다. 등방성 식각 공정은 예를 들면, 습식 식각 공정일 수 있다. 식각 저지 스페이서(51)는 등방성 식각 공정에서 제1 리세스 영역(49a)의 측벽이 식각되는 것을 방지하는 역할을 한다.

이에 따라, 리세스 영역(49)은 반도체 기판(11)에 형성된 제1 리세스 영역(49a)과, 제1 리세스 영역(49a)의 하부에서 제1 리세스 영역(49a)과 연결되 원형의 프로파일을 갖는 제2 리세스 영역(49b)을 포함하여 구성된다.

도 25를 참조하면, 식각 저지 스페이서(51)가 제거되어 리세스 영역(49)이 노출된다. 노출된 리세스 영역(49)은 세정 공정을 거친 후, 게이트 절연막(53)이 콘포말하게 형성된다. 게이트 절연막(53)은 850°C의 열산화 공정을 통해 형성되는 실리콘 산화막일 수 있다. 또한 게이트 절연막은 예를 들면, ALD 공정으로 형성된 하프늄 산화막(HfO₂), 알루미늄 산화막(Al₂O₃), 지르코늄 산화막(ZrO₂), 탄탈륨 산화막(Ta₂O₅), 티타늄 산화막(TiO₂), 란타늄 산화막(La₂O₃) 또는 하프늄 실리콘 산화막(Hf_xSi_{1-x}O₂) 등과 같은 고유전 절연막(high-k dielectrics)이 사용될 수도 있다. 상기 게이트 산화막 형성을 위한 공정 온도는 제1 금속실리사이드막이 손상을 받지 않고, 게이트 산화막의 특성이 유지될 수 있는 정도의 온도이어야 한다.

반도체 기판(11)의 전면 상에 게이트 도전막이 형성되어 리세스 영역(49)을 채운다. 이때, 리세스 영역(49) 안에 보이드(V)가 형성될 수 있다. 게이트 도전막은 예를 들면 불순물이 도핑된 폴리실리콘막이 바람직하며, 화학 기상 증착법으로 형성된 금속막, 또는 폴리실리콘막과 상기 금속막의 적층막일 수도 있다.

게이트 도전막은 제2 영역(B)의 제1 층간 절연막(43) 및 제2 층간 절연막(45)이 노출될 때까지 평탄화 식각된다. 평탄화 식각은 제1 층간 절연막(43)에 비해 제2 층간 절연막에 대해 식각 선택성을 갖는 화학기계적 연마 공정(chemical mechanical polishing: CMP)을 사용하여 수행된다. 화학기계적 연마 공정 후에 제2 층간 절연막(45) 상부면의 일부에 게이트 도전막의 잔류물이 남겨져 있을 수 있다. 이러한 잔류물의 제거를 위해, 짧은 시간 동안의 건식 식각 공정이 추가될 수도 있다. 이로써, 제1 영역(A)의 리세스 영역(49)을 채우는 제1 게이트 전극(55)이 형성된다.

도 26을 참조하면, 제1 게이트 전극(55)을 위한 게이트 도전막으로 폴리실리콘막이 사용되는 경우, 반도체 기판의 전면에서 제2 금속막을 증착하고 열처리하여, 제1 게이트 전극(55)의 상부에 제2 금속실리사이드막(56)이 형성될 수 있다. 제2 금속막은 실리사이드화 온도가 낮은 금속막에서 선택되는 것이 바람직하다. 실리사이드화 열처리 공정에 의하여, 리세스 영역에 형성된 트랜지스터가 변형되거나 손상받지 않도록 하기 위함이다. 바람직하게는 제2 금속막은 니켈막이다.

제2 금속막이 니켈막인 경우, 니켈막은 300°C 내외의 온도 범위에서 1차 열처리되고, 미반응 니켈은 습식식각 용액으로 제거된 후 400 내지 530°C의 온도 범위에서 2차 열처리된다. 이로써, 형성되는 제2 금속실리사이드막은 니켈실리사이드막일 수 있다.

이상의 방법으로, 소오스 영역 및 드레인 영역(33, 34)과 제2 게이트 전극(26)에 제1 금속실리사이드막(41)이 형성되고, 제1 게이트 전극(55)에는 제2 금속실리사이드막(56)이 순차적으로 형성되어, 본 발명에 따른 반도체 장치가 만들어진다. 이하에서는 본 발명에 따라 형성된 트랜지스터를 이용하여 만들어진 반도체 장치를 DRAM을 예를 들어 설명한다. 다만, 이러한 예는 DRAM 소자에 한정되는 것이 아니라, 다른 반도체 장치들에도 다양하게 응용될 수 있다.

도 27을 참조하면, 통상적인 방법으로 제3 층간 절연막(57) 및 제2 하드 마스크막(59)이 증착된다. 제3 층간 절연막(57)은 하부의 구조물들을 덮고 평탄하게 될 수 있는 두께를 가지는 절연막으로, 고밀도 플라즈마 산화막(high density plasma oxide), 피비에스지(BPSG) 또는 플라즈마 강화 테오스(PE-TEOS) 등의 실리콘 산화막으로 형성될 수 있다. 제2 하드 마스크막(59)은 후속되는 콘택 식각 공정에서 스톱퍼(stopper)로 사용되기 위한 스톱퍼막으로, 그 상부면의 층간 절연막에 대하여 식각 선택성을 가짐이 바람직하다. 제2 하드 마스크막(59)은 실리콘 질화막(SiN) 또는 실리콘 산화질화막(SiON)인 것이 바람직하며, 200 내지 1000Å 두께를 갖는다.

통상적인 사진 식각 공정으로, 소오스 영역 및 드레인 영역(33, 34)과, 게이트 전극 상의 제1 및 제2 금속실리사이드막(41, 56)을 노출시키는 콘택홀들(61)이 형성된다. 콘택홀들(61)에는 배리어 메탈 및 텅스텐막이 형성되고 제2 하드 마스크막(59)이 노출될 때까지 평탄화 식각되어, 콘택 플러그들(63a, 63b, 63c, 63d, 63e, 63f)이 형성된다. 평탄화 식각은 제2 하드 마스크막(59)에 비해 배리어 메탈 및 텅스텐막에 대해 식각 선택성을 갖는 화학기계적 연마 공정(chemical mechanical polishing: CMP)을 사용하여 수행된다.

도 28을 참조하면, 도전막이 증착되고 패터닝되어, 상기 콘택 플러그들에 연결되는 랜딩 패드들(65a, 65b, 65c, 65d)이 형성된다. 랜딩 패드들 중 드레인 패드(65a)는 비트라인(미도시)에 접속된다.

제4 층간 절연막(67) 및 제3 하드 마스크막(69)이 증착된다. 제4 층간 절연막(67)은 하부의 구조물들을 덮고 평탄하게 될 수 있는 두께를 가지는 절연막으로, 고밀도 플라즈마 산화막(high density plasma oxide), 피비에스지(BPSG) 또는 플라즈마 강화 테오스(PE-TEOS) 등의 실리콘 산화막으로 형성될 수 있다. 제3 하드 마스크막(69)은 후속되는 콘택 식각 공정

에서 스톱퍼(stopper)로 사용되기 위한 스톱퍼막으로, 그 상부면의 층간 절연막에 대하여 식각 선택성을 가짐이 바람직하다. 제3 하드 마스크막(59)은 실리콘 질화막(SiN) 또는 실리콘 산화질화막(SiON)인 것이 바람직하며, 200 내지 1000Å 두께를 갖는다.

제3 하드 마스크막(69) 및 제4 층간절연막(67)을 순차적으로 관통하는 관통홀(70)이 형성된다. 이 관통홀(70)에는 도전물질이 채워져 스토리지 노드 플러그(71)가 형성되어, 소오스 영역상의 콘택 플러그(63c)에 연결된다.

제5 층간절연막(73)이 형성된다. 제5 층간 절연막(73)은 하부의 구조물들을 덮고 평탄하게 될 수 있는 두께를 가지는 절연막으로, 고밀도 플라즈마 산화막(high density plasma oxide), 피비에스지(BPSG) 또는 플라즈마 강화 테오스(PE-TEOS) 등의 실리콘 산화막으로 형성될 수 있다. 제5 층간 절연막(73)에는 스토리지 노드 플러그(71)를 노출하는 개구부(74)가 형성된다. 개구부(74)에는 스토리지 전극(81)이 형성되어 스토리지 노드 플러그(71)에 접속된다. 계속하여 유전막(82) 및 상부전극(83)이 형성되고 패터닝되어, DRAM의 캐패시터(80)를 구성한다. 이 실시예에서는 활성영역에 하나의 DRAM 소자가 형성됨을 도시하고 있으나, 이에 한정되는 것은 아니며 통상적인 방법인 하나의 활성영역 내에 한 쌍의 DRAM 소자가 형성될 수 있음은 자명하다.

한편, 본 발명의 변형예에서는 도 10a의 단계와는 다른 공정으로 게이트 전극을 위한 마스크 패턴이 형성될 수도 있다. 도 10b를 참조하여, 더미 게이트막(19) 및 제1 하드 마스크 패턴(28a) 상에 제4 하드 마스크막이 형성된다. 제4 하드 마스크막은 제1 하드 마스크 패턴(28a) 및 게이트 도전막(25)에 대하여 식각 선택성이 있는 것이 바람직하다. 포토레지스트막이 형성되고, 게이트 전극 형성을 위한 포토 공정으로 포토레지스트 패턴(30)이 만들어진다. 상기 포토레지스트 패턴(30)을 식각 마스크로 하여, 제4 하드 마스크 패턴(28b)이 형성된다.

제4 하드 마스크 패턴(28b)을 식각 마스크로 하여 더미 게이트막(19) 및 게이트 도전막(25)이 건식 식각된다. 이어서, 포토레지스트 패턴(30) 및 제4 하드 마스크 패턴(28b)은 제거되어, 도 11에 도시된 더미 패턴(20) 및 제2 게이트 전극(26)이 형성된다.

본 발명의 리세스 영역은 다른 방법에 의하여 형성될 수도 있다. 도 29 내지 도 34는 본 발명의 다른 실시예에 따른 반도체 장치 형성방법을 도시하는 단면도들로, 제1 영역(A)만이 도시된다.

도 29를 참조하면, 도 11과 같이 제1 영역(A)에 더미 패턴(20)이 형성된 반도체 기판에 포토레지스트 패턴(미도시)이 형성된다. 포토레지스트 패턴을 마스크로 불순물 이온이 주입되어 불순물 영역이 형성된다. NMOS인 경우, 불순물 영역은 인 또는 비소를 약 5×10^{14} 내지 1×10^{15} atoms/cm²의 도즈(dose) 범위로 10keV 내지 30keV의 에너지로 주입하여 형성될 수 있다. PMOS인 경우, 동일한 조건으로 붕소를 이온 주입한다.

불순물 이온 주입을 위한 포토레지스트 패턴(미도시)을 제거하고, 열처리 공정을 수행하여 반도체 기판에 주입된 불순물 이온들이 활성화된다. 이로써, 더미 패턴(20)의 양측에 소오스 영역 및 드레인 영역(33)이 형성된다. 열처리 공정은 1000°C 내외의 고온에서 수행된다.

도 30을 참조하면, 제1 금속막(미도시)을 증착하고 열처리하여, 더미 패턴(20) 양측의 소오스 영역 및 드레인 영역(33) 상에 제1 금속실리사이드막(41)이 형성된다. 제1 금속막은 후속되는 고온 공정, 특히 게이트 절연막 형성을 위한 850°C 이하의 열산화 공정에서도 안정된 특성을 유지할 수 있는 금속에서 선택된 막이다. 바람직하게는 코발트 또는 티타늄이다.

제1 금속막이 코발트막인 경우, 코발트막은 450 내지 540°C의 온도 범위에서 1차 열처리되고, 미반응 코발트는 습식식각 용액으로 제거된 후 700 내지 850°C의 온도 범위에서 2차 열처리되어, 코발트실리사이드막이 된다. 제1 금속막이 티타늄막인 경우, 티타늄막은 650°C 내외의 온도 범위에서 1차 열처리되고, 미반응 티타늄은 습식식각 용액으로 제거된 후 800°C 내외의 온도 범위에서 2차 열처리되어, 티타늄실리사이드막이 된다. 이에 따라, 형성되는 제1 금속실리사이드막(41)은 코발트실리사이드막 또는 티타늄실리사이드막일 수 있다.

이에 따라, 형성되는 제1 금속실리사이드막은 코발트실리사이드막 또는 티타늄실리사이드막이다. 소오스 영역 및 드레인 영역 상의 제1 금속실리사이드막(41)은 더미패턴(20)에 자기정렬된다.

도 31을 참조하면, 제1 층간 절연막(43) 및 제2 층간 절연막(45)이 순차적으로 증착된다. 제1 층간 절연막(43)은 후속되는 식각 공정에서 식각 스톱퍼(stopper)로 사용되기 위한 스톱퍼막이다. 제1 층간 절연막(43)은 실리콘 질화막(SiN) 또는 실리콘 산화질화막(SiON)인 것이 바람직하며, 200 내지 1000Å 두께를 갖는다. 제2 층간 절연막(45)은 하부의 구조물들을

덜고 평탄하게 할 수 있는 두께를 가지는 절연막으로, 더미 패턴(20)에 대하여 높은 식각 선택성을 갖는 막이 바람직하다. 제2 층간 절연막은 고밀도 플라즈마 산화막(high density plasma oxide), 피비에스지(BPSG) 또는 플라즈마 강화 테오스(PE-TEOS) 등의 실리콘 산화막으로 형성될 수 있다.

더미 패턴(20)이 노출될 때까지 제2 층간 절연막(45) 및 제1 층간 절연막(43)이 평탄화 식각된다. 평탄화 식각은 더미 패턴(20)에 비해 층간 절연막들에 대해 식각 선택성을 갖는 화학기계적 연마 공정(chemical mechanical polishing: CMP)을 사용하여 수행된다.

도 32를 참조하면, 더미 패턴(20)이 식각 공정으로 제거되어 반도체 기판(11)을 노출하는 개구부가 형성된다. 스페이서용 절연막이 형성되어 개구부의 일부를 채운다. 건식 식각 공정으로 제1 층간 절연막(43)의 측벽에 스페이서(47)가 형성되어, 개구부의 반도체 기판이 노출된다. 스페이서(47)의 폭은 제1 금속실리사이드막(41)을 덮을 정도의 두께를 가져야 한다. 후속 식각 공정에서 제1 금속실리사이드막(41)이 노출되는 것을 방지하기 위함이다.

도 33을 참조하면, 제1 및 제2 층간 절연막(43, 45)과 스페이서(47)를 식각 마스크로 하여, 노출된 반도체 기판(11)이 이방성 식각된다. 이방성 식각 공정은 예를 들면 건식 식각일 수 있다. 제1 리세스 영역(49a)이 형성된다. 제1 리세스 영역(49a)의 깊이는 400 내지 1000Å으로, 바람직하게는 제1 금속실리사이드막(41)의 하부면 보다 깊게 형성된다.

식각 저지막이 반도체 기판(11) 상에 50 내지 300Å의 두께로 콘포말하게 형성된다. 식각 저지막은 이방성 식각 공정으로, 제1 리세스 영역(49a)의 측벽을 덮되 리세스 영역의 바닥을 노출시키는 식각 저지 스페이서(51)가 형성된다. 식각 저지막은 반도체 기판(11)에 대해 식각 선택성을 갖는 물질로 형성되며, 예를 들면 실리콘질화막, 실리콘 산화질화막, 또는 실리콘산화막일 수 있다.

도 34를 참조하면, 식각 저지 스페이서(51)가 형성된 반도체 기판(11)에 대해 등방성 식각 공정이 수행된다. 제1 리세스 영역(49a) 하부에 원형의 프로파일을 갖는 또 다른 제2 리세스 영역(49b)이 형성되어, 리세스 영역(49)이 완성된다. 식각 깊이는 300 내지 1000Å일 수 있다. 등방성 식각 공정은 예를 들면, 습식 식각 공정일 수 있다. 식각 저지 스페이서(51)는 등방성 식각 공정에서 제1 리세스 영역(49a)의 측벽이 식각되는 것을 방지하는 역할을 한다.

이에 따라, 리세스 영역(49)은 반도체 기판(11)에 형성된 제1 리세스 영역(49a)과, 제1 리세스 영역(49a)의 하부에서 제1 리세스 영역(49a)과 연결되되 원형의 프로파일을 갖는 제2 리세스 영역(49b)을 포함하여 구성된다.

이후의 공정은 본 발명의 일 실시예에 따른 도 25 내지 도 28의 공정으로 수행될 수 있다.

전술한 실시예들은 본 발명을 실시하는데 있어 최선의 상태를 설명하기 위한 것이며, 본 발명과 같은 다른 발명을 이용하는데 당업계에 알려진 다른 상태로의 실시, 그리고 발명의 구체적인 적용 분야 및 용도에서 요구되는 다양한 변경도 가능하다. 따라서, 이상의 발명의 상세한 설명은 개시된 실시 상태로 본 발명을 제한하려는 의도가 아니다. 또한 첨부된 청구범위는 다른 실시 상태도 포함하는 것으로 해석되어야 한다.

발명의 효과

이상에서 설명한 본 발명의 실시예에 의하면, 고집적화된 반도체 장치임에도 불구하고 리세스된 채널을 사용함에 따라 접합영역의 깊이를 보다 깊게 할 수 있기 때문에 누설전류에 대한 우려 없이 실리사이드막을 형성할 수 있다. 따라서, 고집적화된 반도체 장치에서의 콘택 저항을 저감할 수 있는 효과가 있다.

또한, 본 발명의 실시예에 따르면, 더미패턴을 사용하여 소오스 영역 및 드레인 영역과 리세스 영역을 형성하기 때문에, 이들이 자기정렬되어 형성되도록 할 수 있다. 따라서, 종래 기술에 따른 리세스 채널 트랜지스터에서 발생되던 오정렬에 따른 트랜지스터의 특성 열화를 효과적으로 방지할 수 있다.

또한, 본 발명의 실시예에 따르면, 소오스 영역 및 드레인 영역과 실리사이드막을 먼저 형성한 후, 리세스 영역 및 게이트 전극을 형성함에 따라, 종래 기술에 따른 리세스 채널 트랜지스터에서 발생되던 보이드의 이동 및 트랜지스터의 변형 등을 방지할 수 있다.

도면의 간단한 설명

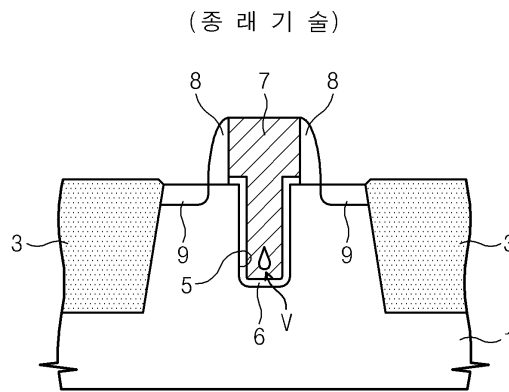
도 1a는 통상적인 리세스된 채널 어레이 트랜지스터의 단면도이고, 도 1b는 종래기술의 방법으로 형성된 리세스된 채널 어레이 트랜지스터 단면의 SEM 이미지;

도 2 내지 도 28은 본 발명의 일 실시예에 따른 반도체 장치의 제조방법을 도시한 도면;

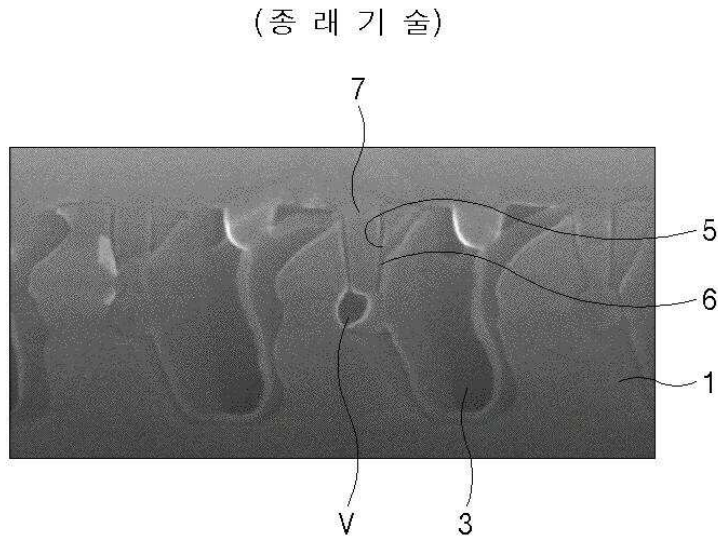
도 29 내지 도 34는 본 발명의 다른 실시예에 따른 반도체 장치의 제조방법을 도시한 도면이다.

도면

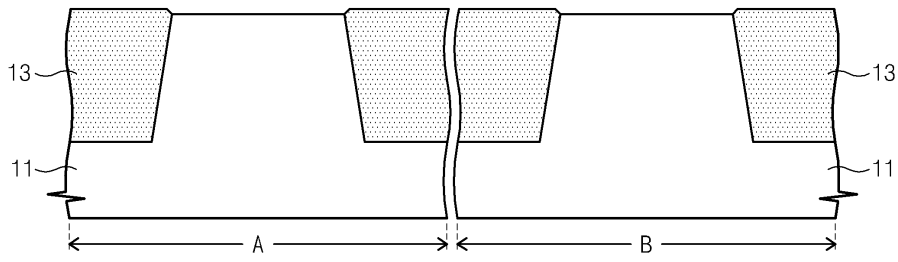
도면1a



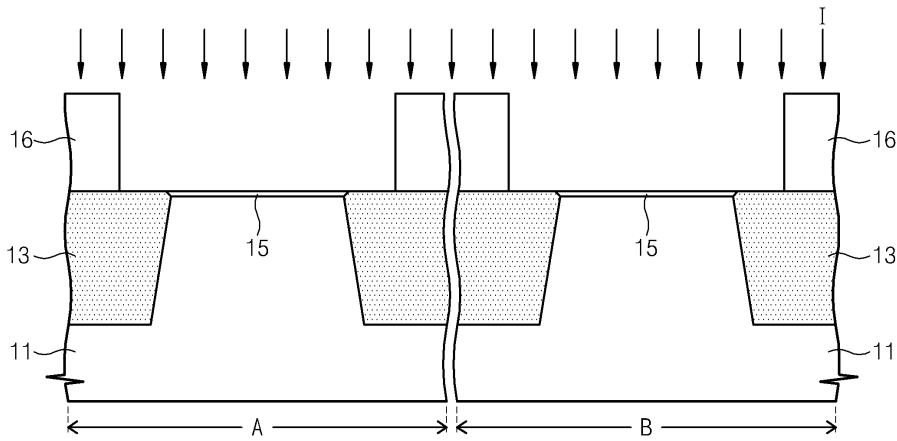
도면1b



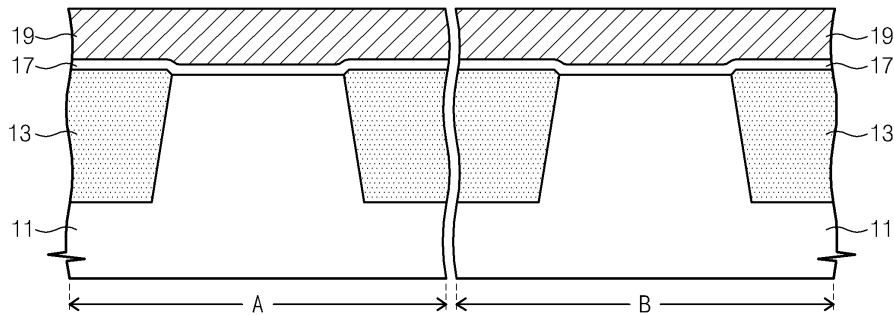
도면2



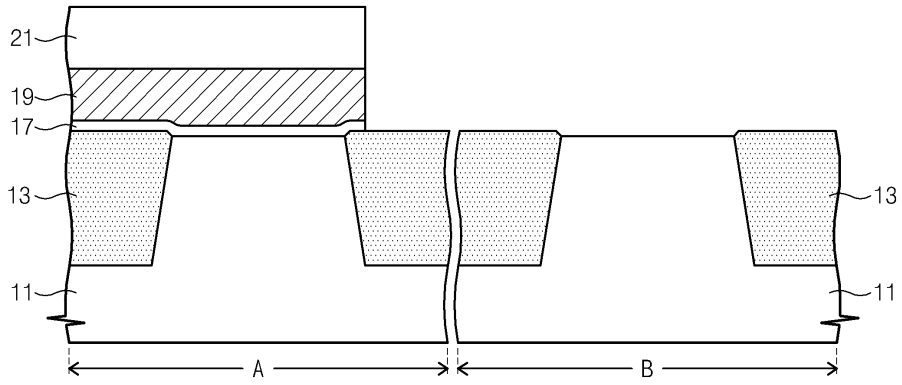
도면3



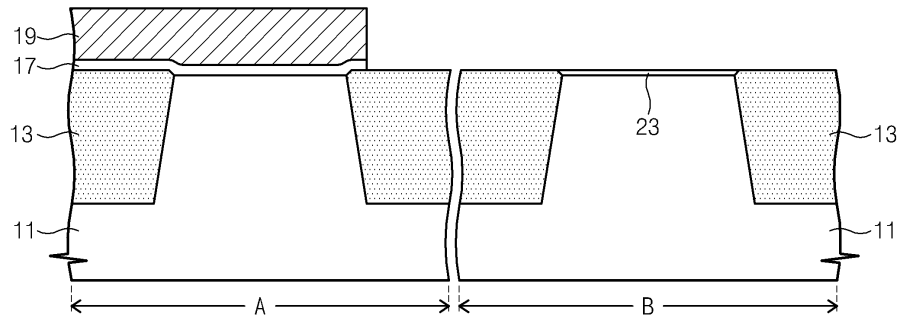
도면4



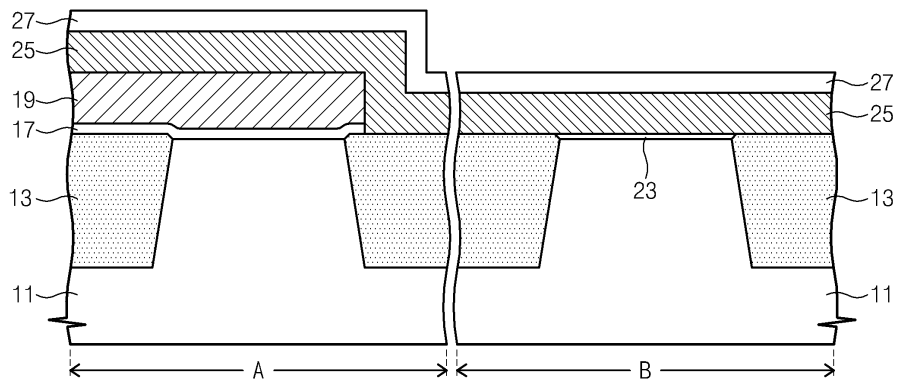
도면5



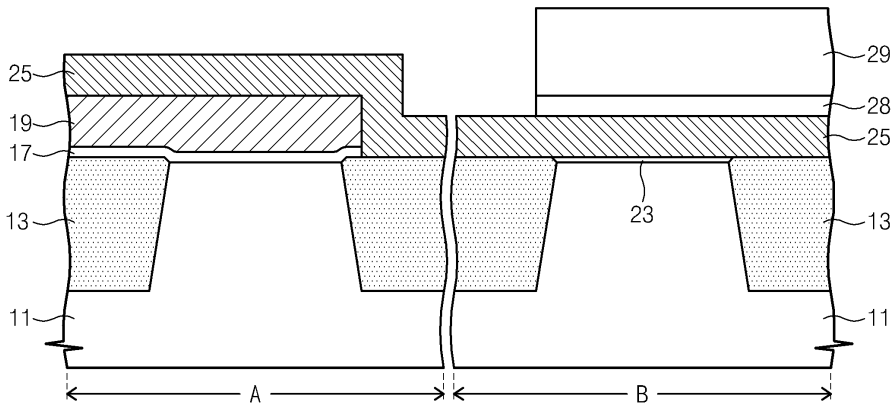
도면6



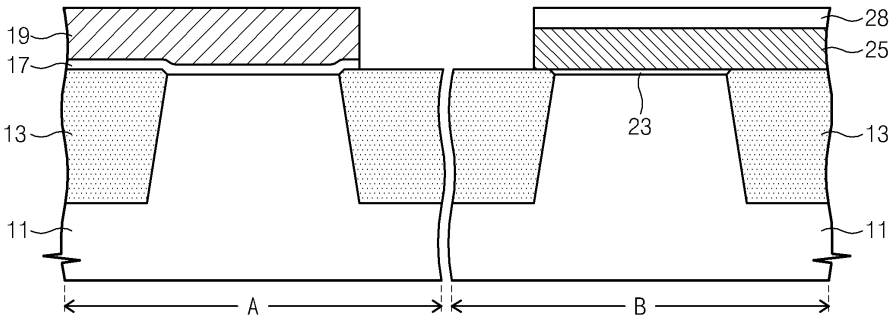
도면7



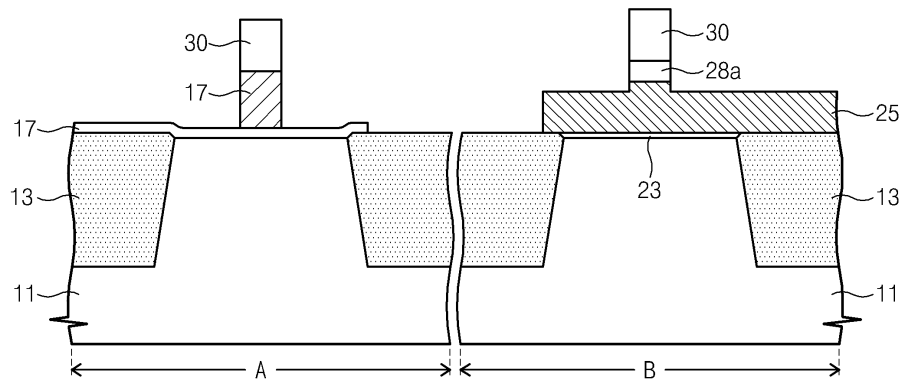
도면8



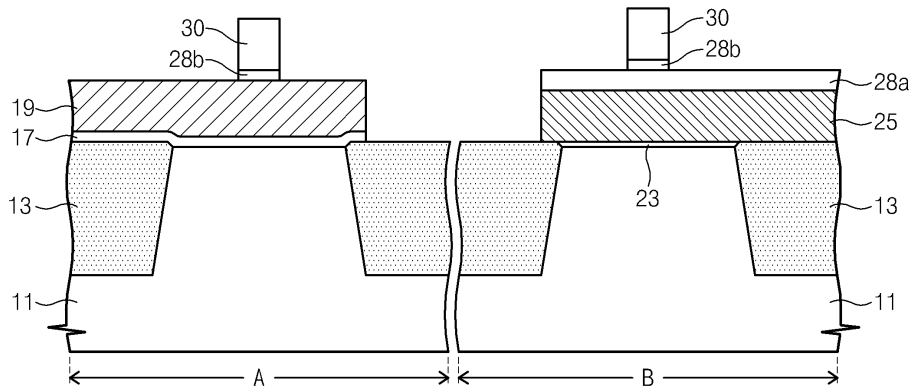
도면9



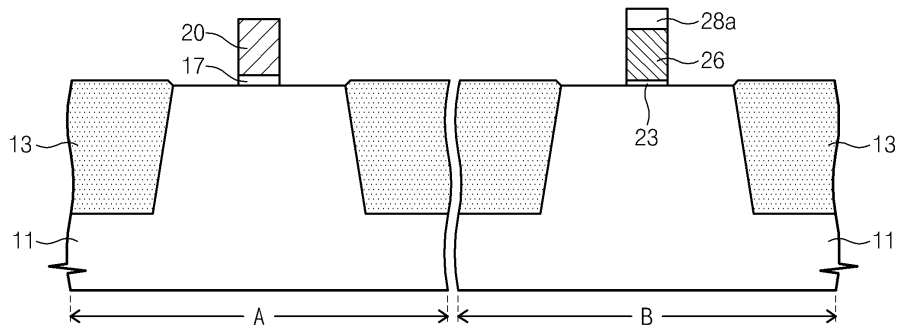
도면10a



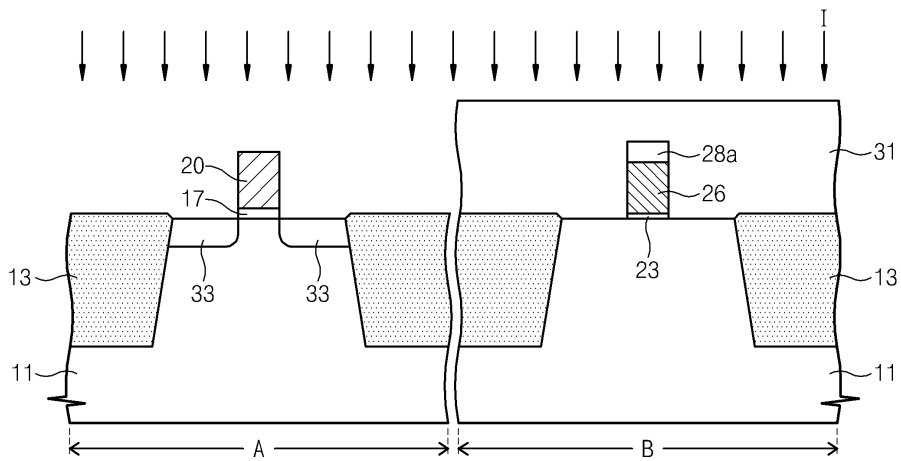
도면10b



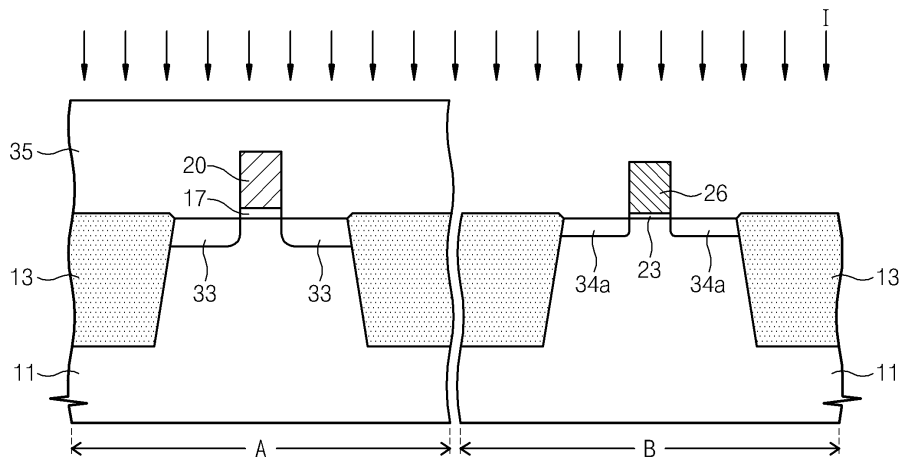
도면11



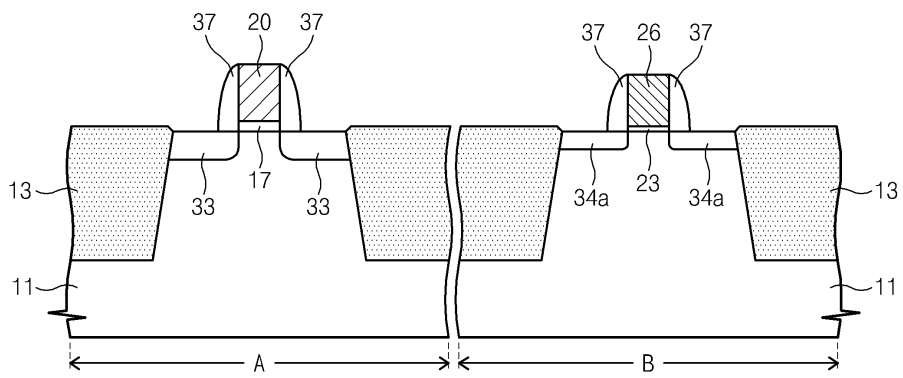
도면12



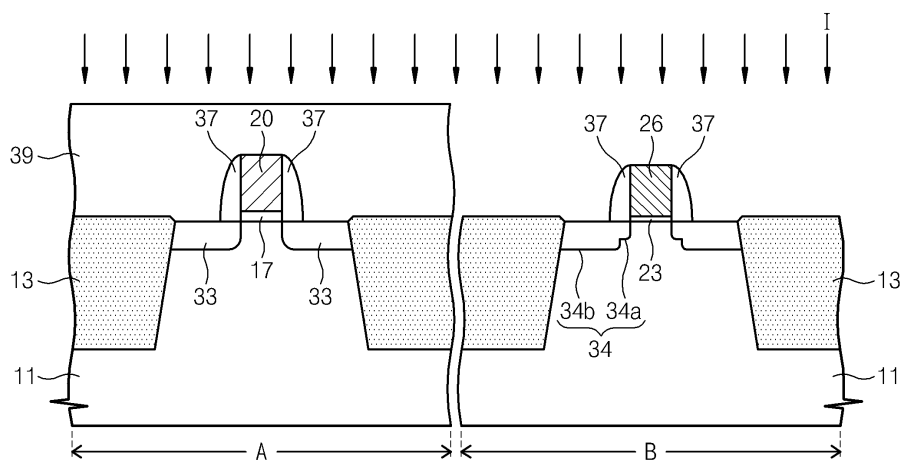
도면13



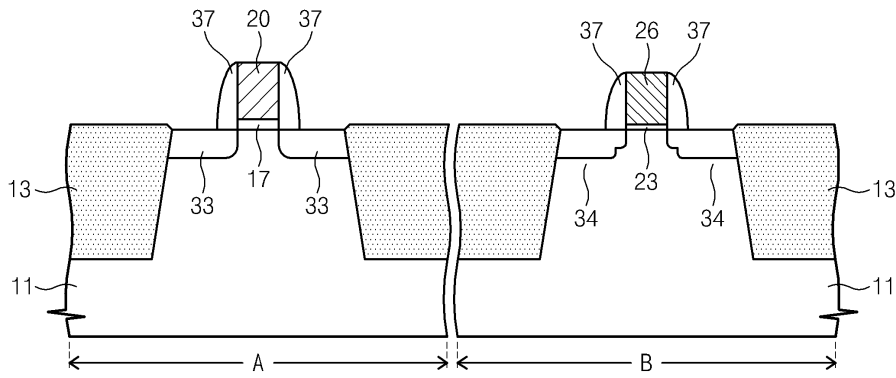
도면14



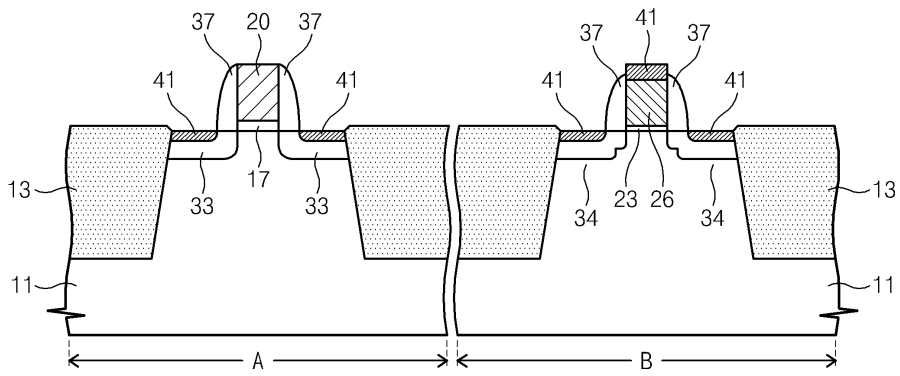
도면15



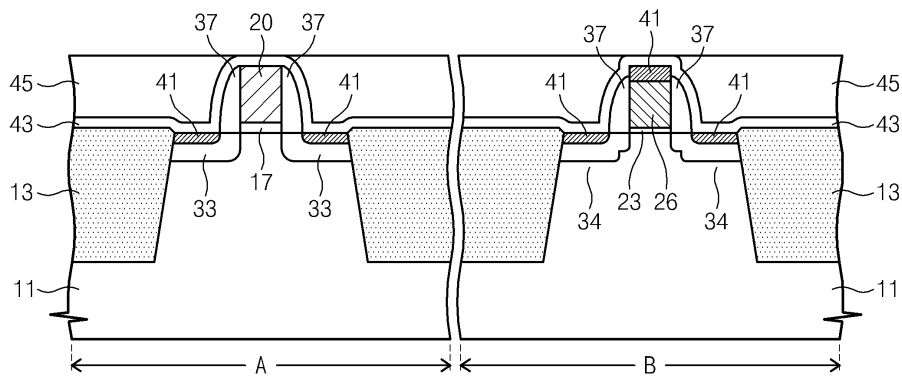
도면16



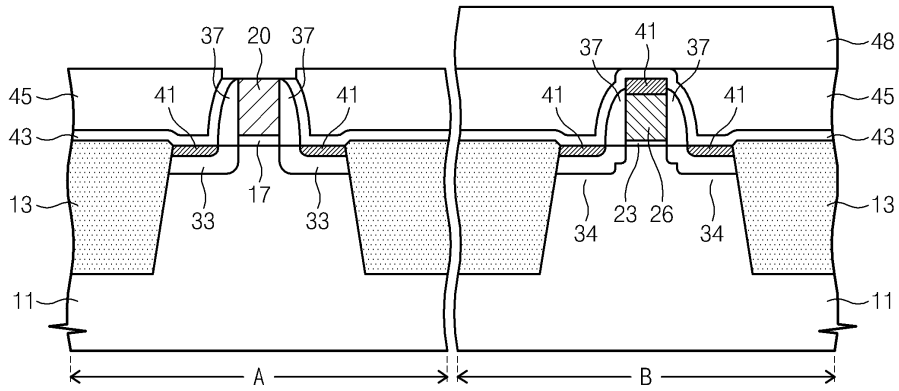
도면17



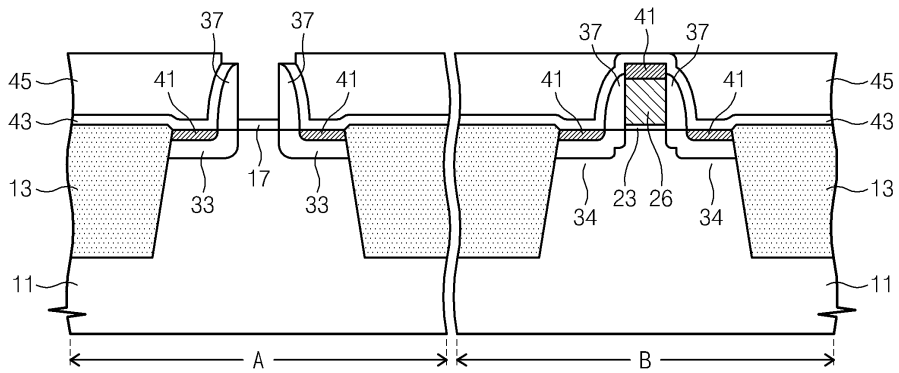
도면18



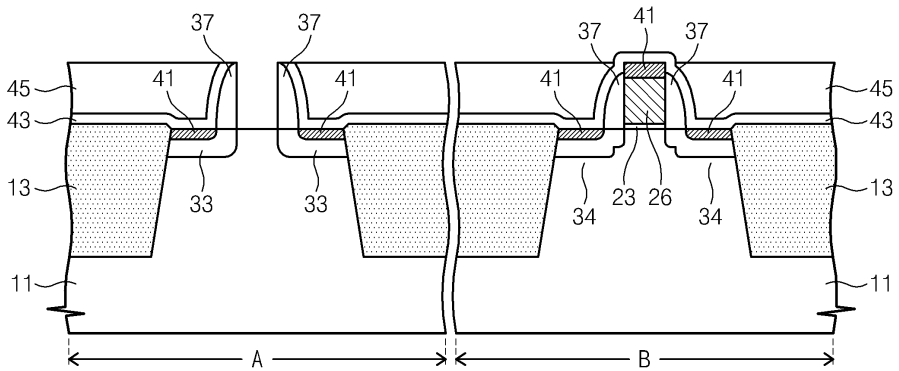
도면19



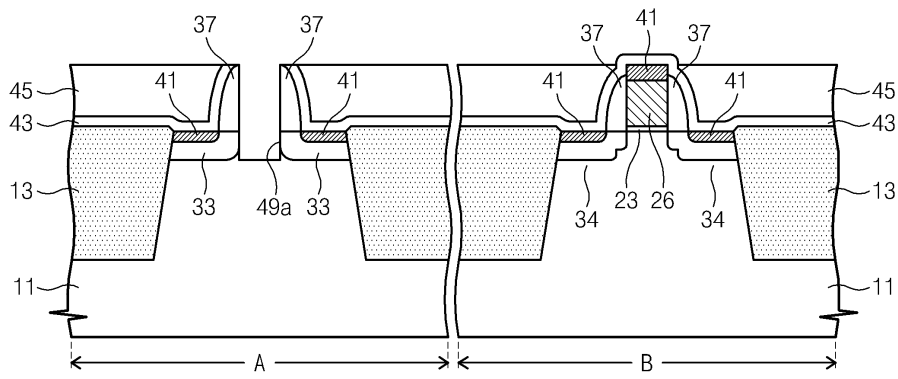
도면20



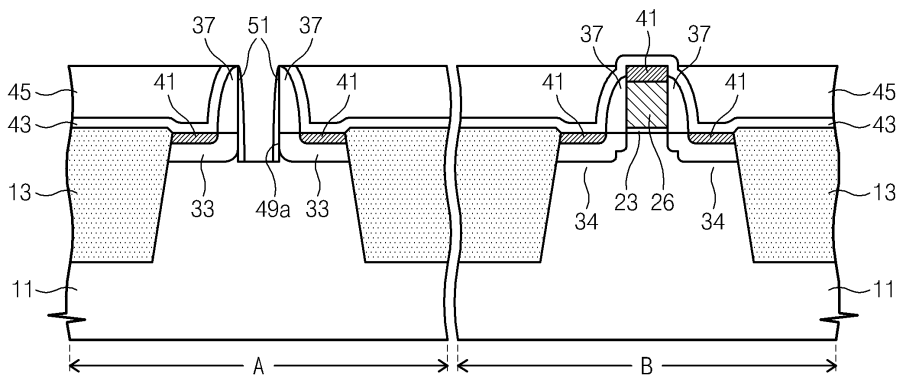
도면21



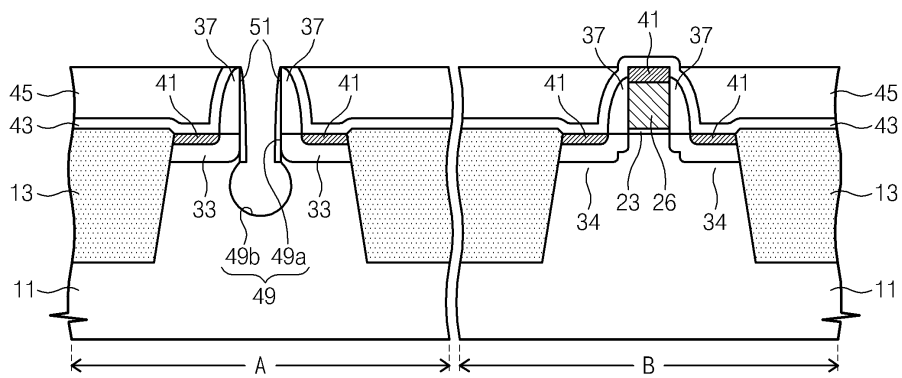
도면22



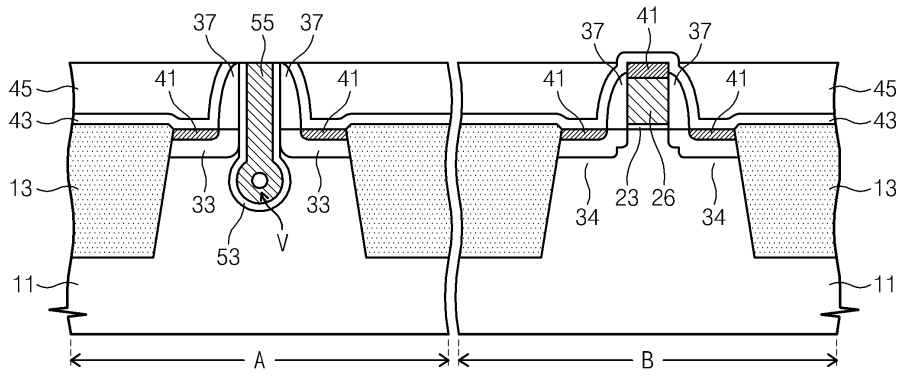
도면23



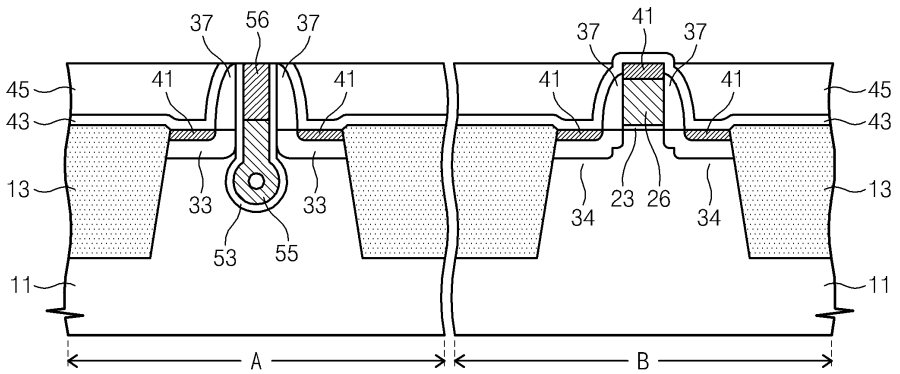
도면24



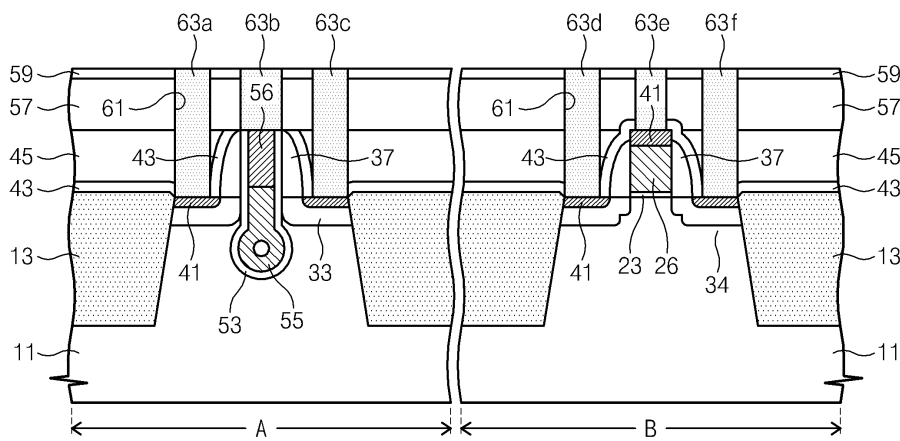
도면25



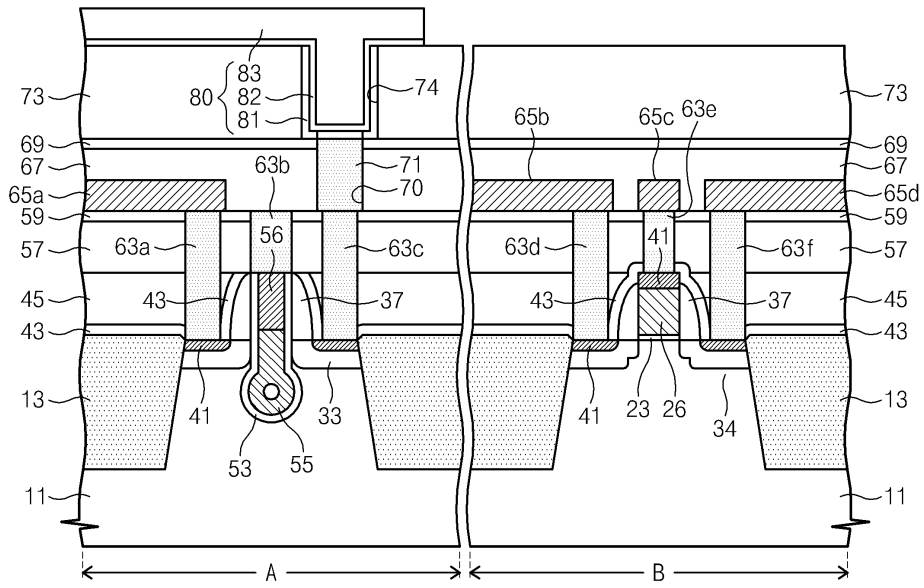
도면26



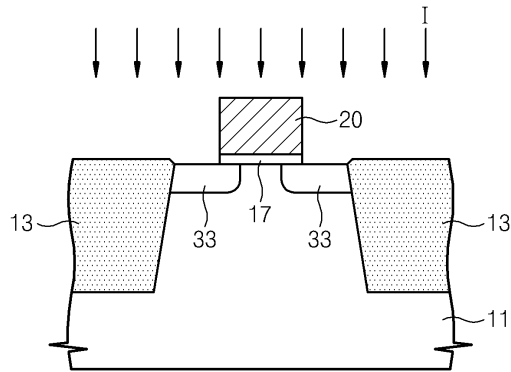
도면27



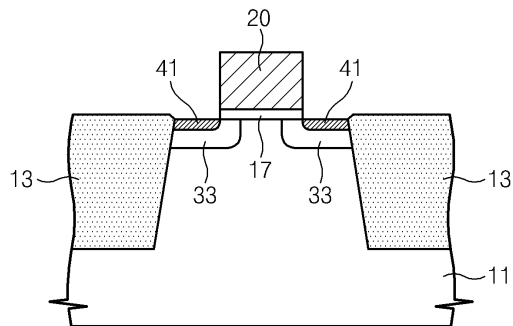
도면28



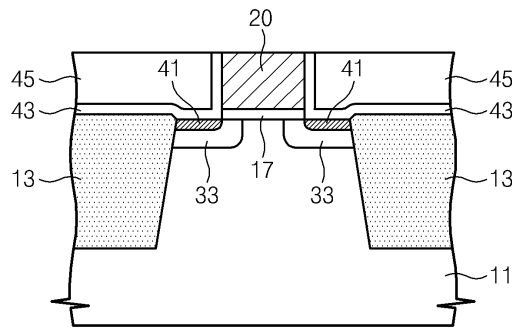
도면29



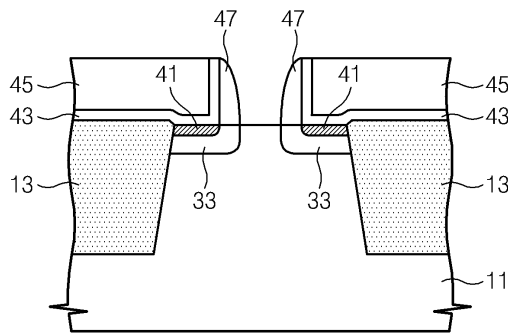
도면30



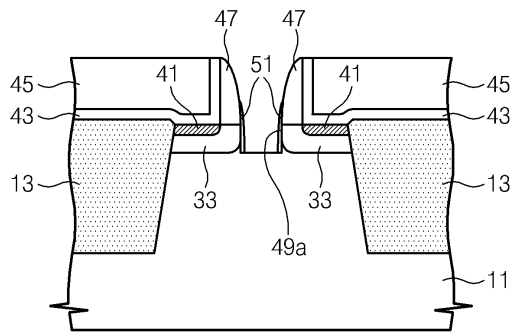
도면31



도면32



도면33



도면34

