



(12) 发明专利申请

(10) 申请公布号 CN 103681337 A

(43) 申请公布日 2014. 03. 26

(21) 申请号 201210348131. X

(22) 申请日 2012. 09. 18

(71) 申请人 中芯国际集成电路制造(上海)有限公司

地址 201203 上海市浦东新区张江路 18 号

(72) 发明人 三重野文健

(74) 专利代理机构 北京集佳知识产权代理有限公司 11227

代理人 骆苏华

(51) Int. Cl.

H01L 21/336(2006. 01)

H01L 21/28(2006. 01)

H01L 29/78(2006. 01)

H01L 29/417(2006. 01)

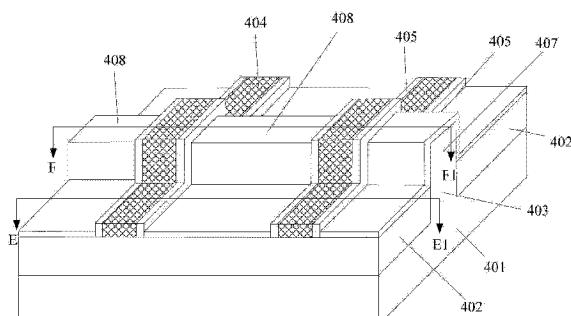
权利要求书2页 说明书9页 附图10页

(54) 发明名称

鳍式场效应晶体管及其形成方法

(57) 摘要

一种鳍式场效应晶体管及其形成方法，其中所述鳍式场效应晶体管包括：半导体衬底；位于所述半导体衬底表面的鳍部；位于所述鳍部两侧的第一介质层，所述第一介质层的表面低于所述鳍部的顶部；位于所述鳍部上的栅极结构，所述栅极结构覆盖部分所述鳍部的顶部和侧壁；位于所述栅极结构两侧的鳍部内的源区和漏区；位于所述源区和漏区表面的接触金属层，所述接触金属层具有拉伸应力。本发明的鳍式场效应晶体管的载流子迁移率高。



1. 一种鳍式场效应晶体管的形成方法，其特征在于，包括：

提供半导体衬底，所述半导体衬底表面具有鳍部，位于所述鳍部两侧的第一介质层，所述第一介质层的表面低于所述鳍部的顶部，位于所述鳍部上的栅极结构，所述栅极结构覆盖部分所述鳍部的顶部和侧壁，位于所述栅极结构两侧的鳍部内的源区和漏区；

在所述源区和漏区表面形成接触金属层，所述接触金属层具有拉伸应力；

在所述半导体衬底上形成第二介质层，所述第二介质层覆盖所述鳍部和栅极结构；

在所述第二介质层内形成暴露源区的第一开口、暴露漏区的第二开口和暴露栅极结构的第三开口；

在所述第一开口、第二开口和第三开口内填充满金属材料。

2. 如权利要求 1 所述的鳍式场效应晶体管的形成方法，其特征在于，所述接触金属层为化学气相沉积形成的钨、铜、铝、钛或者钽。

3. 如权利要求 1 所述的鳍式场效应晶体管的形成方法，其特征在于，所述接触金属层为原子层沉积形成的钨、铜、铝、钛或者钽。

4. 如权利要求 1 所述的鳍式场效应晶体管的形成方法，其特征在于，所述鳍式场效应晶体管为 NMOS 晶体管。

5. 如权利要求 4 所述的鳍式场效应晶体管的形成方法，其特征在于，在所述源区和漏区表面沉积接触金属层前，还包括以所述栅极结构为掩膜对源区和漏区两侧的第一介质层刻蚀的步骤。

6. 如权利要求 5 所述的鳍式场效应晶体管的形成方法，其特征在于，刻蚀后源区和漏区两侧第一介质层厚度为栅极结构下第一介质层厚度的 75%~85%。

7. 如权利要求 1 所述的鳍式场效应晶体管的形成方法，其特征在于，所述鳍式场效应晶体管为 PMOS 晶体管。

8. 如权利要求 7 所述的鳍式场效应晶体管的形成方法，其特征在于，所述源区和漏区为抬高的源区和抬高的漏区。

9. 如权利要求 8 所述的鳍式场效应晶体管的形成方法，其特征在于，所述抬高的源区和抬高的漏区通过外延 SiGe 层形成。

10. 如权利要求 1 所述的鳍式场效应晶体管的形成方法，其特征在于，在所述源区和漏区表面形成接触金属层后，对所述接触金属层进行硅化处理。

11. 如权利要求 1 所述的鳍式场效应晶体管的形成方法，其特征在于，在所述第一开口和第二开口形成之后，对所述接触金属层进行硅化处理。

12. 一种鳍式场效应晶体管，包括：

半导体衬底；

位于所述半导体衬底表面的鳍部；

位于所述鳍部两侧的第一介质层，所述第一介质层的表面低于所述鳍部的顶部；

位于所述鳍部上的栅极结构，所述栅极结构覆盖部分所述鳍部的顶部和侧壁；

位于所述栅极结构两侧的鳍部内的源区和漏区；

位于所述源区和漏区表面的接触金属层，所述接触金属层具有拉伸应力。

13. 如权利要求 12 所述的鳍式场效应晶体管，其特征在于，所述接触金属层的材料为钨、铜、铝、钛或者钽。

14. 如权利要求 12 所述的鳍式场效应晶体管，其特征在于，所述鳍式场效应晶体管为 NMOS 晶体管，且位于所述源区和漏区两侧的第一介质层厚度为位于所述栅极结构下的第一介质层厚度的 75%~85%。

15. 如权利要求 12 所述的鳍式场效应晶体管，其特征在于，所述鳍式场效应晶体管为 PMOS 晶体管，所述鳍式场效应晶体管的源区和漏区为抬高的源区和抬高的漏区，所述鳍式场效应管的抬高的源区和抬高的漏区的材料为 SiGe。

鳍式场效应晶体管及其形成方法

技术领域

[0001] 本发明涉及半导体技术领域，尤其涉及一种鳍式场效应晶体管及其形成方法。

背景技术

[0002] MOS 晶体管通过在栅极施加电压，调节通过沟道区域的电流来产生开关信号。但当半导体技术进入 30 纳米以下节点时，传统的平面式 MOS 晶体管对沟道电流的控制能力变弱，造成严重的漏电流。鳍式场效应晶体管(Fin FET)是一种新兴的多栅器件，它一般包括具有高深宽比的半导体鳍部，覆盖部分所述鳍部的顶部和侧壁的栅极结构，并在所述鳍部中形成晶体管的沟道区和源 / 漏区。

[0003] 图 1 示出了现有技术的一种鳍式场效应晶体管的立体结构示意图。如图 1 所示，包括：半导体衬底 10，所述半导体衬底 10 上形成有凸出的鳍部 14，鳍部 14 一般是通过对半导体衬底 10 刻蚀后得到的；介质层 11，覆盖所述半导体衬底 10 的表面以及鳍部 14 的侧壁的一部分；栅极结构 12，横跨在所述鳍部 14 上，覆盖所述鳍部 14 的顶部和侧壁，栅极结构 12 包括栅介质层(图中未示出)和位于栅介质层上的栅电极(图中未示出)。

[0004] 在现有技术中，通过不同的技术手段对鳍式场效应晶体管施加应力以提高载流子迁移率，从而增强整个器件的性能。然而，随着半导体工艺的发展，诸如氮化物覆盖层(Nitride-Cap)应力层，由于具有高介电常数会增加器件中的寄生电容，已经不适用于高集成度的鳍式场效应晶体管工艺。现有技术的鳍式场效应晶体管的器件性能需要进一步提升。

发明内容

[0005] 本发明解决的问题是提升鳍式场效应晶体管的器件性能。

[0006] 为解决上述问题，本发明提供了一种鳍式场效应晶体管的形成方法，包括：提供半导体衬底，所述半导体衬底表面具有鳍部，位于所述鳍部两侧的第一介质层，所述第一介质层的表面低于所述鳍部的顶部，位于所述鳍部上的栅极结构，所述栅极结构覆盖部分所述鳍部的顶部和侧壁，位于所述栅极结构两侧的鳍部内的源区和漏区；在所述源区和漏区表面形成接触金属层，所述接触金属层具有拉伸应力；在所述半导体衬底上形成第二介质层，所述第二介质层覆盖所述鳍部和栅极结构；在所述第二介质层内形成暴露源区的第一开口、暴露漏区的第二开口和暴露栅极结构的第三开口；在所述第一开口、第二开口和第三开口内填充满金属材料。

[0007] 可选的，所述接触金属层为化学气相沉积形成的钨、铜、铝、钛或者钽。

[0008] 可选的，所述接触金属层为原子层沉积形成的钨、铜、铝、钛或者钽。

[0009] 可选的，所述鳍式场效应晶体管为 NMOS 晶体管。

[0010] 可选的，在所述源区和漏区表面沉积接触金属层前，还包括以所述栅极结构为掩膜对源区和漏区两侧的第一介质层刻蚀的步骤。

[0011] 可选的，刻蚀后源区和漏区两侧第一介质层厚度为栅极结构下第一介质层厚度的

75%~85%。

[0012] 可选的，所述鳍式场效应管为 PMOS 晶体管。

[0013] 可选的，所述鳍式场效应管为 PMOS 晶体管时，所述源区和漏区为抬高的源区和抬高的漏区。

[0014] 可选的，所述抬高的源区和抬高的漏区通过外延 SiGe 层形成。

[0015] 可选的，在所述源区和漏区表面形成接触金属层后，对所述接触金属层进行硅化处理。

[0016] 可选的，在所述第一开口和第二开口形成之后，对所述接触金属层进行硅化处理。

[0017] 本发明还提供了一种鳍式场效应晶体管，包括：半导体衬底；位于所述半导体衬底表面的鳍部；位于所述鳍部两侧的第一介质层，所述第一介质层的表面低于所述鳍部的顶部；位于所述鳍部上的栅极结构，所述栅极结构覆盖部分所述鳍部的顶部和侧壁；位于所述栅极结构两侧的鳍部内的源区和漏区；位于所述源区和漏区表面的接触金属层，所述接触金属层具有拉伸应力。

[0018] 可选的，所述接触金属层的材料为钨、铜、铝、钛或者钽。

[0019] 可选的，所述鳍式场效应晶体管为 NMOS 晶体管，且位于所述源区和漏区两侧的第一介质层厚度为位于所述栅极结构下的第一介质层厚度的 75%~85%。

[0020] 可选的，所述鳍式场效应晶体管为 PMOS 晶体管，所述鳍式场效应晶体管的源区和漏区为抬高的源区和抬高的漏区，所述鳍式场效应管的抬高的源区和抬高的漏区材料为 SiGe。

[0021] 与现有技术相比，本发明具有以下优点：

[0022] 本发明的实施例提供的鳍式场效应晶体管，在所述鳍式场效应晶体管的源区和漏区的表面形成接触金属层，所述接触金属层具有拉伸应力，提高了鳍式场效应管的载流子迁移速率，从而提升了鳍式场效应晶体管的驱动电流。另外，所述接触金属层可以为化学气相沉积形成的钨、铜、铝、钛或者钽，所述接触金属层也可以为原子层沉积形成的钨、铜、铝、钛或者钽，工艺简单。

[0023] 进一步的，若所述鳍式场效应晶体管为 NMOS，在所述源区和漏区表面沉积接触金属层前，还包括以所述栅极结构为掩膜对源区和漏区两侧的第一介质层刻蚀的步骤，刻蚀后源区和漏区两侧第一介质层厚度为栅极结构下第一介质层厚度的 75%~85%，增加了后续形成的接触金属层与源区和漏区的接触面积，提高了接触金属层引入的应力。

[0024] 进一步的，若所述鳍式场效应晶体管为 PMOS，所述鳍式场效应晶体管的源区和漏区为抬高的源区和抬高的漏区，所述鳍式场效应管的抬高的源区和抬高的漏区材料为 SiGe，由于 SiGe 材料的晶格常数大于 Si 材料的晶格常数，抬高的源区和抬高的漏区在 PMOS 晶体管的沟道区施加压应力，提高了载流子的迁移率。

附图说明

[0025] 图 1 是现有技术的鳍式场效应晶体管的立体结构示意图；

[0026] 图 2 至图 10 是本发明实施例的 NMOS 鳍式场效应晶体管的形成过程示意图；

[0027] 图 11 至图 17 是本发明实施例的 PMOS 鳍式场效应晶体管的形成过程示意图；

[0028] 图 18 至图 20 是本发明实施例的鳍式场效应晶体管结构示意图。

具体实施方式

[0029] 由背景技术可知,为了提高鳍式场效应晶体管器件的性能,可以在 MOS 管的沟道区引入应力来提高载流子的迁移率。然而,随着半导体工艺的发展,诸如氮化物覆盖层(Nitride-Cap)应力层,由于具有高介电常数会增加器件中寄生电容,高寄生电容会在器件中产生信号延时,影响芯片性能,所以使用氮化物覆盖层应力层已经不适用于高集成度的鳍式场效应晶体管工艺。现有技术的鳍式场效应晶体管的器件性能需要进一步提升。

[0030] 为解决上述问题,本发明的发明人提出一种鳍式场效应晶体管的形成方法。下面结合附图详细地描述具体实施例,本发明的优点将更加清楚。需要说明的是,提供这些附图的目的是有助于理解本发明的实施例,而不应解释为对本发明的不当的限制。为了更清楚起见,图中所示尺寸并未按比例绘制,可能会做放大、缩小或其他改变。下面的描述中阐述了很多具体细节以便充分理解本发明。但是本发明能够以很多不同于在此描述的其他方式来实施,本领域技术人员可以在不违背本发明内涵的情况下做类似推广,因此本发明不受下面公开的具体实施例的限制。

[0031] 本发明所述鳍式场效应晶体管可以为 NMOS 晶体管,也可以是 PMOS 晶体管。首先,本发明的实施例以 NMOS 鳍式场效应晶体管为例对本发明的鳍式场效应晶体管的形成方法做示范性说明,请参考图 2,提供半导体衬底 201,所述半导体衬底 201 表面具有鳍部 203,位于所述鳍部 203 两侧的第一介质层 202,所述第一介质层 202 的表面低于所述鳍部 203 的顶部,位于所述鳍部 203 上的栅极结构,所述栅极结构覆盖部分所述鳍部 203 的顶部和侧壁,位于所述栅极结构两侧的鳍部 203 内的源区 206 和漏区 207。

[0032] 所述半导体衬底 201 用于作为后继工艺的工作平台。所述半导体衬底 201 可以是单晶硅或单晶锗;所述半导体衬底 201 也可以是硅锗、砷化镓或绝缘体上硅衬底(SOI 衬底)。

[0033] 所述第一介质层 202 用于隔离相邻的鳍式场效应晶体管。所述第一介质层 202 的形成工艺为沉积工艺,比如低压化学气相沉积或等离子体化学气相沉积。所述第一介质层 202 的材料可以为氧化硅、氮化硅或者氮氧化硅。所述第一介质层 202 可以是浅沟槽隔离结构(STI)。

[0034] 所述鳍部 203 用于形成鳍式场效应用管的源区 206、漏区 207 和沟道区域(未示出)。所述鳍部 203 与所述半导体衬底 201 的连接方式可以是一体的,例如所述鳍部 203 是通过对所述半导体衬底 201 刻蚀后形成的突出结构。

[0035] 所述栅极结构包括:位于所述第一介质层 202 表面,且横跨所述鳍部 203 的顶部和侧壁的栅介质层(未示出);覆盖所述栅介质层表面的栅电极层 204;位于所述栅电极层 204 和栅介质层两侧的侧墙 205。其中,所述栅介质层和栅电极层 204 构成栅极,所述栅介质层的材料为氧化硅或高 K(高介电常数)材料,所述的高 K 材料包括 HfO₂, HfSiO, HfSiON, HfTaO, HfZrO, Al₂O₃ 和 ZrO₂, 所述栅电极 204 的材料为多晶硅或金属,所述金属包括 Al, Cu, Ti, Ta, TaN, NiSi, CoSi, TiN, TiAl 和 TaSiN, 所述侧墙 205 用于对所述栅极进行保护,防止后继工艺对栅极造成损伤,所述侧墙 205 的材料为氧化硅、氮化硅或氮氧化硅。

[0036] 所述鳍部 203 内形成有被栅极结构覆盖的沟道区域(未示出),以及位于沟道区域两侧的源区 206 和漏区 207。图 2 所示为源区 206 和漏区 207 互连的多晶体管结构,即两个

栅极结构之间的鳍部 203 部分为两个鳍式场效应晶体管共用的源 / 漏区。源区 206 和漏区 207 的掺杂工艺可以是离子注入工艺,也可以是扩散工艺,掺杂完成之后还包括有退火的步骤。在 NMOS 晶体管中,所述源区 206 和漏区 207 的掺杂类型为 N 型,掺杂离子可以是 P 离子,也可以是 As 离子。

[0037] 在本发明的一实施例中,所述半导体衬底 201 为单晶硅;所述鳍部 203 通过对所述半导体衬底 201 刻蚀后形成,鳍部 203 的材料为单晶硅;所述第一介质层 202 为浅沟槽隔离结构,采用低压化学气相沉积填充相邻鳍部 203 之间的沟槽形成,材料为氧化硅,所述浅沟槽隔离结构的表面低于所述鳍部 203 顶部;所述栅介质层材料为氧化硅,所述栅电极 204 材料为多晶硅,所述侧墙 205 材料为氮化硅;所述源区 206 和漏区 207 通过离子注入工艺进行 N 型掺杂,掺杂离子为 P 离子,在离子注入工艺后还包括了退火的步骤。

[0038] 请参考图 3,图 3 是为在图 2 的基础上形成鳍式场效应晶体管时沿 A-A1 方向的剖面示意图,以所述栅极结构为掩膜对源区和漏区两侧的第一介质层 202 刻蚀,刻蚀后源区和漏区两侧第一介质层的厚度为栅极结构下第一介质层厚度的 75%~85%,图 2 中虚线为刻蚀前源区和漏区两侧第一介质层的厚度。

[0039] 具体地,以所述栅极结构为掩膜对源区和漏区两侧的第一介质层 202 刻蚀的工艺可以为干法刻蚀,所述干法刻蚀对第一介质层 202 的刻蚀速率大于对源区和漏区的刻蚀速率,以减少刻蚀过程中对源区和漏区的损伤。所述干法刻蚀工艺可选用传统的方法,在此不再赘述。刻蚀完成后,源区和漏区两侧第一介质层厚度为栅极结构下第一介质层厚度的 75%~85%。

[0040] 需要说明的是,刻蚀源区和漏区两侧的第一介质层 202 的目的是为了增加所述鳍部 203 暴露于所述第一介质层 202 表面的高度,以增加后续形成的接触金属层与鳍部 203 的接触面积,达到增大引入应力的目的。

[0041] 在本发明的一实施例中,通过反应离子刻蚀工艺刻蚀第一介质层 202,刻蚀后源区和漏区两侧第一介质层厚度为栅极结构下第一介质层厚度的 80%。

[0042] 请参考图 4 和图 5,图 4 为在图 2 的基础上形成鳍式场效应晶体管时沿 B-B1 方向的剖面示意图,图 5 为在图 3 的基础上形成鳍式场效应晶体管时的剖面示意图,在所述源区 206 和漏区 207 表面形成接触金属层 208,所述接触金属层 208 具有拉伸应力。

[0043] 具体地,形成接触金属层 208 的工艺可以为化学气相沉积或者原子层沉积,所述接触金属层 208 的材料可以为化学气相沉积形成的钨、铜、铝、钛或者钽或者为原子层沉积形成的钨、铜、铝、钛或者钽。化学气相沉积是把含有构成薄膜元素的气态反应剂或液态反应剂的蒸气及反应所需其它气体引入反应室,在衬底表面发生化学反应生成薄膜的过程,在薄膜沉积的过程中,可以通过控制沉积功率、温度和速率等工艺条件获得不同应力类型的薄膜。原子层沉积是一种可以将物质以单原子膜形式一层一层的镀在衬底表面的工艺,原子层沉积也可以通过控制工艺参数获得不同应力类型的薄膜。

[0044] 所述接触金属层 208 位于所述源区 206 和漏区 207 表面,所述接触金属层 208 具有拉伸应力,所述接触金属层 208 的拉伸应力有利于提高 NMOS 晶体管沟道区域载流子电子的迁移率,提高鳍式场效应晶体管的性能。

[0045] 在本发明的一实施例中,采用化学气相沉积工艺形成接触金属层 208,所述接触金属层 208 的材料为钨。所述化学气相沉积工艺的前驱气体为 WF₆,沉积温度为 400℃,沉积

气压为 0.5Torr。所述钨层具有拉伸应力。

[0046] 需要说明的是，现有技术中通常采用应力覆盖层(Stress-liner)，例如具有拉伸应力的 Si_3N_4 层，在 NMOS 晶体管的沟道区域引入应力，以提高 NMOS 晶体管的载流子迁移率，但形成应力覆盖层需要在 MOS 器件的制备过程中增加额外的工艺，提高了成本。本发明通过在 NMOS 晶体管的源区和漏区形成具有拉伸应力的接触金属层来提高 NMOS 沟道的载流子迁移率，所述形成接触金属层的工艺为 MOS 器件制备过程中的必要步骤，节省了成本。

[0047] 请参考图 6 和图 7，图 6 为在图 4 的基础上形成鳍式场效应晶体管时的剖面示意图，图 7 为在图 5 的基础上形成鳍式场效应晶体管时的剖面示意图，在所述源区 206 和漏区 207 表面形成接触金属层后，对所述接触金属层进行硅化处理，形成硅化物接触层 218。

[0048] 所述硅化处理通过对接触金属层的退火完成，所述退火温度为 500 摄氏度到 1000 摄氏度，所述退火气氛为 N_2 ，通过退火工艺形成金属硅化物，减小了源漏区与金属引线之间的薄膜电阻，降低了接触电阻。

[0049] 在本发明的一实施例中，在所述源区 206 和漏区 207 表面形成接触金属层后，进行了退火形成金属硅化物的步骤，所述退火工艺为快速热处理(RTP)，退火温度为 800 摄氏度，退火气氛为 N_2 ，形成了硅化物接触层 218。

[0050] 在本发明的另一实施例中，沉积接触金属层后，进行鳍式场效应晶体管制备的后续工艺，所述硅化处理在源区和漏区的接触孔形成之后进行。

[0051] 请参考图 8，图 8 为在图 6 的基础上形成鳍式场效应晶体管时的剖面示意图，在所述半导体衬底 201 上形成第二介质层 209，所述第二介质层 209 覆盖所述鳍部 203 和栅极结构。

[0052] 所述第二介质层 209 起电学隔离作用，所述第二介质层 209 的材料为氧化硅、氯化硅或者低 K 材料。所述第二介质层 209 的形成工艺为：使用化学气相沉积或者物理溅射在半导体衬底 201 表面形成介质层，所述介质层覆盖鳍部 203 和栅极结构，使用化学机械研磨抛光所述介质层，形成表面平整的第二介质层 209。

[0053] 请参考图 9，图 9 为在图 8 的基础上形成鳍式场效应晶体管时的剖面示意图，在所述第二介质层 209 内形成暴露源区 206 的第一开口 210、暴露漏区 207 的第二开口 211 和暴露栅极结构的第三开口 212。

[0054] 形成所述第一开口 210、第二开口 211 和第三开口 212 的工艺为干法刻蚀，干法刻蚀工艺之前包括了光刻的步骤，具体地，在第二介质层 209 表面光刻形成图形化的光刻胶层，所述光刻胶层具有与源区 206、漏区 207 和栅极结构相对应的开口，以所述光刻胶层为掩膜，以源区 206、漏区 207 表面的硅化物接触层 218 和栅极结构的表面为刻蚀终止层，使用反应离子刻蚀或者电感耦合等离子体刻蚀的工艺刻蚀第二介质层 209。刻蚀完成后，在所述第二介质层 209 内形成暴露源区 206 的第一开口 210、暴露漏区 207 的第二开口 211 和暴露栅极结构的第三开口 212。

[0055] 请参考图 10，图 10 为在图 9 的基础上形成鳍式场效应晶体管时的剖面示意图，在所述第一开口、第二开口和第三开口内填充满金属材料，形成：第一开口内的第一插塞 213，所述第一插塞 213 与源区 206 表面的硅化物接触层相连；第二开口内的第二插塞 214，所述第二插塞 214 与漏区 207 表面的硅化物接触层相连；第三开口内的第三插塞 215，所述第三插塞 215 与栅电极 204 相连。所述第一插塞 213、第二插塞 214 和第三插塞 215 分别用

于源区 206、漏区 207 和栅电极 204 与外围金属布线层的连接。

[0056] 在本发明的一实施例中,形成所述金属材料的工艺为化学气相沉积,所述金属材料为钨。

[0057] 其次,本发明的实施例以 PMOS 鳍式场效应管为例对本发明的鳍式场效应晶体管的形成方法做示范性说明,请参考图 11,提供半导体衬底 301,所述半导体衬底 301 表面具有鳍部 303,位于所述鳍部 303 两侧的第一介质层 302,所述第一介质层 302 的表面低于所述鳍部 303 的顶部,位于所述鳍部 303 上的栅极结构,所述栅极结构覆盖部分所述鳍部 303 的顶部和侧壁,位于所述栅极结构两侧的鳍部 303 内的源区 306 和漏区 307。

[0058] 所述半导体衬底 301、第一介质层 302 和鳍部 303 具体的形成过程和相关描述请参考上述形成 NMOS 鳍式场效应晶体管的实施例的相应部分,在此不再赘述。需要说明的是,在 PMOS 鳍式场效应晶体管中,所述源区 306 和漏区 307 的掺杂类型为 P 型,掺杂离子可以是 B 离子,也可以是 In 离子。

[0059] 请参考图 12,图 12 为在图 11 的基础上形成鳍式场效应晶体管时沿 D-D1 方向的剖面示意图,在所述源区 306 和漏区 307(请参考图 11)上形成抬高的源区 316 和抬高的漏区 317,所述抬高的源区 316 和抬高的漏区 317 的材料为 SiGe。

[0060] 所述抬高的源区 316 和抬高的漏区 317 通过外延覆盖所述源区 306 和漏区 307 的 SiGe 层形成,由于 SiGe 材料的晶格常数大于 Si 材料的晶格常数,抬高的源区 316 和抬高的漏区 317 在 PMOS 鳍式场效应晶体管的沟道区域施加压应力,提高了载流子空穴的迁移率。

[0061] 在一实施例中,所述抬高的源区 316 和抬高的漏区 317 的形成过程为:在半导体衬底 301 上形成掩膜层(图中未示出),所述掩膜层具有暴露源区 306 和漏区 307 的开口(请参考图 11),所述开口的宽度大于所述源区 306 和漏区 307 的宽度,所述开口暴露出所述源区 306 和所述漏区 307 的顶部和侧壁,采用选择性外延工艺在开口内填充 SiGe 材料,所述 SiGe 外延层包裹所述源区 306 和漏区 307 的顶部和侧壁,形成抬高的源区 316 和抬高的漏区 317,去除所述掩膜层。

[0062] 在另一实施例中,所述抬高的源区 316 和抬高的漏区 317 的形成过程为:在半导体衬底 301 上形成掩膜层(图中未示出),所述掩膜层具有暴露源区 306 和漏区 307 的开口(请参考图 11),所述开口的宽度大于所述源区 306 和漏区 307 的宽度,所述开口暴露出所述源区 306 和所述漏区 307 的顶部和侧壁,沿开口刻蚀源区 306 和漏区 307,使所述源区 306 和漏区 307 的顶部低于沟道区域鳍部的顶部,采用选择性外延工艺在所述开口内填充 SiGe 材料,形成抬高的源区 316 和抬高的漏区 317,去除所述掩膜层。

[0063] 请参考图 13,图 13 为在图 12 的基础上形成鳍式场效应晶体管时的剖面示意图,在所述抬高的源区 316 和抬高的漏区 317 表面形成接触金属层 308,所述接触金属层 308 具有拉伸应力。

[0064] 具体地,形成接触金属层 308 的工艺可以为化学气相沉积或者原子层沉积,所述接触金属层 308 的材料可以为化学气相沉积形成的钨、铜、铝、钛或者钽或者为原子层沉积形成的钨、铜、铝、钛或者钽。在化学气相沉积和原子层沉积的过程中,通过控制沉积功率、温度和速率等工艺条件可以获得不同应力类型的薄膜。

[0065] 所述接触金属层 308 具有拉伸应力,所述接触金属层 308 的拉伸应力作用在抬高的源区 316 和抬高的漏区 317 表面,由于所述抬高的源区 316 和抬高的漏区 317 的表面高

于 PMOS 沟道区域的表面,所述接触金属层 308 的拉伸应力对沟道区域的影响较弱。而抬高的源区 316 和抬高的漏区 317 的材料为 SiGe, SiGe 材料的晶格常数大于 Si 材料的晶格常数,在 PMOS 鳍式场效应晶体管的沟道区域引入的压应力,提高了载流子空穴的迁移率。

[0066] 需要说明的是,在 CMOS 器件中,所述接触金属层可以同时在 NMOS 和 PMOS 的源区和漏区形成,工艺简单。所述接触金属层具有拉伸引力,提高了 NMOS 的载流子迁移率;所述 PMOS 的源区和漏区为抬高的源区和漏区,所述接触金属层的拉伸应力对 PMOS 的影响较弱,所述抬高的源区和抬高的漏区的材料为 SiGe,在 PMOS 沟道区域引入压应力,提高了 PMOS 的载流子迁移率。

[0067] 在本发明的一实施例中,采用等离子体增强化学气相沉积(PECVD)工艺形成接触金属层 308,所述接触金属层 308 的材料为钛。所述等离子体增强化学气相沉积工艺的前驱气体为 $TiCl_4$,沉积温度为 580℃,沉积气压为 1.0Torr, RF 电极功率为 500W, RF 频率为 450KHz。所述钛层具有拉伸应力。

[0068] 请参考图 14,图 14 为在图 13 的基础上形成鳍式场效应晶体管时的剖面示意图,在所述半导体衬底 301 上形成第二介质层 309,所述第二介质层 309 覆盖所述鳍部 303 和栅极结构。请参考图 15,图 15 为在图 14 的基础上形成鳍式场效应晶体管时的剖面示意图,在所述第二介质层 309 内形成暴露抬高的源区的第一开口 310、暴露抬高的漏区的第二开口 311 和暴露栅极结构的第三开口 312。

[0069] 所述第二介质层 309、所述第一开口 310、第二开口 311 和第三开口 312 具体的形成过程和相关描述请参考上述形成 NMOS 鳍式场效应晶体管的实施例的相应部分,在此不再赘述。

[0070] 请参考图 16,图 16 为在图 15 的基础上形成鳍式场效应晶体管时的剖面示意图,在所述第二介质层 309 内形成暴露抬高的源区的第一开口 310、暴露抬高的漏区的第二开口 311 和暴露栅极结构的第三开口 312 后,还包括硅化处理步骤,形成硅化物接触层 318。

[0071] 所述硅化处理通过对接触金属层 308 的退火完成,所述退火温度为 500 摄氏度到 1000 摄氏度,所述退火气氛为 N_2 ,通过退火工艺形成金属硅化物,减小了源漏区与金属引线之间的薄膜电阻,降低了接触电阻。

[0072] 在本发明的一实施例中,在所述第二介质层 309 内形成暴露抬高的源区的第一开口 310、暴露抬高的漏区的第二开口 311 和暴露栅极结构的第三开口 312 后,进行了退火形成金属硅化物的步骤,所述退火工艺为快速热处理(RTP),退火温度为 800 摄氏度,退火气氛为 N_2 ,形成了硅化物接触层 318。

[0073] 在本发明的另一实施例中,所述的硅化处理步骤在形成接触金属层 308 之后进行。

[0074] 请参考图 17,图 17 为在图 16 的基础上形成鳍式场效应晶体管时的剖面示意图,在所述第一开口、第二开口和第三开口内填充满金属材料,形成:第一开口内的第一插塞 313,所述第一插塞 313 与抬高的源区 316 表面的硅化物接触层 318 相连;第二开口内的第二插塞 314,所述第二插塞 314 与漏区 317 表面的硅化物接触层 318 相连;第三开口内的第三插塞 315,所述第三插塞 315 与栅电极 304 相连。所述第一插塞 313、第二插塞 314 和第三插塞 315 分别用于抬高的源区、抬高的漏区和栅电极 304 与外围金属布线层的连接。

[0075] 在本发明的一实施例中,形成所述金属材料的工艺为化学气相沉积,所述金属材

料为钨。

[0076] 本发明还提供一种鳍式场效应晶体管,请参考图 18,包括:半导体衬底 401;位于所述半导体衬底 401 表面的鳍部 403;位于所述鳍部 403 两侧的第一介质层 402,所述第一介质层 402 的表面低于所述鳍部 403 的顶部;位于所述鳍部 403 上的栅极结构,所述栅极结构覆盖部分所述鳍部 403 的顶部和侧壁;位于所述栅极结构两侧的鳍部 403 内的源区(未标示出)和漏区 407;位于所述源区和漏区表面的接触金属层 408,所述接触金属层 408 具有拉伸应力。

[0077] 所述半导体衬底 401、第一介质层 402、鳍部 403 和栅极结构的材料和结构请参考上述本发明的鳍式场效应晶体管的形成方法部分,在此不再赘述。

[0078] 当所述鳍式场效应晶体管为 NMOS 晶体管时,所述源区和漏区的掺杂类型为 N 型,掺杂离子可以是 P 离子,也可以是 As 离子。请参考图 18 和图 19,图 19 为在图 18 的基础上沿 E-E1 方向的剖面示意图,位于所述源区和漏区两侧的第一介质层 402 的厚度为位于所述栅极结构下的第一介质层 402 厚度的 75%~85%。位于所述源区和漏区两侧的第一介质层 402 的厚度小于位于所述栅极结构下的第一介质层 402 的厚度,增加了接触金属层 408 与源区和漏区的接触面积。达到增大接触金属层 408 在源区和漏区引入的应力的目的。

[0079] 当所述鳍式场效应晶体管为 PMOS 晶体管时,所述源区和漏区的掺杂类型为 P 型,掺杂离子可以是 B 离子,也可以是 In 离子。请参考图 18 和图 20,图 20 为在图 18 的基础上沿 F-F1 方向的剖面示意图,所述鳍式场效应晶体管的源区 406 和漏区 407 为抬高的源区和抬高的漏区,所述鳍式场效应管的抬高的源区和抬高的漏区材料为 SiGe,由于 SiGe 材料的晶格常数大于 Si 材料的晶格常数,抬高的源区和抬高的漏区在 PMOS 鳍式场效应晶体管的沟道区域施加压应力,提高了载流子空穴的迁移率。

[0080] 所述接触金属层 408 的材料为钨、铜、铝、钛或者钽,所述接触金属层 408 具有拉伸应力。当所述鳍式场效应管为 NMOS 时,所述接触金属层 408 的拉伸应力有利于提高 NMOS 晶体管沟道区域载流子电子的迁移率,提高了 NMOS 鳍式场效应晶体管的性能;当所述鳍式场效应晶体管为 PMOS 时,所述接触金属层 408 的拉伸应力作用在抬高的源区和抬高的漏区表面,由于所述抬高的源区 406 和抬高的漏区 407 的表面高于 PMOS 沟道区域表面,所述所述接触金属层 408 的拉伸应力对沟道区域的影响较弱。而抬高的源区 406 和抬高的漏区 407 的材料为 SiGe, SiGe 材料的晶格常数大于 Si 材料的晶格常数,在 PMOS 鳍式场效应晶体管的沟道区域引入的压应力,提高了载流子空穴的迁移率。

[0081] 综上所述,与现有技术相比,本发明具有以下优点:本发明的实施例提供的鳍式场效应晶体管的形成方法,在所述鳍式场效应晶体管的源区和漏区的表面形成接触金属层,所述接触金属层具有拉伸应力,在 NMOS 鳍式场效应晶体管中,所述所述接触金属层的拉伸应力有利于提高 NMOS 晶体管沟道区域载流子电子的迁移率,另外,在 NMOS 鳍式场效应晶体管中,位于所述源区和漏区两侧的介质层厚度小于位于所述栅极结构下的介质层厚度,增加了接触金属层与源区和漏区的接触面积,达到增大接触金属层在源区和漏区引入应力的目的;在 PMOS 鳍式场效应晶体管中,所述 PMOS 的源区和漏区为抬高的源区和漏区,所述接触金属层的拉伸应力对 PMOS 的影响较弱,所述抬高的源区和抬高的漏区的材料为 SiGe,在 PMOS 沟道区域引入压应力,提高了 PMOS 的载流子迁移率。

[0082] 本发明虽然已以较佳实施例公开如上,但其并不是用来限定本发明,任何本领域

技术人员在不脱离本发明的精神和范围内,都可以利用上述揭示的方法和技术对本发明技术方案做出可能的变动和修改,因此,凡是未脱离本发明技术方案的内容,依据本发明的技术实质对以上实施例所作的任何简单修改、等同变化及修饰,均属于本发明技术方案的保护范围。

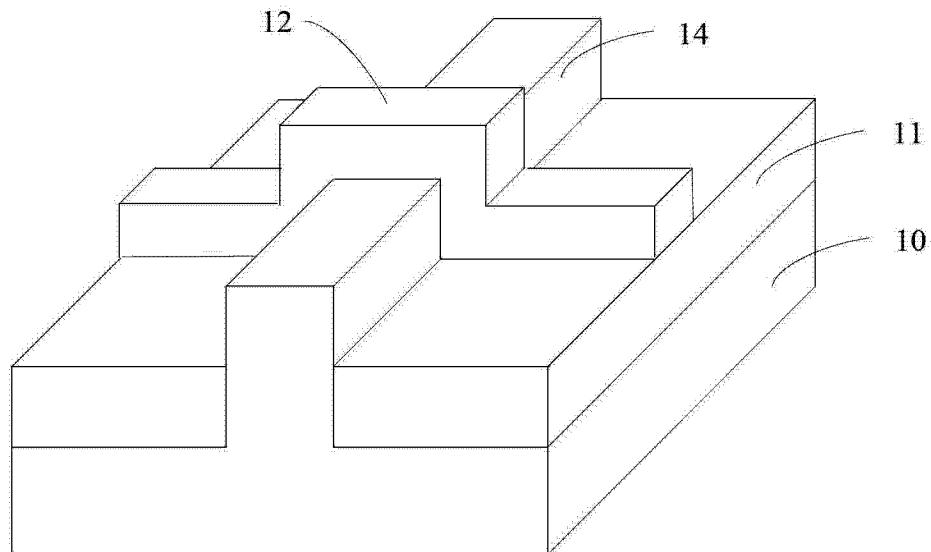


图 1

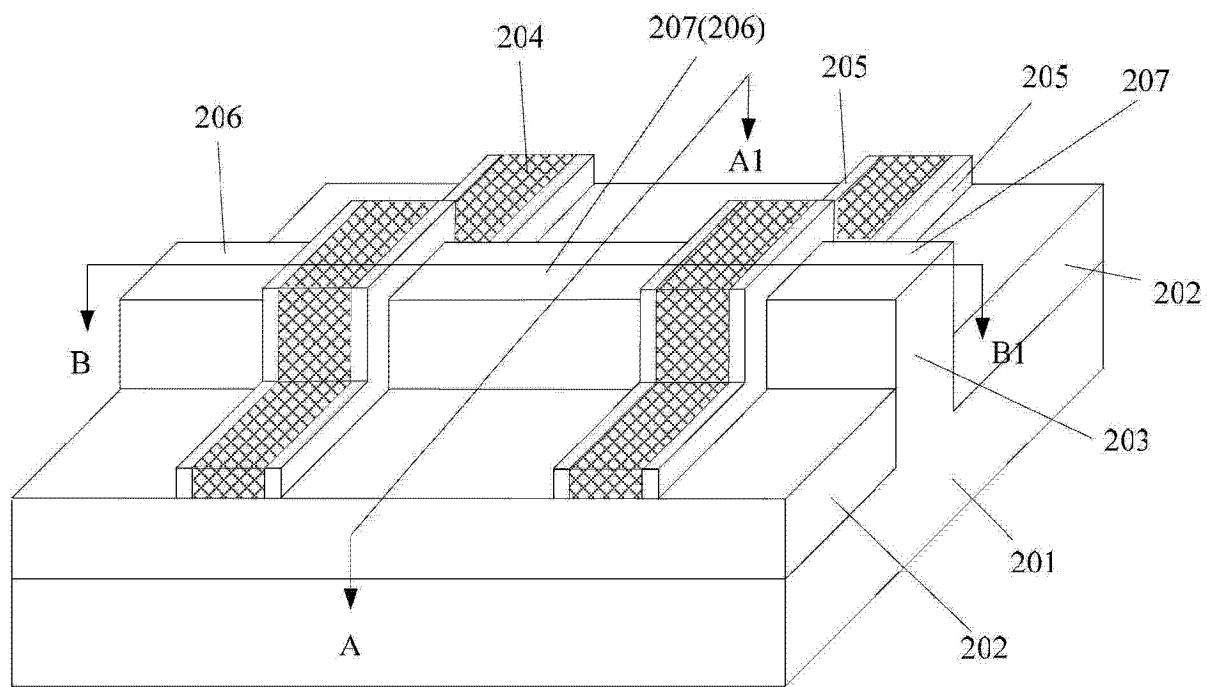


图 2

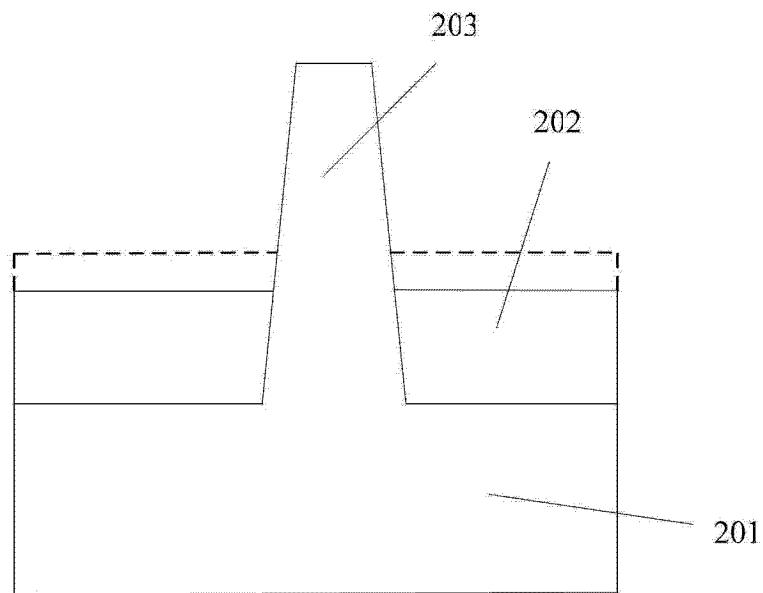


图 3

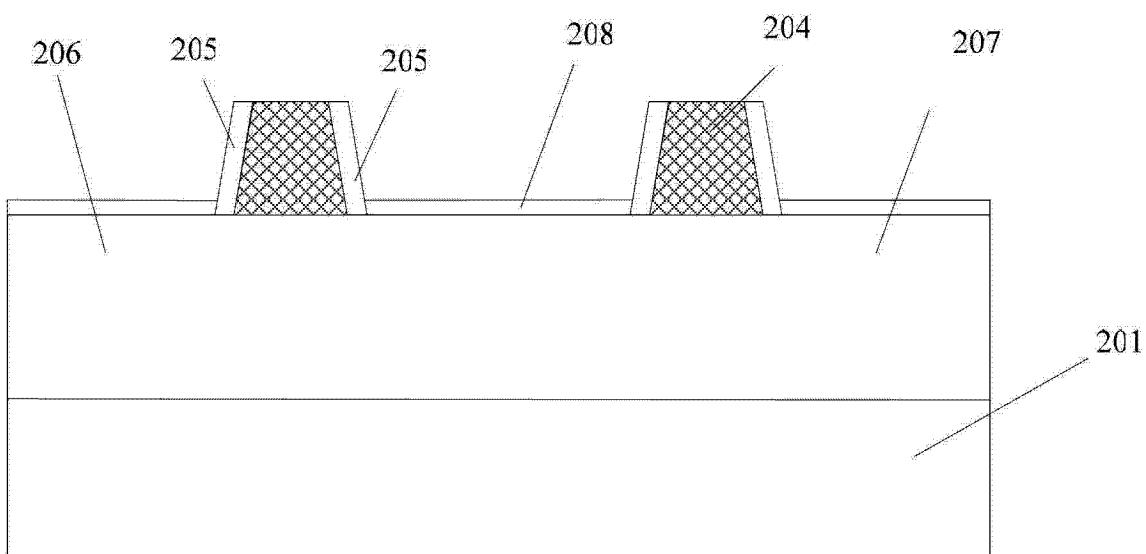


图 4

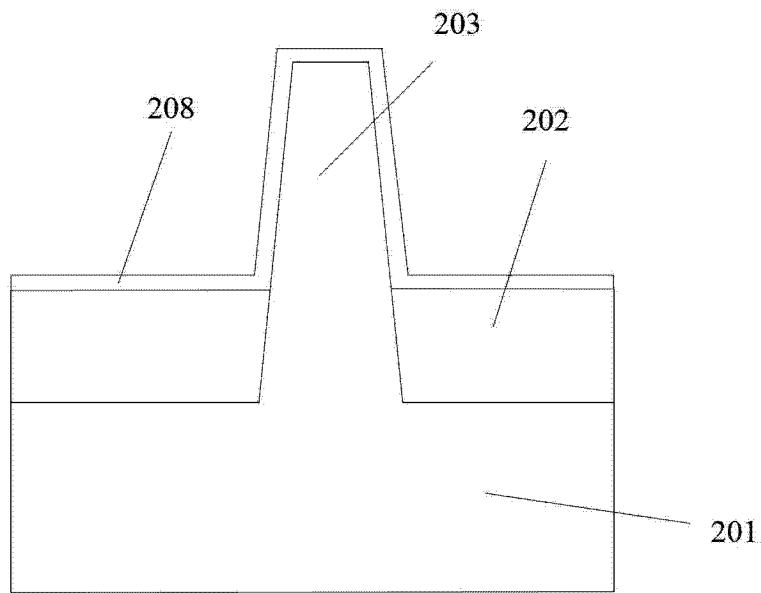


图 5

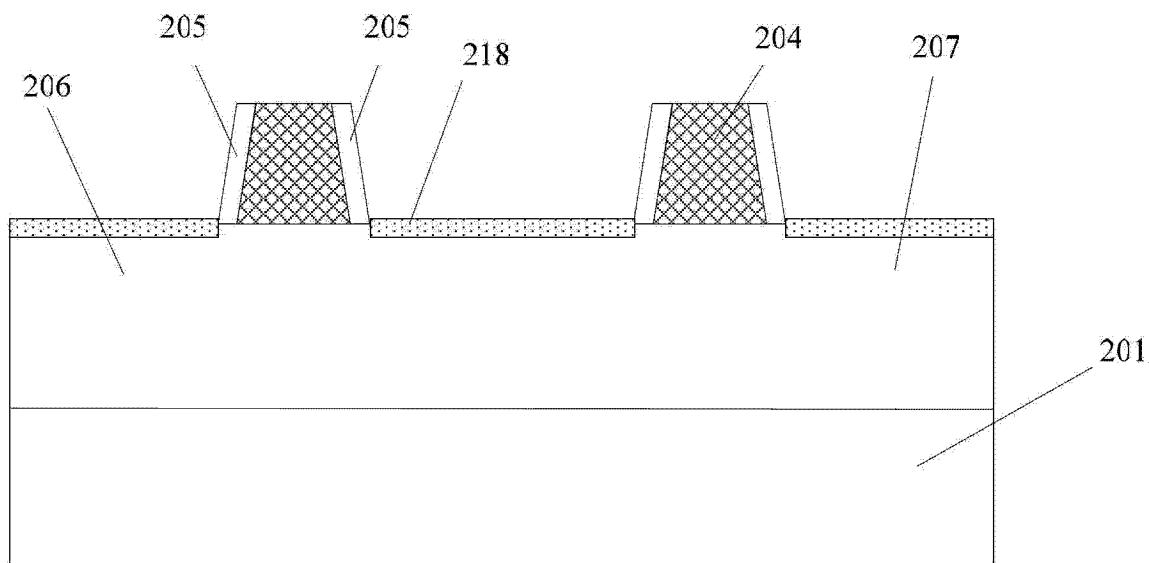


图 6

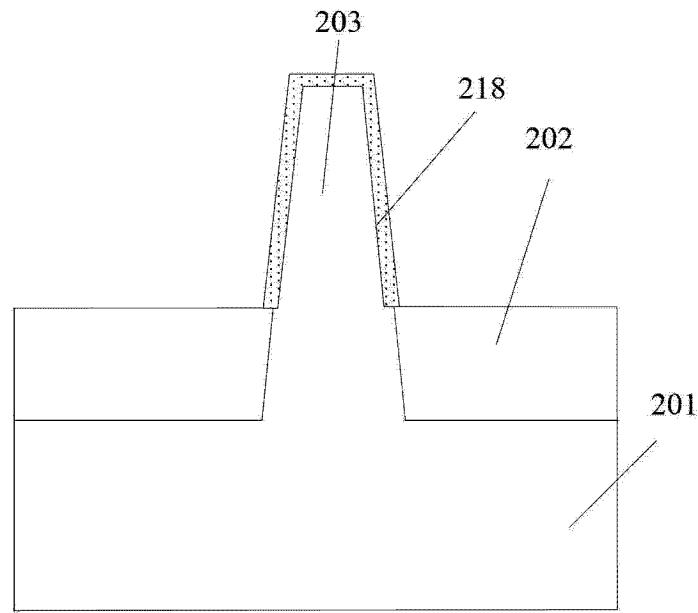


图 7

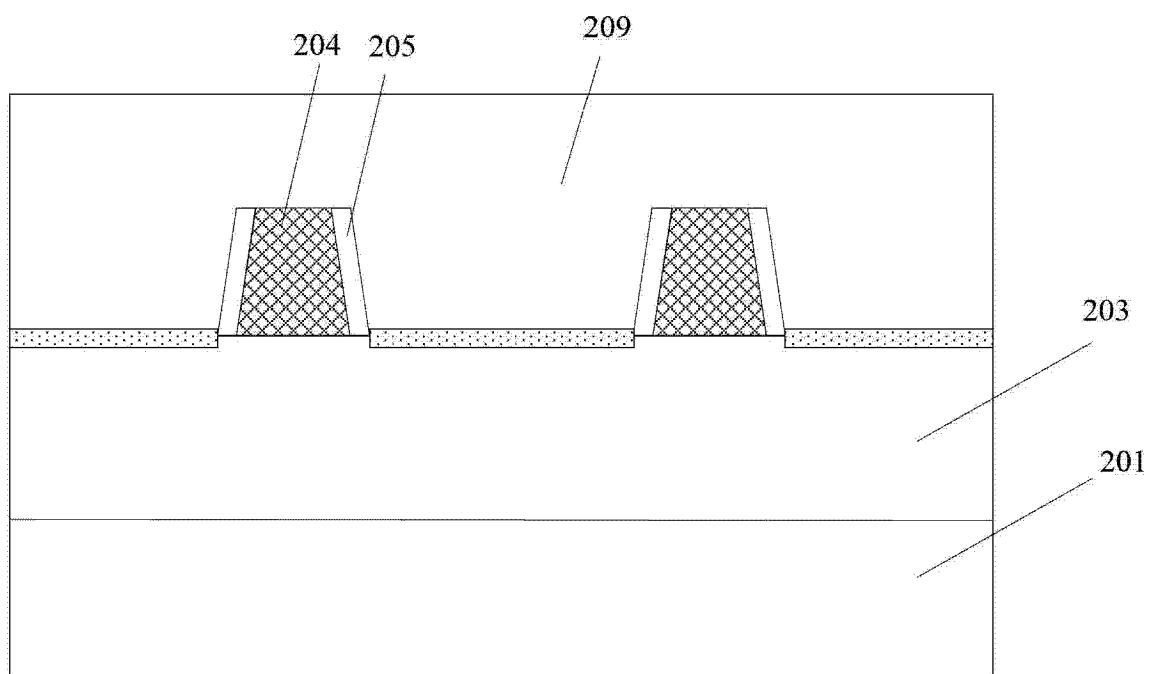


图 8

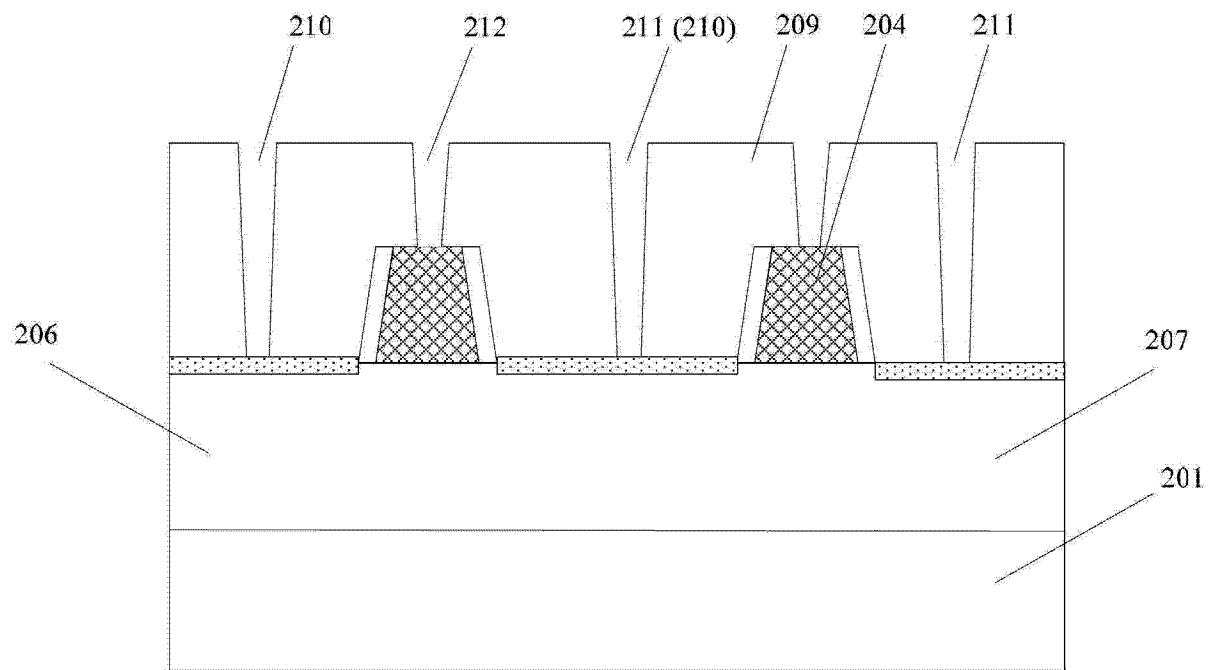


图 9

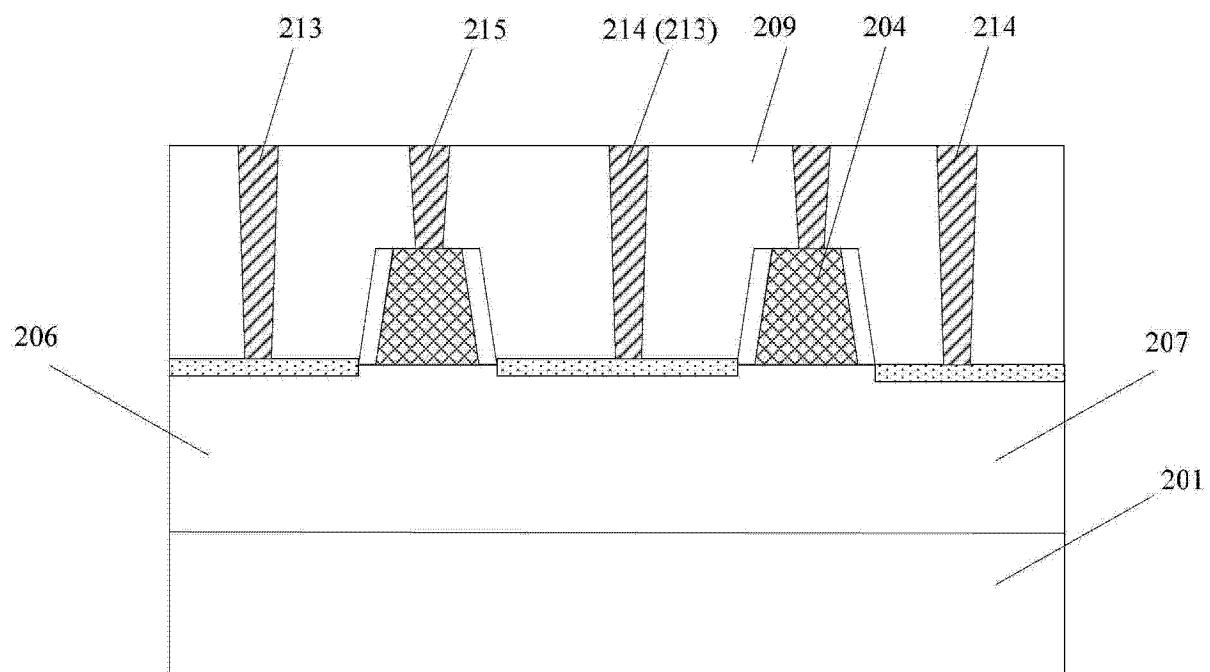


图 10

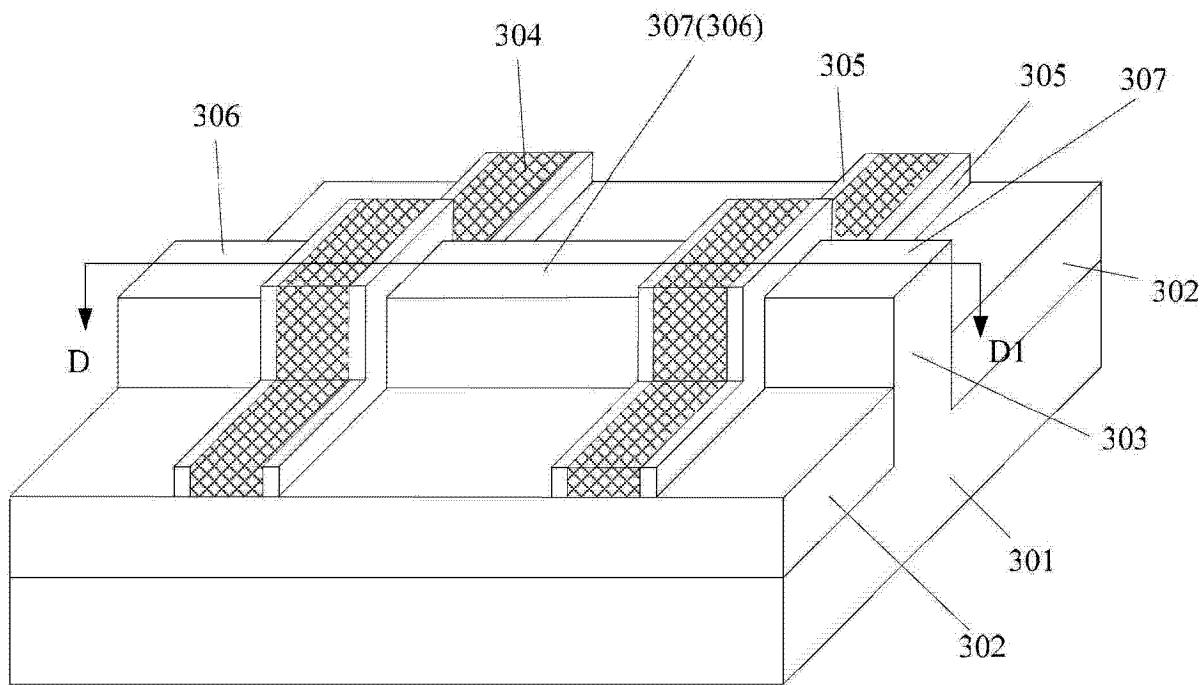


图 11

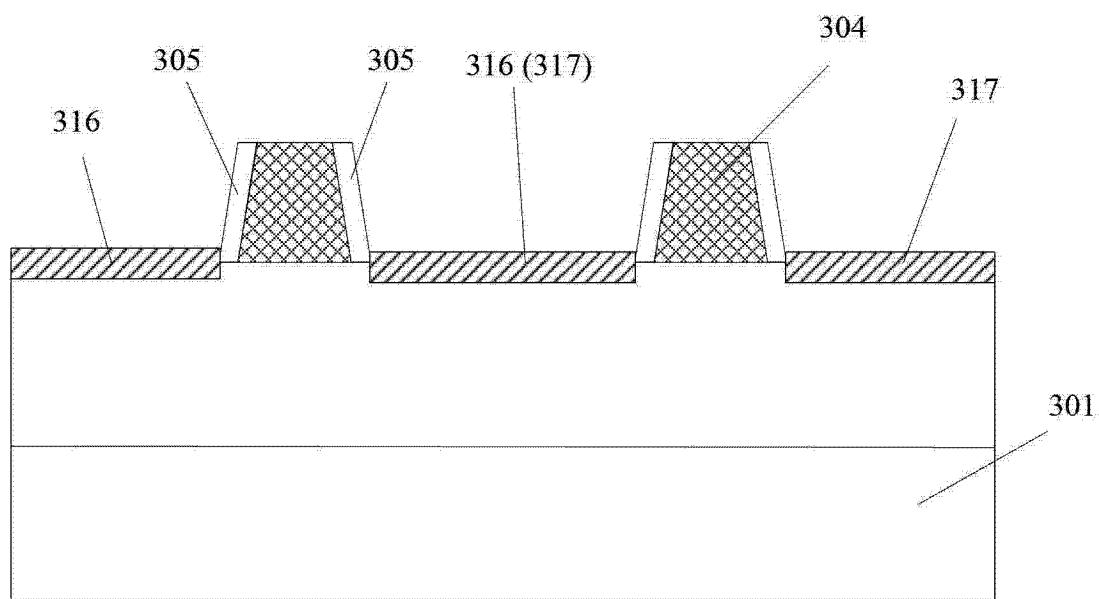


图 12

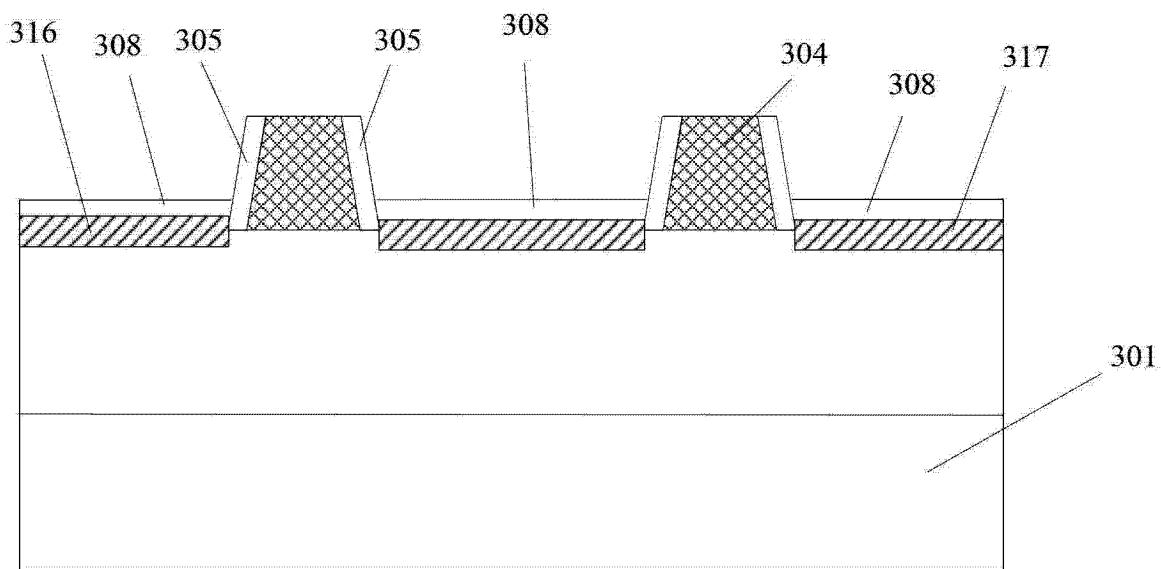


图 13

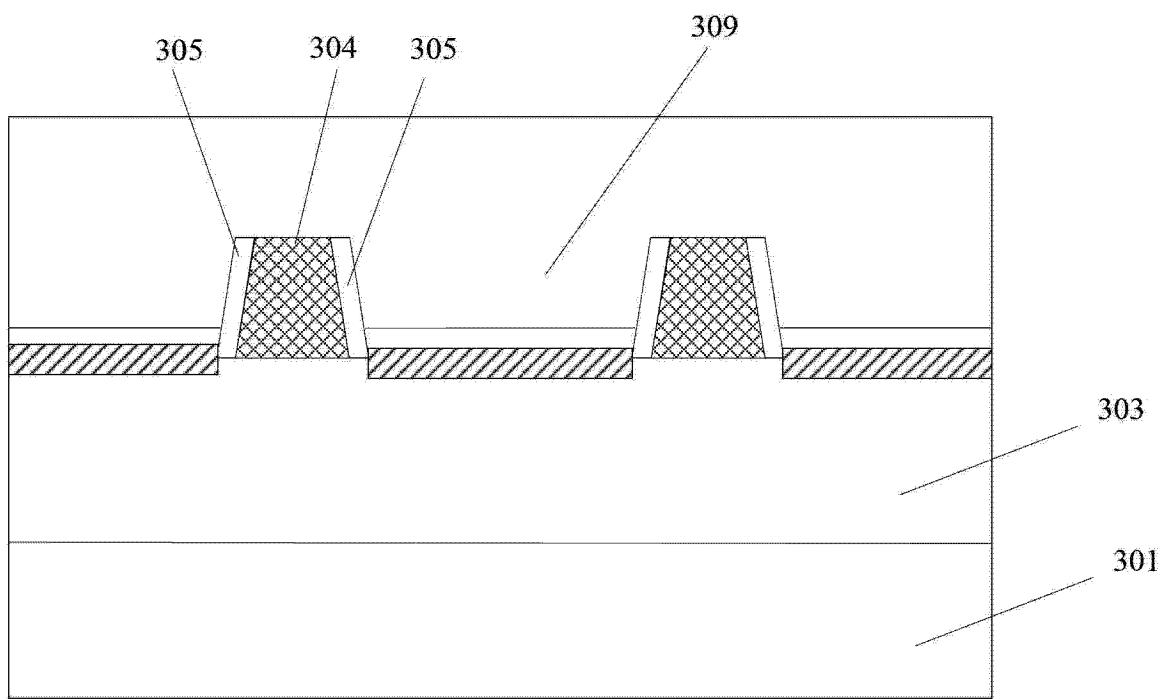


图 14

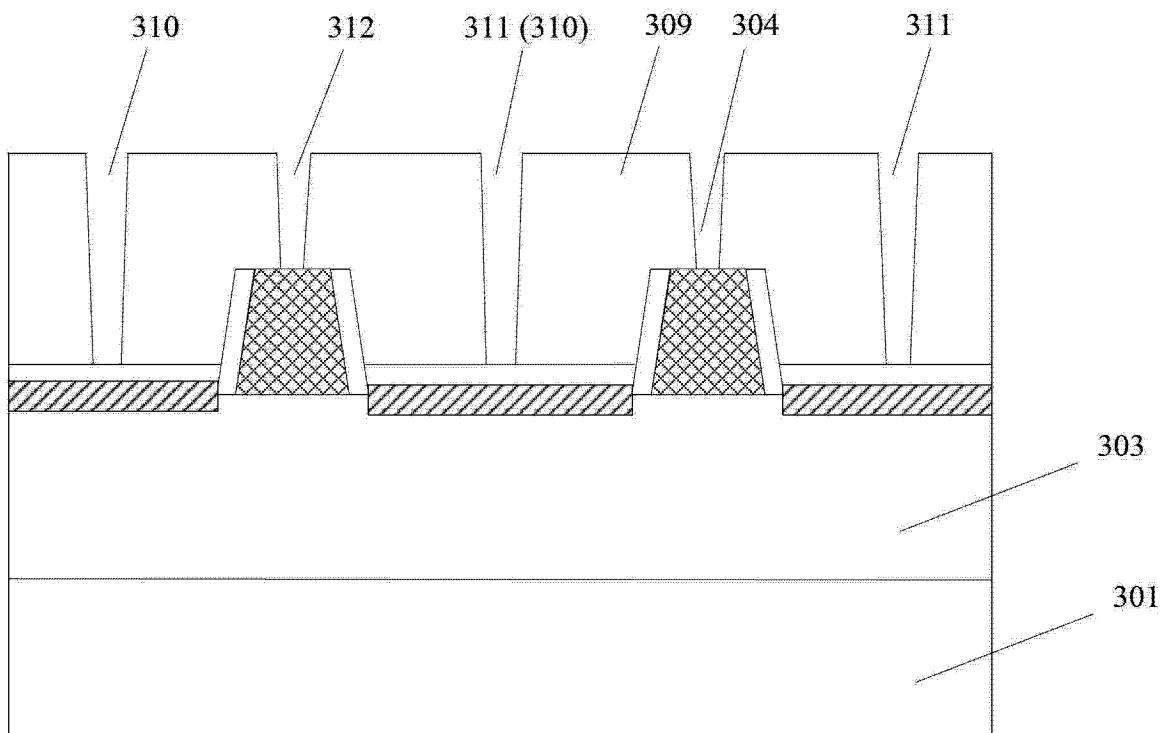


图 15

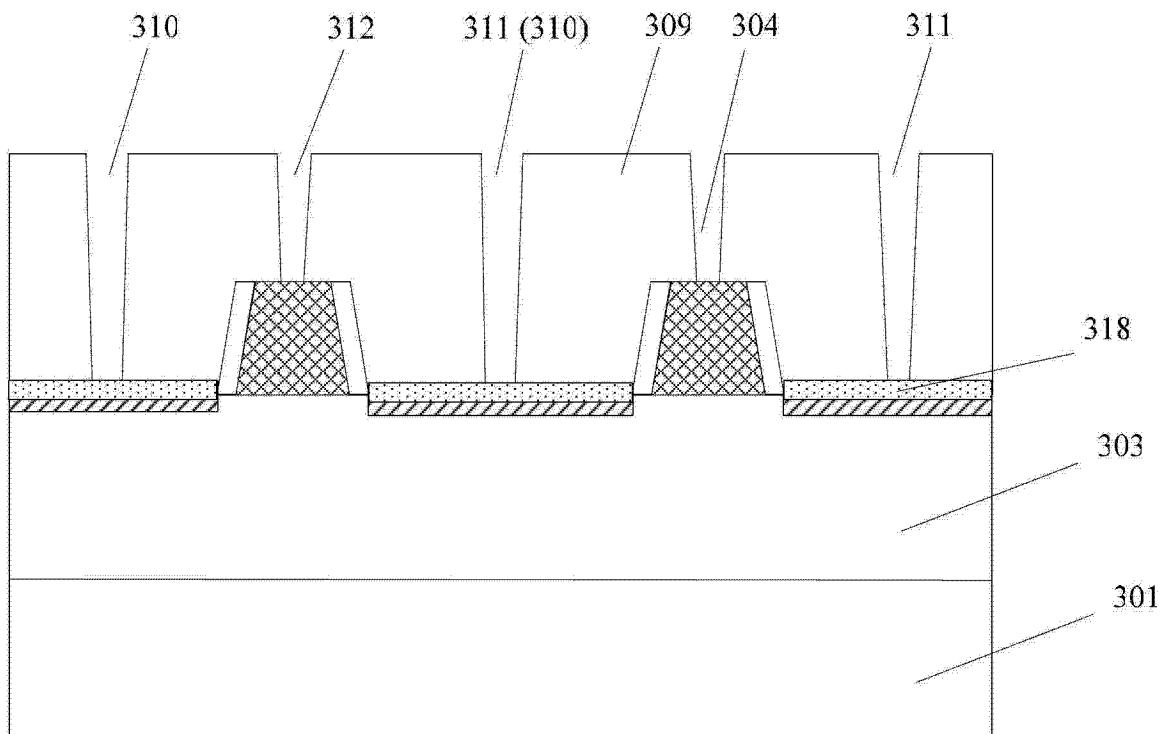


图 16

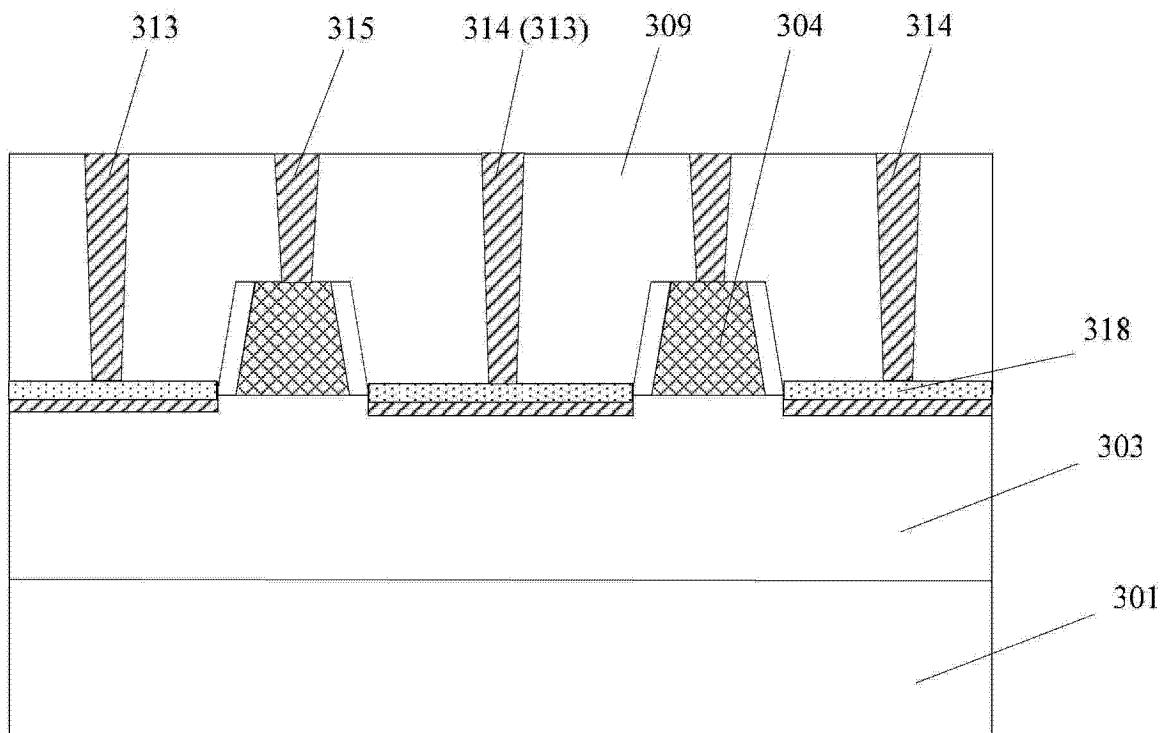


图 17

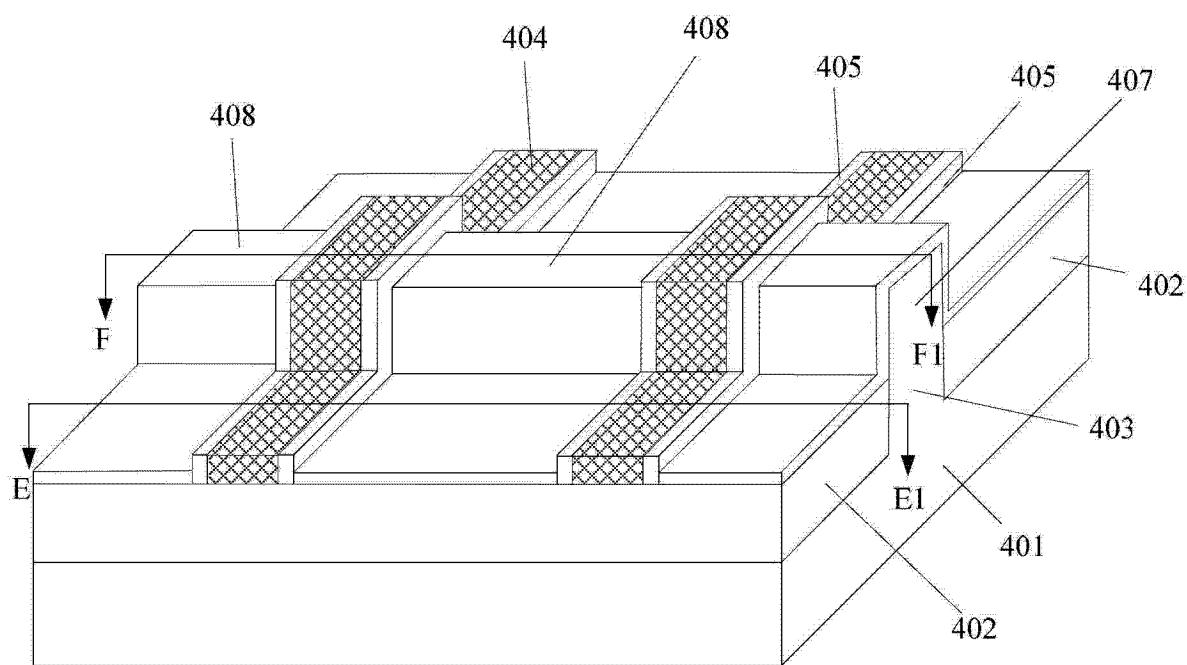


图 18

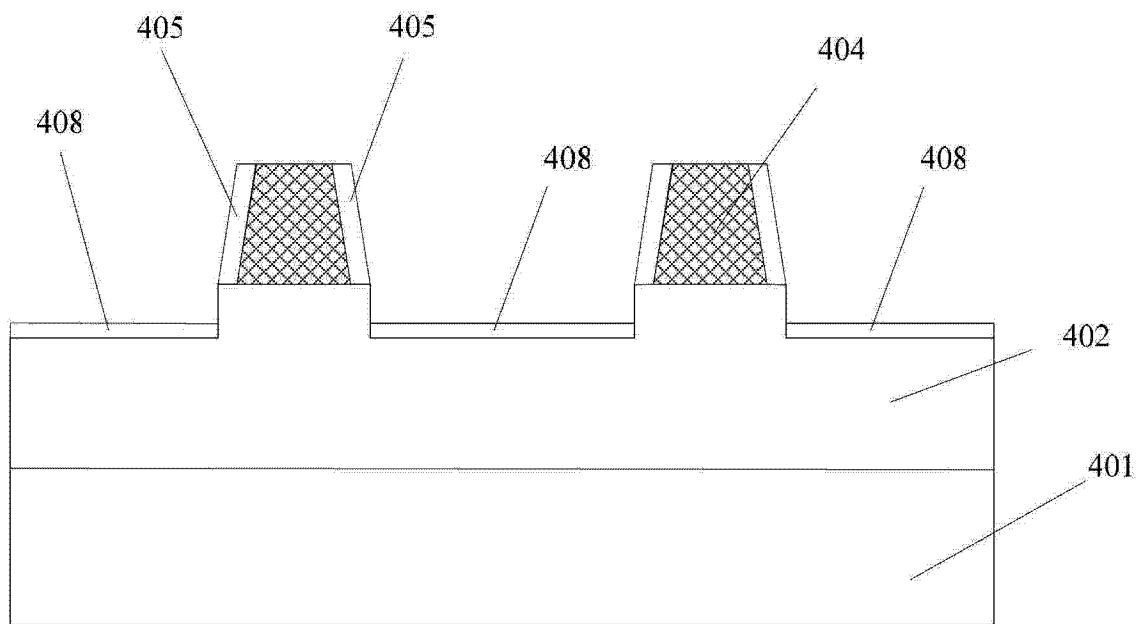


图 19

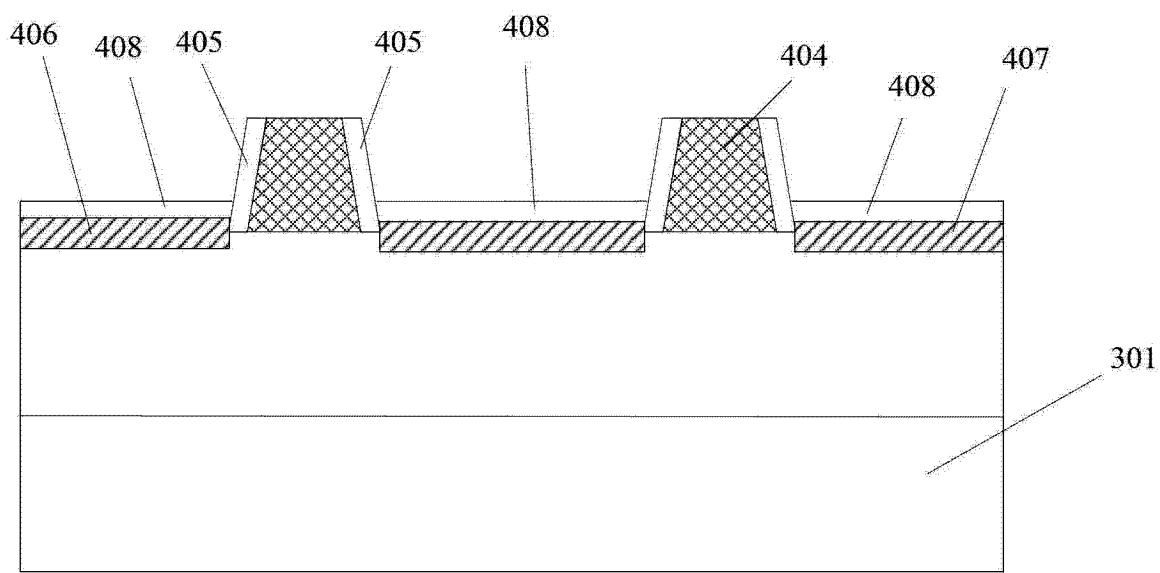


图 20