(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년04월28일
(11) 등록번호 10-0825789
(24) 등록일자 2008년04월22일

(51) Int. Cl.
H01L 27/115 (2006.01)
(21) 출원번호 10-2006-0108527
(22) 출원일자 2006년11월03일
심사청구일자 2006년11월03일
(56) 선행기술조사문헌
JP15163291 A*
(뒷면에 계속)

(73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 매탄동 416
(72) 발명자
변기열
경기 고양시 일산동구 마두동 787 강촌마을 304-602
이욱형
경기 성남시 분당구 서현동 시범단지현대아파트 427-2503
김재훈
경기 오산시 원동 대원아파트 109-205
(74) 대리인
리앤목특허법인

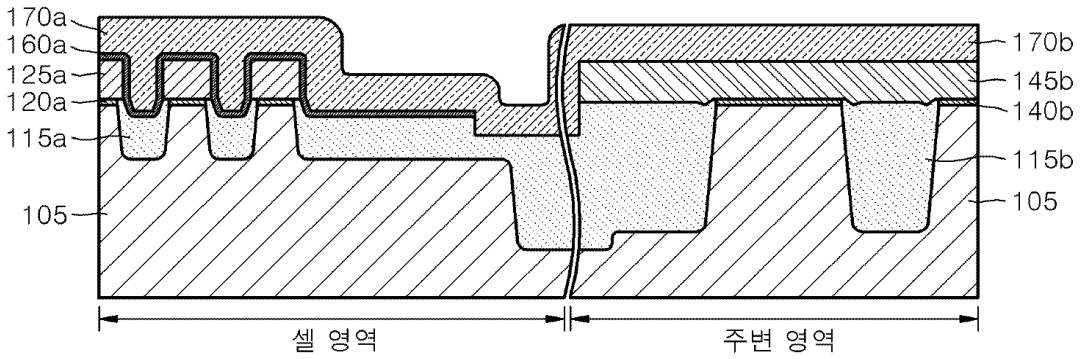
전체 청구항 수 : 총 16 항 심사관 : 정병홍

(54) 비휘발성 메모리 소자 및 그 제조방법

(57) 요 약

메모리 트랜지스터 및 모스 트랜지스터의 단차를 줄여 그 신뢰성을 높일 수 있는 비휘발성 메모리 소자 및 그 제조 방법이 제공된다. 비휘발성 메모리 소자는 셀 영역 및 주변 영역이 정의된 반도체 기판을 포함한다. 메모리 트랜지스터는 셀 영역 상의 스토리지 노드층 및 스토리지 노드층 상의 제어 게이트 전극을 포함한다. 모스 트랜지스터는 주변 영역 상의 제 1 게이트 전극 및 제 1 게이트 전극 상에 제 1 게이트 전극과 전기적으로 연결된 제 2 게이트 전극을 포함한다. 그리고, 메모리 트랜지스터의 제어 게이트 전극 및 모스 트랜지스터의 제 2 게이트 전극은 동일한 물질로 형성된다.

대표도



(56) 선행기술조사문헌
KR1020030002828 A
KR1020030006893 A
KR1020040085615 A
KR1020060087640 A
KR100630746 B1
*는 심사관에 의하여 인용된 문헌

특허청구의 범위

청구항 1

셀 영역 및 주변 영역이 정의된 반도체 기판;

상기 셀 영역 상의 스토리지 노드층 및 상기 스토리지 노드층 상의 제어 게이트 전극을 포함하는 메모리 트랜지스터; 및

상기 주변 영역 상의 제 1 게이트 전극 및 상기 제 1 게이트 전극 상에 상기 제 1 게이트 전극과 전기적으로 연결된 제 2 게이트 전극을 포함하는 모스 트랜지스터를 포함하고,

상기 메모리 트랜지스터의 제어 게이트 전극 및 상기 모스 트랜지스터의 제 2 게이트 전극은 동일한 물질로 형성되고,

상기 제어 게이트 전극은 워드 라인 방향을 따라서 상기 스토리지 노드층의 측벽을 감싸도록 배치된 것을 특징으로 하는 비휘발성 메모리 소자.

청구항 2

제 1 항에 있어서, 상기 스토리지 노드층의 측벽을 감싸는 상기 제어 게이트 전극 부분의 바닥면은 상기 스토리지 노드층의 바닥면보다 낮은 것을 특징으로 하는 비휘발성 메모리 소자.

청구항 3

제 2 항에 있어서, 상기 메모리 트랜지스터의 스토리지 노드층 및 상기 모스 트랜지스터의 제 1 게이트 전극의 높이 차이는 500 Å 이내인 것을 특징으로 하는 비휘발성 메모리 소자.

청구항 4

제 1 항에 있어서, 상기 모스 트랜지스터의 제 1 게이트 전극 및 제 2 게이트 전극은 직접 접촉된 것을 특징으로 하는 비휘발성 메모리 소자.

청구항 5

제 2 항에 있어서, 상기 메모리 트랜지스터의 제어 게이트 전극 및 상기 모스 트랜지스터의 제 2 게이트 전극의 높이 차이는 500 Å 이내인 것을 특징으로 하는 비휘발성 메모리 소자.

청구항 6

제 2 항에 있어서, 상기 메모리 트랜지스터는,

상기 셀 영역 및 상기 스토리지 노드층 사이에 개재된 터널링 절연막;

상기 스토리지 노드층 및 상기 제어 게이트 전극 사이에 개재된 블로킹 절연막을 더 포함하는 것을 특징으로 하는 비휘발성 메모리 소자.

청구항 7

제 2 항에 있어서, 상기 스토리지 노드층은 폴리실리콘층, 실리콘 질화막, 금속 도트, 실리콘의 도트, 금속 나노크리스탈 또는 실리콘 나노크리스탈 중 어느 하나를 포함하는 것을 특징으로 하는 비휘발성 메모리 소자.

청구항 8

셀 영역 및 주변 영역이 정의된 반도체 기판의 상기 셀 영역 상에 스토리지 노드층을 형성하는 단계;

상기 주변 영역 상에 제 1 게이트 전극을 형성하는 단계;

상기 셀 영역의 스토리지 노드층 상에 제어 게이트 전극을 형성하는 단계; 및

상기 주변 영역의 제 1 게이트 전극 상에 상기 제 1 게이트 전극과 전기적으로 연결된 제 2 게이트 전극을 형성

하는 단계를 포함하고,

상기 제어 게이트 전극 및 상기 제 2 게이트 전극은 동시에 형성하고,

상기 반도체 기판은 상기 스토리지 노드층 주위에 배치된 소자분리막을 더 포함하고, 상기 블로킹 절연막 형성 전에 상기 소자분리막을 식각하는 단계를 더 포함하는 것을 특징으로 하는 비휘발성 메모리 소자의 제조방법.

청구항 9

제 8 항에 있어서, 상기 제어 게이트 전극 및 상기 제 2 게이트 전극의 높이 차이는 500 Å 이내인 것을 특징으로 하는 비휘발성 메모리 소자의 제조방법.

청구항 10

제 9 항에 있어서, 상기 스토리지 노드층 및 상기 제 1 게이트 전극의 높이 차이는 500 Å 이내인 것을 특징으로 하는 비휘발성 메모리 소자의 제조 방법.

청구항 11

제 8 항에 있어서, 제 1 게이트 전극 및 제 2 게이트 전극은 직접 접촉하도록 형성하는 것을 특징으로 하는 비휘발성 메모리 소자의 제조 방법.

청구항 12

제 8 항에 있어서, 상기 제 1 게이트 전극을 형성하기 전에, 상기 스토리지 노드층 상에 층간 절연막을 형성하는 단계를 포함하고, 상기 층간 절연막은 상기 제어 게이트 형성 전에 제거되는 것을 특징으로 하는 비휘발성 메모리 소자의 제조방법.

청구항 13

제 8 항에 있어서, 상기 제 1 게이트 전극의 형성 후, 상기 제 1 게이트 전극 상에 버퍼 절연막을 형성하는 단계를 더 포함하고, 상기 버퍼 절연막은 상기 제 2 게이트 전극 형성 전에 제거되는 것을 특징으로 하는 비휘발성 메모리 소자의 제조 방법.

청구항 14

제 8 항에 있어서, 상기 제어 게이트 전극 형성 전에, 상기 스토리지 노드 전극 상에 블로킹 절연막을 형성하는 단계를 더 포함하고, 상기 제어 게이트 전극은 상기 블로킹 절연막 상에 형성하는 것을 특징으로 하는 비휘발성 메모리 소자의 제조 방법.

청구항 15

제 14 항에 있어서, 상기 소자 분리막 상의 상기 블로킹 절연막 및 상기 제어 게이트 전극의 바닥면의 높이를 상기 스토리지 노드층의 바닥면보다 낮게 하는 것을 특징으로 하는 비휘발성 메모리 소자의 제조 방법.

청구항 16

제 8 항에 있어서, 상기 스토리지 노드층은 폴리실리콘층, 실리콘 질화막, 금속 도트, 실리콘의 도트, 금속 나노크리스탈 또는 실리콘 나노크리스탈 중 어느 하나를 포함하는 것을 특징으로 하는 비휘발성 메모리 소자의 제조 방법.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<6> 본 발명은 반도체 소자 및 그 제조 방법에 관한 것으로서, 특히 비휘발성 메모리 소자 및 그 제조방법에 관한

것이다.

<7> 비휘발성 메모리 소자, 예컨대 플래시 메모리 소자의 메모리 트랜지스터는 플로팅 게이트 및 제어 게이트 전극의 적층 구조를 갖는다. 반면, 이러한 플래시 메모리 소자의 주변 영역에는 단일 게이트 전극을 갖는 모스 트랜지스터가 형성된다. 따라서, 메모리 트랜지스터와 모스 트랜지스터 사이에는 단차가 생길 수 있다.

<8> 이러한 단차는 제조 단계에 있어서 여러 문제를 유발할 수 있다. 일단, 메모리 트랜지스터의 제어 게이트 전극과 모스 트랜지스터의 게이트 전극을 동시에 형성하기 어렵다. 왜냐하면, 제어 게이트 전극과 게이트 전극 사이에 단차가 크기 때문에, 패터닝을 위한 식각 단계에서 경계부에서 결함이 발생할 가능성이 크다. 예를 들어, 스트링거 발생에 의해서 브릿지가 발생할 수 있고, 이러한 스트링거는 이후의 제조 단계에서 이물질로 작용할 수 있다.

<9> 나아가, 제어 게이트 전극과 게이트 전극을 따로 형성하더라도, 그 단차 때문에 제어 게이트 전극 또는 게이트 전극의 임계 치수(critical dimension; CD)의 산포가 나빠질 수 있다. 이러한 산포의 불량은 제어 게이트 전극 또는 게이트 전극 패터닝 단계에서 포토레지스트 패턴의 두께 불량으로 발생할 수 있다. 이러한 제어 게이트 전극 또는 게이트 전극의 임계 치수의 산포 불량은 비휘발성 메모리 소자의 신뢰성을 크게 떨어뜨릴 수 있다.

발명이 이루고자 하는 기술적 과제

<10> 본 발명이 이루고자 하는 기술적 과제는 메모리 트랜지스터 및 모스 트랜지스터의 단차를 줄여 그 신뢰성을 높일 수 있는 비휘발성 메모리 소자를 제공하는데 있다.

<11> 본 발명이 이루고자 하는 다른 기술적 과제는 메모리 트랜지스터 및 모스 트랜지스터의 단차를 줄여 그 신뢰성을 높일 수 있는 비휘발성 메모리 소자의 제조 방법을 제공하는데 있다.

발명의 구성 및 작용

<12> 상기 기술적 과제를 달성하기 위한 본 발명의 일 형태에 따른 비휘발성 메모리 소자는 셀 영역 및 주변 영역이 정의된 반도체 기판을 포함한다. 메모리 트랜지스터는 상기 셀 영역 상의 스토리지 노드층 및 상기 스토리지 노드층 상의 제어 게이트 전극을 포함한다. 모스 트랜지스터는 상기 주변 영역 상의 제 1 게이트 전극 및 상기 제 1 게이트 전극 상에 상기 제 1 게이트 전극과 전기적으로 연결된 제 2 게이트 전극을 포함한다. 그리고, 상기 메모리 트랜지스터의 제어 게이트 전극 및 상기 모스 트랜지스터의 제 2 게이트 전극은 동일한 물질로 형성된다.

<13> 상기 본 발명의 일 관점에 따르면, 상기 메모리 트랜지스터의 제어 게이트 전극 및 상기 모스 트랜지스터의 제 2 게이트 전극의 높이 차이는 500 Å 이내일 수 있다.

<14> 상기 본 발명의 다른 관점에 따르면, 상기 모스 트랜지스터의 제 1 게이트 전극 및 제 2 게이트 전극은 직접 접촉될 수 있다.

<15> 상기 다른 기술적 과제를 달성하기 위한 본 발명의 일 형태에 따른 비휘발성 메모리 소자의 제조 방법이 제공된다. 셀 영역 및 주변 영역이 정의된 반도체 기판의 상기 셀 영역 상에 스토리지 노드층을 형성한다. 상기 주변 영역 상에 제 1 게이트 전극을 형성한다. 상기 셀 영역의 스토리지 노드층 상에 제어 게이트 전극을 형성한다. 그리고, 상기 주변 영역의 제 1 게이트 전극 상에 상기 제 1 게이트 전극과 전기적으로 연결된 제 2 게이트 전극을 형성한다. 상기 제어 게이트 전극 및 상기 제 2 게이트 전극은 동시에 형성한다.

<16> 이하, 첨부한 도면을 참조하여 본 발명에 따른 바람직한 실시예를 설명함으로써 본 발명을 상세하게 설명한다. 그러나 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예는 본 발명의 개시가 완전하도록 하며, 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다. 첨부된 도면에서 여러 막과 영역들의 두께는 명료성을 위해서 강조되었다.

<17> 본 발명의 실시예들에서 비휘발성 메모리 소자는 플로팅 게이트 타입 또는 전하 트랩 타입의 스토리지 노드층을 갖는 플래시 메모리 소자를 포함할 수 있다. 전하 트랩 타입의 스토리지 노드층을 갖는 플래시 메모리 소자는 소노스(SONOS) 메모리 소자로 불릴 수도 있다. 하지만, 본 발명은 이러한 명칭에 의해 그 범위가 제한되지 않는다.

<18> 도 8을 참조하여, 본 발명의 일 실시예에 따른 비휘발성 메모리 소자를 설명한다. 도 8은 낸드 구조의 비휘발성 메모리 소자의 워드 라인 방향의 단면을 예시적으로 나타낸다. 하지만, 본 발명은 이러한 낸드 구조에 제한되는

것은 아니다.

<19> 도 8을 참조하면, 반도체 기판(105)에는 셀 영역 및 주변 영역이 정의되어 있다. 예를 들어, 셀 영역은 메모리 트랜지스터가 형성되는 영역이고, 주변 영역은 구동 소자용으로 사용되는 모스 트랜지스터가 형성되는 영역일 수 있다. 셀 영역 및 주변 영역의 경계는 물리적으로 나누기는 어렵고, 다만 그 경계부에는 넓은 소자분리막(115a, 115b)이 형성될 수 있다. 소자분리막(115a, 115b)은 셀 영역 및 주변 영역의 활성영역(미도시)을 각각 정의한다.

<20> 셀 영역의 메모리 트랜지스터는 스토리지 노드층(125a) 및 제어 게이트 전극(170a)을 포함한다. 스토리지 노드층(125a)은 전하를 저장하기 위해 이용되고, 제어 게이트 전극(170a)은 스토리지 노드층(125a)의 전하 저장을 제어한다. 스토리지 노드층(125a)은 반도체 기판(105)과 절연되고, 제어 게이트 전극(170a)은 스토리지 노드층(125a)과 절연된다.

<21> 주변 영역의 모스 트랜지스터는 스위칭 소자로 이용되고, 제 1 게이트 전극(145b) 및 제 2 게이트 전극(170b)을 포함한다. 제 1 및 제 2 게이트 전극(145b, 170b)은 전기적으로 연결되어 하나의 게이트 전극과 같은 역할을 한다. 제 1 게이트 전극(145b)은 반도체 기판(105)과 절연된다. 예를 들어, 제 1 및 제 2 게이트 전극(145b, 170b)은 직접 접촉될 수 있다. 즉, 제 1 게이트 전극(145b)의 상부면 상에 제 2 게이트 전극(170b)의 바닥면이 직접 접촉될 수 있다. 제 1 게이트 전극(145b) 및 반도체 기판(105) 사이에는 게이트 절연막(140b)이 개재될 수 있다.

<22> 예를 들어, 스토리지 노드층(125a) 및 반도체 기판(105) 사이에는 터널링 절연막(120a)이 개재될 수 있다. 전하는 터널링 절연막(120a)을 통하여 반도체 기판(105) 및 스토리지 노드층(125a) 사이를 이동할 수 있다. 예컨대, 터널링 절연막(120a)은 산화막, 질화막 또는 고유전율막을 포함할 수 있다. 스토리지 노드층(125a)은 폴리실리콘층, 실리콘 질화막, 금속 또는 실리콘의 도트, 또는 금속 또는 실리콘의 나노크리스탈을 포함할 수 있다. 폴리실리콘층은 플로팅 게이트 타입으로 이용될 수 있고, 실리콘 질화막, 도트, 나노크리스탈은 전하 트랩 타입으로 이용될 수 있다.

<23> 스토리지 노드층(125a) 및 제어 게이트 전극(170a) 사이에는 블로킹 절연막(160a)이 개재될 수 있다. 블로킹 절연막(160a)은 스토리지 노드층(130a) 및 제어 게이트 전극(170a) 사이의 전하의 역 터널링을 막아주는 역할을 할 수 있다. 예를 들어, 블로킹 절연막(160a)은 산화막, 질화막 및 고유전율막의 하나 또는 이들의 적층 구조, 예컨대 산화막/질화막/산화막의 적층 구조를 포함할 수 있다.

<24> 이 실시예에서, 모스 트랜지스터와 메모리 트랜지스터는 유사한 적층 구조를 갖는다. 즉, 메모리 트랜지스터는 스토리지 노드층(125a) 및 제어 게이트 전극(170a)의 적층 구조를 갖고, 모스 트랜지스터는 제 1 및 제 2 게이트 전극(145b, 170b)의 적층 구조를 갖는다. 다만, 스토리지 노드층(125a) 및 제어 게이트 전극(170a)은 블로킹 절연막(160a)에 의해 절연되지만, 제 1 및 제 2 게이트 전극(145b, 170b)은 접촉되어 전기적으로 연결된다.

<25> 따라서, 제어 게이트 전극(170a) 및 제 2 게이트 전극(170b)의 높이 차이는 크지 않다. 예를 들어, 블로킹 절연막(160a)의 높이를 고려하면, 제어 게이트 전극(170a) 및 제 2 게이트 전극(170b)의 높이 차이는 500 Å 이내일 수 있다. 따라서, 제어 게이트 전극(170a) 및 제 2 게이트 전극(170b)은 동일한 물질로 동시에 형성될 수 있다. 유사하게, 스토리지 노드층(125a) 및 제 1 게이트 전극(145b)의 높이는 유사할 수 있다. 예를 들어, 스토리지 노드층(125a) 및 제 1 게이트 전극(145b)의 높이 차이는 500 Å 이내일 수 있다.

<26> 한편, 낸드 구조의 비휘발성 메모리 소자에서, 블로킹 절연막(160a) 및 제어 게이트 전극(170a)은 워드 라인 방향으로 신장한다. 이 경우, 스토리지 노드층(125a) 주변의 소자분리막(115a) 상의 블로킹 절연막(160a) 및 제어 게이트 전극(170a)의 바닥면은 스토리지 노드층(130a)보다 낮을 수 있다. 이러한 구조는 스토리지 노드층(125a) 및 제어 게이트 전극(170a) 사이의 커플링 비를 조절하여, 스토리지 노드층(125a) 및 반도체 기판(105) 사이의 전기장의 세기를 높이는 역할을 할 수 있다.

<27> 도 1 내지 도 8을 참조하여, 본 발명의 일 실시예에 따른 비휘발성 메모리 소자의 제조 방법을 설명한다.

<28> 도 1은 본 발명의 일 실시예에 따른 비휘발성 메모리 소자 및 그 제조 방법에 있어서, 소자분리막의 형성 단계를 보여주는 단면도이다.

<29> 도 1을 참조하면, 반도체 기판(105)의 셀 영역 및 주변 영역에 활성영역을 한정하는 소자분리막(115a, 115b)을 형성한다. 예를 들어, 제 1 마스크 패턴(110b)을 식각 보호막으로 하여 반도체 기판(105)을 식각하여 트렌치(미도시)를 형성하고, 이 트렌치를 절연막(미도시)으로 매립하고 평탄화함으로써 소자분리막(115a, 115b)을 형성할

수 있다. 예를 들어, 제 1 마스크 패턴(110b)은 실리콘 질화막을 포함할 수 있다.

<30> 도 2 및 도 3은 본 발명의 일 실시예에 따른 비휘발성 메모리 소자 및 그 제조 방법에 있어서, 스토리지 노드층의 형성 단계를 보여주는 단면도들이다.

<31> 도 2를 참조하면, 제 1 마스크 패턴(110b)을 제거하고, 반도체 기판(105) 상에 터널링 절연막(120a, 120b)을 형성한다. 예를 들어, 터널링 절연막(120a, 120b)은 열 산화막 또는 화학기상증착(CVD)법을 이용하여 형성할 수 있다. 선택적으로, 터널링 절연막(120a, 120b)의 형성 전에 소자분리막(115a, 115b)을 등방성 식각하여 제 1 마스크 패턴(110b)이 제거된 부분의 폭을 넓힐 수 있다.

<32> 이어서, 터널링 절연막(120a, 120b) 상에 스토리지 노드층(125a, 12b)을 형성한다. 예를 들어, 스토리지 노드층(125a, 125b)은 화학기상증착(CVD)법을 이용하여 물질막을 증착하고, 이를 평탄화하고, 그리고 패터닝하여 형성할 수 있다. 이에 따라, 스토리지 노드층(125a, 125b)은 소자분리막(115a, 115b) 사이에 정렬되어 형성될 수 있다.

<33> 도 3을 참조하면, 주변 영역 상의 터널링 절연막(120b) 및 스토리지 노드층(125b)을 선택적으로 제거한다. 예를 들어, 셀 영역 상에 제 2 마스크 패턴(135a)을 형성하고, 이를 식각 보호막으로 하여 주변 영역 상의 터널링 절연막(120b) 및 스토리지 노드층(125b)을 선택적으로 제거할 수 있다. 예를 들어, 제 2 마스크 패턴(135a)은 포토레지스트층을 포함할 수 있다.

<34> 선택적으로, 제 2 마스크 패턴(135a) 형성 전에, 셀 영역의 스토리지 노드층(125a) 상에 층간 절연막(130a)을 형성할 수 있다. 층간 절연막(130a)은 이후 단계에서 스토리지 노드층(125a)을 다른 막들로부터 분리시키고 보호하는 역할을 할 수 있다.

<35> 도 4 및 도 5는 본 발명의 일 실시예에 따른 비휘발성 메모리 소자 및 그 제조 방법에 있어서, 제 1 게이트 전극의 형성 단계를 보여주는 단면도들이다.

<36> 도 4를 참조하면, 제 2 마스크 패턴(135a)을 제거하고, 주변 영역의 반도체 기판(105) 상에 게이트 절연막(140b)을 형성한다. 이어서, 셀 영역의 층간 절연막(130a) 및 주변 영역의 게이트 절연막(140b) 상에 제 1 게이트 전극(145a, 145b)을 형성한다. 선택적으로, 제 1 게이트 전극(145a, 145b) 상에 버퍼 절연막(150a)을 형성할 수 있다. 예를 들어, 버퍼 절연막(150a, 150b)은 산화막을 포함할 수 있다. 셀 영역의 제 1 게이트 전극(145a) 및 스토리지 노드층(125a)은 층간 절연막(130a)에 의해 분리될 수 있다.

<37> 도 5를 참조하면, 주변 영역의 버퍼 절연막(150b) 상의 제 3 마스크 패턴(155b)을 식각 보호막으로 이용하여, 셀 영역의 제 1 게이트 전극(145a), 버퍼 절연막(150a) 및 층간 절연막(130a)을 제거하여, 소자분리막(115a)을 노출시킨다.

<38> 선택적으로, 노출된 소자분리막(115a)을 식각하여 소자분리막(115a)의 상부 높이를 스토리지 노드층(125a)보다 낮게 할 수 있다. 예를 들어, 노출된 소자분리막(115a)의 식각은 별도의 마스크 패턴 없이 블랭킷 식각(blanket etch) 방식으로 수행할 수 있다.

<39> 도 5에 도시된 바와 같이, 주변 영역의 제 1 게이트 전극(145a) 및 셀 영역의 스토리지 노드층(125a)은 거의 유사한 높이에 배치될 수 있다

<40> 도 6 및 도 7은 본 발명의 일 실시예에 따른 비휘발성 메모리 소자 및 그 제조 방법에 있어서, 블로킹 절연막의 형성 단계를 보여주는 단면도들이다.

<41> 도 6을 참조하면, 주변 영역 상의 버퍼 절연막(150b)을 제거하고, 셀 영역의 스토리지 노드층(125a) 및 주변 영역의 제 1 게이트 전극(145b) 상에 블로킹 절연막(160a, 160b)을 형성한다. 셀 영역의 소자분리막(115a) 상의 블로킹 절연막(160a)의 높이는 스토리지 노드층(125a)보다 낮을 수 있다.

<42> 도 7을 참조하면, 셀 영역의 블로킹 절연막(160a) 상의 제 4 마스크 패턴(165a)을 식각 보호막으로 이용하여, 주변 영역의 블로킹 절연막(160b)을 제거한다. 이에 따라서, 주변 영역의 제 1 게이트 전극(145b)이 노출된다.

<43> 도 8은 본 발명의 일 실시예에 따른 비휘발성 메모리 소자 및 그 제조 방법에 있어서, 제어 게이트 전극 및 제 2 게이트 전극의 형성 단계를 보여주는 단면도들이다.

<44> 도 8을 참조하면, 제 4 마스크 패턴(165a)을 제거하고, 셀 영역의 블로킹 절연막(160a) 상에 제어 게이트 전극(170a)을 형성하고, 이와 동시에 주변 영역의 제 1 게이트 전극(145b) 상에 제 2 게이트 전극(170b)을

형성한다. 예를 들어, 제어 게이트 전극(170a) 및 제 2 게이트 전극(170b)은 동일한 물질로, 동시에 형성할 수 있다. 예를 들어, 제어 게이트 전극(170a) 및 제 2 게이트 전극(170b)은 폴리실리콘층, 금속층, 또는 금속 실리사이드층을 포함할 수 있다.

<45> 제 2 게이트 전극(170b)은 제 1 게이트 전극(145b)과 직접 접촉함으로써 전기적으로 연결될 수 있다. 따라서, 제 2 게이트 전극(170b) 및 제 1 게이트 전극(145b)은 모스 트랜지스터의 게이트 역할을 할 수 있다.

<46> 이와 같이, 본 발명의 실시예에 따른 비휘발성 메모리 소자의 제조 방법에서, 셀 영역의 제어 게이트 전극(170a) 및 주변 영역의 제 2 게이트 전극(170b)의 높이 차이는 종래에 비해서 매우 작고, 따라서 결함을 형성하지 않고 동시에 형성할 수 있다. 이에 따라, 제어 게이트 전극(170a) 및 제 2 게이트 전극(170b)의 임계 치수의 균일도도 높아질 수 있다. 또한, 주변 영역의 게이트 구조를 제 1 및 제 2 게이트 전극들(145b, 170b)의 이중 구조로 따로 형성함으로써, 주변 영역 가장자리에서 활성 영역이 식각되어 손실되는 문제를 억제할 수 있다. 따라서, 비휘발성 메모리 소자의 신뢰도가 높아질 수 있다.

<47> 본 발명의 특정 실시예에 대한 이상의 설명은 예시 및 설명을 목적으로 제공되었다. 본 발명은 상기 실시예에 한정되지 않으며, 본 발명의 기술적 사상 내에서 해당 분야에서 통상의 지식을 가진 자에 의하여 여러 가지 많은 수정 및 변경이 가능함은 명백하다.

발명의 효과

<48> 본 발명에 따른 비휘발성 메모리 소자 및 그 제조 방법에 따르면, 셀 영역의 메모리 트랜지스터 및 주변 영역의 모스 트랜지스터의 단차를 낮출 수 있다. 따라서, 메모리 트랜지스터 및 모스 트랜지스터의 임계 치수의 산포를 낮출 수 있고, 결함 형성을 억제할 수 있다. 또한, 모스 트랜지스터의 게이트 전극을 두 번에 걸쳐서 분리하여 형성함으로써, 주변 영역 가장자리에서 활성 영역이 식각되어 손실되는 문제를 억제할 수 있다. 따라서, 비휘발성 메모리 소자의 신뢰도가 향상될 수 있다.

도면의 간단한 설명

<1> 도 1은 본 발명의 일 실시예에 따른 비휘발성 메모리 소자 및 그 제조 방법에 있어서, 소자분리막의 형성 단계를 보여주는 단면도이고;

<2> 도 2 및 도 3은 본 발명의 일 실시예에 따른 비휘발성 메모리 소자 및 그 제조 방법에 있어서, 스토리지 노드층의 형성 단계를 보여주는 단면도들이고;

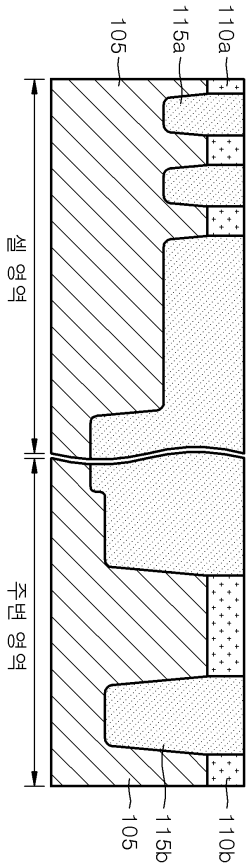
<3> 도 4 및 도 5는 본 발명의 일 실시예에 따른 비휘발성 메모리 소자 및 그 제조 방법에 있어서, 제 1 게이트 전극의 형성 단계를 보여주는 단면도들이고;

<4> 도 6 및 도 7은 본 발명의 일 실시예에 따른 비휘발성 메모리 소자 및 그 제조 방법에 있어서, 블로킹 절연막의 형성 단계를 보여주는 단면도들이고; 그리고

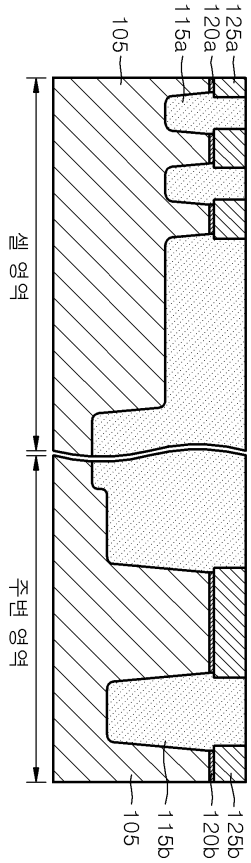
<5> 도 8은 본 발명의 일 실시예에 따른 비휘발성 메모리 소자 및 그 제조 방법에 있어서, 제어 게이트 전극 및 제 2 게이트 전극의 형성 단계를 보여주는 단면도들이다.

도면

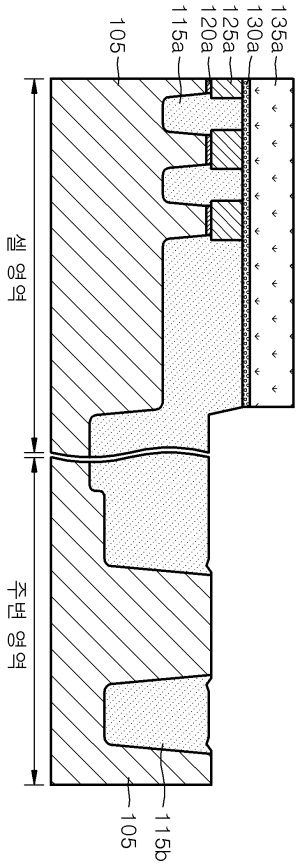
도면1



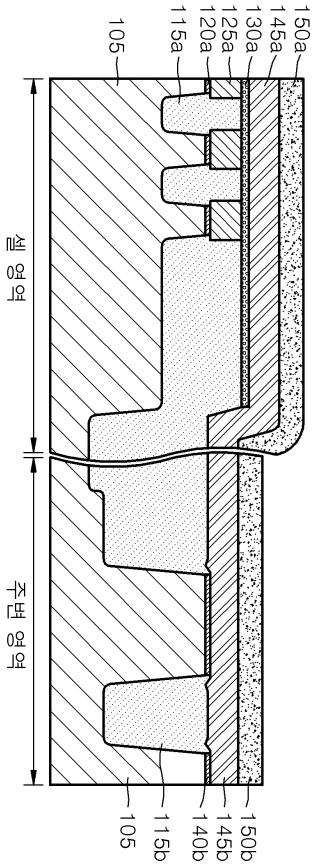
도면2



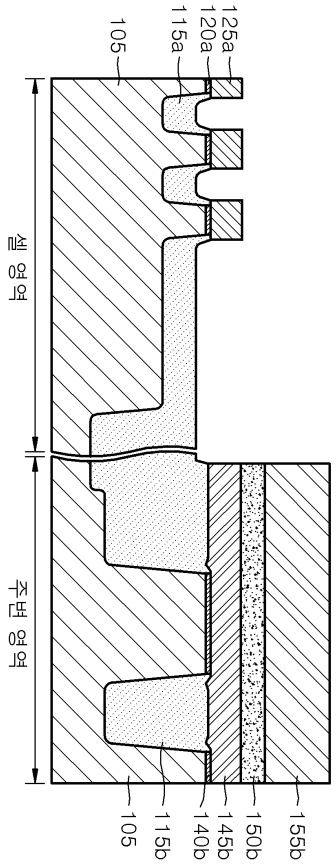
도면3



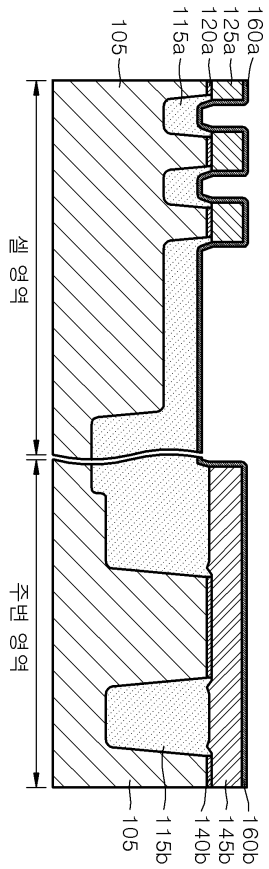
도면4


105
115a
120a
125a
130a
145a
150a
셀 영역
주변 영역
105
115b
140b
145b
150b

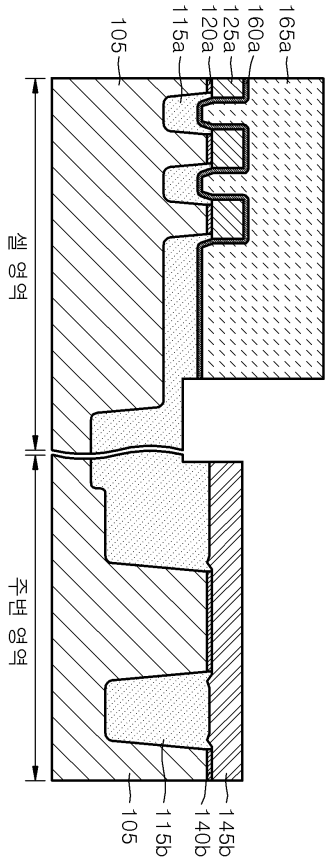
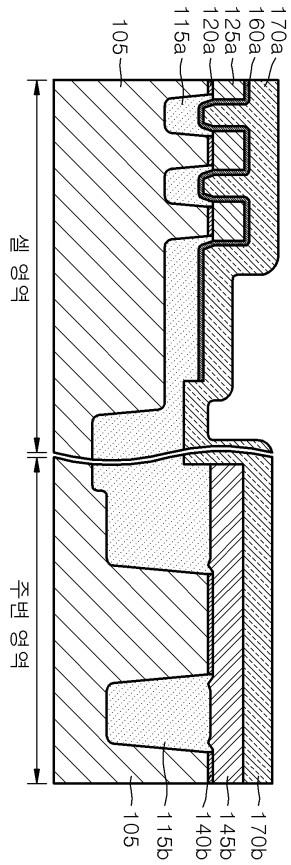
도면5



도면6



도면7



도면8