



República Federativa do Brasil
Ministério do Desenvolvimento, Indústria
e do Comércio Exterior
Instituto Nacional da Propriedade Industrial.

(21) **PI1000868-3 A2**



* B R P I 1 0 0 0 8 6 8 A 2 *

(22) Data de Depósito: 26/03/2010
(43) Data da Publicação: 22/03/2011
(RPI 2098)

(51) *Int.Cl.*:
H01L 21/822

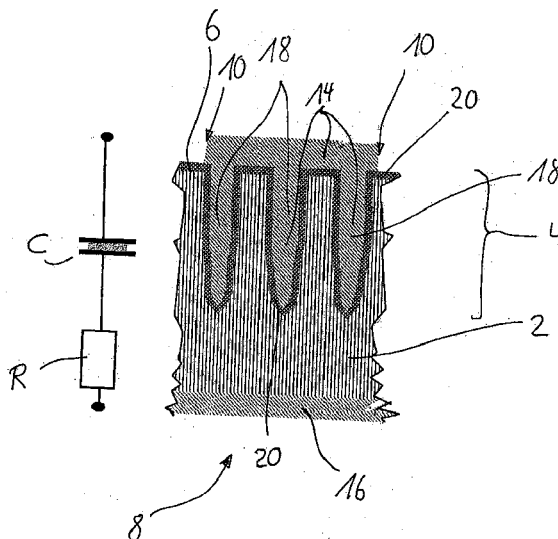
(54) Título: **MÉTODO PARA PRODUZIR UMA PLURALIDADE DE COMPONENTES SEMICONDUTORES INTEGRADOS**

(30) Prioridade Unionista: 26/03/2009 DE 10 2009 001 919.7

(73) Titular(es): Semikron Elektronik GMBH & CO. KG

(72) Inventor(es): Sven Berberich

(57) Resumo: MÉTODO PARA PRODUZIR UMA PLURALIDADE DE COMPONENTES SEMICONDUTORES INTEGRADOS. A presente invenção refere-se a um método para produzir uma pluralidade de componentes semicondutores integrados (8) em um suporte (2), em que uma estrutura básica ativa (4) é introduzida no suporte (2) de forma contínua pelo menos através de uma parte dos limites (10) dos componentes semicondutores (8) a serem criados, as regiões dos componentes semicondutores (8) no suporte (2) são definidas, uma camada de cobertura (14) é aplicada ao suporte (2) na região de cada componente semicondutor (8) com a ajuda de uma máscara (12), e o suporte (2) é dividido para formar os componentes semicondutores (8) nos limites (10) do mesmo.





Relatório Descritivo da Patente de Invenção para "MÉTODO PARA PRODUZIR UMA PLURALIDADE DE COMPONENTES SEMICONDUTORES INTEGRADOS".

Descrição

5 A presente invenção refere-se a um método para produzir uma pluralidade de componentes semicondutores integrados. Na tecnologia de semicondutores, os componentes semicondutores integrados geralmente não são produzidos individualmente, mas preferencialmente na montagem de um suporte, por exemplo, de uma pastilha de silício. Neste caso, então,
10 uma pluralidade de componentes é simultaneamente produzida em um único suporte, de uma maneira que envolve passar por várias etapas do processo.

Vários circuitos eletrônicos, pertencentes à eletrônica de potência, requerem, as assim denominadas redes amortecedoras, que dissipam energias parasitárias no circuito relevante ou as retiram do dito circuito e os
15 alimentam de novo mais tarde. Amortecedores, como circuitos deste tipo geralmente são chamados, consistem em interconexões simples de resistências, capacitâncias e indutâncias. Em um componente amortecedor deste tipo, por exemplo, um elemento RC, a energia parasitária é dissipada, por exemplo, sob a forma de calor.

20 A DE 10 2006 017 487 A1 descreve a produção de amortecedores em um projeto integrado, como um componente semicondutor integrado. De acordo com a publicação "Berberich, S.E.; Bauer, A.J.; Rysse, H., *High Voltage 3D-Capacitor*, 12ª Conferência Europeia em Eletrônica de Potência e Aplicações 2007 Anais EPE '07, 02 a 05 de setembro de 2007, Aalborg,
25 Dinamarca", é conhecido por fabricar componentes amortecedores integrados como amortecedores 3D em um processo de produção que constitui um derivativo de uma tecnologia padronizada CMOS de silício. As propriedades elétricas dos componentes são controladas, entre outros fatores, pela intensidade da adição de partículas nos materiais de semicondutores e a área ou
30 tamanho dos componentes.

Em outras palavras, etapas de fotolitografia são usadas para medir a área de base do componente ou definir a área de circuito integrado e

para padronizar a metalização.

A tecnologia descrita resulta em grande complexidade de engenharia de processo. Além disso, a complexidade para medir os componentes, isto é, no que se refere ao seu tamanho de circuito integrado, valor de capacitância e valor de resistência dos componentes amortecedores, é alta. Alterando a resistência, neste caso, por exemplo, a respectiva área do circuito integrado ou a adição de partículas na pastilha é alterada. Alterando a capacitância de um componente, a área do componente é alterada, por exemplo, uma área de aproximadamente $15 \mu\text{m}^2$ é requerida para produzir um capacitor de 15 nF com uma resistência dielétrica maior do que 200 V, e aproximadamente $20 \mu\text{m}^2$ para um capacitor de 20 nF.

É um objetivo da invenção, especificar um método em que componentes amortecedores 3D podem ser medidos de maneira mais simples durante sua produção.

A invenção é baseada no reconhecimento de que, no conhecido processo padronizado de CMOS, o tamanho do componente ou a área do componente tem que ser considerado em cada etapa individual do processo. A título de exemplo, quando se altera a área do componente de um capacitor integrado no sentido de alterar o valor da capacitância do mesmo, isto tem que ser considerado em todas as etapas de máscara do processo inteiro. Além disso, o reconhecimento de que amortecedores integrados consistem em uma estrutura básica ativa que é coberta por uma camada de cobertura padronizada, por exemplo, a metalização superior, é considerada. A estrutura básica não contém a camada de cobertura. A estrutura básica de per se é idêntica a componentes de dimensões diferentes. A estrutura básica é, a título de exemplo, furos que são introduzidos na pastilha e que são revestidos com um dielétrico no sentido de que finalmente forma um capacitor por meio da camada de cobertura.

A invenção é então baseada no conceito de produzir os componentes no suporte de tal modo que a estrutura básica ativa seja inicialmente produzida sem considerar os limites de componente reais subsequentes, de forma contínua, sem quaisquer intervalos, de forma ininterrupta ou planar-

mente, quer dizer, sem limites ou regiões de corte reservados, ao longo de todo o suporte. Em outras palavras, a estrutura básica não é padronizada de acordo com circuitos integrados individuais na região dos componentes que surgirão subsequentemente, e não é então limitada às dimensões desejadas do componente. Portanto, limites de componente ou regiões de corte subsequentes em que os componentes serão subsequentemente individualizados são inicialmente desconsiderados.

Em última instância, o componente não é delimitado a uma região específica do suporte até por meio da camada de cobertura. Então, não é até em uma próxima etapa que a delimitação real dos componentes surge por meio da aplicação direcionada das metalizações nas, e somente nas regiões que são subsequentemente planejadas para formar o respectivo componente individual. A metalização, quer dizer, o eletrodo superior ou lado de serragem do componente amortecedor é, neste caso, padronizada por meio de um método de máscara, por exemplo, uma denominada máscara de projetar sombra.

O objetivo é então alcançado por meio de um método de acordo com a reivindicação da Patente 1. O método serve para produzir uma pluralidade de componentes semicondutores integrados em um suporte e possui as seguintes etapas: a estrutura básica ativa é introduzida no suporte, como explicado acima, isto quer dizer, de forma contínua pelo menos através de uma parte dos limites de componentes a serem criados. É só então que as regiões dos componentes semicondutores no suporte são definidas. Em outras palavras, a posição, tamanho e forma de cada componente semicondutor ou os limites dos mesmos no suporte são definidos.

Em cada região que é planejada subsequentemente para constituir um componente semicondutor, uma camada de cobertura é então aplicada ao suporte ou à estrutura básica ativa com a ajuda de uma máscara ou um método de máscara. Finalmente, o suporte é dividido para formar os componentes semicondutores nos limites.

O método dispõe a vantagem significativa de que, em última instância, o tamanho do componente, forma ou posição no suporte seja apenas

definida com base na camada de cobertura ou o método de máscara, e os componentes semicondutores integrados a serem produzidos possam deste modo ser definidos em uma maneira particularmente simples com base nesta única etapa. Com base na estrutura da máscara no método de máscara, o tamanho do componente e deste modo, por exemplo, o valor de capacitância, o valor de resistência ou a área de circuito integrado podem consequentemente ser livremente medidos, isto quer dizer particularmente, de forma simples e com boa relação custo-benefício, no método. Isto reduz consideravelmente a despesa no que se refere ao desenvolvimento, engenharia de processo e custos para a produção de componentes semicondutores deste tipo.

Em uma modalidade preferida do método, elementos de estrutura idênticos dispostos um ao lado do outro, planarmente, são introduzidos como estrutura básica no suporte. Os elementos de estrutura deste tipo são geralmente de ordens de magnitude menores do que a área do componente semicondutor integrado. Em outras palavras, cada componente semicondutor integrado consiste em um número muito grande de tais elementos de estrutura idêntica. Em outras palavras, o dimensionamento do componente é efetuado pelo número de elementos de estrutura que o componente tem subsequentemente, isto quer dizer pela área do suporte coberta pelo componente semicondutor.

Particularmente para uma estrutura básica deste tipo é vantajoso que os elementos de estrutura possam ser introduzidos planarmente sobre o suporte inteiro sem considerar os limites de componente, o que também simplifica significativamente esta etapa do processo.

Em uma configuração preferida do método acima mencionado, estruturas furadas ou sulcadas são introduzidas como elementos de estrutura no suporte. Componentes amortecedores tendo estruturas furadas deste tipo são conhecidos, por exemplo, da DE 10 2006 017 487 A1 já citada. Estes estão particularmente bem adaptados para a produção de capacitores integrados.

De acordo com o método, a estrutura básica se estende pelo

menos através de uma parte dos limites dos componentes, isto quer dizer, também sobre regiões do suporte que têm que ser subsequentemente divididas durante a individualização dos componentes. Em uma configuração do método, a estrutura básica tem uma camada auxiliar, por exemplo, uma camada específica, que apresenta problemas, por exemplo, durante a individualização subsequente dos componentes. Estas são, por exemplo, partes da estrutura básica que causariam problemas, por exemplo, durante a separação do suporte, espalhariam, por exemplo, durante a serragem ou iriam produzir curtos-circuitos indesejáveis entre camadas individuais. Nesta versão do método, antes de o suporte ser dividido, nos limites dos componentes, a parte correspondente da camada auxiliar é subsequentemente removida novamente.

Em uma configuração do método mencionado, a parte discutida da estrutura básica é uma camada auxiliar mais elevada, que é então coberta pela camada de cobertura na etapa subsequente.

Em uma configuração adicional do método, é usado em polissilício como camada auxiliar. Além disso, pode ser usada TMAH (solução de hidróxido de tetrametilamônio) para remover a dita camada auxiliar. A TMAH pode, por exemplo, remover uma camada de polissilício altamente dopado como camada auxiliar, de maneira particularmente simples. Neste caso, o polissilício é igualmente depositado globalmente, isto quer dizer, sem considerar os limites, no suporte. Neste caso, a TMAH trabalha seletivamente com respeito ao metal da camada de cobertura nas regiões expostas, isto quer dizer, as regiões não cobertas por metal. A remoção da camada auxiliar, então, não requer mais uma etapa especial, desde que a metalização já aplicada atua como uma máscara para a TMAH.

Em uma modalidade adicional preferida do método, a camada de cobertura é produzida com a ajuda de uma máscara de projetar sombra. O uso de uma máscara de projetar sombra em uma etapa do processo pode ser realizada de uma maneira particularmente simples e com boa relação custo-benefício.

Em uma versão adicional do método, é aplicado metal como

camada de cobertura.

Em outra configuração do método, uma pastilha de silício é usada como suporte.

Em uma configuração adicional do método, um componente amortecedor baseado em semicondutor é produzido como componente semicondutor.

Em uma configuração deste método, um amortecedor 3D é produzido como componente semicondutor.

Para uma descrição adicional da invenção, é feita referência às versões exemplificativas nos desenhos, em que, em cada caso em um diagrama básico esquemático:

a figura 1 mostra um suporte com uma pluralidade de componentes semicondutores,

a figura 2 mostra um corte transversal através do suporte e um componente semicondutor,

a figura 3 mostra um corte transversal de acordo com a figura 2 para uma versão alternativa de um componente.

A figura 1 mostra uma pastilha de silício como suporte 2. A multiplicidade de componentes semicondutores 8 (somente três ilustrados) são subsequentemente planejados para surgir no suporte 2, mas a posição espacial exata dos ditos componentes semicondutores no suporte 2, não tem nenhuma significância qualquer para a primeira etapa do método descrito abaixo. Conseqüentemente, a posição e localização ou os limites dos componentes semicondutores 8 que irão surgir não têm que ser conhecidos para a primeira etapa do método, embora isto geralmente se aplique na técnica.

Uma estrutura básica 4 é então introduzida no suporte 2 na primeira etapa do método, sem considerar a posição subsequente ou em particular os limites dos componentes semicondutores 8, que somente irão surgir subsequentemente. A estrutura básica 4 é então introduzida na superfície 6 do suporte de forma ininterrupta, de forma contínua, sem quaisquer intervalos, sem considerar os limites subsequentes 10. A estrutura básica 4

é deste modo, não-padronizada, em particular no que se refere às regiões subsequentes dos componentes semicondutores 8, isto quer dizer, não é limitada às dimensões desejadas dos mesmos.

Em uma segunda etapa, os componentes semicondutores 8, ou os limites 10 dos mesmos são então planejados, identificados ou definidos na superfície 6 ou no suporte 2. Uma máscara 12 é produzida correspondentemente: na região de cada componente semicondutor 8, uma camada de cobertura 14, metal, no exemplo aqui, é então aplicada à estrutura básica 4 com a ajuda da máscara 12, uma máscara de projetar sombra, no exemplo. Em contraste com a aplicação da estrutura básica 4, isto é efetuado de forma a considerar os limites 10, isto quer dizer que a camada de cobertura 14 é seletivamente aplicada somente na região dos componentes semicondutores 8. Na região dos limites, o suporte permanece livre da camada de cobertura 14.

Em uma etapa final, o suporte 2 ou mais precisamente, os componentes semicondutores 8 são então individualizados por meio do suporte 2, na região dos limites 10, sendo divididos por toda sua espessura, isto quer dizer, junto com a estrutura básica 4 também presente lá.

A figura 2 mostra um corte transversal através do suporte 2 e um componente semicondutor 8. Na figura 2, o suporte 2 pode ser visto mais uma vez na forma de substrato de silício com uma metalização 16 como eletrodo inferior. Na figura 2, a estrutura básica 4 consiste em elementos de estrutura 18 que são gravados perpendicularmente no suporte 2 da superfície 6 e estão na forma de furos anisotrópicos ou estruturas sulcadas ou furadas e uma camada dielétrica 20, que cobre ambos a superfície 6 e os furos, isto quer dizer, todo o suporte 2. Os elementos de estrutura 18 são dispostos planarmente, lado a lado um do outro, de forma distribuída, sobre todo o suporte 2. Pode também ser discernido na figura 2 que a estrutura básica 4 mostrada se estende sem interrupção sobre todo o suporte 2, em particular não considera os limites 10 do componente semicondutor 8 ilustrado na figura 2. Na figura 2, a camada de cobertura mais elevada 14, também pode ser vista como metalização na forma de um eletrodo superior, que, porém, foi

depositado de forma delimitada ao componente semicondutor 8. Então, na região dos limites 10, nenhuma camada de cobertura 14 está situada no suporte 2.

O componente semicondutor 8 ilustrado na figura 2 é um assim
5 denominado amortecedor 3D tendo, entre a metalização 16 e a camada de
cobertura 14, o diagrama de circuito equivalente de um resistor R e de um
capacitor C como ilustrado na figura 2. Neste caso, ambos os valores de re-
sistência R e de capacitância C são determinados pela área básica ocupada
10 pelo componente semicondutor 8 no suporte 4. Em outras palavras, os dois
parâmetros R e C do componente amortecedor alterariam se, em vez dos
elementos de estrutura três por três 18 (quadrado, somente três visíveis na
vista em corte) ilustrados na figura 2, em cada caso os elementos de estrutu-
ra adjacentes 18 (quatro por quatro) foram também cobertos pela camada de
cobertura 14 e deste modo surgiu um componente composto por dezesseis
15 elementos de estrutura 18.

A figura 3 mostra uma modalidade alternativa de um componen-
te semicondutor 8, em que a estrutura básica 4 inclui adicionalmente uma
camada adicional 22 aplicada à camada dielétrica 20. A dita camada adicio-
nal foi depositada na forma de uma camada de polissilício dopado como elé-
20 trodo superior adicional em uma forma de cobertura de área no suporte 2.
Porém, desde que a camada 22 encurta o espaço livre isolante depois do
corte subsequente do suporte 2 na região dos limites 10 e iria, deste modo,
produzir arcos no componente semicondutor 8, após a aplicação da metali-
zação 16, a camada 22 como parte da estrutura básica é removida na região
25 dos limites 10 pela ação da TMAH 24 até que a camada 20 seja descoberta.

REIVINDICAÇÕES

1. Método para produzir uma pluralidade de componentes semicondutores integrados (8) em um suporte (2), em que:

5 - uma estrutura básica ativa (4) é introduzida no suporte (2) de forma contínua, pelo menos através de uma parte dos limites (10) dos componentes semicondutores (8) a serem criados,

- as regiões dos componentes semicondutores (8) no suporte (2) são definidos,

10 - uma camada de cobertura padronizada (14) é aplicada ao suporte (2) na região de cada componente semicondutor (8) com a ajuda de uma máscara (12),

- o suporte (2) é dividido para formar os componentes semicondutores (8) nos limites (10) do mesmo.

15 2. Método de acordo com a reivindicação 1, em que elementos de estrutura idêntica (18, 20, 22) dispostos lado a lado um do outro, planarmente, são introduzidos como estrutura básica (4) no suporte (2).

3. Método de acordo com a reivindicação 2, em que estruturas furadas ou sulcadas são introduzidas como elementos de estrutura (18, 20, 22) no suporte (2).

20 4. Método de acordo com qualquer uma das reivindicações 1 a 3, em que pelo menos uma parte da estrutura básica (4) é removida na região dos limites (10) antes de o suporte (2) ser dividido.

25 5. Método de acordo com reivindicação 4, em que a estrutura básica (4) tem uma camada auxiliar mais elevada (22), em que, como parte da estrutura básica (4), a camada auxiliar (22) é removida na região dos limites (10).

6. Método de acordo com a reivindicação 5, em que é usado polissilício como camada auxiliar (22).

30 7. Método de acordo com a reivindicação 5 ou 6, em que a camada auxiliar (22) é removida com a ajuda de TMAH (24).

8. Método de acordo com qualquer uma das reivindicações 1 a 7, em que a camada de cobertura (14) é produzida com a ajuda de uma

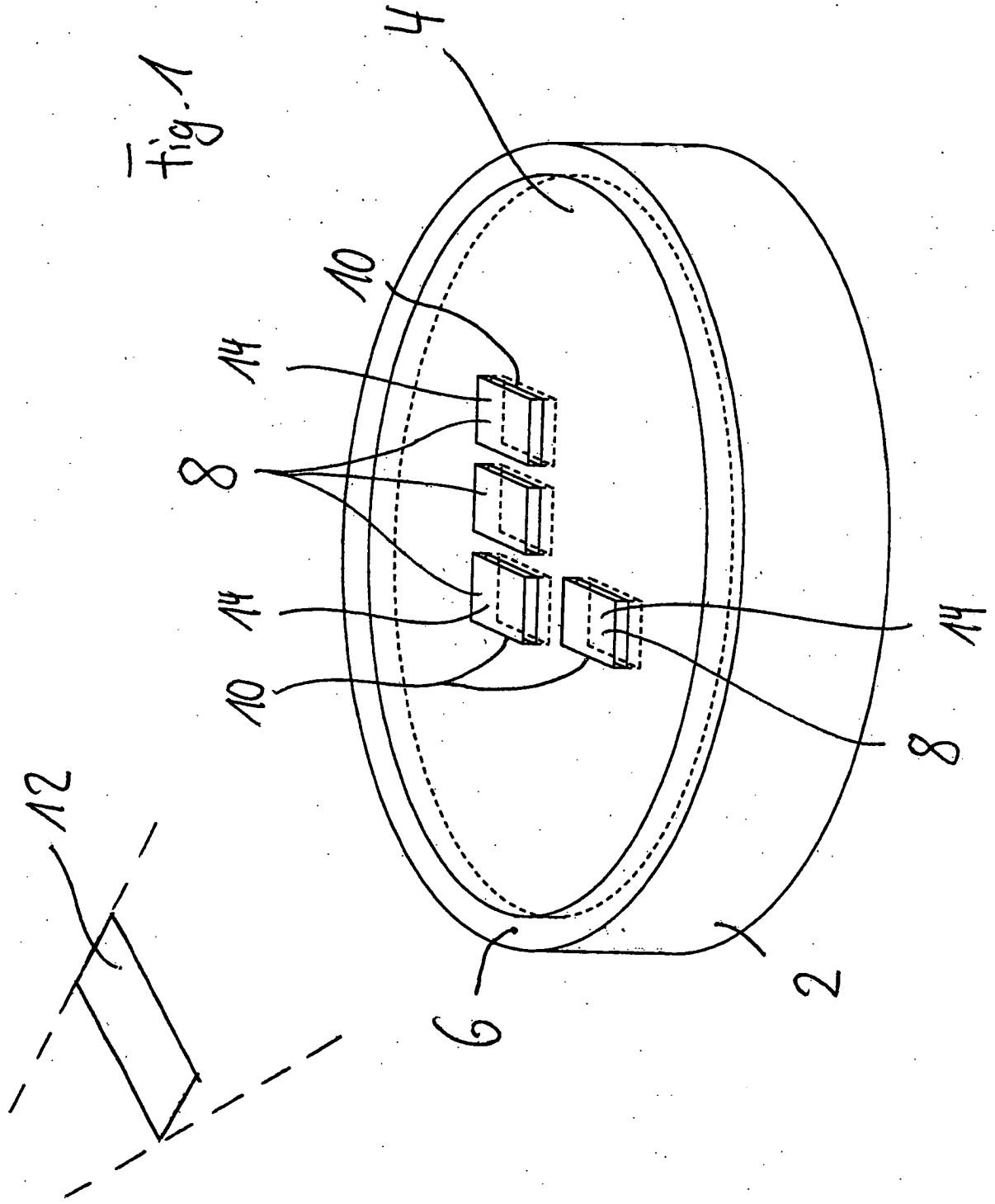
máscara de projetar sombras como máscara (12).

9. Método de acordo com qualquer uma das reivindicações 1 a 8, em que uma camada de metalização é aplicada como camada de cobertura (14).

5 10. Método de acordo com qualquer uma das reivindicações 1 a 9, em que uma pastilha de silício é usada como suporte (2).

11. Método de acordo com qualquer uma das reivindicações 1 a 10, em que componentes amortecedores baseados em semicondutores são produzidos como componentes semicondutores (8).

10 12. Método de acordo com a reivindicação 11, em que amortecedores 3D são produzidos como componentes semicondutores (8).



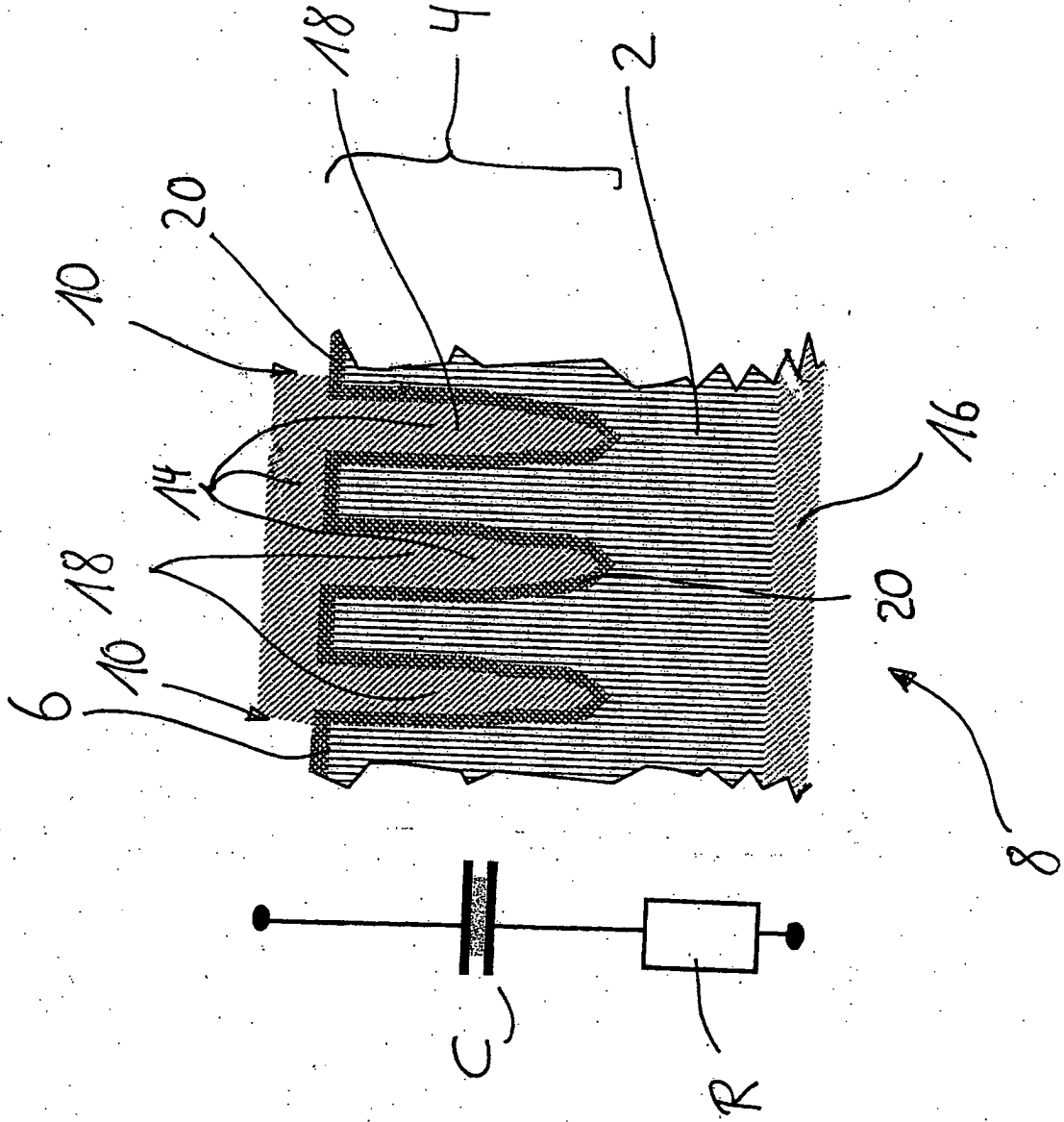


Fig.2

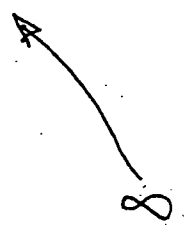
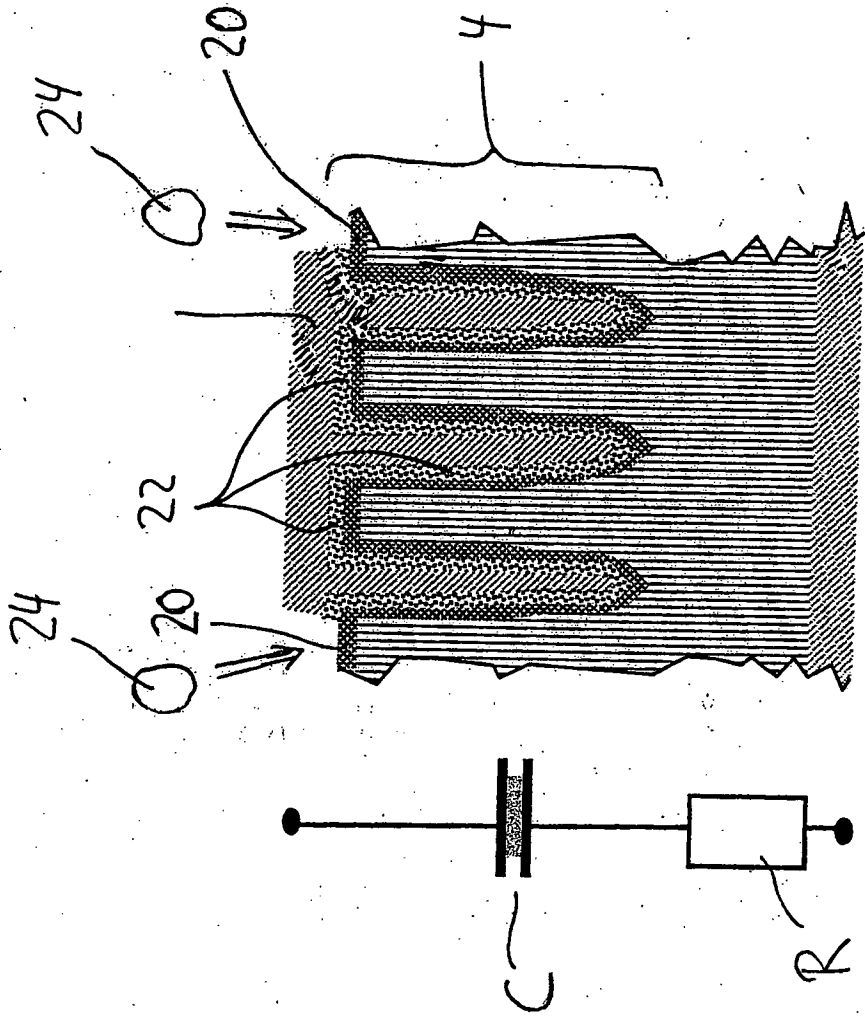


Fig. 3

RESUMO

Patente de Invenção: **"MÉTODO PARA PRODUZIR UMA PLURALIDADE DE COMPONENTES SEMICONDUTORES INTEGRADOS"**.

5 A presente invenção refere-se a um método para produzir uma pluralidade de componentes semicondutores integrados (8) em um suporte (2), em que uma estrutura básica ativa (4) é introduzida no suporte (2) de forma contínua pelo menos através de uma parte dos limites (10) dos componentes semicondutores (8) a serem criados, as regiões dos componentes semicondutores (8) no suporte (2) são definidas, uma camada de cobertura
10 (14) é aplicada ao suporte (2) na região de cada componente semicondutor (8) com a ajuda de uma máscara (12), e o suporte (2) é dividido para formar os componentes semicondutores (8) nos limites (10) do mesmo.