(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [6]
G11C 29/00

(45) 공고일자 2002년06월20일
(11) 등록번호 10-0329328
(24) 등록일자 2002년03월07일

(21) 출원번호 10-1997-0050906
(22) 출원일자 1997년10월02일

(65) 공개번호 특1998-0079394
(43) 공개일자 1998년11월25일

(30) 우선권주장 97-076162 1997년03월27일 일본(JP)

(73) 특허권자 미쓰비시덴키 가부시키가이샤
다니구찌 이찌로오, 기타오카 다카시
일본국 도쿄도 지요다쿠 마루노우치 2쵸메 2반 3고

(72) 발명자 츠쿠데 마사키
일본 도쿄도 지요다쿠 마루노우치 2-2-3 미쓰비시 덴키가부시끼 가이샤 내

(74) 대리인 김창세

심사관 : 이철희

(54) 반도체기억장치

요약

본 발명의 반도체 기억장치는 번인 등의 스트레스 가속시험에 있어서의 워드선 구동시의 전류를 저감함과 동시에, 이 스트레스 가속시험에 요하는 시간을 단축한다. 어드레스 버퍼(2)로부터 인가되는 어드레스신호에 대하여, 스트레스 가속모드 지시신호 BIAC의 활성화시, 소정의 내부 어드레스 신호비트를 축퇴상태로 하고, 나머지의 어드레스 신호비트를 유효상태로 하여, 모든 워드선 중의 원하는 수의 워드선을 동시에 선택상태로 구동한다. 동시에 선택상태로 되는 워드선의 수를 임의의 수로 설정할 수 있어, 스트레스 가속모드시에 있어서의 워드선 구동시에 흐르는 전류를 저감할 수 있다.

대표도

도 1

명세서

도면의 간단한 설명

도 1은 본 발명의 실시예 1에 따른 반도체 기억장치의 전체의 구성을 개략적으로 도시한 도면,

도 2는 도 1에 도시한 어드레스 신호비트의 구성을 개략적으로 도시한 도면,

도 3은 도 1에 도시한 반도체 기억장치의 동작을 도시한 신호 파형도,

도 4a 및 도 4b는 도 1에 도시한 어드레스 제어회로의 작용을 설명하기 위한 도면,

도 5는 도 1에 도시한 행 디코더/드라이버부의 구성을 개략적으로 도시한 도면,

도 6은 도 5에 도시한 패드 배치의 변형예의 구성을 개략적으로 도시한 도면,

도 7은 도 1에 도시한 어드레스 버퍼 및 어드레스 제어회로의 구성을 개략적으로 도시한 도면,

도 8은 도 1에 도시한 어드레스 버퍼 및 어드레스 제어회로의 구성을 개략적으로 도시한 도면,

도 9는 본 발명의 반도체 기억장치의 메모리블럭의 어드레스 비트 할당의 예를 도시한 도면,

도 10은 본 발명의 실시예 1의 반도체 기억장치의 변형예 1의 구성을 개략적으로 도시한 도면,

도 11은 도 1에 도시한 제어클럭 발생회로의 스트레스 가속모드 지시신호 발생부의 구성을 개략적으로 도시한 도면,

도 12는 도 11에 도시한 회로의 동작을 도시한 신호 파형도,

도 13은 본 발명의 실시예 2에 따른 반도체 기억장치의 주요부의 구성을 개략적으로 도시한 도면,

도 14는 도 13에 도시한 반도체 기억장치의 동작을 도시한 신호 파형도,

도 15는 도 13에 도시한 비트선 프리차지전압 전환회로의 구성을 개략적으로 도시한 도면,

도 16은 도 13에 도시한 셀 플레이트전압 전환회로의 구성을 개략적으로 도시한 도면,

도 17은 도 16에 도시한 셀 플레이트전압 전환회로의 변형예의 구성을 개략적으로 도시한 도면,

도 18은 본 발명의 실시예 3에 따른 반도체 기억장치의 주요부의 구성을 개략적으로 도시한 도면,

도 19는 도 18에 도시한 워드선 드라이버의 구성을 개략적으로 도시한 도면,

도 20은 도 18에 도시한 전류제한회로의 구성의 일례를 도시한 도면,

도 21은 본 발명의 실시예 3에 따른 반도체 기억장치의 변형예 1의 구성을 개략적으로 도시한 도면,

도 22는 도 21에 도시한 접지선을 위한 전류제한회로의 구성의 일례를 도시한 도면,

도 23은 본 발명의 실시예 3에 따른 반도체 기억장치의 변형예 2의 구성을 개략적으로 도시한 도면,

도 24는 본 발명의 실시예 4에 따른 반도체 기억장치의 전체의 구성을 개략적으로 도시한 도면,

도 25는 종래의 반도체 기억장치의 주요부의 구성을 개략적으로 도시한 도면,

도 26은 도 25에 도시한 반도체 기억장치의 스트레스 가속모드의 동작파형을 도시한 도면.

도면의 주요 부분에 대한 부호의 설명

1: 메모리 셀 어레이2: 어드레스 버퍼

3: 어드레스 제어회로4: 행 프리 디코더

5: 행 디코더/드라이버6: 제어 클럭 발생회로

MB0 MBn: 메모리 블럭SB0 SBn: 센스 앰프대

12, 17a: 패드3a, 3c: OR 회로

3b, 3d: AND 회로23 23-m: 버퍼 제어회로

30: 제어클럭 발생회로30a: 지연회로

30b: NOR 회로30c: OR 회로

32: 전환회로34: 전환회로

SA: 센스 앰프BEQ: 비트선 이퀄라이즈 회로

MC: 메모리 셀MT: 액세스 트랜지스터

MQ: 메모리 셀 캐패시터52: 행 디코더

54: 워드선 드라이버56: Vpp 발생회로

57: 패드58: 전류 제한회로

54a0 54ax: 워드선 드라이브 회로64a, 64b: 접지선

66: 접지패드68: 전류제한회로

MB0 MBq: 메모리 블럭

RDD0 RDDq: 행 디코더/드라이버72-0 72-q: 전류제한회로

80: 제어클럭 발생회로

80a: 스트레스 가속모드 검출회로80b: 센스 앰프 제어회로

80c: 이퀄라이즈 제어회로

BEQG0 BEQGn: 비트선 이퀄라이즈 회로군

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 기억장치에 관한 것으로, 특히, 번인(burn-in)시험 등의 전압 스트레스 가속시험을 실행하기 위한 구성에 관한 것이다. 보다 구체적으로는, 본 발명은 다이나믹형 반도체 기억장치의 전압 스트레스 가속시험의 고속화 및 고신뢰화에 관한 것이다.

일반적으로, 반도체 기억장치를 제조하여 출하하는 경우, 그 출하된 반도체 기억장치의 신뢰성을 확보하기 위해서, 출하 전에 반도체 기억장치의 잠재적인 불량을 드러내어, 초기불량을 일으킬 가능성이 있는 반도체장치를 제거하는 스크리닝(screening)이 실행된다. 이러한 스크리닝 방법 중 하나로서, 고온 및 고전압을 반도체장치에 인가하여 반도체장치를 동작시키는 번인(burn-in)시험이 있다. 이 번인 시험은, 인가전압을 실제사용전압보다도 높게 설정하고 또한 주위온도를 실제사용온도보다도 높게 하여, 반도체장치를 동작시킴으로써 반도체 장치가 실제사용 조건하에서의 초기 고장기간 이상의 스트레스를 단시간 내에 경험하도록 하여, 초기동작불량이 발생될 가능성이 있는 반도체장치를 출하 전에 미리 선별하는 시험이다. 이러한 스크리닝 테스트에 의해, 초기동작불량을 일으킬 가능성이 있는 반도체장치를 효율적으로 제거하여, 제품의 신뢰성을 개선한다.

대기억 용량의 반도체장치에 있어서, 메모리 셀 행에 대응하여 배치되는 워드선의 수는 증대한다(예를 들면, 64M 비트 DRAM(다이나믹 랜덤 액세스 메모리)에 있어서, 8K 워드선). 1사이클에 있어서 워드선을 통상 동작모드시와 같은 수를 선택하고, 어드레스 스캔을 실행하여 순차적으로 워드선의 전압 스트레스를 인가하여 번인 시험을 실행하는 경우, 각 워드선은, 8K/n 사이클에 1회 선택될 뿐이다. 여기서, n은 통상 동작시에 동시에 선택되는 워드선의 수를 나타낸다. 따라서, 각 워드선에 대한 전압 스트레스 인가시간이 줄어든다. 충분한 전압 스트레스를 각 워드선에 인가하기 위해서는 워드선을 반복하여 선택해야 할 필요가 있으며, 번인시험 시간이 길고 또한 워드선의 수가 증대하면, 이에 따라 번인 시험시간도 길어지게 된다.

이러한 번인시험을 고속으로 실행하기 위해서, 모든 워드선을 동시에 선택하여, 각 워드선에 직류전압 스트레스를 인가하는 방법이 제안되고 있다(일본 특허공개 평성4-225182호 공보참조).

도 25는, 종래의 반도체 기억장치의 주요부의 구성을 개략적으로 도시한 도면이다. 도 25에 있어서, 종래의 반도체 기억장치는 복수 행과 복수 열로 배열되는 복수의 메모리 셀 MC와, 메모리 셀의 각 행에 대응하여 배치되어, 각각에 대응하는 행의 메모리 셀이 접속하는 복수의 워드선 WL0 WLn과, 메모리 셀의 각 열에 대응하여 배치되어, 각각에 대응하는 열의 메모리 셀이 접속하는 복수의 비트선쌍을 포함한다. 도 25에 있어서는, 1개의 비트선쌍 BL, /BL을 대표적으로 도시한다. 메모리 셀 MC는, 정보를 기억하기 위한 메모리 캐패시터 MQ와, 대응하는 워드선(WL0 WLn)상의 신호 전위에 응답하여 도통하며, 메모리 캐패시터 MQ를, 대응하는 비트선(BL 또는 /BL)에 접속하는 n채널 MOS 트랜지스터로 구성되는 액세스 트랜지스터 MT를 포함한다. 메모리 캐패시터 MQ의 한쪽 전극노드(셀 플레이트 전극)에는, 일정한 셀 플레이트 전압 Vcp가 인가된다.

종래의 반도체 기억장치는, 또한 외부로부터 인가되는 어드레스 신호를 버퍼처리하여, 내부 어드레스 신호를 생성하는 어드레스 버퍼 AB와, 어드레스 버퍼 AB로부터 인가되는 내부 행 어드레스 신호를 디코딩하여 어드레스지정된 행에 대응하는 워드선을 선택하기 위한 워드선 선택신호를 발생하는 행 디코더 RD와, 이 행 디코더 RD로부터의 워드선 선택신호에 따라 이 선택된 워드선상에 승압전압 Vpp를 전달하는 워드선 드라이버 WD를 포함한다. 이 승압전압 Vpp는, 동작 전원 전압보다도 높은 전압레벨이다.

행 디코더 RD는 패드 PDa를 거쳐서 인가되는 번인모드 지시신호 ΦBRN의 활성화시, 어드레스 버퍼 AB로부터 인가되는 내부 어드레스 신호비트를 그들의 논리상태에 관계없이, 모든 워드선을 선택상태로 하는 신호를 발생한다.

이 반도체 기억장치는, 또한 승압전압 Vpp를 발생하는 Vpp 발생회로 VPG와, 패드 PDb로부터 인가되는 전압 Ve와 Vpp 발생회로 VPG로부터의 전압 중 한쪽을 번인모드 지시신호 ΦBRN에 따라 선택하여 워드선 드라이버 WD로 승압전압 Vpp로서 전달하는 전환회로 SWa를 포함한다. 번인모드 이외의 동작모드시(이하, 통상동작모드로 칭한다)에 있어서는, 전환회로 SWa는 Vpp 발생회로 VGP로부터의 전압을 선택하고, 번인모드시에 있어서는, 패드 PDb에 외부로부터 인가되는 전압 Ve를 선택한다. 이 반도체 기억장치는, 또한 번인모드 지시신호 ΦBRN에 따라, 소정의 중간전압 Vb1과 접지전압 Vss의 한쪽을 선택하는 전환회로 SWb와, 비트선쌍 BL, /BL 각각에 대응하여 마련되어, 활성화시 이 전환회로 SWb로부터 인가되는 전압을 대응하는 비트선쌍의 각 비트선 BL 및 /BL로 전달하는 비트선 이퀄라이즈회로 BEQ를 포함한다. 전환회로 SWb는, 통상동작모드시에 있어서는, 중간전압 Vb1을 선택하고, 번인모드시에는 접지전압 Vss를 선택한다. 다음에, 도 25에 도시한 반도체 기억장치의 번인모드시의 동작에 대하여, 도 26을 참조하여 설명한다.

번인모드시에 있어서는, 패드 PDa에 인가되는 번인모드 지시신호 ΦBRN이 H레벨의 활성상태로 된다. 번인모드 지시신호 ΦBRN의 활성화에 응답하여, 전환회로 SWa가 패드 PDb에 인가되는 외부전압 Ve를 선택하여 워드선 드라이버 WD로 인가한다. 또한 전환회로 SWb는 중간전압 Vb1대신에, 접지전압 Vss를 선택한다. 비트선 이퀄라이즈회로 BEQ는 도시하지 않은 경로를 거쳐서, 번인모드 지시신호 ΦBRN의 활성화에 응답하여 활성화되어, 비트선 BL 및 /BL을 모두 접지전압 Vss 레벨로 유지한다.

이 상태에 있어서, 도시하지 않은 행 어드레스 스트로브신호 /RAS의 활성화에 따라 행 디코더 RD가 활성화되어, 디코드동작을 실행한다. 이 디코드동작시에 있어서, 번인모드 지시신호 ΦBRN이 활성상태에 있어, 행 디코더 RD는, 어드레스 버퍼 AB로부터 인가되는 어드레스 신호비트의 논리상태에 관계없이, 모든 워드선 WL0 WLn을 선택하는 신호를 발생한다. 워드선 드라이버 WD는 이 행 디코더 RD로부터의 행 선택신호에 따라, 워드선 WL0 WLn 상에 패드 PDb로부터 인가된 외부전압 Ve를 전달한다. 워드선 WL0 WLn에는, 외부전압 Ve가 인가되고, 메모리 셀 MC의 액세스 트랜지스터 MT의 게이트의 전압 스트레스가 가속된다. 이 때에, 또한 각 비트선 BL 및 /BL의 전위를 L 레벨로 설정하는 것에 의해, 액세스 트랜지스터 MT의 게이트-드레인 간의 전압 스트레스도 가속된다. 이 워드선 WL0 WLn에 항상 외부전압 Ve를 인가함에 따라, 직류전압 스트레스가 인가되어, 번인모드 기간중 계속하여 워드선 WL0 WLn에 전압 스트레스를 인가할 수 있어, 효율적인 번인을 실행할 수 있다. 또한, 모든 워드선 WL0 WLn을 동시에 선택상태로 구동하고 있기 때문에, 순차적으로 워드선을 선택하여 전압 스트레스를 인가하는 구성에 비해서, 번인시간을 단축할 수 있다.

번인모드가 완료하면, 워드선 WL0 WLn의 모두는 (행 어드레스 스트로브신호 /RAS의 비활성화에 응답해서) 비선택상태로 구동된다. 그 후, 번인모드 지시신호 ΦBRN을 L레벨의 비활성상태로 하여, 전환회로 SWb를 중간전압 Vb1을 선택하는 상태로 설정한다. 번인모드 동작완료후에 있어서도, 이 반도체 기억장치의 스탠바이시에 있어서 비트선 이퀄라이즈 회로 BEQ가 활성상태에 있어, 비트선 BL 및 /BL이 중간전압 VBL의 레벨로 프리차지된다. 행 디코더 RD도, 또한 어드레스 버퍼 AB로부터 인가되는 어드레스 신호에 따른 디코드동작을 실행하도록 설정된다.

발명이 이루고자 하는 기술적 과제

외부로부터의 전압을 이용하여 번인시험시에 모든 워드선으로의 구동전압을 전달하는 것에 의해, 온칩의 Vpp 발생회로 VPG의 구동능력의 영향을 받는 일 없이 모든 워드선을 선택상태로 유지하는 것이 가능해진다. 그러나, 이 모든 워드선

을 선택상태로 구동하는 경우, 패드 PDb로부터 모든 워드선을 선택상태로 구동하기 위해 전류가 공급되기 때문에, 큰 전류가 흐른다. 이 큰 전류에 의해, 워드선 드라이버 WD로 승압전압을 전달하는 신호선에 있어서의 알루미늄의 마이그레이션(migration) 등이 발생하여, 이 고전압 전달선의 열화가 발생할 가능성이 있다고 하는 문제가 발생한다. 즉, 번인시험에 있어서, 존재하지 않았던 불량을 새롭게 생성하기 때문에, 양품의 반도체 기억장치가 불량품으로 된다고 하는 문제가 발생한다.

또한, 이 번인시험시에 있어서, 비트선 BL 및 /BL에는, 접지전압 Vss가 인가되고 있다. 이 경우, 셀 플레이트 전압 Vcp는 일정한 전압레벨로 유지되어 있다. 액세스 트랜지스터 MT의 게이트-드레인간에는, 스트레스 조건이 가속된 전압이 인가되어, 액세스 트랜지스터 MT의 전압 스트레스를 가속할 수 있다. 이 때, 이 비트선 BL 또는 /BL의 접지전압 Vss가 메모리 캐패시터 MQ의 다른쪽 전극(저장노드)에 전달된다. 이 메모리 셀 캐패시터 MQ의 셀 플레이트 전압 Vcp는 비트선 프리차지전압 Vb1과 마찬가지로 중간전압레벨이고, 동작전원전압 Vcc의 1/2의 전압레벨이다. 따라서, 이 경우, 메모리 캐패시터에 대하여도 전압 스트레스가 가속된다. 이 메모리 셀 캐패시터의 전압 스트레스 가속조건과 액세스 트랜지스터의 게이트 절연막에 대한 전압 스트레스 가속조건이 같지 않은 경우, 이들 캐패시터 및 액세스 트랜지스터의 신뢰성 평가를 동시에 실행할 수 없다. 그러나, 이 셀 플레이트 전압 Vcp는 통상동작시와 마찬가지로 전원전압 Vcc의 1/2로 유지되고, 한편 워드선 구동전압은 외부로부터의 전압 Ve에 따라 설정되며, 이들 메모리 캐패시터 및 액세스 트랜지스터의 전압 스트레스의 가속조건을 동일하게 할 수가 없어, 메모리 캐패시터의 신뢰성 평가에 대해서는, 이 액세스 트랜지스터 신뢰성 평가와 별도의 전압 스트레스 가속 시험을 실행할 필요가 있다.

그러므로, 본 발명의 목적은 전압 스트레스 가속시험을 고속 및 안정적으로 행할 수 있는 반도체 기억장치를 제공하는 것이다.

본 발명의 다른 목적은, 메모리 셀의 액세스 트랜지스터의 게이트 절연막 및 메모리 셀 캐패시터 유전체막의 전압 스트레스 가속을 동시에 실행할 수 있는 반도체 기억장치를 제공하는 것이다.

발명의 구성 및 작용

본 발명의 제 1 특징에 따른 반도체 기억장치는, 행렬 형태로 배열되는 복수의 메모리 셀을 갖는 메모리 셀 어레이와, 각 행에 대응하여 배치되어, 각각에 대응하는 행의 메모리 셀이 접속되는 복수의 워드선과, 다중비트 어드레스 신호를 받아, 다중비트 내부어드레스신호를 생성하는 어드레스 버퍼와, 어드레스 버퍼로부터의 내부 어드레스신호에 따라 복수의 워드선의 어드레스지정된 행에 대응하는 워드선을 선택상태로 구동하기 위한 행 선택수단과, 스트레스 가속모드 지시신호의 활성화에 응답하여, 내부 어드레스 신호의 소정의 내부 어드레스 신호비트를 선택상태로 설정하고 또한 나머지의 내부 어드레스 신호비트를 인가된 어드레스 신호비트에 대응하는 상태로 설정하는 어드레스 제어수단을 구비한다.

본 발명의 제 2 특징에 따른 반도체 기억장치는, 제 1 특징의 어드레스 제어수단이, 소정의 내부 어드레스 신호비트 각각에 대응하여 마련되어, 스트레스 가속모드 지시신호의 활성화에 응답하여 대응하는 내부 어드레스 신호비트의 논리레벨에 관계없이 그 출력신호를 선택상태로 설정하는 제 1 게이트수단과, 나머지의 어드레스 신호비트 각각에 대응하여 마련되어, 항상 비활성상태로 되는 신호에 응답하여 대응하는 내부 어드레스 신호비트에 대응하는 논리레벨의 신호를 출력하는 제 2 게이트수단을 포함한다. 이들 제 1 및 제 2 게이트수단은, 동일한 논리구성을 구비한다.

본 발명의 제 3 특징에 따른 반도체 기억장치는, 제 1 특징의 장치에 있어서, 메모리 셀 어레이는, 각각이 복수의 행을 갖는 복수의 행 블럭으로 분할되고, 나머지의 내부 어드레스 신호비트는 복수의 행 블럭 중 소정수의 행 블럭을 지정하는 블럭 어드레스를 구성한다.

본 발명의 제 4 특징에 따른 반도체 기억장치는, 제 1 특징의 장치에 있어서, 메모리 어레이가 각각이 복수의 행을 갖는 복수의 행 블럭으로 분할되고, 소정의 내부 어드레스 신호비트는, 이들 복수의 행 블럭 중 행 블럭을 지정하는 블럭 어드레스 신호비트의 일부 및 행 블럭내의 행을 지정하는 행 어드레스 신호비트의 일부의 양자를 포함한다.

본 발명의 제 5 특징에 따른 반도체 기억장치는, 제 1 특징 내지 제 4 특징의 어느 한 특징으로부터의 장치에 있어서, 메모리 셀의 각각이, 한쪽 전극에서 셀 플레이트 전압을 받는 캐패시터와, 이 캐패시터 기억정보를 판독하기 위한 액세스 트랜지스터를 포함하며, 또한 각 열에 대응하여 마련되어, 각각에 대응하는 열의 메모리 셀이 접속하는 복수의 비트선쌍과, 이들 복수의 비트선쌍 각각에 대응하여 마련되어, 활성화시 대응하는 비트선쌍의 각 비트선을 소정 전압으로 유지하기 위한 복수의 비트선 전압유지회로와, 스트레스 가속모드 지시신호의 활성화에 응답하여, 비트선 전압유지회로를 통해 각 비트선에 통상동작모드시의 전압레벨과 다른 전압레벨의 기준전압을 전달하는 비트선 전압조정수단과, 스트레스 가속모드 지시신호의 활성화에 응답하여, 셀 플레이트 전압의 전압레벨을 변경하는 수단을 포함한다.

본 발명의 제 6 특징에 따른 반도체 기억장치는, 제 1 특징 내지 제 4 특징으로부터의 어느 한 장치가, 스트레스 가속모드 동작시에, 행 선택수단을 거쳐서 선택 워드선상으로 전달되는 전압을 외부로부터 받기 위한 구동 전원노드와, 이 구동 전원노드와 행 선택수단과의 사이에 마련되어, 이 구동 전원노드로부터 행 선택수단과의 사이에 흐르는 전류량을 제한하는 전류 제한수단을 더 구비한다.

소정의 내부 어드레스 신호비트를 선택상태로 설정함에 따라, 번인 등의 스트레스 가속동작모드시, 동시에 선택되는 워드선의 수를 적당한 값으로 설정할 수 있어, 워드선 구동시에 대전류가 흐르는 것을 방지할 수 있다.

또한, 스트레스 가속모드시, 비트선을 소정전압레벨로 설정하고 또한 셀 플레이트 전압의 값을 조정하는 것에 의해, 액세스 트랜지스터의 게이트 절연막 및 메모리 셀 캐패시터의 유전체막을 동일 가속조건으로 전압 스트레스를 인가할 수 있어, 액세스 트랜지스터 및 메모리 캐패시터에 대한 전압 스트레스 가속시험을 동시에 실행할 수 있다.

또한, 전류제한수단에 의해 워드선 구동시에 흐르는 전류를 제한하는 것에 의해, 임의의 수의 워드선을 안정적으로 선택상태로 구동할 수 있어, 신뢰성이 높은 스트레스 가속시험을 그 테스트시간을 단축하여 실행할 수 있다.

(실시예 1)

도 1은 본 발명의 실시예 1에 따른 반도체 기억장치의 전체의 구성을 개략적으로 도시한 도면이다. 도 1에 있어서, 메모리 셀 어레이(1)는, 각각이 행렬 형태로 배열되는 복수의 메모리 셀을 갖는 복수의 메모리 블럭 MB0 MBn으로 분할된다. 이들 메모리 블럭 MB0 MBn의 사이의 영역 및 어레이의 외측에, 활성화시 대응하는 메모리 블럭의 비트선쌍상의 데이터를 감지 증폭하는 센스 앰프대 SB0 SBn+1이 마련된다. 메모리 블럭 MB0 MBn 각각에 있어서도 메모리 셀의 각 행에 대응하여 워드선이 배치되고, 메모리 셀의 각 열에 대응하여 비트선쌍이 배치된다. 센스 앰프대 SB0 SBn은, 각 비트선쌍에 대응해서 마련되는 센스 앰프를 포함한다.

메모리 셀은, 도 25에 도시한 메모리 셀 MC의 구성과 마찬가지로 1 트랜지스터/1 캐패시터 형태의 구성을 구비한다.

반도체 기억장치는, 또한 행 어드레스 래치 지시신호 RAL에 응답하여, 외부로부터 인가되는 어드레스신호비트 Adm Ad0을 래치하여 내부 어드레스신호 비트 Ad, /Ad를 생성하는 어드레스 버퍼(2)와, 스트레스 가속모드 지시신호 BIAC의 활성화에 응답하여, 이 어드레스 버퍼(2)로부터 인가되는 내부 어드레스 신호비트 Ad, /Ad를 각 비트마다 그 논리상태를 지정하고 또한 행 어드레스 인에이블신호 RADE에 따라 어드레스 비트를 출력하는 어드레스 제어회로(3)와, 이 어드레스 제어회로(3)로부터 인가된 내부 어드레스 신호비트 RAD를 프리 디코드하여, 프리 디코드신호 X를 생성하는 행 프리 디코더(4)와, 이 행 프리 디코더(4)로부터의 프리 디코드신호 X에 따라 메모리 셀 어레이(1)의 선택 블럭의 선택 행상에 승압전압 Vpp를 전달하는 행 디코더/드라이버(5)를 포함한다.

이 어드레스 제어회로(3)는 그 구성이 상세히 후술되지만, 스트레스 가속모드 지시신호 BIAC 활성화시, 어드레스 버퍼(2)로부터 인가되는 내부 어드레스 신호비트 Ad 및 /Ad 중 미리 정해진 어드레스 신호비트를 그 논리상태에 관계없이 선택상태(상보 어드레스 신호비트 Ad, /Ad가 모두 H레벨의 축퇴상태)로 설정하고, 나머지의 어드레스 신호비트를 그 논리상태에 따른 논리레벨로 설정하여 출력한다. 내부 어드레스 신호비트 Ad, /Ad를 선택적으로 선택상태로 설정하는 것에 의해, 원하는 수의 워드선을 동시에 선택상태로 할 수 있어, 모든 워드선을 동시에 선택상태로 하는 경우에 비해서, 워드선 구동시에 있어서의 전류를 저감한다.

이 반도체 기억장치는, 또한 외부로부터 인가되는 행 어드레스 스트로브신호 /RAS, 열 어드레스 스트로브신호 /CAS, 기록 인에이블신호 /WE 및 출력 인에이블신호 /OE에 따라 각종 내부 제어신호를 발생하는 제어클럭 발생회로(6)를 포함한다. 도 1에 있어서는, 행 어드레스 래치 지시신호 RAL, 행 어드레스 인에이블신호 RADE, 센스 앰프 활성화신호 SNP, 비트선 이퀄라이즈 지시신호 BEQ 및 스트레스 가속모드 지시신호 BIAC를 대표적으로 도시한다.

도 2는 어드레스 신호비트의 구성을 도시한 도면이다. 도 2에 있어서, 어드레스 신호비트 Adm Ad0 중 임의의 어드레스 신호비트 Adm Adi는, 메모리 블럭 MB0 MBn 중 소정수(1 또는 2)의 메모리 블럭을 특정하는 블럭특정 어드레스이다. 나머지의 어드레스 신호비트 Adj Ad0은, 각 블럭내에서의 행, 즉 워드선을 특정하는 워드선 특정어드레스이다. 행 프리 디코더(4)의 프리 디코드에 의해, 블럭특정 어드레스신호의 프리 디코드신호 XB 및 메모리 블럭내 워드선 특정용 프리 디코드신호 XW가 생성된다. 다음에, 도 1에 도시한 반도체 기억장치의 동작을 도 3에 도시한 동작 파형도를 참조하여 설명한다. 이하에서는, 비트불량의 스크리닝을 대상으로 하는 워드선 전압가속에 대하여 설명한다.

어드레스 제어회로(3)는, 스트레스 가속모드 지시신호 BIAC에 따라 블럭특정 어드레스 신호비트 Adm-Adi(=Ad< m:i>)에 대하여, 이 어드레스 버퍼(2)로부터 인가되는 내부 어드레스 신호비트에 대한 논리상태로 설정하고, 또한 나머지의 어드레스 신호비트의 블럭내 워드선 특정 어드레스비트 Adj Ad0(=Ad< j:0>)는, 항상 선택상태(축퇴상태)로 설정하는 상태로 된다. 도 3에 있어서는, 스트레스 가속모드 지시신호 BIAC가, 각 어드레스 신호비트에 대하여 발생되도록 도시된다. 따라서, 이 비트마다의 어드레스 제어에 따라, 스트레스 가속모드 지시신호 BIAC< j:0> 가, 활성상태의 H 레벨이고, 스트레스 가속모드 지시신호 BIAC< m:i> 가 비활성상태이다. 따라서, 이 설정상태에 있어서는, 블럭내 워드선 특정신호가 전부 선택상태로 설정되고, 한편 블럭특정 어드레스 신호비트만이 유효로 된다.

행 어드레스 스트로브신호 /RAS가 L레벨의 활성상태로 하강하면, 소정시간 경과후 행 어드레스 래치 지시신호 RAL이 H레벨로 상승한다. 이 행 어드레스 래치 지시신호 RAL에 따라 어드레스 버퍼(2)가 래치상태로 되어, 그 때에 인가되고 있는 어드레스 신호비트 Adm-Ad0을 취입하고 내부 행 어드레스 신호비트 Ad, /Ad를 출력한다. 어드레스 제어회로(3)가 이 어드레스 버퍼(2)중, 각 블럭내 워드선 특정 어드레스 비트 Ad< j:0> 를 모두 선택상태로 하여, 한쪽 블럭 특정어드레스를 유효상태(인가된 어드레스 신호비트에 대응한 비트)로서 출력한다. 따라서, 어드레스 제어회로(3)로부터의 행 어드레스 비트 RAD< j:0> 가 전부 선택상태로 되고, 블럭 특정 어드레스 신호비트 RAD< m:i> 가 유효상태로 된다.

프리 디코더(4)가 이 어드레스 제어회로(3)를 거쳐서 인가되는 어드레스 신호비트 RAD< m:0> 를 프리 디코드하여, 워드선 특정신호 XW를 전부 선택상태로 설정하고, 한편 블럭 특정 어드레스신호 XB를 유효상태로하여, 1개의 메모리 블럭을 지정한다.

다음에, 행 디코더/드라이버(5)가 활성화되어, 이 행 프리 디코더(4)로부터 인가된 프리 디코드신호 X(XW, XB)를 디코드하여, 선택된 블럭내의 워드선 WL0-511을 전부 선택상태로 구동하고, 이들의 워드선상에 고전압 Vpp를 전달한다. 나머지의 메모리 블럭에 있어서의 워드선은 전부 비선택상태로 유지된다. 여기서, 1개의 메모리 블럭에 있어서 워드선 WL이 512개 마련되는 경우가 일례로서 도시된다.

도 4a 및 도 4b는 워드선의 선택형태를 개략적으로 도시한 도면이다. 도 4a에 있어서는, 스트레스 가속모드 이외의 동작모드(통상모드)에 있어서의 워드선 선택형태가 도시된다. 이 상태에 있어서, 어드레스 신호비트 Ad< m:0> 가 전부 유효로 되고, 이 인가된 어드레스 신호비트 AD< m:0> 에 따라 메모리 블럭 및 워드선 선택이 행해진다. 도 4a에 있어서는, 메모리 블럭 MB0 MBn에서 메모리 블럭 MB0이 지정되고, 지정된 메모리 블럭 MB0에 있어서 1개의 워드선 WLk가 선택상태로 된 경우가 일례로서 도시된다.

한편, 도 4b에 도시한 바와 같이, 스트레스 가속모드 지시신호 BIAC의 활성화시, 메모리 블럭을 특정하는 어드레스 신호비트 Ad< m:i> 가 유효로 되고, 워드선을 특정하는 워드선 특정 어드레스비트 Ad< j:0> 이 축퇴상태로 된다. 이 상태에 있어서는, 블럭 어드레스 신호비트 Ad< m:i> 에 따라 메모리 블럭의 선택이 행해져, 선택된 메모리 블럭내에서 모든 워드선이 선택상태로 구동된다. 도 4b에 있어서, 메모리 블럭 MB0이 선택되고, 선택된 메모리 블럭 MB0내의 워드선 WL0 WL511이 전부 선택상태로 구동된 경우가 일례로서 도시된다.

따라서, 통상의 동작모드에 따라 스트레스 가속을 실행하는 경우에 비해서, 1개의 메모리 블럭내의 워드선 WL0-WL511을 전부 활성상태로 하여 메모리 블럭단위로 스트레스 가속을 실행하고 있기 때문에, 약 1/500의 번인시간의 단축을 실현할 수 있다. 또한, 메모리 블럭 MB0 MBn 중 1개의 메모리 블럭만을 선택하기 때문에, 모든 워드선 활성화시에 있어서의 전류량의 1/(n+1)의 전류량이 흐를 뿐이므로, 대전류에 의한 파손은 발생하지 않아, 장치의 신뢰성을 손상하는 일없이 효율적으로 번인시험 등의 스트레스 가속시험을 실행할 수 있다.

이 스트레스 가속시험에 있어서, 반도체 기억장치의 모든 회로에 대하여 동시에 전압 스트레스를 가속하기 위해, 반도체 기억장치의 내부회로가 전부 동작하더라도 좋다. 또한, 메모리 셀의 액세스 트랜지스터의 게이트 절연막의 스크리닝을 목적으로 하여, 직류적으로, 워드선이 선택상태로 구동되고, 이 사이에 센스 앰프 등은 비활성상태로 유지되어도 좋다. 대상으로 되는 스크리닝의 테스트 내용에 따라 각 회로동작이 결정되면 좋다.

도 5는 행 디코더/드라이버부의 구성의 일례를 도시한 도면이다. 도 5에 있어서, 1개의 워드선 WL에 대해 마련되는 행 디코더/드라이버 회로부의 구성을 대표적으로 도시한다. 도 5에 있어서, 행 디코더/드라이버(5)는 블럭 프리 디코드신호 XB와 워드선 프리 디코드신호 XW의 소정의 조합을 수신하는 NAND 회로(5a)와, 게이트에서 동작전원전압 Vcc를 수신하여 NAND 회로(5a)의 출력신호를 통과시키는 n채널 MOS 트랜지스터(5b)와, 고전압 인가노드(5c)와 워드선 WL과의 사이에 접속되고 또한 그 게이트에서 MOS 트랜지스터(5b)를 거쳐서 인가되는 전압을 수신하는 p채널 MOS 트랜지스터(5d)와, 접지노드와 워드선 WL의 사이에 접속되고 또한 그 게이트에서 MOS 트랜지스터(5b)를 거쳐서 인가되는 신호를 수신하는 n채널 MOS 트랜지스터(5e)와, 노드(5c)와 MOS 트랜지스터(5d 및 5e)의 게이트와의 사이에 접속되고 또한 그 게이트가 워드선 WL에 접속되는 p채널 MOS 트랜지스터(5f)를 포함한다.

NAND 회로(5a)는 블럭 프리 디코드신호 XB 중 워드선 WL이 포함되는 메모리 블럭을 특정하는 프리 디코드신호와, 워드선 특정 프리 디코드신호 XW의 소정의 조합의 프리 디코드신호를 수신한다. 워드선 WL이 지정된 때에는, 이 NAND 회로(5a)의 출력신호가 L레벨로 되어, MOS 트랜지스터(5d)가 도통상태, MOS 트랜지스터(5e)가 비도통상태로 되어, 워드선 WL이 MOS 트랜지스터(5d)를 거쳐서 고전압 Vpp 레벨로 구동된다. 이 워드선 WL의 전압 상승에 따라

MOS 트랜지스터(5f)가 비도통상태로 된다. 워드선 WL이 비선택상태시에는, NAND 회로(5a)의 출력신호는 H레벨이고, MOS 트랜지스터(5e)는 도통상태, MOS 트랜지스터(5d)는 비도통상태로 된다. 이 상태에 있어서 워드선 WL은 접지 전압레벨로 구동된다. 따라서, MOS 트랜지스터(5f)가 도통하여, MOS 트랜지스터(5d 및 5e)의 게이트에, 고전압 노드(5c)에 인가되는 승압전압 Vpp를 전달한다. 이에 따라, MOS 트랜지스터(5d)가 완전히 비도통상태로 된다.

MOS 트랜지스터(5b)는 이 MOS 트랜지스터(5f)의 도통시에 전달되는 승압전압 Vpp가 NAND 회로(5a)에 대하여 악영향을 미치게 하지 않도록 하기 위해 마련된다. 승압전압 Vpp가 전달되었을 때, 이 MOS 트랜지스터(5b)는 그 게이트의 동작전원전압 Vcc와 자신의 임계치 전압의 차의 전압만을 NAND 회로(5a)의 출력부로 전달한다. 따라서 이 상태에 있어서 NAND 회로(5a)의 출력신호는 H레벨이고, MOS 트랜지스터(5b)는 비도통상태가 된다.

이 행 디코더/드라이버(5)의 고전압 노드(5c)에는 전환회로(14)를 거쳐서 Vpp 발생회로(10)로부터의 승압전압 Vppa 또는 패드(12)에 외부로부터 인가되는 전압 Ve의 한쪽이 전달된다. 이 전환회로(14)는 행 디코더/드라이버(5)에 포함되는 워드선 드라이버 회로 전부에 공통으로 마련된다. 전환회로(14)는 Vpp 발생회로(10)의 출력노드와 노드(14b)의 사이에 접속되고 또한 그 게이트가 노드(14b)에 접속되는 p채널 MOS 트랜지스터(14a)를 포함한다. 패드(12)를 거쳐서 외부로부터 인가되는 전압 Ve가 Vpp 발생회로(10)로부터의 승압전압 Vppa보다도 높게 되었을 때, MOS 트랜지스터(14a)가 비도통상태로 되고, 외부로부터의 전압 Ve가 Vpp 발생회로(10)에 대하여 악영향을 미치지 않는다. Vpp 발생회로(10)는 통상 클럭신호에 따라 차지펌프 동작을 실행하는 캐패시터를 이용하여 승압전압 Vpp를 발생시킨다. Vpp 발생회로(10)의 출력부에, 클램프용의 트랜지스터가 설치되고, MOS 트랜지스터(14a)가 설치되지 않은 경우, 패드(12)에 외부로부터 인가되는 고전압 Ve가 이 Vpp 발생회로(10)의 클램프 트랜지스터를 거쳐서 방전되어, 소비전류가 증가한다. MOS 트랜지스터(14a)를 마련하여 놓은 것에 의해, 확실히 패드(12)에 대한 고전압 Ve의 인가시, Vpp 발생회로(10)와 행 디코더/드라이버를 분리할 수 있다.

이 패드(12)에 외부로부터 고전압 Ve를 인가하는 것에 의해, 1개의 메모리 블럭에 있어서의 모든 워드선(예를 들면 512개)을 동시에 선택하는 경우에도, 충분한 구동력을 가져, 각 워드선을 선택상태로 구동할 수 있다. 이 경우, Vpp 발생회로(10)의 구동력이 미리 크게 설정되어 있고, 1개의 메모리 블럭의 모든 워드선을 선택상태로 구동할 능력을 구비하고 있는 경우에는, 특히 전환회로(14) 및 패드(12)를 마련할 필요는 없고, 승압전압 Vppa를 이용하면 좋다(스트레스 가속모드시 선택 워드선을 고속으로 선택상태로 구동할 필요는 없다: 그 이유는 액세스 시간에 관계없이, 단지 고전압 스트레스를 인가하면 좋을 뿐이기 때문이다). 스트레스 가속모드시에 있어서, 통상동작 사이클시에 선택되는 워드선의 수보다도 많은 수의 워드선이 동시에 선택상태로 구동되는 경우에 있어서도, 외부로부터의 전압 Ve에 따라 선택워드선을 선택상태로 구동할 수 있다.

도 6은 외부로부터의 고전압 인가의 다른 구성을 도시한 도면이다. 도 6에 있어서는, 소정의 기능을 실행하는 내부회로(16)에 대하여 마련된 패드(17a)를 이용한다. 패드(17a)는 외부핀 단자(17b)에 접속되어, 예를 들면 출력 인에이블 신호 /OE를 수신한다. 이 패드(17a)와 내부회로(16)의 사이에, 스트레스 가속모드 지시신호의 반전신호 /BIAC를 게이트로 수신하는 n채널 MOS 트랜지스터(17c)가 마련된다. 또한, 이 패드(17a)와 행 디코더/드라이버의 고전압 노드(5c)(도 5 참조)의 사이에, 스트레스 가속모드 지시신호 /BIAC를 게이트로 수신하는 p채널 MOS 트랜지스터(17d)가 마련된다. 이 스트레스 가속모드 지시신호 /BIAC는 승압전압 Vppa와 접지전압 GND의 사이에서 변화한다.

통상동작모드시(스트레스 가속모드동작 이외)에 있어서는, 스트레스 가속모드 지시신호 /BIAC는 H레벨이고, MOS 트랜지스터(17c)는 도통상태, MOS 트랜지스터(17d)는 비도통상태이다. 이 상태에 있어서, 내부회로(16)는 패드(17a)를 거쳐서 외부핀 단자(17b)에 접속된다. 행 디코더/드라이버의 고전압 노드는 패드(17a)로부터 분리된다. 한편, 스트레스 가속모드 지시신호 /BIAC가 활성상태로 되면, MOS 트랜지스터(17c)가 비도통상태로 되고, MOS 트랜지스터(1

7d)가 도통상태로 되어, 내부회로(16)가 패드(17a)로부터 분리된다. 이 상태에 있어서, 핀단자(17b)에 원하는 고전압 Ve를 인가한다. MOS 트랜지스터(17a) 및 MOS 트랜지스터(17b)를 거쳐서 행 디코더/드라이버의 고전압노드(5c)로 원하는 고전압 Vpp가 인가된다. MOS 트랜지스터(17c 및 17d)를 이용하는 것에 의해, 통상 동작 사이클시에 있어 이용되는 핀단자를 스트레스 가속모드시 고전압 인가단자로서 이용할 수 있어, 여분의 핀단자를 이용하는 일없이 필요로 되는 워드선 구동용의 고전압을 인가할 수 있다. 이 핀단자(17b)는 스트레스 가속모드시에 이용되지 않은 핀단자이면 좋다. 예를 들면, 스트레스 가속모드시에 있어 축퇴상태로 되는 어드레스핀 단자가 이용되더라도 좋다.

도 7은 도 1에 도시한 어드레스 버퍼 및 어드레스 제어회로의 구성의 일례를 도시한 도면이다. 도 7에 있어서, 각 어드레스 비트에 대해 마련되는 어드레스 버퍼회로 및 어드레스 제어회로의 구성은 동일하고, 도 7에 있어서는, 모든 비트 < m:0> 에 대한 회로를 도시한다. 도 7에 있어서, 어드레스 버퍼(2)는 외부로부터 인가되는 어드레스 신호비트 Ad< m:0> 를 수신하여, 행 어드레스 래치 지시신호 RAL에 따라 통과시키는 3상태 인버터 버퍼(2a)와, 이 3상태 인버터 버퍼(2a)의 출력신호를 반전하는 인버터회로(2b)와, 인버터회로(2b)의 출력신호를 반전하여 인버터회로(2b)의 입력부로 전달하는 인버터회로(2c)와, 인버터회로(2b)의 출력신호를 수신하는 인버터회로(2d)를 포함한다. 인버터회로(2b 및 2c)는 인버터 래치를 구성한다.

어드레스 제어회로(3)는 인버터회로(2b)의 출력신호와 스트레스 가속모드 지시신호 BIAC< m:0> 를 수신하는 OR 회로(3a)와, OR 회로(3a)의 출력신호와 행 어드레스 인에이블신호 RADE를 수신하는 AND 회로(3b)와, 인버터회로(2d)의 출력신호와 스트레스 가속모드 지시신호 BIAC< m:0> 를 수신하는 OR 회로(3c)와, OR 회로(3c)의 출력신호와 행 어드레스 인에이블신호 RADE를 수신하는 AND 회로(3d)를 포함한다. OR 회로(3a) 및 AND 회로(3b)는 복합 게이트를 구성하고, OR 회로(3c) 및 AND 회로(3d)는 복합 게이트를 구성한다. AND 회로(3b)에서 행 어드레스 신호비트 RAD< m:0> 가 출력되고, AND 회로(3d)에서 상보의 행 어드레스 신호비트 /RAD< m:0> 가 출력된다.

도 7에 도시한 어드레스 버퍼/제어회로의 구성에 있어서, 행 어드레스 래치 지시신호 RAL이 L레벨의 비활성상태시, 3상태 인버터 버퍼(2a)가 인버터로서 작용하여, 외부로부터 인가되는 어드레스 신호비트 Ad< m:0> 를 반전하여 전달한다. 인버터회로(2b 및 2c)가 3상태 인버터 버퍼회로(2a)로부터의 어드레스 신호비트를 래치한다. 스탠바이 사이클시에 있어서, 행 어드레스 인에이블신호 RAD는 L레벨이고, AND 회로(3b 및 3d)로부터의 내부 행 어드레스 신호비트 RAD< m:0> 및 /RAD< m:0> 은 모두 L 레벨에 있다.

액세스 사이클이 시작되면, 이 행 어드레스 래치 지시신호 RAL은 행 어드레스 스트로브신호 /RAS의 하강에 응답하여 소정시간 경과후에 H레벨로 된다. 이 상태에 있어서, 3상태 인버터버퍼(2a)가 출력 하이 임피던스상태로 되어, 외부 어드레스 신호비트 Ad< m:0> 의 내부로의 전달을 금지한다. 인버터회로(2b 및 2c)는 3상태 인버터버퍼(2a)가 출력 하이 임피던스상태로 되기 전의 어드레스 신호비트를 래치하고 있다. 이 행 어드레스 래치 지시신호 RAL이 활성상태의 H레벨로 된 후, 행 어드레스 인에이블신호 RAD가 활성상태로 된다. 통상동작 사이클시에 있어서, 스트레스 가속모드 지시신호 BIAC< m:0> 는 L레벨에 있어, OR 회로(3a 및 3c)는 버퍼로서 동작한다. 따라서, 이 행 어드레스 인에이블신호 RADE의 활성화에 따라, 통상 사이클에 있어서 내부 행 어드레스 신호비트 RAD< m:0> 및 /RAD< m:0> 이 래치된 내부 어드레스 신호비트에 따라 생성된다. 한편, 스트레스 가속모드 동작시에서, 이 스트레스 가속모드 지시신호 BIAC< m:0> 가, 선택적으로 활성상태의 H레벨로 된다. 선행의 실시예에 있어서는, 블럭 어드레스 신호비트 Ad< m:j> 에 대한 스트레스 가속모드 지시신호 BIAC< m:j> 가 L레벨로 되고, 한편 워드선 특정을 위한 어드레스 신호비트 Ad< i:0> 에 대한 스트레스 가속모드 지시신호 BIAC< i:0> 가 H레벨로 되어, 이들의 워드선 특정을 위한 어드레스 신호비트가 축퇴된다. 이 축퇴 상태로 된 때에는, AND 회로(3b 및 3d)에서 출력되는 내부 어드레스 신호비트 RAD< i:0> 및 /RAD< i:0> 가 모두 H레벨의 선택상태

로 된다. 따라서, 외부로부터 인가되는 블럭 지정용의 어드레스신호에 따라 메모리 블럭의 선택이 행해져, 선택된 메모리 블럭내의 모든 워드선이 지정된다.

도 8은 어드레스 버퍼 및 어드레스 제어회로의 전체 구성을 개략적으로 도시한 도면이다. 도 8에 있어서, 어드레스 버퍼 및 어드레스 제어회로를 1개의 블럭에 의해 버퍼 제어회로(23)로서 도시한다. 도 8에 있어서, 어드레스 비트 Adm - Ad0 각각에 대하여, 버퍼 제어회로 23-m 23-0이 마련된다. 이들의 버퍼 제어회로 23-m 23-0에는, 행 어드레스 래치 지시신호 RAL이 공통으로 인가된다. 어드레스 신호비트 Adm-Adj에 대해 마련된 버퍼 제어회로 23-m 23-j에 대해서는, 접지 전압레벨에 고정된 스트레스 가속모드 지시신호 BIACm-BIACj가 각각 인가된다. 한편, 어드레스 신호비트 Adi Ad0에 대해 마련된 버퍼 제어회로 23-j 23-0에 대해서도 스트레스 가속모드 지시신호 BIAC가 스트레스 가속모드 지시신호 BIACi BIAC0으로서 인가된다. 어드레스 신호비트 Adm Adj에 따라, 통상 동작 사이클시 및 스트레스 가속모드시 어느 것에 있어서도, 메모리 블럭지정을 위한 내부 어드레스 신호비트 RADm, /RADm RADj, /RADj가 출력된다. 한편, 통상 사이클시에 있어서, 어드레스 신호비트 Adi Ad0에 따라 내부 행 어드레스 신호비트 RADi, /RADi RAD0, /RAD가 출력되지만, 스트레스 가속모드시에 있어서는, 워드선 특정을 위한 내부 어드레스 신호비트 RADi, /RADi RAD0, /RAD0이 모두 선택상태의 H레벨로 설정된다.

버퍼 제어회로 23-m 23-0은 전부 같은 회로구성을 갖는다. 따라서, 회로의 레이아웃이 용이해지고, 신호 전파지연도 전부 동일하여, 정확한 디코드동작을 실행할 수 있다.

또한, 버퍼 제어회로 23-m 23-0을 전부 같은 회로구성으로 하는 것에 의해, 이하에 설명하는 바와 같이, 이들의 스트레스 가속모드 지시신호 BIAC의 전파경로를 마스크 배선으로 접속하는 경우, 용이하게 동시에 스트레스 가속모드시에 있어서 선택상태로 구동되는 워드선의 분포형태를 원하는 분포형태로 설정할 수 있어, 유연한 워드선 선택형태를 용이하게 실현할 수 있다.

이제, 도 9에 도시한 바와 같이, 16개의 메모리 블럭 MB0 MB15에 메모리 셀 어레이(1)가 분할된 상태를 고려한다. 메모리 블럭의 지정은 4비트의 어드레스비트 RAD12-RAD9로 실행한다. 1개의 메모리 블럭내에서의 워드선 지정은, 어드레스비트 RAD8-RAD0으로 실행한다. 메모리 블럭 MB0 MB7은 행 어드레스비트 RAD12가 H레벨일 때에 지정되고, 메모리 블럭 MB8-MB15는, 행 어드레스비트 /RAD12가 H 레벨일 때에 지정된다.

메모리 블럭 MB0-MB7에 있어서, 메모리 블럭 MB0-MB3 지정은 행 어드레스비트 RA11의 H 레벨에 의해 실행되고, 메모리 블럭 MB4-MB7은, 행 어드레스비트 /RAD11이 H레벨일 때에 지정된다.

메모리 블럭 MB0-MB3에 있어서, 메모리 블럭 MB0 및 MB1의 지정은 행 어드레스비트 RAD10이 H레벨일 때에 실행되고, 메모리 블럭 MB2 및 MB3의 지정은 행 어드레스비트 /RAD10이 H레벨일 때에 실행된다. 메모리 블럭 MB0의 지정은 행 어드레스비트 RAD9가 H레벨일 때에 실행되고, 메모리 블럭 MB1의 지정은 행 어드레스비트 /RAD9가 H레벨일 때에 실행된다.

다른 메모리 블럭에 대한 행 어드레스비트의 할당도 같은 형태로 된다. 도 9에 도시한 어드레스비트의 할당에 있어서도, 예를 들면 어드레스비트 RAD12 및 /RAD12를 모두 H레벨로 설정하면, 어드레스비트의 나머지의 어드레스비트 RAD11-RAD9에 따라 메모리 블럭의 지정이 행해진다. 이 경우에는, 메모리 블럭 2개가 동시에 선택된다. 예를 들면, 메모리 블럭 MB0이 지정된 경우에는, 동시에 메모리 블럭 MB8도 지정된다. 반대로, 어드레스비트 RAD9 및 /RAD9가 모두 H레벨로 설정되면, 메모리 블럭 MB0 및 MB1과 같이, 인접하는 2개의 메모리 블럭이 동시에 지정된다. 따라서, 블럭 어드레스의 임의의 수의 어드레스비트를 축퇴상태(진(true) 및 보(complementary)의 어드레스비트가 모두 H 레벨의 선택상태)로 설정하는 것에 의해, 원하는 수의 메모리 블럭을 동시에 선택상태로 할 수 있다. 이것은, 워드선 지정을 위한 어드레스비트 RAD8-RAD0에 대해서도 마찬가지이다. 예를 들면, 최하위 행 어드레스비트 RAD0를 축퇴상태로 하면, 1개의 메모리 블럭에서 인접하는 2개의 워드선이 동시에 지정된다. 최하위 3비트의 어드레스신호를 축퇴상태로 하면, 연속하는 8개의 워드선을 동시에 선택상태로 할 수 있다.

따라서, 도 10에 도시한 바와 같이, 모든 메모리 블럭에 있어서 복수 라인의 워드선을 동시에 선택상태로 할 수 있다.

도 10은 모든 메모리 블럭에 있어서 워드선을 선택하였을 때의 상태의 일례를 도시한 도면이다. 도 10에 있어서, 스트레스 가속모드시에 있어서는, 행 어드레스비트 RAD< 12:9> 및 RAD< 3:0> 을 축퇴상태로 설정하고, 나머지의 어드레스 신호비트 RAD< 8:4> 을 유효상태로 설정한다. 행 어드레스비트 RAD< 12:9> 는 메모리블럭을 지정하는 어드레스 신호비트이고, 그것들을 축퇴상태로 설정하는 것에 의해, 메모리블럭 MB0 MB15가 전부 지정된다. 행 어드레스비트 RAD< 3:0> 은 워드선 특정을 위한 어드레스 신호비트이고, 최하위 4비트의 어드레스가 축퇴되어 있기 때문에, 1개의 메모리블럭에 있어서 32개의 워드선(32 WL)이 동시에 선택된다. 따라서, 이 경우에 있어서는 메모리블럭 MB0-MB15 각각에 있어서 복수(32개)의 워드선이 동시에 선택상태로 구동되기 때문에, 고전압 인가노드의 전류 I가 모든 메모리 블럭 MB0 MB15에 분산된다(전류 i로 도시한다). 따라서, 1개의 메모리블럭에 워드선 구동을 위한 전류가 집중하지 않고, 1개의 배선에 있어서의 전류집중을 방지할 수 있어, 워드선 구동시의 전류의 국소적 집중에 의한 배선의 파괴를 방지할 수 있다.

또, 도 10에 도시한 워드선 선택형태는 도 8에 도시한 버퍼 제어회로에 있어서 스트레스 가속모드 지시신호 BIAC가 인가되는 버퍼 제어회로를 변경하는 것에 의해 용이하게 설정될 수 있다.

도 11은 도 1에 도시한 제어클럭 발생회로(6)에 포함되는 스트레스 가속모드 지시신호 발생부의 구성을 개략적으로 도시한 도면이다. 도 11에 있어서, 제어클럭 발생회로(6)는 행 어드레스 스트로브신호 /RAS, 열 어드레스 스트로브 신호 /CAS 및 기록 인에이블신호 /WE를 수신하여 WCBR 조건이 충족된 것을 검출하는 WCBR 검출회로(6a)와, 행 어드레스 스트로브신호 /RAS와 열 어드레스 스트로브 신호 /CAS를 수신하여 CBR 조건이 충족된 것을 검출하는 CBR 검출회로(6b)와, 소정의 핀단자(예를 들면, 어드레스 신호핀단자 Ak)에 인가되는 신호가 통상 인가되는 전압레벨보다도 충분히 높은 전압레벨로 설정된 것을 검출하는 슈퍼 VIH 검출회로(6c)와, WCBR 검출회로(6a)로부터의 WCBR 검출신호와 슈퍼 VIH 검출회로(6c)로부터의 슈퍼 VIH 검출신호를 수신하는 AND 회로(6d)와, AND 회로(6d)의 출력신호의 상승에 응답하여 세트되고 또한 CBR 검출회로(6b)로부터의 CBR 검출신호의 상승에 응답하여 리셋되는 세트/리셋 플립플롭(6e)을 포함한다. 이 세트/리셋 플립플롭(6e)의 출력 Q로부터 스트레스 가속모드 지시신호 BIAC가 출력된다. 이 세트/리셋 플립플롭(6e)은 세트 우선형 플립플롭이다. 다음에, 이 도 11에 도시한 회로의 동작을 도 12에 도시한 파형도를 참조하여 설명한다.

시각 t1이전에 있어서, 열 어드레스 스트로브신호 /CAS 및 기록 인에이블신호 /WE를 모두 L 레벨로 설정하여, 특정 단자(어드레스 핀단자) Ak에 인가된 신호를 통상의 전압레벨(Vcc 레벨) 보다도 충분히 높은 전압레벨로 설정한다.

시각 t1에 있어서, 행 어드레스 스트로브신호 /RAS가 L 레벨로 하강하면, 행 어드레스 스트로브신호 /RAS의 하강보다도 먼저 열 어드레스 스트로브 신호 /CAS 및 기록 인에이블신호 /WE가 모두 L 레벨로 설정되고, WCBR 조건이 충족되어, WCBR 검출회로(6a)의 출력신호가 H 레벨로 된다. 또한, 슈퍼 VIH 검출회로(6c)가 고전압레벨로 설정된 핀단자 Ak에 따라 검출신호를 H레벨로 설정한다. 따라서, AND 회로(6d)로부터의 출력신호가 H 레벨로 상승하고, 세트/리셋 플립플롭(6e)이 세트되어, 스트레스 가속모드 지시신호 BIAC가 H 레벨로 된다. 이 때, CBR 검출회로(6b)도, 마찬가지로 CBR 조건을 검출하지만, 세트/리셋 플립플롭은 세트 우선형이므로, AND 회로(6d)의 출력신호에 따라 스트레스 가속모드 지시신호 BIAC가 H 레벨의 활성상태로 세트된다. CBR 검출회로(6b)의 출력신호는 기록 인에이블신호 /WE를 수신하는 AND 회로를 마련하여, AND 회로의 출력신호를 세트/리셋 플립플롭(6e)의 리셋 입력 R로 인가하도록 구성하더라도 좋다. 이 상태에 있어서는, WCBR 조건이 충족되었을 때, CBR 검출회로(6b)의 출력신호는 비활성상태로 된다.

시각 t2에 있어서, 행 어드레스 스트로브 /RAS 신호가 H레벨로부터 L레벨로 하강하기 전에, 열 어드레스 스트로브신호 /CAS를 L레벨로 설정한다. 이 상태에 있어서, 기록 인에이블신호 /WE는 H레벨로 유지된다. 이에 따라, CBR 검출회로(6b)로부터의 CBR 검출신호가 H 레벨로 상승하고, 한편 WCBR 검출회로(6a)의 출력신호는 비활성상태로 된다. 따라서, 세트/리셋 플립플롭(6e)이 리셋되어, 스트레스 가속모드 지시신호 BIAC는 L 레벨의 비활성상태로 된다.

특정 어드레스 신호핀단자 Ak는 스트레스 가속모드시에 있어 사용되지 않은 핀단자이고, 스트레스 가속모드에 있어서 축퇴되는 어드레스 신호핀 단자이면 좋다. 또한, 다른 데이터 입출력 핀단자이더라도 좋다.

도 11에 도시한 바와 같은 소위 WCBR+ 슈퍼 VIH 조건에서 스트레스 가속모드로 들어가는 것에 의해, 여분의 핀단자를 이용하는 일없이 용이하게 스트레스 가속모드로 반도체 기억장치를 설정할 수 있다.

이들의 슈퍼 VIH 검출회로(6c), WCBR 검출회로(6a) 및 CBR 검출회로(6b)에 대해, 이들의 타이밍조건은 JEDEC(조인트 일렉트론 디바이스 엔지니어 카운슬(Joint Electron Devices Engineers Council))에 의해 표준화되고, 이들의 회로구성으로서는 주지의 구성을 이용할 수 있다.

또, 스트레스 가속모드 지시신호 BIAC의 활성화를 위해, WCBR+슈퍼 VIH 조건+어드레스 키이 조건이 충족되더라도 좋다. 어드레스 키이란, 특정한 어드레스 핀단자에 인가되는 어드레스신호를 미리 정해진 논리레벨로 설정하는 조건을 나타낸다.

이상과 같이, 본 발명의 실시예 1에 따르면, 동시에 선택상태로 구동되는 워드선의 수를, 원하는 수로 설정하도록 구성하였기 때문에, 스트레스 가속모드시에 있어서 워드선 구동을 위해 대전류가 흐르는 것을 방지할 수 있어, 대전류에 의한 불량이 발생하는 것을 방지할 수 있다. 또한, 워드선 선택시에 있어, 승압전압 인가노드로부터 각 워드선 드라이버에 흐르는 전류가 문제로 되고 있다. 그러나, 각 승압전압레벨로 구동된 워드선이 비선택상태로 구동되는 경우에 있어서도, 선택상태의 워드선으로부터 접지선으로 큰 전류가 흐른다. 따라서, 선택상태로 구동되는 워드선의 수를 필요한 최소한의 수로 하는 것에 의해, 접지선에 대전류가 흘러 접지선에 불량이 발생하는 것을 확실히 방지할 수 있다. 이에 따라, 본 실시예 1에 따르면, 고속으로 신뢰성이 높은 스트레스 가속시험을 실현할 수 있다.

(실시예 2)

도 13은 본 발명의 실시예 2에 따른 반도체 기억장치의 주요부의 구성을 개략적으로 도시한 도면이다. 도 13에 있어서, 1쌍의 비트선 BL 및 /BL에 관련되는 부분의 구성을 대표적으로 도시한다. 이 비트선쌍 BL 및 /BL과 워드선 WL의 교차부에 대응하여 메모리 셀 MC가 배치된다. 이 메모리 셀 MC는 그 한쪽 전극(셀 플레이트 전극)에서 소정의 셀 플레이트 전압 Vcp를 수신하는 메모리 캐패시터 MQ와, 워드선 WL상의 신호전위에 응답하여 도통하고, 메모리 캐패시터 MQ를 비트선 BL에 접속하는 n채널 MOS 트랜지스터로 구성되는 액세스 트랜지스터 MT를 포함한다. 이 비트선 BL 및 /BL에 대하여, 비트선 이퀄라이즈 지시신호 BLEQ의 활성화시, 활성화되어 비트선 BL 및 /BL로 소정의 전압 Vb1을 전달하는 비트선 이퀄라이즈회로 BEQ와, 센스 앰프 활성화신호 SE의 활성화시, 활성화되어 비트선 BL 및 /BL상의 신호전위를 차동증폭하는 센스 앰프 SA가 마련된다.

비트선 이퀄라이즈회로 BEQ는 비트선 이퀄라이즈 지시신호 BLEQ의 활성화에 응답하여 도통하고, 비트선 프리차지전압 Vb1을 비트선 BL 및 /BL에 각각 전달하는 n채널 MOS 트랜지스터 T1 및 T2와, 비트선 이퀄라이즈 지시신호 BLEQ의 활성시, 도통하여 비트선 BL 및 /BL을 전기적으로 단락하는 n채널 MOS 트랜지스터 T3을 포함한다.

비트선 프리차지 전압 Vb1은 중간전압 Vb1a(=Vcc/2) 및 접지전압 Vss 중 한쪽을 스트레스 가속모드 지시신호 BIAC에 따라 선택하여 출력하는 전환회로(32)로부터 출력된다.

메모리 셀 MC의 셀 플레이트 전압 Vcp는 스트레스 가속모드 지시신호 BIAC에 따라 전압 Vcpb 및 중간전압 Vcpa(=Vcc/2) 중 한쪽을 선택하여 출력하는 전환회로(34)로부터 인가된다.

비트선 이퀄라이즈회로 BEQ 및 센스 앰프 SA의 활성/비활성을 제어하기 위해서, 행 어드레스 스트로브신호 /RAS에 응답하여 센스 앰프 활성화신호 SE 및 비트선 이퀄라이즈 지시신호 BLEQ를 출력하는 행계 제어회로(30)가 마련된다. 이 행계 제어회로(30)는 행 어드레스 스트로브신호 /RAS를 소정시간 지연하는 지연회로(30a)와, 지연회로(30a)의 출력신호와 스트레스 가속모드 지시신호 BIAC를 수신하는 NOR 회로(30b)와, 스트레스 가속모드 지시신호 BIAC와 행 어드레스 스트로브신호 /RAS를 수신하는 OR 회로(30c)를 포함한다. OR 회로(30b)에서 센스 앰프 활성화신호 SE가 출력되고, OR 회로(30c)로부터 비트선 이퀄라이즈 지시신호 BLEQ가 출력된다. 다음에, 동작에 대해 간단히 설명한다.

통상 동작사이클 모드시에 있어서, 스트레스 가속모드 지시신호 BIAC는 L레벨의 비활성상태에 있다. 이 상태에 있어서, 전환회로(32)는 소정의 중간전압 Vb1a를 선택하여 비트선 프리차지전압 Vb1으로서 출력한다. 전환회로(34)는 소정의 중간전압 Vcpa를 선택하고 셀 플레이트 전압 Vcp로서 출력하여 메모리 셀 캐패시터 MQ의 셀 플레이트로 인가한다.

NOR 회로(30b)는 통상 동작모드시에 있어서 인버터로서 작용하여, 지연회로(30a)의 출력신호를 반전시킨다. OR 회로(30c)는 단순히 버퍼로서 동작하며, 행 어드레스 스트로브신호 /RAS를 버퍼처리하여 출력한다. 따라서, 행 어드레스 스트로브신호 /RAS가 L레벨로 하강하면, 비트선 이퀄라이즈 지시신호 BLEQ가 L레벨로 되어, 비트선 이퀄라이즈회로 BEQ의 각 MOS 트랜지스터 T1 T3은 전부 비도통상태로 된다. 그 후, 도시하지 않은 회로에 의해, 워드선이 선택되어, 워드선 WL의 전압레벨이 상승한다. 한편, NOR 회로(30b)는 행 어드레스 스트로브신호 /RAS가 하강하고 나서 소정시간(지연회로(30a)가 갖는 지연시간)이 경과하면, 그 출력신호인 센스 앰프 활성화신호 SE를 H 레벨의 활성상태로 하여, 센스 앰프 SA를 활성화한다. 이에 따라, 비트선 BL 및 /BL상에 판독된 메모리 셀 데이터의 감지 및 증폭이 행해진다.

이것은 통상의 반도체 기억장치의 통상 동작모드시의 동작과 동일하다. 다음에, 스트레스 가속모드시의 동작에 대하여 도 14를 참조하여 설명한다.

스트레스 가속모드 동작시에 있어서, 스트레스 가속모드 지시신호 BIAC는 H 레벨의 활성상태로 되어, 전환회로(32)가 접지전압 Vss를 선택하여 비트선 프리차지전압을 Vb1로서 출력한다. OR 회로(30c)는 이 H 레벨의 스트레스 가속모드 지시신호 BIAC에 따라 항상 비트선 이퀄라이즈 지시신호 BLEQ를 H 레벨로 유지한다. 따라서, 비트선 BL 및 /BL은 접지전압 Vss(GND) 레벨로 유지된다. 또한, 전환회로(34)는 전압 Vcpb를 선택하여 셀 플레이트전압 Vcp로서 출력한다. 이 전압 Vcpb는 중간전압 Vcpa 이상의 전압레벨로, 외부에서 제어 가능하다. 이 상태에 있어서, 워드선 선택동작이 행해져, 워드선 WL이 H 레벨로 상승하면, 메모리 셀 MC의 기억데이터가 비트선 BL로 전달된다.

스트레스 가속모드 지시신호 BIAC가 H 레벨로 고정되고, 지연회로(30a)로부터의 출력신호가 L 레벨로 하강하더라도, NOR 회로(30b)의 출력신호는 L 레벨이며, 센스 앰프 활성화신호 SE가 비활성상태로 유지되어, 센스 앰프 SA는 감지동작을 실행하지 않는다. 이 상태에 있어서, 메모리 셀 MC의 액세스 트랜지스터 MT가 도통하고 있어, 메모리 캐패시터 MQ의 전극간 전압이 Vcpb로 된다. 이에 따라, 메모리 캐패시터 MQ의 유전체막의 전압 스트레스를 더욱 가속할 수 있어, 메모리 셀 캐패시터의 유전체막의 스트레스 가속모드 동작을 고속으로 실행할 수 있다.

전압 Vcpb를 워드선 WL에 인가되는 전압과 마찬가지로 변화시킴으로써, 액세스 트랜지스터 MT의 게이트 절연막의 전압 스트레스 가속조건과 메모리 캐패시터 MQ의 전압 스트레스 가속조건을 동일하게 할 수 있어, 동일 가속조건하에서 이들 액세스트랜지스터 MT 및 캐패시터 MQ의 신뢰성 평가를 실행할 수 있고, 이들의 평가시험을 별도로 실행할 필요가 없어, 번인 등의 스트레스 가속에 의한 신뢰성 평가시험에 요하는 시간을 단축할 수 있다.

도 15는 도 13에 도시한 전환회로(32)의 구성의 일례를 도시한 도면이다. 도 15에 있어서, 전환회로(32)는 스트레스 가속모드 지시신호 BIAC를 반전시키는 인버터회로(32a)와, 인버터회로(32a)의 출력신호가 H 레벨일 때 도통하여, 중간전압 발생회로(36)로부터 인가되는 중간전압 Vb1a를 비트선 프리차지전압 Vb1으로서 출력하는 n채널 MOS 트랜지스터(32b)와, 스트레스 가속모드 지시신호 BIAC가 H 레벨의 활성상태일 때 도통하여, 접지전압 Vss(GND)를 비트선 프리차지전압 Vb1으로서 전달하는 n채널 MOS 트랜지스터(32c)를 포함한다. 중간전압 발생회로(36)는 전원전압 Vcc와 접지전압 Vss(GND)의 중간 전압레벨의 중간전압 Vb1a를 출력한다. 인버터회로(32a)의 출력신호는 접지전압과 전원전압의 레벨의 사이에서 변화한다. 스트레스 가속모드 지시신호 BIAC는 H 레벨에 있고, 스트레스 가속모드 동작시에는, MOS 트랜지스터(32b)가 비도통하고, MOS 트랜지스터(32c)가 도통하여, 비트선 프리차지전압 Vb1로서 접지전압 Vss가 선택된다. 한편, 이 스트레스 가속모드 지시신호 BIAC가 L 레벨인 통상 동작모드 사이클시에 있어서, 인버터회로(32a)의 출력신호가 전원전압 레벨의 H 레벨로 되어, MOS 트랜지스터(32b)가 도통하고, 중간전압 발생회로(36)로부터의 중간전압 Vb1a가 비트선 프리차지전압 Vb1으로서 전달된다.

도 16은 도 13에 도시한 전환회로(34)의 구성의 일례를 개략적으로 도시한 도면이다. 도 16에 있어서, 전환회로(34)는 스트레스 가속모드 지시신호 BIAC를 반전하여, 반전 스트레스 가속모드 지시신호 /BIAC를 생성하는 인버터회로(34a)와, 인버터회로(34a)의 출력신호가 H 레벨일 때에 도통하여, 중간전압 발생회로(38)로부터의 중간전압 Vcpa를 셀 플레이트전압 Vcp로서 전달하는 n채널 MOS 트랜지스터(34b)와, 전원전압 Vcc를 그 임계치전압의 절대치 Vthp 만큼 저하시켜서 전달하는 p채널 MOS 트랜지스터(34d)와, 인버터회로(34a)로부터의 반전 스트레스 가속모드 지시신호 /BIAC가 L 레벨일 때에 도통하고, 이 MOS 트랜지스터(34d)로부터 전달되는 Vcpb를 셀 플레이트전압 Vcp로서 출력하는 p채널 MOS 트랜지스터(34c)를 포함한다.

통상 동작모드 사이클시에 있어, 스트레스 가속모드 지시신호 BIAC는 L 레벨이고, 인버터회로(34a)의 출력신호는 전원전압 Vcc 레벨의 H 레벨이며, MOS 트랜지스터(34b)는 도통상태, MOS 트랜지스터(34c)는 비도통상태로 된다. 따라서, 이 상태에 있어서, 셀 플레이트전압 Vcp로서 중간전압 발생회로(38)로부터의 중간전압 Vcpa가 출력된다. 한편, 스트레스 가속모드 동작시에, 인버터회로(34a)의 출력신호가 접지전압 레벨의 L 레벨로 되어, MOS 트랜지스터(34b)가 비도통상태, MOS 트랜지스터(34c)가 도통상태로 되어, 셀 플레이트전압 Vcp로서 MOS 트랜지스터(34d)로부터 인가된 전압 Vcpb가 출력된다. 이 스트레스 가속모드시에 있어서, 셀 플레이트전압 Vcp로서 중간전압 Vcpa 보다도 높은 전압레벨의 전압을 이용하는 것에 의해, 메모리 셀 캐패시터의 유전체막에 인가되는 전압 스트레스를 가속할 수 있어, 메모리 셀 캐패시터의 스트레스 가속시험을 고속으로 실행할 수 있다.

또한, 이 때, 워드선 WL의 전압레벨도 상승하여, 전압 스트레스가 가속되고 있는 경우에는, 이 액세스 트랜지스터 MT의 게이트 절연막의 스트레스 가속과 동시에, 메모리 셀 캐패시터의 전압 스트레스 가속도 실행할 수 있다. 전압 Vcpb는 Vcc-Vthp로 되지만, 중간전압 레벨보다도 높은 전압레벨이므로, 메모리 셀 캐패시터의 유전체막의 전압 스트레스를 가속할 수 있다.

도 17은 도 16에 도시한 전환회로의 변형예의 구성을 도시한 도면이다. 도 17에 있어서, 전환회로(34)의 MOS 트랜지스터(34c)만을 도시한다. 다른 구성은 도 16의 것과 동일하다. 도 17에 있어서, MOS 트랜지스터(34c)는 패드(39)에 결합되어, 스트레스 가속모드 지시신호 /BIAC가 L 레벨의 활성상태일 때 도통하여, 패드(39)에 인가된 전압을 플레이트전압 Vcp로서 출력한다. 패드(39)는 스트레스 가속모드시에 있어서 비어있는 패드이면 좋고, 전용의 패드일 필요는 없으며, 예를 들면, 도 6에 도시한 구성을 이용하여, 통상 사이클시에 이용되는 패드를 이용할 수 있다.

도 17에 도시한 구성을 이용하면, 스트레스 가속모드시에 있어, 셀 플레이트전압 Vcp를 외부에서 제어할 수 있다. 따라

서, 워드선 선택시에 있어, 액세스 트랜지스터의 게이트 절연막의 전압 스트레스 가속과 동일조건으로 메모리 셀 캐패시터의 유전체막의 전압 스트레스 가속을 실행할 수 있고, 같은 가속조건으로 이들의 액세스 트랜지스터의 게이트 절연막 및 메모리 셀 캐패시터 유전체막의 신뢰성 평가를 실행할 수 있으며, 이들의 평가를 병행하여 실행할 수 있어, 스트레스 가속시험에 요하는 시간을 단축할 수 있다.

본 발명의 실시예 2에 따르면, 워드선 인가전압의 가속시에 있어, 비트선 이퀄라이즈회로를 도통상태로 하여, 비트선 이퀄라이즈회로를 거쳐서 각 비트선을 접지전압 레벨로 유지하고 또한 센스 앰프동작을 정지시켜, 메모리 셀 캐패시터의 셀 플레이트전압 레벨을 변경하고 있으므로, 메모리 셀의 액세스 트랜지스터의 게이트 절연막의 전압 스트레스 가속과 병행하여, 메모리 셀 캐패시터의 유전체막의 전압 스트레스 가속을 실행할 수 있어, 이들의 양자를 동시에 병행하여 실행할 수 있으므로, 액세스 트랜지스터의 게이트 절연막 및 메모리 셀 캐패시터의 유전체막의 신뢰성 평가를 병행하여 실행할 수 있고, 따라서 신뢰성평가를 위한 스트레스 가속시험에 요하는 시간을 단축할 수 있다. 또한, 메모리 셀 캐패시터 유전체막의 전압 스트레스 가속만으로도, 그 시험기간을 단축할 수 있다.

(실시예 3)

도 18은 본 발명의 실시예 3에 따른 반도체 기억장치의 주요부의 구성을 개략적으로 도시한 도면이다. 도 18에 있어서, 반도체 기억장치는 행렬 형태로 배열되는 복수의 메모리 셀을 갖는 메모리 셀 어레이(50)를 포함한다. 도 18에 있어서, 메모리 셀 어레이(50)내의 메모리 셀의 각 행에 대응하여 배치되는 워드선 WL0 WLx만을 도시한다.

반도체 기억장치는 또한, 인가된 어드레스신호를 디코드하여, 메모리 셀 어레이(50)의 어드레스지정된 행에 대응하는 워드선을 선택하는 신호를 발생하는 행 디코더(52)와, 행 디코더(52)로부터의 워드선 선택신호에 따라 대응하는 워드선을 선택상태로 구동하는 워드선 드라이버(54)와, 통상 동작시 이 선택 워드선상에 전달되는 워드선 구동을 위한 승압전압 Vpp를 발생하는 Vpp 발생회로(56)와, 스트레스 가속모드시, 외부로부터 인가되는 워드선 구동전압을 수신하는 패드(57)와, 패드(57)로부터 워드선 드라이버(54)로 흐르는 전류량을 제한하기 위한 전류제한회로(58)와, 스트레스 가속모드 지시신호 BIAC에 따라 Vpp 발생회로(56) 및 전류제한회로(58)로부터의 전류전달경로를 전환하는 전환회로(60)를 포함한다. 이 전환회로(60)로부터의 고전압 전원선(62)이 워드선 드라이버(54)에 결합된다.

행 디코더(52)는 스트레스 가속모드 지시신호 BIAC가 활성상태일 때, 메모리 셀 어레이(50)의 복수 라인(예를 들면, 모든 워드선)을 선택상태로 지정한다. 전환회로(60)는 스트레스 가속모드 지시신호 BIAC의 활성화시, 전류제한회로(58)로부터의 전압을 선택하여 고전압 전원선(62)에 전달한다. 워드선 드라이버(54)는 스트레스 가속동작모드시, 행 디코더(52)로부터의 워드선 선택신호에 따라 메모리 어레이(50)의 예를 들면, 모든 워드선을 선택상태로 구동한다. 모든 워드선 WL0 WLx를 선택상태로 구동할 때, 큰 전류가 소비된다. 그러나, 전류제한회로(58)에 의해, 이 선택 워드선에 전달되는 전류량이 제한되고, 대전류가 고전압 전원선(62)에 흐르는 것이 방지되어, 고전압 전원선(62)에 파손 등이 발생하는 것을 방지한다.

행 디코더(52)의 구성은 단순히, 입력 어드레스신호 또는 출력 워드선 선택신호가 스트레스 가속모드 지시신호 BIAC의 활성화에 따라 전부 선택상태로 되는 구성이 이용되면 좋다.

전환회로(60)는 도 5에 도시한 전환회로(14)와 같은 구성을 이용할 수 있다. 패드(57)에 대해서는, 반도체 기억장치가 형성되는 반도체칩이 웨이퍼로부터 분리되고 있지 않은 경우에, 특정한 패드를 마련하고, 이 특정한 패드로, 테스터로부터의 프로브를 이용하여 직접 인가할 수 있다. 이 반도체 기억장치가 형성되는 반도체칩이 웨이퍼로부터 분리된 후, 패키지로 실장된 후에는 외부로부터 특정한 핀단자를 거쳐 패드(57)로 워드선 구동용의 전압이 인가된다. 이 구성으로

서는 도 6에 도시한 구성을 이용할 수 있고, 통상 동작모드시에 이용되고 또한 스트레스 가속모드시에 이용되지 않는 특정한 외부핀 단자를 워드선 구동용 고전압 인가단자로서 이용한다. 이 핀단자로서, 예를 들면 출력 인에이블신호 /OE를 수신하는 단자를 이용할 수 있다. 또한, 워드선이 전부 선택상태로 될 때, 어드레스신호는 전부 축퇴상태에 있기 때문에, 특정한 어드레스 신호핀단자를 워드선 구동전압 인가용의 핀단자로서 이용하더라도 좋다.

고전압 Vpp를 발생하는 Vpp 발생회로(56)로서는, 통상의 캐패시터의 차지펌프동작을 이용하는 회로가 이용된다.

도 19는 워드선 드라이버(54)의 구성을 개략적으로 도시한 도면이다. 도 19에 있어서, 워드선 드라이버(54)는 워드선 WL0 WLx 각각에 대응하여 마련되는 워드선 드라이브회로(54a0 54ax)를 포함한다. 이들의 워드선 드라이브회로(54a0 54ax)의 전원노드에는 고전압 전원선(62)이 결합되어, 전환회로(60)(도 18 참조)를 거쳐서 워드선 구동용의 승압전압이 전달된다.

스트레스 가속모드시에 있어, 워드선 WL0 WLx를 전부 선택상태로 구동하여, 스트레스 가속시험시간의 단축을 도모하는 경우, 워드선 드라이브회로(54a0 54ax)가 전부 활성화되어, 고전압 전원선(62)으로부터 대응하는 워드선 WL0 WLx로 전류를 공급한다. 그러나, 전류제한회로(58)에 의해, 고전압 전원선(62)에 흐르는 전류량이 제한되기 때문에, 워드선 드라이브회로(54a0 54ax)는 전부 동작하여, 워드선 WL0 WLx가 선택상태로 구동되더라도, 대전류가 이 고전압 전원선(62)에 흐르는 것을 방지할 수 있다. 워드선 WL0 WLx는 이 전류제한에 의해 상승시간이 조금 늦지만, 스트레스 가속시험에 있어서는, 고속액세스가 요구되지 않기 때문에 아무런 문제도 발생하지 않는다.

도 20은 도 18에 도시한 전류제한회로(58)의 구성의 일례를 도시한 도면이다. 도 20에 있어서, 전류제한회로(58)는 노드 Nw와 접지노드의 사이에 접속되고 또한 그 게이트에서 소정의 바이어스전압 Vbias를 수신하여 정전류원으로서 작용하는 n채널 MOS 트랜지스터(58a)와, 패드(57)와 이 저전류원 트랜지스터(58a)의 사이에 접속되고 또한 그 게이트가 노드 Nw에 접속되는 p채널 MOS 트랜지스터(58b)와, 패드(57)와 고전압 전원선(62) 사이에 결합되고 또한 그 게이트가 노드 Nw에 접속되는 p채널 MOS 트랜지스터(58c)를 포함한다.

MOS 트랜지스터(58c)의 사이즈(채널폭과 채널길이의 비; W/L)는 MOS 트랜지스터(58b)의 사이즈의 n 배로 설정된다. MOS 트랜지스터(58b 및 58c)는 전류미러회로를 구성하여, 정전류원 트랜지스터(58a)가 공급하는 전류 i의 n 배의 전류를 고전압 전원선(62)상에 공급한다. 즉, MOS 트랜지스터(58b)가 전류 i를 MOS 트랜지스터(58a)에 공급하고, 이 MOS 트랜지스터(58b)가 전류미러회로의 마스터(master)단으로서 작용하며, MOS 트랜지스터(58c)가 전류미러회로의 슬레이브(slave)단으로서 작용하여, 이 MOS 트랜지스터(58b)에 흐르는 전류 i의 n 배의 크기의 전류를 MOS 트랜지스터(58c)가 고전압 전원선(62)으로 공급한다.

도 20에 도시한 전류제한회로(58)의 구성을 이용하면, 정전류원 및 전류미러회로를 이용하고 있기 때문에, 고전압 전원선(62)에 흐르는 전류량을 정확히 설정할 수 있다. 또한, 패드(57)에는 스트레스 가속모드시에 있어서만, 고전압이 인가되고, 스트레스 가속모드 이외의 통상 동작모드시에 있어서, 패드(57)에는 고전압이 인가되지 않는다(도 6에 도시한 바와 같이, 통상 동작사이클시, 패드(57)는 전류제한회로와 분리된다). 따라서, 전류제한회로(58)는 스트레스 가속모드시에 있어서만, 필요한 전류를 공급할 수 있다.

(변형예 1)

도 21은 본 발명의 실시예 3에 따른 반도체 기억장치의 변형예 1의 구성을 개략적으로 도시한 도면이다. 도 21에 도시한 반도체 기억장치의 구성에 있어서는, 도 18에 도시한 구성에 부가하여, 워드선 드라이버(54)의 접지선(64a)과 접지패드(66)에 접속되는 접지선(64b)의 사이에 전류제한회로(68)가 더 마련된다. 접지패드(66)는 외부의 접지핀단자(69)에 접속된다. 스트레스 가속모드시에 있어서, 모든 워드선 WL0 WLx를 선택상태로 구동하고 또한 이들의 워드선을 전부 동시에 비선택상태로 구동하는 경우, 선택상태의 워드선 WL0 WLx에서 큰 방전전류가 워드선 드라이버(54)로부터 접지선(64a)으로 흐른다. 이 방전전류에 의한 접지선(64a 및 64b)의 파손을 방지하기 위해서, 전류제한회로(68)가 마련된다. 이에 따라, 워드선 드라이버(54)의 접지선으로의 방전 전류량을 제한하여, 워드선 비선택 이행시에 있어서의, 대전류에 의한 접지선의 파손을 방지한다.

도 22는 도 21에 도시한 전류제한회로(68)의 구성의 일례를 개략적으로 도시한 도면이다. 도 22에 있어서, 전류제한회로(68)는 전원노드와 내부노드 Nz의 사이에 접속되고 또한 그 게이트에서 바이어스전압 Vbiasp을 수신하는 p채널 MOS 트랜지스터(68a)와, 내부노드 Nz와 접지선(64b) 사이에 접속되고 또한 그 게이트가 내부노드 Nz에 접속되는 n채널 MOS 트랜지스터(68b)와, 접지선(64a)과 접지선(64b) 사이에 접속되고 또한 그 게이트가 내부노드 Nz에 접속된 n채널 MOS 트랜지스터(68c)를 포함한다. 접지선(64c)은 접지패드(66)에 접속된다.

MOS 트랜지스터(68a)는 정전류원으로서 작용하여, 일정한 전류를 공급한다. MOS 트랜지스터(68b 및 68c)는 전류미러회로를 구성한다. MOS 트랜지스터(68b)와 MOS 트랜지스터(68c)의 미러비(mirror ratio)(사이즈 비)를 적당한 값으로 설정하는 것에 의해, MOS 트랜지스터(68a 및 68b)를 거쳐서 흐르는 전류의 미러전류가 MOS 트랜지스터(68c)를 거쳐서 흐른다. 따라서, MOS 트랜지스터(68c)의 사이즈(채널폭과 채널길이의 비)를 MOS 트랜지스터(68b)의 사이즈의 n 배로 설정하는 것에 의해, 전번의 도 20에 도시한 구성과 마찬가지로, MOS 트랜지스터(68a 및 68b)를 거쳐서 흐르는 전류의 n 배의 전류가 MOS 트랜지스터(68c)를 거쳐서 흐른다. 따라서, MOS 트랜지스터(68c)에 의해, 선택 워드선의 비선택상태로 이행시에 있어서, 대전류가 접지선(64a 및 64b)으로 흐르는 것을 방지할 수 있다.

도 20 및 도 22에 도시한 바와 같이, 전류미러회로를 이용하여 전류제한을 실행하는 것에 의해, 바이어스전압을 수신하는 MOS 트랜지스터의 사이즈는 충분히 작게 할 수 있고, 바이어스전압 발생회로는 큰 게이트용량을 구동할 필요가 없어, 작은 구동력을 가지는 바이어스전압 발생회로를 이용할 수 있다. 또한, 도 22에 도시한 구성에 있어서, 바이어스전압 Vbiasp는 스트레스 가속모드시에 있어, 전원전압 Vcc에 따라 변화하는 바이어스전압으로, 통상동작시 및 스트레스 가속모드동작시, 일정한 전류를 공급하도록 구성하면 좋다(Vcc - Vbiasp = 일정).

(변형예 2)

도 23은 본 발명의 실시예 3에 따른 반도체 기억장치의 변형예 2의 구성을 개략적으로 도시한 도면이다. 도 23에 있어서, 메모리 어레이(1)는 복수의 메모리 블럭 MB0 MBq로 분할된다. 이들의 메모리블럭 MB0 MBq 각각에 대응하여 행 디코더/드라이버 RDD0 RDDq가 배치된다. 이들의 행 디코더/드라이버 RDD0 RDDq의 각각은 행 디코더 및 워드선 드라이버 양자를 포함하여, 어드레스신호에 따라 대응하는 메모리블럭에 포함되는 워드선을 선택상태로 구동한다.

행 디코더/드라이버 RDD0 RDDq 각각에 대응하여 전류제한회로(72-0 72-q)가 마련된다. 전류제한회로(72-0 72-q)의 각각은 도 20에 도시한 구성과 마찬가지의 구성을 구비하여, 서브 고전압 전원선(62-0 62-q)을 거쳐서 각각 대응하는 행 디코더/드라이버 RDD0 RDDq로 고전압 Vpp를 전달한다.

이들의 전류제한회로(72-0 72-q)에 공통으로 고전압 전원선(70)이 배치된다. 고전압 전원선(70)상에 Vpp 발생회로(56) 및 패드(57)로부터의 고전압이 인가된다. Vpp 발생회로(56) 및 패드(57)는 도 21에 도시한 것과 동일하다.

도 23에 도시한 구성에 있어서는 전류제한회로가 분산 배치된다. 전류제한회로(72-0 72-q)를 분산하여 배치하는 것에 의해, 전류제한부가 분산하여 배치되어, 국소적으로 대전류가 발생하는 것을 방지할 수 있어, 효과적인 전류제한을 실현할 수 있다.

도 23에 도시한 배치에 있어서, 전류제한회로(72-0 72-q)는 각 메모리 블럭 MB0 MBq에 대하여 마련되는 행 디코더/드라이버 RDD0 RDDq에 대하여 1 대 1로 마련될 필요는 없다. 행 디코더/드라이버 RDD0 RDDq를 적당히 그룹화하고, 각 그룹에 대하여 전류제한회로를 마련해도 좋다.

또한, 도 23에 도시한 구성에 있어서, 접지선으로의 전류를 제한하기 위한 전류제한회로가 분산하여 마련되더라도 좋다.

이상과 같이, 본 발명의 실시예 3에 따르면, 워드선에 인가되는 전압을 공급하는 전원선에 전류제한회로를 마련하였기 때문에, 스트레스 가속모드시에 있어, 모든 워드선을, 가령 선택상태로 구동하더라도, 대전류가 흐르는 것을 방지할 수 있어, 장치의 신뢰성이 확보된다.

(실시예 4)

도 24는 본 발명의 실시예 4에 따른 반도체 기억장치의 전체의 구성을 개략적으로 도시한 도면이다. 도 24에 있어서, 본 발명의 실시예 4에 따른 반도체 기억장치는 복수의 메모리블럭 MB0 MBn으로 분할되는 메모리 어레이(1)를 포함한다. 메모리블럭 MB0 MBn의 각각은 행렬 형태로 배열되는 복수의 메모리 셀을 갖는다. 메모리블럭 MB0 MBn에 대응하여 센스 앰프대 SB0 SBn이 마련된다. 이들 센스 앰프대 SB1 SBm은 그 양측의 메모리블럭에 의해 공유된다. 메모리블럭 MB0 MBn 각각에 대응하여, 각 비트선쌍의 전위를 소정 전위로 프리차지하기 위한 비트선 이퀄라이즈회로군 BEQG0 BEQGn이 마련된다.

반도체 기억장치는 또한, 외부로부터의 어드레스신호를 수신하여 내부 어드레스신호를 생성하는 어드레스 버퍼(2)와, 어드레스 버퍼로부터 인가되는 내부 어드레스신호에 대하여, 스트레스 가속모드시, 복수행을 지정하도록 어드레스변환을 실행하는 어드레스 제어회로(3)와, 어드레스 제어회로(3)로부터 인가된 내부 행 어드레스신호를 프리 디코드하는 행 프리 디코더(4)와, 행 프리 디코더(4)가 출력하는 프리 디코드신호에 따라 메모리블럭 MB0 MBn의 지정된 워드선을 선택상태로 구동하는 행 디코더/드라이버(5)를 포함한다. 이들 어드레스 버퍼(2), 어드레스 제어회로(3), 행 프리 디코더(4) 및 행 디코더/드라이버(5)는 도 1에 도시한 구성과 동일하며, 어드레스 제어회로(3)가 스트레스 가속모드 지시신호 BIAC의 활성화시, 통상동작사이클시에 선택되는 것보다도 많은 워드선을 선택상태로 구동하도록 어드레스변환을 실행한다.

반도체 기억장치는 또한, 선택 워드선상에 전달되는 승압전압을 발생하는 Vpp 발생회로(6)와, 패드(57)로 인가되는 전압을, 그것을 통해 흐르는 전류를 제한하여 전달하는 전류제한회로(58)와, Vpp 발생회로(56) 및 전류제한회로(58)로부터 인가되는 전압 중 한쪽을 스트레스 가속모드 지시신호에 따라 행 디코더/드라이버(5)의 워드선 드라이브부로 전달하는 전환회로(60)를 포함한다. 전환회로(60)는, 스트레스 가속모드 지시신호 BIAC가 활성상태에 있어 스트레스 가속모드를 지정할 때에는, 전류제한회로(58)를 거쳐서 인가되는 전압을 선택한다.

반도체 기억장치는 또한, 스트레스 가속모드 지시신호 BIAC에 따라 접지전압 Vss 및 중간전압 레벨의 프리차지전압 Vb1 중 한쪽을 선택하여, 비트선 이퀄라이즈회로군 BEQG0 BEQGn으로 전달하는 전환회로(32)와, 중간전압 레벨의 셀 플레이트 전압 Vcpa 및 스트레스 가속모드시에 인가되는 셀 플레이트 전압 Vcpb 중 한쪽을 스트레스 가속모드 지시신호 BIAC에 따라 선택하여 셀 플레이트 전압 Vcp를 생성하고, 메모리 셀 캐패시터의 셀 플레이트전극으로 전달하는 전환회로(34)를 포함한다. 전환회로(32)는 스트레스 가속모드시에 있어서는, 접지전압 Vss를 선택하고, 통상동작

사이클시에 있어서는, 중간전압 Vb1을 선택한다. 전환회로(34)는 스트레스 가속모드시에 있어서는, 중간전압 Vcpa를 선택하고, 스트레스 가속모드시에 있어서는, 외부에서 제어가능한 전압 Vcpb를 선택한다.

반도체 기억장치의 내부 동작을 제어하기 위해서, 행 어드레스 스트로브신호 /RAS, 열 어드레스 스트로브신호 /CAS 및 기록 인에이블신호 /WE에 따라 내부 제어신호를 발생하는 제어클럭 발생회로(80)가 더 마련된다. 제어클럭 발생회로(80)는 행 어드레스 스트로브신호 /RAS, 열 어드레스 스트로브 신호 /CAS 및 기록 인에이블신호 /WE에 따라 스트레스 가속모드가 지정된 것을 검출하여 스트레스 가속모드 지정신호 BIAC를 출력하는 스트레스 가속 검출회로(80a)와, 행 어드레스 스트로브신호 /RAS와 스트레스 가속모드 지시신호 BIAC에 따라 센스 앰프 활성화신호 SE를 출력하는 센스 앰프 제어회로(80b)와, 행 어드레스 스트로브신호 /RAS와 스트레스 가속모드 지시신호 BIAC에 따라 비트선 이퀄라이즈 지시신호 BLEQ를 출력하는 이퀄라이즈 제어회로(80c)를 포함한다.

센스 앰프 제어회로(80b)는 스트레스 가속모드 지시신호 BIAC의 활성화시, 센스 앰프 활성화신호 SE를, 행 어드레스 스트로브신호 /RAS의 상태에 관계없이 비활성상태로 유지한다. 통상동작사이클시에 있어서, 센스 앰프 제어회로(80b)는 행 어드레스 스트로브신호 /RAS가 활성화되고 나서 소정시간 경과후에 센스 앰프 활성화신호 SE를 활성상태로 한다. 이퀄라이즈 제어회로(80c)는 스트레스 가속모드 지시신호 BIAC의 활성화시, 비트선 이퀄라이즈 지시신호 BLEQ를 항상 활성상태의 H 레벨로 한다. 통상동작사이클시에 있어, 이퀄라이즈 제어회로(80c)는 행 어드레스 스트로브신호 /RAS가 활성화되면, 비트선 이퀄라이즈 지시신호 BLEQ를 비활성상태로 한다(비선택 메모리블럭에 대하여만).

도 24에 도시한 반도체 기억장치의 구성은, 실질적으로 실시예 1 내지 실시예 3의 구성을 조합한 것이다. 스트레스 가속모드시에 있어, 필요로 되는 수의 워드선을 동시에 선택상태로 구동할 수 있다. 이 때, 전환회로(60)가 전류제한회로(58)를 거쳐서 패드(57)로부터 인가되는 외부전원전압을 행 디코더/드라이버(5)로 전달하여, 선택 워드선이 선택상태로 구동된다. 전류제한회로(58)에 의해, 많은 워드선이 선택상태로 구동되더라도, 그 때에 흐르는 전류를 제한하여, 대전류에 의한 배선의 파손 등을 방지한다. 또한, 이 때, 전환회로(32 및 34)에 따라, 비트선 전압이 접지전압 Vss로 설정되어, 셀 플레이트전압이 외부에서 제어가능한 전압 Vcpb로 설정되고, 메모리 트랜지스터의 게이트 절연막 및 메모리 셀 캐패시터의 유전체막에 대한 전압 스트레스 가속이 병행하여 행하여진다.

도 24에 도시한 구성을 이용하면, 실시예 1 내지 실시예 3의 효과를 전부 실현하는 반도체 기억장치를 얻을 수 있다.

또, 도 23에 있어서, 전환회로(32 및 34)는 메모리블럭 MB0 MBn 각각에 대응하여 마련되고, 디코더(4)로부터의 블럭 프리 디코드신호 XB에 따라, 선택 메모리블럭에 대해서만, 비트선 전압의 전환 및 셀 플레이트전압의 전환이 행해지도록 구성되더라도 좋다. 또한, 이퀄라이즈 제어회로(80c)는 통상 동작사이클시, 선택 메모리블럭에 대해서만, 비트선 이퀄라이즈 지시신호 BLEQ를 비활성상태로 하지만, 이 구성은 행 프리 디코더(4)로부터의 메모리 블럭 지정신호를 이용하는 것에 의해 용이하게 실현된다. 이것은, 센스 앰프 제어회로(80b)로부터의 센스 앰프 활성화신호 SE도 동일하고, 선택 메모리블럭에 대해 마련된 센스 앰프는, 통상동작사이클시에 있어서는 활성상태로 된다.

도 24에 도시한 구성에 있어서도, 전류제한회로(58)는 복수의 메모리블럭에 대하여, 1개씩 마련되는 분산배치에 따라 배치되더라도 좋다. 또한, 선택 워드선의 방전시의 대전류를 저감하기 위해서, 접지전류를 제한하는 회로가 마련되더라도 좋다.

이상과 같이, 본 발명의 실시예 4에 따르면, 스트레스 가속모드시에 있어, 동시에 선택되는 워드선의 수를 복수 라인으

로 하고, 또한 비트선 전압 및 셀 플레이트전압을 변경하며, 또한 센스 앰프를 비활성상태로 하는 동시에 또한, 워드선 구동전류를 제한하도록 구성하였기 때문에, 복수 라인의 워드선을 안정적으로 동시에 선택상태로 구동하여, 메모리 셀 트랜지스터의 게이트 절연막 및 메모리 셀 캐패시터의 유전체막도 동시에 스트레스 가속을 실행할 수 있어, 스트레스 가속시험에 요하는 시간을 대폭 단축할 수 있다.

(다른 응용예)

전술의 실시예에 있어서, 반도체 기억장치로서 다이나믹형 반도체 기억장치가 사용되고 있다. 그러나, 스태틱 반도체 기억장치(SRAM)가 사용되더라도, 워드선을 동시에 선택상태로 구동하는 구성은 적용가능하다.

또한, 스트레스 가속시험으로서는 제품 출하전에 실행되는 번인 테스트에 부가하여, 수명 시험이 행해지더라도 좋고, 고전압을 인가하여 전압 스트레스가 가속되는 시험이면 좋다.

발명의 효과

이상과 같이, 본 발명에 따르면, 스트레스 가속모드시에, 선택 워드선을 구동하기 위한 전류를 저감하였기 때문에, 정확히, 신뢰성을 손상하는 일없이 스트레스 가속시험을 실행하는 것이 단시간에 행해질 수 있다.

본 발명의 제 1 특징에 따르면, 행 선택수단으로 인가되는 어드레스 신호비트 중 소정의 내부 어드레스 신호비트를 선택상태로 설정하고 또한 나머지의 내부 어드레스 신호비트를 외부어드레스신호에 대응하는 상태로 설정하도록 구성하였기 때문에, 용이하게 소정수의 워드선을 동시에 선택상태로 구동할 수 있어, 모든 워드선 선택시에 비해서, 워드선 구동에 필요한 전류를 저감할 수 있고, 따라서 대전류에 의한 고전압 전달선 및 접지선의 파손을 방지할 수 있다.

본 발명의 제 2 특징에 따르면, 어드레스 제어를, 스트레스 가속모드 지시신호에 따라 내부 어드레스 신호비트의 논리레벨을 선택상태로 설정하는 제 1 게이트수단과, 나머지의 어드레스 신호비트에 대응하여, 항상 비활성상태로 되는 신호에 따라 내부 어드레스신호에 대응하는 어드레스 신호를 출력하는 제 2 게이트수단으로 구성하고 또한 이들 제 1 및 제 2 게이트수단을 같은 논리구성으로 하고 있기 때문에, 내부 어드레스 신호발생 타이밍을 동일하게 할 수 있고, 정확히 행 선택을 실행할 수 있으며, 또한 마스크 배선 등에 의해, 용이하게 스트레스 가속모드시 선택상태로 되는 어드레스 신호비트를 설정할 수 있다.

본 발명의 제 3 특징에 따르면, 메모리 어레이의 복수의 행 블럭의 특정 블럭을 지정하는 블럭 어드레스만을 유효로 하고 있기 때문에, 메모리 어레이내의 복수 블럭중 1개의 블럭에 있어서 스트레스 가속을 실행할 수 있어, 워드선의 개수를 확실히 적게 할 수 있다.

본 발명의 제 4 특징에 따르면, 스트레스 가속모드시에 선택상태로 되는 어드레스 신호비트를 블럭 어드레스 비트 및 워드선 선택 어드레스 비트 양자를 포함하도록 구성하고 있기 때문에, 스트레스 가속모드시에 선택상태로 구동되는 워드선을 분산시킬 수 있어, 워드선 구동시에 흐르는 전류를 분산시키는 수 있고, 전류의 국소집중을 방지할 수 있다.

본 발명의 제 5 특징에 따르면, 스트레스 가속모드시에 있어, 비트선 전위를 중간전압과 다른 기준전압레벨로 설정하고 또한 셀 플레이트 전압도 중간전압레벨과 다른 전압레벨로 설정하고 있기 때문에, 메모리 셀 액세스 트랜지스터의 게이트 절연막 및 메모리 셀 캐패시터의 유전체막 양자의 전압 가속을 동시에 실행할 수 있고, 또한 메모리 셀 캐패시터 유전체막의 스트레스 가속을 효과적으로 행할 수 있어 스트레스 가속시험에 요하는 시간을 단축할 수 있다.

본 발명의 제 6 특징에 따르면, 스트레스 가속모드시에, 복수의 워드선 구동을 위한 전압을 전달하는 전원선에 전류제한회로를 마련하였기 때문에, 워드선 구동시에 흐르는 전류를 억제할 수 있고, 스트레스 가속시, 대전류에 기인하는 장치 불량의 발생을 방지할 수 있어, 신뢰성이 높은 스트레스 가속시험을 실현할 수 있다.

(57) 청구의 범위

청구항 1.

행렬 형태로 배열되는 복수의 메모리 셀을 갖는 메모리 셀 어레이와,

상기 각각의 행에 대응하여 배치되어, 각각에 대응하는 행의 메모리 셀이 접속하는 복수의 워드선과,

다중 비트 어드레스 신호(multibit address signal)를 수신하여, 다중 비트 내부 어드레스 신호를 생성하는 어드레스 버퍼와,

상기 어드레스 버퍼로부터의 내부 어드레스 신호에 따라 상기 복수의 워드선의 어드레스가 지정된 행에 대응하는 워드선을 선택 상태로 구동하는 행 선택 수단과,

스트레스 가속 모드 지시 신호의 활성화에 응답하여, 상기 다중 비트 내부 어드레스 신호의 소정의 내부 어드레스 신호 비트를 그 논리상태에 관계없이 선택상태로 설정하고, 또한 나머지의 내부 어드레스 신호 비트를 인가된 어드레스신호 비트에 대응하는 논리상태로 설정하는 어드레스 제어수단을 포함하되,

상기 어드레스 제어수단은,

상기 소정의 내부 어드레스 신호 비트 각각에 대응하여 마련되어, 상기 스트레스 가속 모드 지시 신호의 활성화에 응답하여 대응하는 내부 어드레스 신호 비트를 그 논리레벨에 관계없이 선택 상태로 설정하여 출력하는 제 1 게이트 수단과,

상기 나머지의 내부 어드레스 신호 비트 각각에 대응하여 마련되어, 항상 비활성 상태로 되는 신호에 응답하여 대응하는 내부 어드레스 신호 비트에 대응하는 논리 레벨의 신호를 출력하되, 상기 제 1 게이트 수단과 동일한 논리 구성을 갖는 제 2 게이트 수단을 포함하는

반도체 기억장치.

청구항 2.

제 1 항에 있어서,

상기 메모리 셀 어레이는 각각이 복수의 행을 갖는 복수의 행 블럭으로 분할되고,

상기 나머지의 내부 어드레스 신호 비트는 상기 복수의 행 블럭 중 소정수의 행 블럭을 지정하는 블럭 어드레스를 구성하는

반도체 기억장치.

청구항 3.

제 1 항에 있어서,

상기 메모리 어레이는 각각이 복수의 행을 갖는 복수의 행 블럭으로 분할되고,

상기 소정의 내부 어드레스 신호 비트는, 상기 복수의 행 블럭 중 행 블럭을 지정하는 블럭 어드레스 신호 비트의 일부, 및 각각의 상기 행 블록 내의 행을 지정하는 행 어드레스 신호 비트의 일부의 양자를 포함하는

반도체 기억장치.

청구항 4.

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 메모리 셀의 각각은, 한쪽 전극에서 셀 플레이트 전압을 수신하는 캐패시터와, 상기 캐패시터의 기억 정보를 판독하기 위한 액세스 트랜지스터를 포함하며,

각각의 상기 열에 대응하여 마련되어, 각각에 대응하는 열의 메모리 셀이 접속하는 복수의 비트선쌍과,

상기 복수의 비트선쌍 각각에 대응하여 마련되어, 활성화 시 대응하는 비트선쌍의 각각의 비트선을 소정 전압으로 유지하기 위한 복수의 비트선 전압 유지 회로와,

상기 스트레스 가속 모드 지시 신호의 활성화에 응답하여, 상기 비트선 전압유지 회로를 통해 각각의 상기 비트선에, 통상 동작 모드시의 전압 레벨과 다른 전압 레벨의 기준 전압을 전달하는 비트선 전압 조정 수단과,

상기 스트레스 가속 모드 지시 신호의 활성화에 응답하여, 상기 셀 플레이트 전압의 전압 레벨을 변경하는 수단을 더 포함하는 반도체 기억장치.

청구항 5.

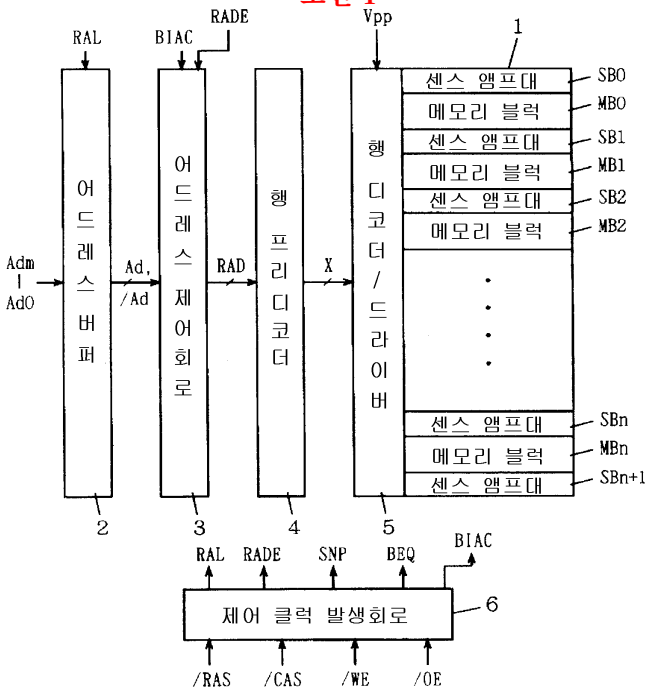
제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 스트레스 가속 모드 지시 신호가 활성화되어, 상기 스트레스 가속 모드동작 시에, 상기 행 선택 수단을 거쳐서, 선택된 워드선상으로 전달되는 전압을 외부로부터 수신하기 위한 전원 노드와,

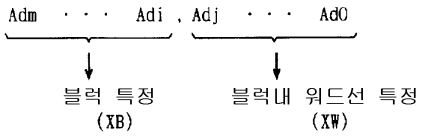
상기 전원 노드와 상기 행 선택 수단과의 사이에 마련되어, 상기 전원 노드와 상기 행 선택 수단 사이에서 흐르는 전류량을 제한하기 위한 전류 제한 수단을 더 포함하는 반도체 기억장치.

도면

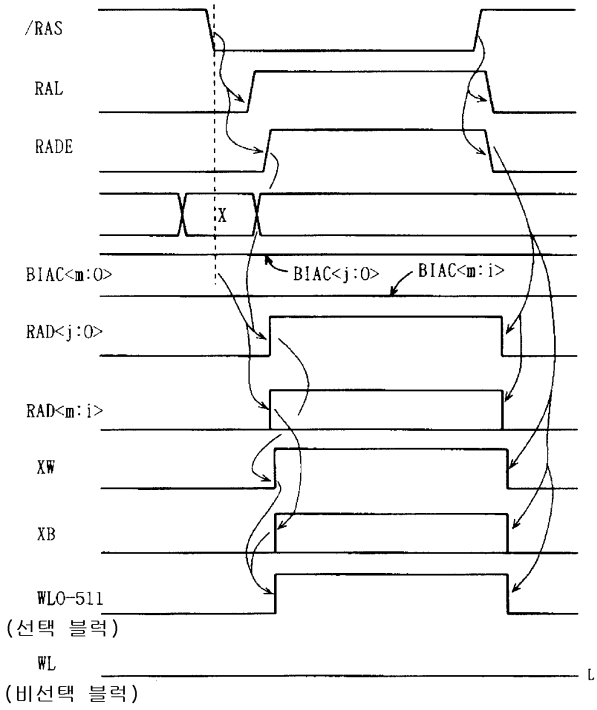
도면 1


RAL
BIAC
RADE
Vpp
1
센스 앰프대
메모리 블럭
SB0
MB0
SB1
MB1
SB2
MB2
SBn
MBn
SBn+1
Adm
Ad0
Ad,
/Ad
RAD
X
어드레스 버퍼
어드레스 제어회로
행 프리디코더
행 디코더/드라이버
2
3
4
5
RAL
RADE
SNP
BEQ
BIAC
제어 클럭 발생회로
6
/RAS
/CAS
/WE
/OE

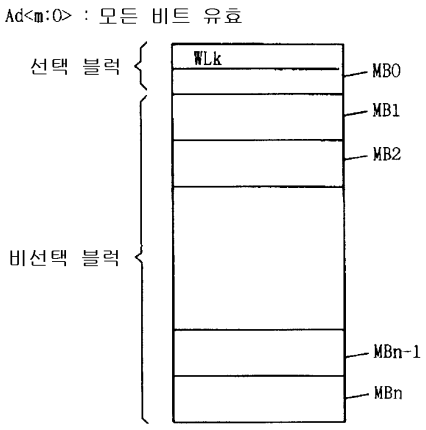
도면 2


Adm · · · Adi , Adj · · · Ad0
블럭 특정
(XB)
블럭내 워드선 특정
(XW)

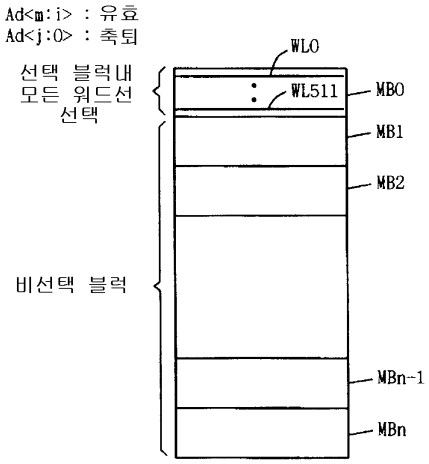
도면 3


/RAS
RAL
RADE
X
BIAC<m:0>
BIAC<j:0>
BIAC<m:i>
RAD<j:0>
RAD<m:i>
XW
XB
WL0-511
(선택 블럭)
WL
(비선택 블럭)

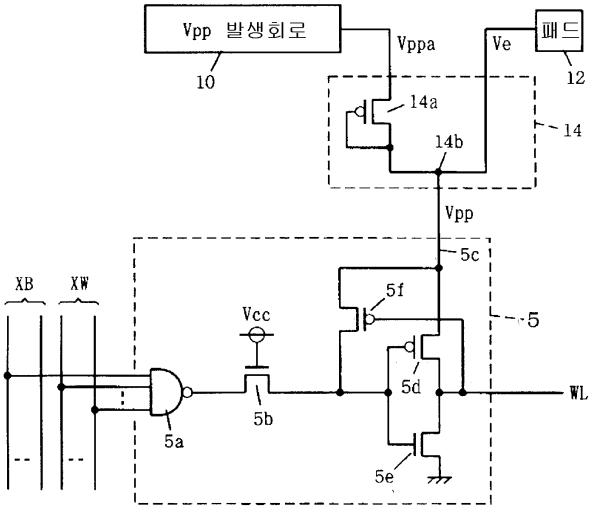
도면 4a


Ad<m:0> : 모든 비트 유효
선택 블럭
비선택 블럭
WLk
MB0
MB1
MB2
MBn-1
MBn

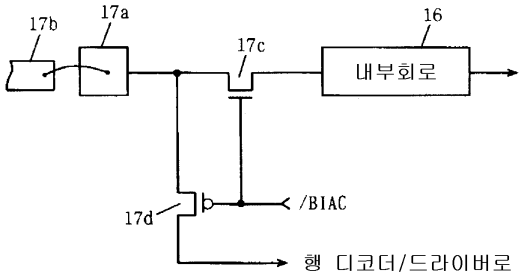
도면 4b


Ad<m:i> : 유효
Ad<j:0> : 축퇴
선택 블럭내
모든 워드선
선택
비선택 블럭
WL0
WL511
MB0
MB1
MB2
MBn-1
MBn

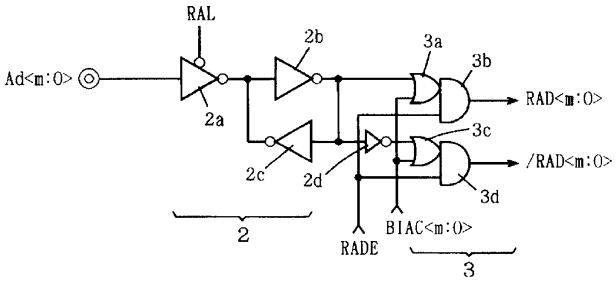
도면 5


Vpp 발생회로
10
Vppa
Ve
패드
12
14a
14b
14
Vpp
5c
5f
5
Vcc
5d
WL
XB
XW
5a
5b
5e

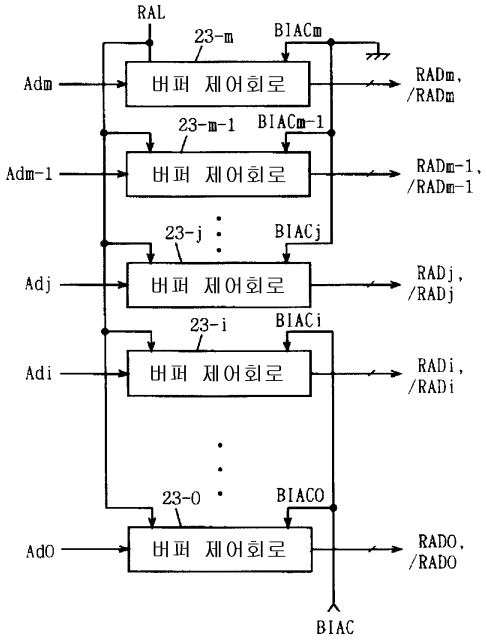
도면 6


17b
17a
17c
16
내부회로
/BIAC
17d
행 디코더/드라이버로

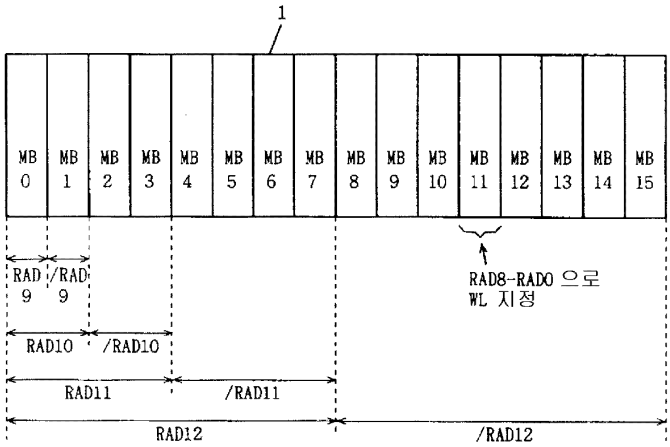
도면 7


RAL
2b
3a
3b
Ad<m:0>
2a
RAD<m:0>
3c
/RAD<m:0>
2c
2d
3d
2
BIAC<m:0>
RADE
3

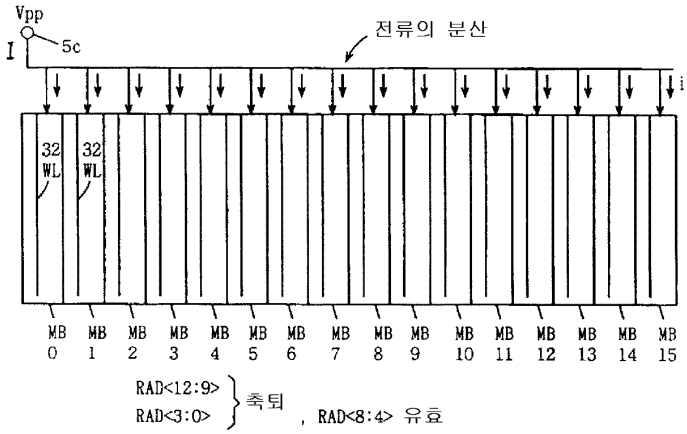
도면 8


RAL
23-m
BIACm
Adm
버퍼 제어회로
RADm,
/RADm
23-m-1
BIACm-1
Adm-1
RADm-1,
/RADm-1
23-j
BIACj
Adj
RADj,
/RADj
23-i
BIACi
Adi
RADi,
/RADi
23-0
BIAC0
Ad0
RAD0,
/RAD0
BIAC

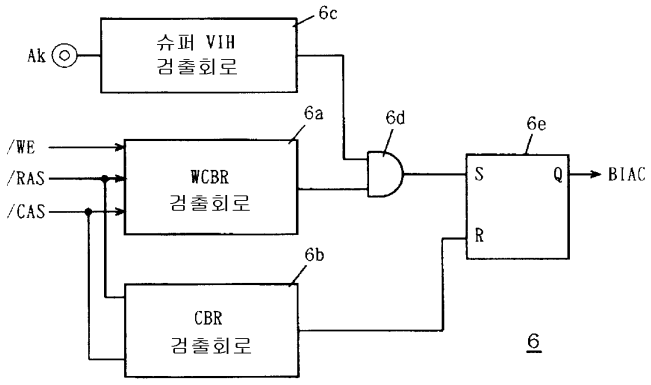
도면 9



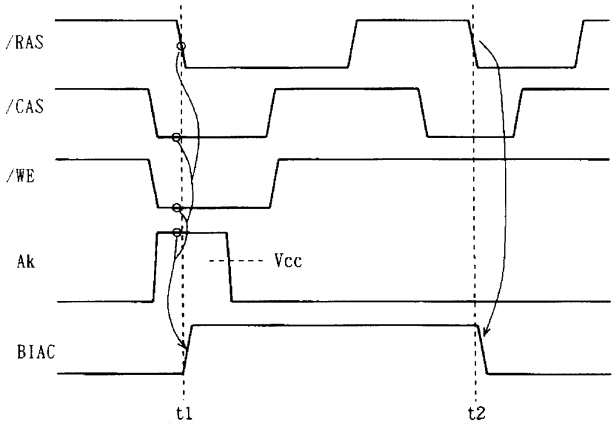
도면 10



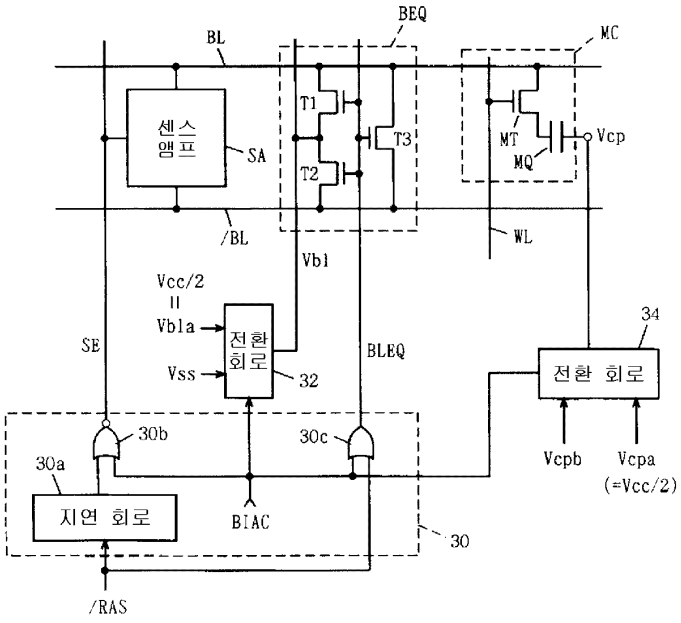
도면 11



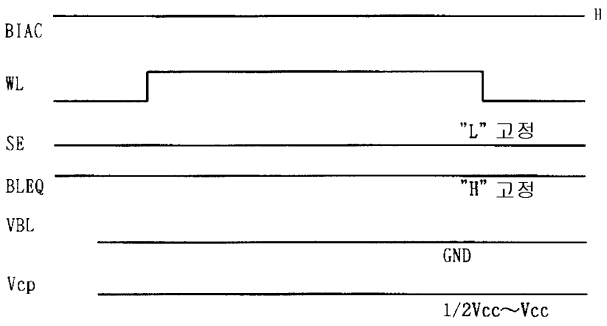
도면 12


/RAS
/CAS
/WE
Ak
Vcc
BIAC
t1
t2

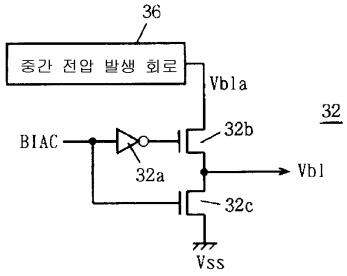
도면 13


BEQ
BL
MC
센스 앰프
SA
T1
T2
T3
MT
MQ
Vcp
/BL
WL
Vbl
Vcc/2
Vbla
SE
전환 회로
Vss
32
BLEQ
34
전환 회로
30b
30c
30a
Vcpb
Vcpa
(=Vcc/2)
지연 회로
BIAC
30
/RAS

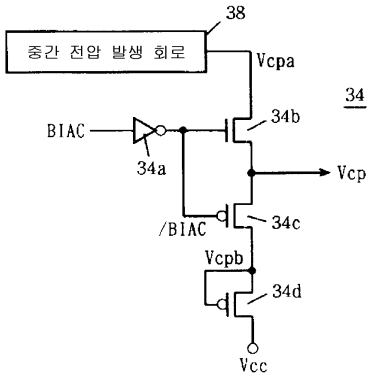
도면 14



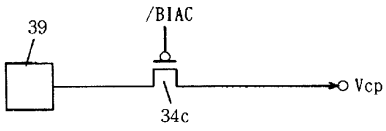
도면 15



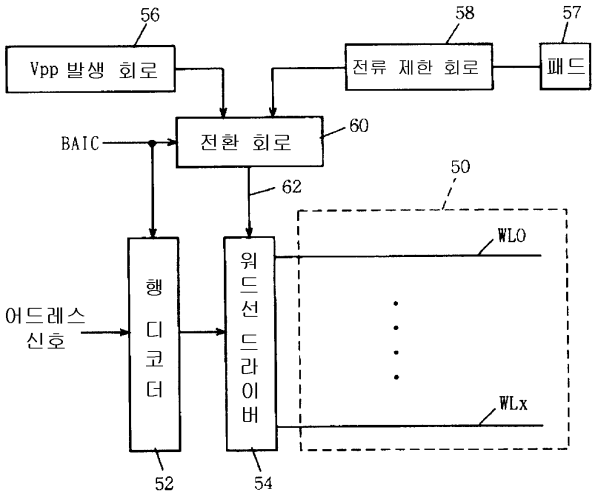
도면 16



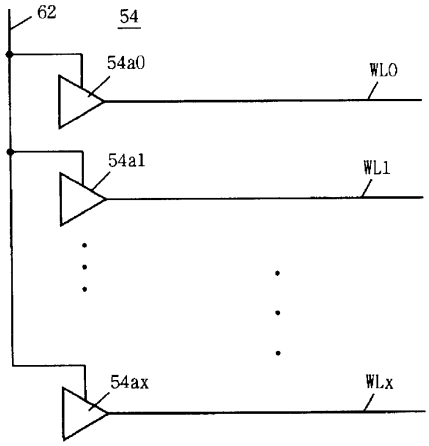
도면 17



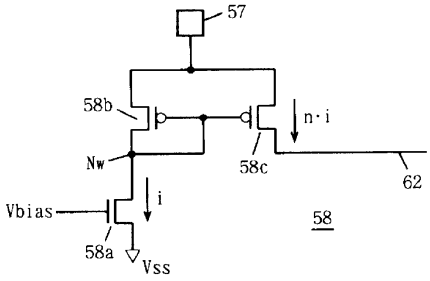
도면 18



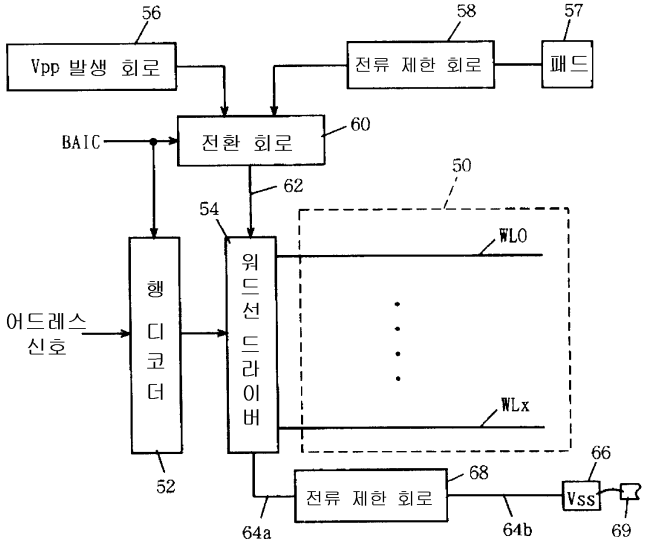
도면 19



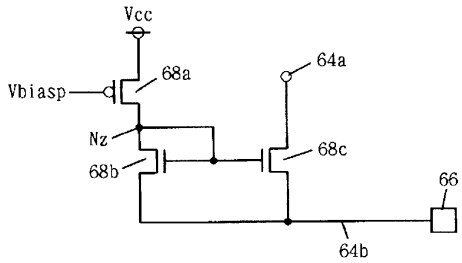
도면 20



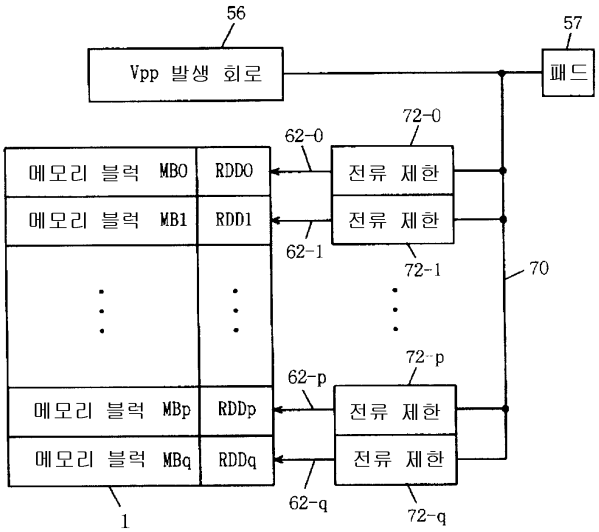
도면 21


56
Vpp 발생 회로
58
전류 제한 회로
57
패드
BAIC
전환 회로
60
62
50
54
워드선 드라이버
WL0
WLx
어드레스 신호
행 디코더
52
64a
전류 제한 회로
68
64b
66
Vss
69

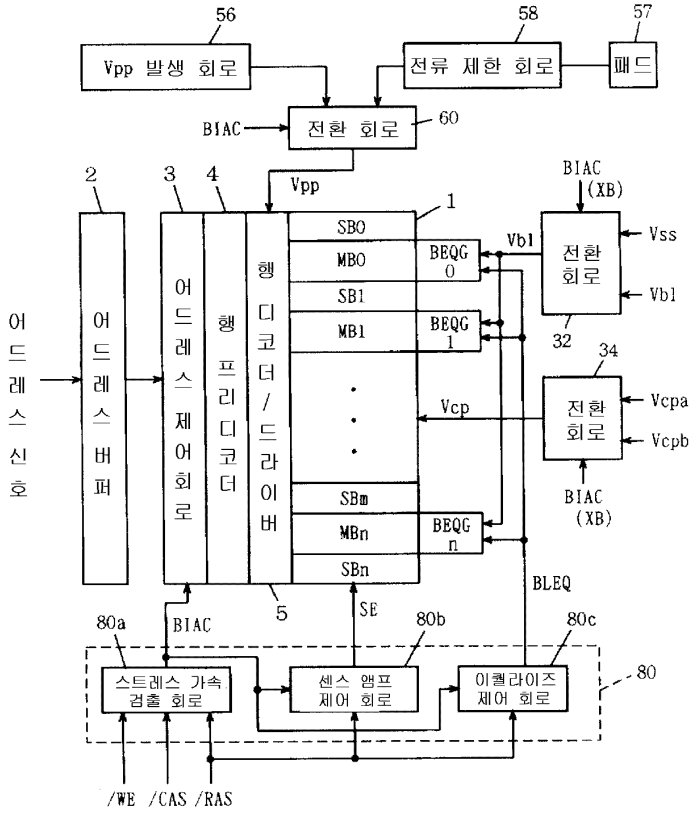
도면 22


Vcc
Vbiasp
68a
64a
Nz
68b
68c
66
64b

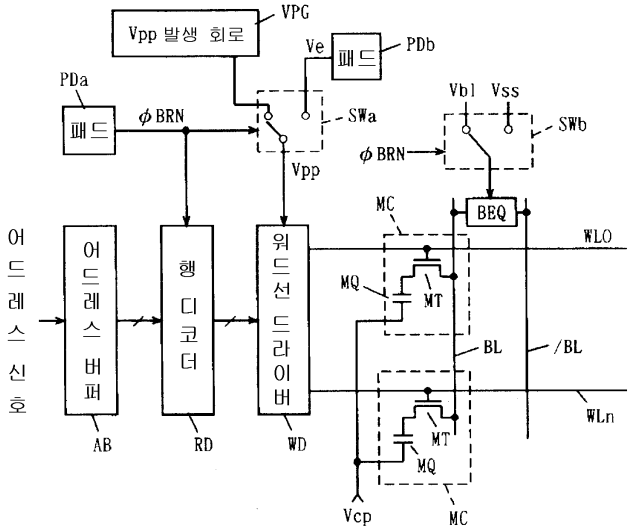
도면 23


56
57
Vpp 발생 회로
패드
72-0
62-0
메모리 블럭 MB0
RDD0
전류 제한
메모리 블럭 MB1
RDD1
전류 제한
62-1
72-1
70
72-p
62-p
메모리 블럭 MBp
RDDp
전류 제한
메모리 블럭 MBq
RDDq
전류 제한
62-q
72-q
1

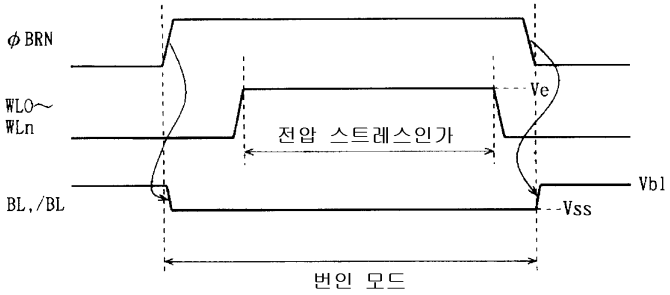
도면 24


56
58
57
Vpp 발생 회로
전류 제한 회로
패드
BIAC
전환 회로
60
Vpp
2
3
4
1
BIAC
(XB)
SB0
MB0
SB1
MB1
BEQG 0
BEQG 1
Vbl
전환 회로
Vss
Vbl
32
34
어드레스 신호
어드레스 버퍼
어드레스 제어 회로
행 프리디코더
행 디코더/드라이버
Vcp
전환 회로
Vcpa
Vcpb
BIAC
(XB)
SBm
MBn
SBn
BEQG n
BLEQ
5
SE
80a
BIAC
80b
80c
80
스트레스 가속 검출 회로
센스 앰프 제어 회로
이퀄라이즈 제어 회로
/WE
/CAS
/RAS

도면 25


Vpp 발생 회로
VPG
Ve
패드
PDb
PDa
패드
φBRN
SWa
Vpp
Vbl
Vss
SWb
φBRN
MC
BEQ
WLO
어드레스 신호
어드레스 버퍼
행 디코더
워드선 드라이버
MQ
MT
BL
/BL
WLn
AB
RD
WD
MT
MQ
Vcp
MC

도면 26


φBRN
WLO~
WLn
Ve
전압 스트레스인가
Vbl
BL,/BL
Vss
번인 모드