



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I697207 B

(45)公告日：中華民國 109 (2020) 年 06 月 21 日

(21)申請案號：108127911

(22)申請日：中華民國 107 (2018) 年 07 月 31 日

(51)Int. Cl. : **H03K21/02 (2006.01)****H03L7/085 (2006.01)**

(30)優先權：2017/07/31 美國

15/664,506

(71)申請人：美商美光科技公司 (美國) MICRON TECHNOLOGY, INC. (US)

美國

(72)發明人：迪米崔 卓格斯 DIMITRIU, DRAGOS (CA)

(74)代理人：陳長文

(56)參考文獻：

TW I310948B

US 5831472

US 8050128B2

US 8234422B2

審查人員：范士隆

申請專利範圍項數：20 項 圖式數：8 共 39 頁

(54)名稱

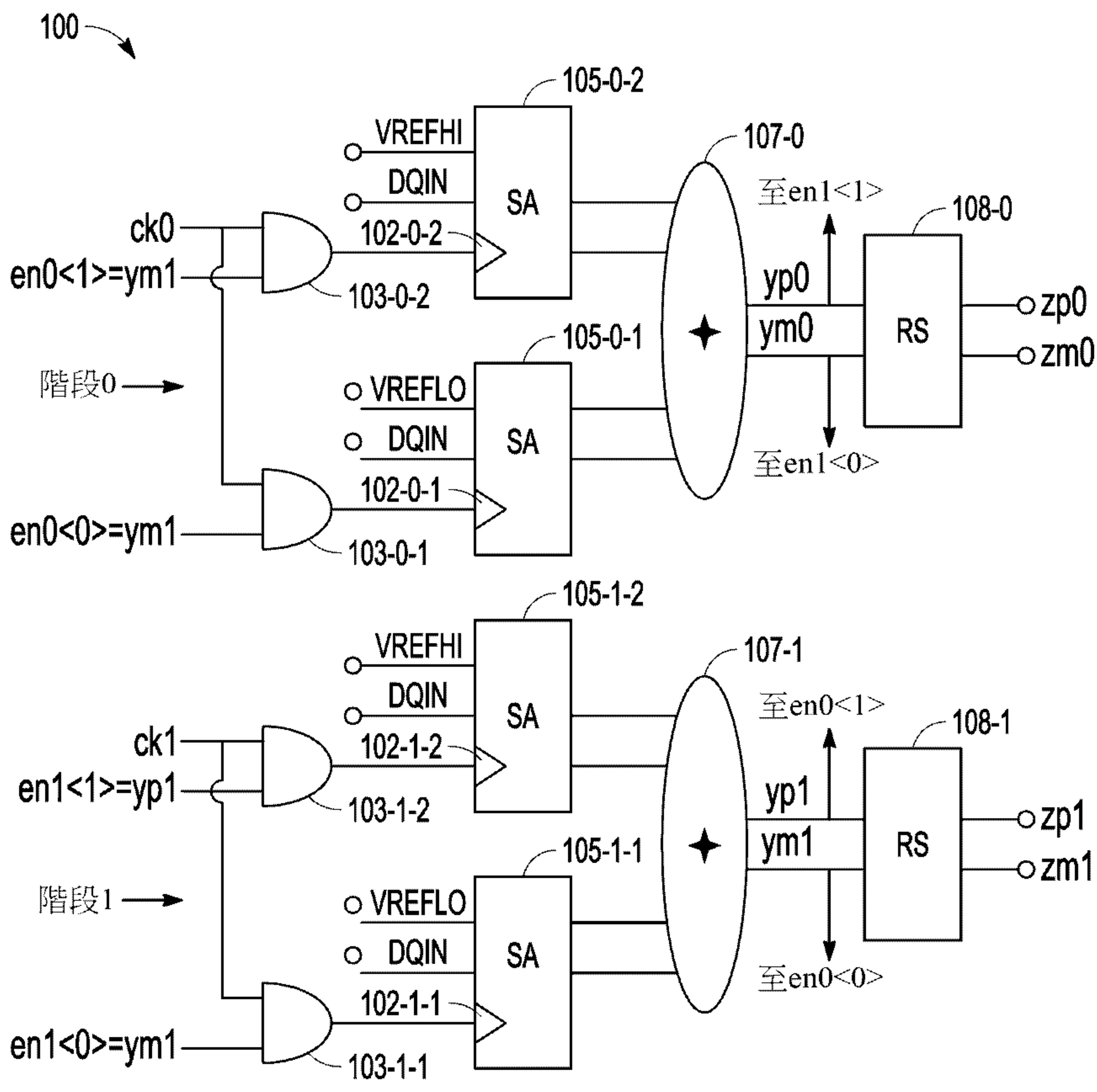
具有帶著即時時脈解碼判斷反饋等化器之資料接收器之裝置

(57)摘要

各種實施例包括具有帶著一即時時脈解碼判斷反饋等化器之一資料接收器的裝置及方法。在各種實施例中，一數位判斷反饋迴路可係實施於一資料接收器電路中，同時所涉及之所有類比信號相對於輸入信號資料速率係靜態的。該經實施資料接收器電路可包括具有不同但靜態之類比失衡的大量資料鎖存器及一基於判斷的時脈解碼器。在一實例中，該等類比失衡可為不同的參考電壓。該基於判斷的時脈解碼器可經構造以激活僅一個資料鎖存器，該資料鎖存器具有該所需類比失衡。可組合經附接至相同時脈解碼器之該鎖存器的輸出，以使得僅該活動鎖存器驅動最終輸出。揭示額外裝置、系統及方法。

Various embodiments include apparatus and methods having a data receiver with a real time clock decoding decision feedback equalizer. In various embodiments, a digital decision feedback loop can be implemented in a data receiver circuit, while all analog signals involved are static relative to the input signal data rate. The implemented data receiver circuit can include a number of data latches with different, but static, analog unbalances and a decision-based clock decoder. In an example, the analog unbalances may be different reference voltages. The decision-based clock decoder can be structured to activate only one data latch, the one with the desired analog unbalance. The outputs of the latches attached to the same clock decoder can be combined such that only the active latch drives the final output. Additional apparatus, systems, and methods are disclosed.

指定代表圖：



【圖1】

符號簡單說明：

- 100 . . . 2 階段 1 分接頭 DFE 電路
- 102-0-1 . . . 啟用輸入
- 102-0-2 . . . 啟用輸入
- 102-1-1 . . . 啟用輸入
- 102-1-2 . . . 啟用輸入
- 103-0-1 . . . 及閘
- 103-0-2 . . . 及閘
- 103-1-1 . . . 及閘
- 103-1-2 . . . 及閘
- 105-0-1 . . . 資料鎖存器
- 105-0-2 . . . 資料鎖存器
- 105-1-1 . . . 資料鎖存器
- 105-1-2 . . . 資料鎖存器
- 108-0 . . . 設置-重置鎖存器
- 108-1 . . . 設置-重置鎖存器
- ck0 . . . 時脈
- ck1 . . . 時脈
- DQIN . . . 輸入資料信號
- VREFHI . . . 與位元相關聯之高條件的電壓參考
- VREFLO . . . 與另一位元相關聯之低條件的電壓參考
- ym0 . . . 輸出
- ym1 . . . 輸出

yp0 . . . 輸出

yp1 . . . 輸出

zm0 . . . 實際數位
位準

zm1 . . . 實際數位
位準

zp0 . . . 實際數位位
準

zp1 . . . 實際數位位
準

I697207

【發明摘要】**【中文發明名稱】**

具有帶著即時時脈解碼判斷反饋等化器之資料接收器之裝置

【英文發明名稱】

APPARATUS HAVING A DATA RECEIVER WITH A REAL TIME
CLOCK DECODING DECISION FEEDBACK EQUALIZER

【中文】

各種實施例包括具有帶著一即時時脈解碼判斷反饋等化器之一資料接收器的裝置及方法。在各種實施例中，一數位判斷反饋迴路可係實施於一資料接收器電路中，同時所涉及之所有類比信號相對於輸入信號資料速率係靜態的。該經實施資料接收器電路可包括具有不同但靜態之類比失衡的大量資料鎖存器及一基於判斷的時脈解碼器。在一實例中，該等類比失衡可為不同的參考電壓。該基於判斷的時脈解碼器可經構造以激活僅一個資料鎖存器，該資料鎖存器具有該所需類比失衡。可組合經附接至相同時脈解碼器之該鎖存器的輸出，以使得僅該活動鎖存器驅動最終輸出。揭示額外裝置、系統及方法。

【英文】

Various embodiments include apparatus and methods having a data receiver with a real time clock decoding decision feedback equalizer. In various embodiments, a digital decision feedback loop can be implemented in a data receiver circuit, while all analog signals involved are static relative to the input signal data rate. The implemented data receiver circuit can include a number of data latches with different, but static, analog unbalances and a decision-based clock decoder. In an

example, the analog unbalances may be different reference voltages. The decision-based clock decoder can be structured to activate only one data latch, the one with the desired analog unbalance. The outputs of the latches attached to the same clock decoder can be combined such that only the active latch drives the final output. Additional apparatus, systems, and methods are disclosed.

【指定代表圖】

圖1

【代表圖之符號簡單說明】

100	2階段1分接頭DFE電路
102-0-1	啟用輸入
102-0-2	啟用輸入
102-1-1	啟用輸入
102-1-2	啟用輸入
103-0-1	及閘
103-0-2	及閘
103-1-1	及閘
103-1-2	及閘
105-0-1	資料鎖存器
105-0-2	資料鎖存器
105-1-1	資料鎖存器
105-1-2	資料鎖存器
108-0	設置-重置鎖存器
108-1	設置-重置鎖存器

ck0	時脈
ck1	時脈
DQIN	輸入資料信號
VREFHI	與位元相關聯之高條件的電壓參考
VREFLO	與另一位元相關聯之低條件的電壓參考
ym0	輸出
ym1	輸出
yp0	輸出
yp1	輸出
zm0	實際數位位準
zm1	實際數位位準
zp0	實際數位位準
zp1	實際數位位準

【發明說明書】

【中文發明名稱】

具有帶著即時時脈解碼判斷反饋等化器之資料接收器之裝置

【英文發明名稱】

APPARATUS HAVING A DATA RECEIVER WITH A REAL TIME
CLOCK DECODING DECISION FEEDBACK EQUALIZER

【技術領域】

【0001】 本發明係關於一種接收器，且更特定言之，係關於一種計時接收器。

【先前技術】

【0002】 預期當前低功率雙資料速率第四代(LPDDR4)隨機存取記憶體(RAM)使用2133 MHz時脈頻率支持至多4266 Mbps之資料速率。輸入資料鎖存器之設計對於實現此效能位準而言為重要的。挑戰包括相對較低電源位準及極小輸入信號能量。由有損路徑造成的符號間干擾(ISI)、歸因於特徵阻抗不連續性的反射及並行信號線之間的串擾以及時脈抖動將輸入信號降級至輸入資料鎖存器應藉由50 mV解決小於80 ps脈衝之點。傳統感測放大器鎖存器在此等條件下操作已具有難度且展示相對不良秩裕量工具(RMT)裕量。輸入資料鎖存器之選項為使用判斷反饋等化(DFE)。典型低開銷DFE接收器實施涉及類比迴路，該類比迴路將反饋應用至輸入或參考電壓。此等接收器之速度受到帶寬及類比反饋之延時的限制。

【發明內容】

【0003】 在一些實施例中，一種計時接收器包含：一組資料鎖存器，其耦合至不同類比失衡，類比失衡相對於輸入信號資料速率為靜態

的；以及時脈解碼器，其經構造以基於自計時接收器輸出之先前位元的值對應於類比失衡中之一個類比失衡而激活該組中之僅一個資料鎖存器。

【0004】 在一些實施例中，一種判斷反饋等化電路包含：資料輸入，其接收資料信號；時脈輸入，其接收時脈信號；互補時脈輸入，其接收時脈信號之補充；一組參考輸入；第一組感測放大器鎖存器，第一組中之每一感測放大器鎖存器耦合至資料輸入且耦合至該組參考輸入中之對應參考輸入，第一組中之每一感測放大器鎖存器由對應邏輯電路耦合以回應於利用對應邏輯電路之啟用而接收時脈信號；第二組感測放大器鎖存器，第二組中之每一感測放大器鎖存器耦合至資料輸入且耦合至該組參考輸入中之對應參考輸入，第二組中之每一感測放大器鎖存器由對應邏輯電路耦合以回應於利用對應邏輯電路之啟用而接收時脈信號之補充；及反饋迴路，其基於第二組感測放大器鎖存器之輸出將第一啟用信號提供至第一組感測放大器鎖存器之邏輯電路且基於第一組感測放大器鎖存器之輸出將第二啟用信號提供至第二組感測放大器鎖存器之邏輯電路，第一組及第二組之輸出對應於自判斷反饋等化器電路輸出之先前位元。

【0005】 在一些實施例中，一種裝置包含：資料匯流排；及大量耦合至資料匯流排之記憶體器件，每一記憶體器件包括大量判斷反饋等化電路，每一判斷反饋等化電路包括：資料輸入，其接收資料信號；第一時脈輸入，其接收第一時脈信號；第二時脈輸入，其接收第二時脈信號；一組參考輸入；第一組感測放大器鎖存器，第一組中之每一感測放大器鎖存器耦合至資料輸入且耦合至該組參考輸入中之對應參考輸入，第一組中之每一感測放大器鎖存器由對應邏輯電路耦合以回應於利用對應邏輯電路之啟用而接收第一時脈信號；第二組感測放大器鎖存器，第二組中之每一感測

放大器鎖存器耦合至資料輸入且耦合至該組參考輸入中之對應參考輸入，第二組中之每一感測放大器鎖存器由對應邏輯電路耦合以回應於利用對應邏輯電路之啟用而接收第二時脈信號；及反饋迴路，其基於第二組感測放大器鎖存器之輸出將第一啟用信號提供至第一組感測放大器鎖存器之邏輯電路且基於第一組感測放大器鎖存器之輸出將第二啟用信號提供至第二組感測放大器鎖存器之邏輯電路，第一組及第二組之輸出包括對應於自判斷反饋等化器電路輸出之先前位元的輸出。

【0006】 在一些實施例中，一種方法包含：在耦合至判斷反饋等化器電路之第一組感測放大器鎖存器的資料輸入處接收資料信號，第一組中之每一感測放大器鎖存器耦合至一組參考輸入中之對應參考輸入，第一組中之每一感測放大器鎖存器由對應邏輯電路耦合以回應於利用對應邏輯電路之啟用而接收第一時脈信號；在耦合至判斷反饋等化器電路之第二組感測放大器鎖存器的資料輸入處接收資料信號，第二組中之每一感測放大器鎖存器耦合至該組參考輸入中之對應參考輸入，第二組中之每一感測放大器鎖存器由對應邏輯電路耦合以回應於利用對應邏輯電路之啟用而接收第二時脈信號；基於第二組感測放大器鎖存器之輸出將第一啟用信號反饋至第一組感測放大器鎖存器之邏輯電路；及基於第一組感測放大器鎖存器之輸出將第二啟用信號反饋至第二組感測放大器鎖存器之邏輯電路，其中第一啟用信號及第二啟用信號係基於自判斷反饋等化器電路輸出之先前位元。

【圖式簡單說明】

【0007】 圖1為根據各種實施例的二階段一分接頭判斷反饋等化電路之示意圖。

【0008】 圖2為根據各種實施例的可用於實施圖1之感測放大器(SA)資料鎖存器的雙尾端鎖存器之實例之示意圖。

【0009】 圖3為根據各種實施例的具有兩分接頭四電壓參考判斷反饋等化前端的實例二階段接收器之示意圖。

【0010】 圖4為根據各種實施例的實施DFE算法之反饋部分的實例組邏輯電路之示意圖。

【0011】 圖5為根據各種實施例的圖3之判斷反饋等化電路之實例概括之示意圖。

【0012】 圖6為根據各種實施例的操作具有判斷反饋等化接收器的裝置之方法的特性之流程圖。

【0013】 圖7說明根據各種實施例的經佈置以提供多個電子組件的晶圓之實例。

【0014】 圖8為根據各種實施例的包括判斷反饋等化接收器的實例系統之方塊圖。

【實施方式】

【0015】 以下詳細描述係指借助於實例說明展示本發明之各種實施例的隨附圖式。以充足細節描述此等實施例以使一般熟習此項技術者能夠實踐此等及其他實施例。可利用其他實施例，且可對此等實施例進行結構、邏輯、機械及電性改變。各種實施例未必相互排斥，此係因為一些實施例可與一或多個其他實施例組合以形成新實施例。因此，不應以限制性意義進行以下詳細描述。

【0016】 輸入資料鎖存器之選項為使用判斷反饋等化(DFE)。典型低開銷DFE接收器實施涉及類比迴路，該類比迴路將反饋應用至輸入或參

考電壓。此等接收器之速度受到帶寬及類比反饋之延時的限制。在各種實施例中，可實施多分接頭DFE有可能的輸入資料鎖存器。此類功能輸入資料鎖存器可發展為LPDDR4及雙資料速率第五代(DDR5)記憶體器件中之電路的替代。

【0017】 在各種實施例中，極小長度數位判斷反饋迴路係實施於資料接收器電路中，同時所涉及之所有類比信號相對於輸入信號資料速率係靜態的。可對計時接收器實施此方法。經實施計時接收器電路可包括具有不同但靜態之類比失衡的大量相同資料鎖存器及基於判斷的時脈解碼器。特定言之，類比失衡可為不同參考電壓。不同於迴路展開解決方案，基於判斷的時脈解碼器激活僅一個資料鎖存器，該資料鎖存器具有諸如參考電壓之所需類比失衡。可組合經附接至相同時脈解碼器之鎖存器的輸出，以使得僅活動鎖存器驅動最終輸出。在迴路展開技術中，所有該組鎖存器點火，且相對於最終輸出作出判斷。

【0018】 關閉反饋迴路中的計時可為設計低開銷DFE接收器的挑戰。在一實施例中，使判斷反饋迴路之所有高速移動部件由若干簡單CMOS閘驅動可確保給定方法之最佳效能。舉例而言，方法變化對效能無直接影響，只要數位反饋信號以一個單位間隔(UI)圍繞反饋迴路，該單位間隔亦可被稱為資訊單位。單位間隔可對應於一個位元週期。電路之數目的指數增長可防止使用此解決方案即時解決多於兩個或三個分接頭。高階分接頭可藉由可使用如本文中所教示之即時接收器以獲得反饋迴路時間緩解的其他架構來解決。

【0019】 為了改良RMT裕量，可包括通道等化。考慮甚至更高速度時，問題將更尖銳，例如對於LPDDR5及DDR5而言為6400 Mb。可在驅

動器中使用預突出，同時進行前置放大器或DDR4型輸入緩衝器的連續時間線性等化(CTLE)。對於DDR5輸入資料鎖存器而言，自然選項可為DFE。

【0020】圖1為2階段1分接頭DFE電路100之示意圖。DFE電路100之階段0與階段1可具有幾乎相同的架構佈局。DFE電路100之階段0經佈置以接收時脈ck0、輸入資料信號DQIN、啟用信號en0<1>及en0<0>、與位元相關聯的高條件的電壓參考VREFHI、與另一位元相關聯的低條件的電壓參考VREFLO。DFE電路100之階段1經佈置以接收另一時脈ck1、輸入資料信號DQIN、啟用信號en1<1>及en1<0>、與位元相關聯的高條件的電壓參考VREFHI、與另一位元相關聯的低條件的電壓參考VREFLO。Ck0為階段零時脈信號，且ck1為階段一時脈信號。Ck1可為ck0之補充。時脈ck0及ck1提供此電路之2階段特徵。

【0021】每一階段具有兩個資料鎖存器，每一資料鎖存器將輸入信號與VREFHI或VREFLO參考電壓進行比較。階段0具有資料鎖存器105-0-1及資料鎖存器105-0-2，而階段1具有資料鎖存器105-1-1及資料鎖存器105-1-2。可將資料鎖存器實現為感測放大器(SA)。一次僅計時一個資料鎖存器/階段，且判斷係基於先前位元之值。相對於先前位元之方法為，若先前位元較低，則使用VREFLO擷取當前位元，或若先前位元較高，則使用VREFHI擷取當前位元。

【0022】在階段0部分中，資料鎖存器105-0-1及資料鎖存器105-0-2之輸出在107-0處連線在一起，提供經連線之「或」產生歸零之輸出yp0及ym0。輸出信號yp0及ym0可彼此補充。在階段1部分中，資料鎖存器105-1-1及資料鎖存器105-1-2之輸出在107-1處連線在一起，提供經連線之

「或」產生輸出yp1及ym1。輸出信號yp1及ym1可彼此補充。輸出(yp0、ym0)及輸出(yp1、ym1)可分別反饋至階段1及階段0之輸入。

【0023】 組合為相同階段(階段0)之部分的兩個資料鎖存器105-0-1及105-0-2之歸零輸出，以使得僅計時資料鎖存器驅動設置-重置(RS)鎖存器108-0，該設置-重置鎖存器恢復實際數位位準zp0及zm0，該等實際數位位準為類比輸入DQIN之互補數位版本。同樣，組合為相同階段(階段1)之部分的兩個資料鎖存器105-1-1及105-1-2之歸零輸出，以使得僅計時資料鎖存器驅動設置-重置(RS)鎖存器108-1，該設置-重置鎖存器恢復實際數位位準zp1及zm1，該等實際數位位準為類比輸入DQIN之互補數位版本。在高速下操作對於此電路而言為重要的。為了最小化DFE迴路之長度，來自另一階段之經組合歸零信號用於閘控當前階段之時脈。階段1之信號yp1及ym1用於閘控階段0之時脈ck0，而階段0之信號yp0及ym0用於閘控階段1之時脈ck1。

【0024】 信號yp1反饋至en0<1>，其隨著ck0將輸入提供至及(AND)閘103-0-2而將輸入提供至及閘103-0-2，其中及閘103-0-2之輸出耦合至資料鎖存器105-0-2之啟用輸入102-0-2。信號ym1反饋至en0<0>，其隨著ck0將輸入提供至及閘103-0-1而將輸入提供至及閘103-0-1，其中及閘103-0-1之輸出耦合至資料鎖存器105-0-1之啟用輸入102-0-1。信號yp0反饋至en1<1>，其隨著ck1將輸入提供至及閘103-1-2而將輸入提供至及閘103-1-2，其中及閘103-1-2之輸出耦合至資料鎖存器105-1-2之啟用輸入102-1-2。信號ym0反饋至en1<0>，其隨著ck1將輸入提供至及閘103-1-1而將輸入提供至及閘103-1-1，其中及閘103-1-1之輸出耦合至資料鎖存器105-1-1之啟用輸入102-1-1。DFE反饋迴路可經構造以使得自啟用階段1

資料鎖存器之輸入至啟用階段0資料鎖存器的反饋輸入之時間小於一個單位間隔。

【0025】對於DDR5規格而言，最新論述已提及輸出級電源電壓(VDDQ)終端，對於1.1 V額定電源電壓及減小至1 pF之輸入電容(CIO)而言為至少4800 Mb/引腳。與DDR4之一個顯著差異為不匹配資料擷取方案，類似於LPDDR4或類似於圖形雙資料速率第五代(GDDR5)。DRAM僅具有資料選通(DQS)時脈分佈而無與其匹配之資料路徑。此架構允許使用高速度及高增益之計時輸入鎖存器，代替DDR4中所使用之連續時間輸入緩衝器。輸入鎖存器可接近於墊置放，由此消除頻率限制電路或佈線。不匹配方案之一個特徵為設定/固定窗口之位移。此位移可在訓練階段期間由系統單晶片(SOC)校準。

【0026】在習知方法中，強臂鎖存器或電壓模式感測放大器鎖存器為用於具有不匹配資料擷取方案之最新DRAM設計的較佳輸入資料鎖存器。此類鎖存器為快速的、具有較高輸入阻抗、完全擺幅輸出且無靜態功率消耗。強臂鎖存器之一個不足之處為其4器件堆疊所需要的較高電壓餘量。此對於20 nm及以下之技術存在問題。可使用雙尾端SA鎖存器，而非強臂鎖存器。雙尾端SA鎖存器具有允許在較低電源電壓下操作的兩個3器件堆疊。又，二段架構簡化來自相同階段的鎖存器之輸出之組合。圖2為可在圖1之SA鎖存器中實施的雙鎖存鎖存器之實例。雙尾端鎖存器包括輸入級及由Di-及Di+節點耦合之鎖存器級。為了進一步論述圖2之雙鎖存鎖存器，參見D. Schinkel、E. Mensink、E. Klumperink、E. van Tuijl及B. Nauta「A Double-Tail Latch -Type Voltage Sense Amplifier」，IEEE國際固態電路會議(ISSCC)，第17卷，ANALOG TECHNIQUES AND PLLs，

第314頁，2007。

【0027】 可使用諸如雙尾端SA鎖存器之雙尾端鎖存器來建構DFE接收器。組合如由圖1之DFE電路所實施之多個雙尾端資料鎖存器的輸出可藉由共用第二級來達成。在相同時間中，每一第一級可具有獨立參考電壓Vref。雙尾端鎖存器為簡單且相對緊湊的，其適用於多個階段及分接頭之情況。若藉由單獨啟用信號閘控時脈，則可在接收器前隱含極快速多工器。可隨後藉由基於先前位元(yp0、ym0、yp1、ym1)對時脈啟用信號進行解碼且將輸入信號與預定義Vref信號進行比較來實施DFE算法。

【0028】 圖3為具有2分接頭4 Vref DFE前端的實例2階段接收器之實施例之示意圖。在多個獨立Vref信號之情況下，電路可主控不受限制之高速度DFE算法。可將2階段接收器之設計視為概括為圖3中所展示之2階段2分接頭電路的圖1之DFE電路100的設計。前端電路(每階段)之數目及Vref信號之數目與DFE分接頭之數目按指數律成比例增長。對於2分接頭電路而言，可使用四個參考(Vref)信號。對於每一資料鎖存器而言，藉由單獨啟用信號閘控時脈。可隨後藉由基於先前位元(yp0、ym0、yp1、ym1)對時脈啟用信號進行解碼且將輸入信號與預定義參考信號進行比較來實施DFE算法。設置-重置鎖存器將由資料鎖存器輸出之歸零信號恢復成數位信號。對時脈啟用信號進行解碼可使用另一階段(對於最新位元而言)之歸零輸出及相同階段(對於第二最新位元而言)之RS輸出兩者。

【0029】 圖3說明具有階段0及階段1之DFE電路300，其中每一階段具有四個前端電路。階段1包括前端電路301-1-1、301-1-2、301-1-3及301-1-4，其中每一前端電路301-1-i包括反及(NAND)閘303-1-i及資料鎖存器305-1-i，其中 $i = 1 \cdots 4$ 。前端電路301-1-1、301-1-2、301-1-3及

301-1-4中之每一者可經佈置以接收階段1的時脈信號ck1及資料信號dq。DFE電路300可經佈置以接收一組啟用信號en1<3:0>，其中該組啟用信號中之不同者接收至前端電路301-1-1、301-1-2、301-1-3及301-1-4中之不同者。DFE電路300亦可經佈置以接收一組參考信號vref<3:0>，其中該組參考信號中之不同者接收至前端電路301-1-1、301-1-2、301-1-3及301-1-4中之不同者。前端電路301-1-1、301-1-2、301-1-3中之每一者具有輸出yp及ym，其中前端電路301-1-1、301-1-2、301-1-3及301-1-4之yp及ym可連線在一起以提供兩個輸出yp1及ym1。來自前端電路301-1-1、301-1-2、301-1-3及301-1-4之組合操作的兩個輸出yp1及ym1可提供至第二級309-1，其中階段零時脈ck0亦可輸入至第二級309-1。第二級309-1提供歸零輸出yp1及ym1。將歸零輸出yp1及ym1提供至設置-重置鎖存器308-1，該設置-重置鎖存器提供數位位準zp1及zm1。

【0030】 階段0包括前端電路301-0-1、301-0-2、301-0-3及301-0-4，其中每一前端電路301-0-i包括反及閘303-0-i及資料鎖存器305-0-i，其中 $i = 1 \cdots 4$ 。每一前端電路301-0-1、301-0-2、301-0-3及301-0-4可經佈置以接收階段0之時脈信號ck0及資料信號dq。DFE電路300可經佈置以接收一組啟用信號en0<3:0>，其中該組啟用信號中之不同者接收至前端電路301-0-1、301-0-2、301-0-3及301-0-4中之不同者。DFE電路300亦可經佈置以接收一組參考信號vref<3:0>，其中該組參考信號中之不同者接收至前端電路301-0-1、301-0-2、301-0-3及301-0-4中之不同者。前端電路301-0-1、301-0-2、301-0-3中之每一者具有輸出yp及ym，其中前端電路301-0-1、301-0-2、301-0-3及301-0-4之yp及ym可連線在一起以提供兩個輸出yp0及ym0。來自前端電路301-0-1、301-0-2、301-0-3及301-0-

4之組合操作的兩個輸出yp0及ym0可提供至第二級309-0，其中階段一時脈ck1亦可輸入至第二級309-0。第二級309-0提供歸零輸出yp0及ym0。將歸零輸出yp0及ym0提供至設置-重置鎖存器308-0，該設置-重置鎖存器提供數位位準zp0及zm0。

【0031】 將基於DFE電路之輸出處之先前位元之DEF電路300的2分接頭反饋提供為該等組啟用信號en1<3:0>及en0<3:0>。該等組啟用信號en1<3:0>及en0<3:0>係藉由DFE解碼算法產生。DFE解碼算法可係由DFE解碼邏輯電路使用輸入(yp0、ym0、zp0、zm0)及(yp1、ym1、zp1、zm1)產生以提供輸出en1<3:0>及en0<3:0>。輸入yp0、ym0、zp0、zm0可分別為yp1、ym1、zp1、zm1之補充。藉由將兩個輸入應用至一組反或閘，可將該組en1<3:0>產生為en1<0> = 反或(zm1、yp0)、en1<1> = 反或(zp1、ym0)、en1<2> = 反或(zp1、yp0)及en1<3> = 反或(zm1、ym0)。藉由將兩個輸入應用至一組反或閘，可將該組en0<3:0>產生為en0<0> = 反或(zm0、yp1)、en0<1> = 反或(zp0、ym1)、en0<2> = 反或(zp0、yp1)及en0<3> = 反或(zm0、ym1)。該等組啟用信號en1<3:0>及en0<3:0>係用於使得能夠比較輸入資料信號與該組參考電壓vref<3:0>，其中圖案「10」係與vref<0>相關聯，圖案「01」係與vref<1>相關聯，圖案「00」係與vref<2>相關聯，且圖案「11」係與vref<3>相關聯。

【0032】 圖4為實施DFE算法之實例組邏輯電路之實施例的示意圖。如上文所提及，可使用反或邏輯操作來產生一組啟用信號中之每一啟用信號。可經由及閘使用控制信號輸入來提供圖4中所展示之每一反或閘之輸入中之一者，此可允許在待對準之反或閘的輸入之間計時，其中該控制與另一輸入產生輸入的補充。與圖3相關聯之DFE解碼邏輯的實例(該等

組啟用信號 $en1<3:0>$ 可係由分別與對($yp0$ 、 $ym0$ 、 $zp1$ 、 $zm1$)進行操作之反及閘313-1-0、313-1-1、313-1-2、313-1-3成對組合的反或閘314-1-0、314-1-1、314-1-2、314-1-3提供。該等組啟用信號 $en0<3:0>$ 可係由分別與對($yp1$ 、 $ym1$ 、 $zp0$ 、 $zm0$)進行操作之反及閘313-0-0、313-0-1、313-0-2、313-0-3成對組合的反或閘314-0-0、314-0-1、314-0-2、314-0-3提供。

【0033】 參考電壓允許易於直接地使用所計算的DFE係數。然而，DFE電路相對於先前位元之實施方案不限於使用參考電壓。可使用任何種類之靜態經校準類比失衡。圖5為將平衡元件BE1及BE2用於資料輸入比較之圖3之DFE電路300之實例概括的實施例的示意圖。舉例而言，平衡元件511-0-1及511-0-2以及平衡元件511-1-1及511-1-2可為不同前端電路中具有不同特徵的電晶體。在前端電路內，平衡元件511-0-1及511-0-2可經構造有與平衡元件511-1-1及511-1-2相同的特徵，或經構造有具有在該組前端電路中於不同位準處提供輸入資料信號比較之已知關係的特徵。

【0034】 圖1-5之架構可向快速及可靠之資料接收器提供DFE電路。然而，電路複雜度可影響可實施之分接頭的實際數目。前端電路之數目與所需要的DFE分接頭之數目按指數律成比例增長。在3分接頭8 v_{ref} 實施方案中，歸零節點($yp0$ 、 $ym0$ 、 $yp1$ 、 $ym1$)之寄生容量可限制電路可操作的速度。另外，多個 V_{ref} 結構可最適合於1或2分接頭DFE組態，其對於補償資料通道之固有低通特徵而言可為極高效的。

【0035】 圖6為操作具有帶著判斷反饋等化電路之資料接收器的裝置之實例方法之實施例的特性之流程圖。在610處，在耦合至判斷反饋等化器電路之第一組感測放大器鎖存器的資料輸入處接收資料信號。第一組

中之每一感測放大器鎖存器可耦合至一組參考輸入中之對應參考輸入，且第一組中之每一感測放大器鎖存器可由對應邏輯電路耦合以回應於利用對應邏輯電路之啟用而接收第一時脈信號。

【0036】 在620處，在耦合至判斷反饋等化器電路之第二組感測放大器鎖存器的資料輸入處接收資料信號。第二組中之每一感測放大器鎖存器可耦合至該組參考輸入中之對應參考輸入，且第二組中之每一感測放大器鎖存器可由對應邏輯電路耦合以回應於利用對應邏輯電路之啟用而接收第二時脈信號。在一實施例中，第一組感測放大器鎖存器及第二組感測放大器鎖存器中之每一者具有四個感測放大器鎖存器。

【0037】 在630處，第一啟用信號基於第二組感測放大器鎖存器之輸出反饋至第一組感測放大器鎖存器之邏輯電路。在640處，第二啟用信號基於第一組感測放大器鎖存器之輸出反饋至第二組感測放大器鎖存器之邏輯電路，其中第一啟用信號及第二啟用信號係基於自判斷反饋等化器電路輸出之先前位元。反饋第二啟用信號可包括反饋邏輯閘之輸出，其中每一邏輯閘具有不同輸入對，其中該輸入對具有來自與第二時脈相關聯的歸零輸出的一個輸入及來自與第一組感測放大器鎖存器之輸出相關聯的輸出的一個輸入。反饋第一啟用信號及反饋第二啟用信號可包括在自接收資料信號一個資訊單位內反饋第一啟用信號及反饋第二啟用信號。

【0038】 方法600或類似於方法600之方法的變化形式可包括取決於此類方法之應用及/或實施此類方法的系統之架構而可組合或可不組合之大量不同實施例。

【0039】 在各種實施例中，一種計時接收器包含：一組資料鎖存器，以耦合至不同類比失衡，類比失衡相對於輸入信號資料速率為靜態

的；及時脈解碼器，其經構造以基於自計時接收器輸出之先前位元的值對應於類比失衡中之一個類比失衡而激活該組中之僅一個資料鎖存器。不同類比失衡可為不同參考電壓。該組資料鎖存器可為一組相同之資料鎖存器。可將資料鎖存器之輸出耦合至時脈解碼器，以使得僅該組中之活動鎖存器驅動最終輸出。經構造以基於先前位元之值激活該組中之僅一個資料鎖存器的時脈解碼器可經佈置以將數位反饋信號在一個資訊單位內提供至該組資料鎖存器。

【0040】 在各種實施例中，一種判斷反饋等化電路包含：資料輸入，其接收資料信號；時脈輸入，其接收時脈信號；互補時脈輸入，其接收時脈信號之補充；一組參考輸入；第一組感測放大器鎖存器；第二組感測放大器鎖存器；及反饋迴路。第一組中之每一感測放大器鎖存器可耦合至資料輸入且可耦合至該組參考輸入中之對應參考輸入。第一組中之每一感測放大器鎖存器可由對應邏輯電路耦合以回應於利用對應邏輯電路之啟用而接收時脈信號。第二組中之每一感測放大器鎖存器可耦合至資料輸入且可耦合至該組參考輸入中之對應參考輸入，且第二組中之每一感測放大器鎖存器可由對應邏輯電路耦合以回應於利用對應邏輯電路之啟用而接收時脈信號之補充。反饋迴路可經佈置以基於第二組感測放大器鎖存器中之輸出將第一啟用信號提供至第一組感測放大器鎖存器之邏輯電路且基於第一組感測放大器鎖存器之輸出將第二啟用信號提供至第二組感測放大器鎖存器之邏輯電路。第一組及第二組之輸出可對應於自判斷反饋等化器電路輸出之先前位元。

【0041】 判斷反饋等化電路或類似判斷反饋等化電路之電路的變化形式可包括取決於此類電路之應用及/或實施此類電路的系統之架構而可

組合或可不組合之大量不同實施例。此判斷反饋等化電路或類似判斷反饋等化電路可具有設置-重置鎖存器以將由第一及第二組感測放大器鎖存器輸出之信號恢復成數位信號。由第一及第二組感測放大器鎖存器輸出之信號可為歸零信號。反饋迴路可在一個資訊單位內提供第一啟用信號及第二啟用信號。第一組感測放大器鎖存器及第二組感測放大器鎖存器中之每一者可具有等於 2^N 之感測放大器鎖存器之數目，其中 N 為判斷反饋等化電路之分接頭之數目。該組參考輸入可為一組 2^N 個參考輸入。在一實施例中， N 可等於一。

【0042】 在各種實施例中，第一組感測放大器鎖存器及第二組感測放大器鎖存器中之每一感測放大器鎖存器可包括比較器，該比較器回應於對應感測放大器鎖存器之啟用而將資料信號與自對應參考輸入至對應感測放大器鎖存器輸入之參考電壓進行比較。參考電壓可為靜態的。第一組及第二組感測放大器鎖存器中之不啟用之感測放大器鎖存器可處於高阻抗狀態。該組參考輸入可為具有一個參考輸入之組，其中第一組感測放大器鎖存器中之每一感測放大器鎖存器具有耦合至一個參考輸入以與資料信號進行比較的平衡元件，其中每一感測放大器鎖存器之平衡元件與第一組感測放大器鎖存器中之其他感測放大器鎖存器的平衡元件不同。

【0043】 在各種實施例中，一種裝置包含：資料匯流排及耦合至資料匯流排之大量記憶體器件。每一記憶體器件可包括大量判斷反饋等化電路，其中每一判斷反饋等化電路可包括：資料輸入，其接收資料信號；第一時脈輸入，其接收第一時脈信號；第二時脈輸入，其接收第二時脈信號；一組參考輸入；第一組感測放大器鎖存器；第二組感測放大器鎖存器；及反饋迴路。第一組中之每一感測放大器鎖存器可耦合至資料輸入且

可耦合至該組參考輸入中之對應參考輸入。第一組中之每一感測放大器鎖存器可由對應邏輯電路耦合以回應於利用對應邏輯電路之啟用而接收第一時脈信號。第二組中之每一感測放大器鎖存器可耦合至資料輸入且可耦合至該組參考輸入中之對應參考輸入。第二組中之每一感測放大器鎖存器可由對應邏輯電路耦合以回應於利用對應邏輯電路之啟用而接收第二時脈信號。反饋迴路可經佈置以基於第二組感測放大器鎖存器之輸出將第一啟用信號提供至第一組感測放大器鎖存器之邏輯電路且基於第一組感測放大器鎖存器之輸出將第二啟用信號提供至第二組感測放大器鎖存器之邏輯電路。第一組及第二組之輸出可包括對應於自判斷反饋等化器電路輸出之先前位元的輸出。

【0044】 此裝置或類似裝置之變化形式可包括取決於此類電路之應用及/或實施此類裝置的系統之架構而可組合或可不組合之大量不同實施例。此類裝置可具有經構造具有等於 2^N 之感測放大器鎖存器之數目的第一組感測放大器鎖存器及第二組感測放大器鎖存器中之每一者，其中 N 為判斷反饋等化電路之分接頭之數目，且該組參考輸入為一組 2^N 個參考輸入。可在 $N = 2$ 之情況下構造裝置。在各種實施例中，至第二組感測放大器鎖存器之邏輯電路之第二啟用信號可為邏輯閘之輸出，其中每一邏輯閘具有不同輸入對。該輸入對可具有來自與第二階段時脈相關聯的歸零輸出的一個輸入及來自與第一組感測放大器鎖存器之輸出相關聯的輸出之一個輸入。

【0045】 圖7說明經佈置以提供多個電子組件的晶圓700之實例之實施例。可將晶圓700提供為可製造大量裸片705之晶圓。可替代地，可將晶圓700提供為大量裸片705已經處理以提供電子功能且等待自晶圓700單

體化供用於封裝之晶圓。可將晶圓700提供為半導體晶圓、絕緣體上半導體晶圓或其他適當晶圓，以供處理諸如積體電路晶片之電子器件。

【0046】 使用各種遮罩及處理技術，每一晶粒705可經處理以包括功能電路，以使得將每一晶粒705製造為具有與晶圓700上之另一裸片相同之功能及經封裝結構的積體電路。可替代地，使用各種遮罩及處理技術，各組裸片705可經處理以包括功能電路，以使得並非將全部裸片705經製造為具有與晶圓700上之另一裸片相同之功能及經封裝結構的積體電路。具有提供電子能力之積體於其上之電路的經封裝晶粒在本文中稱為積體電路(IC)。

【0047】 晶圓700可包含多個裸片705。可將多個裸片中之每一晶粒705構造為電子器件，該電子器件包括具有判斷反饋等化電路之資料接收器，其中判斷反饋等化電路可經構造為類似於或等同於與圖1至圖6中之任一者相關聯的判斷反饋等化電路。電子器件可為記憶體器件。

【0048】 圖8展示包括一或多個裝置的實例系統800之實施例之方塊圖，該一或多個裝置具有如本文中所教示之判斷反饋等化電路。系統800可包括可操作地耦合至記憶體863之控制器862。系統800亦可包括通信861、電子裝置867及周邊器件869。控制器862、記憶體863、電子裝置867、通信861或周邊器件869中之一或多者可呈一或多個IC之形式。

【0049】 匯流排866在系統800之各種組件之間/或當中提供電導性。在一實施例中，匯流排866可包括位址匯流排、資料匯流排及控制匯流排，各自獨立地經組態。在一替代實施例中，匯流排866可使用共用導線供用於提供位址、資料或控制中之一或多者，該等共用導線之用途由控制器862調節。控制器862可呈一或多個處理器之形式。匯流排866可為受

控制器862及/或通信861控制之通信的網路之部分。

【0050】 電子裝置867可包括額外記憶體。系統800中之記憶體可經構建為諸如但不限於以下之一或多種類型之記憶體：動態隨機存取記憶體(DRAM)、靜態隨機存取記憶體(SRAM)、同步動態隨機存取記憶體(SDRAM)、同步圖形隨機存取記憶體(SGRAM)、雙資料速率動態隨機存取記憶體(DDR)、雙資料速率SDRAM及基於磁性之記憶體。

【0051】 周邊器件869可包括顯示器、成像器件、列印器件、無線器件、額外儲存記憶體及可與控制器862協同操作之控制器件。在各種實施例中，系統800可包括但不限於：光纜系統或器件、電光系統或器件、光學系統或器件、成像系統或器件及資訊處理系統或器件，該等資訊處理系統或器件諸如無線系統或器件、電信系統或器件及計算機。

【0052】 使判斷反饋迴路之所有高速移動部件由若干簡單CMOS閘驅動以有效確保給定方法之最佳效能。在方法變化對效能無直接影響時，沒有類比電路可更快反應。使用參考電壓允許易於直接地使用所計算的DFE係數。不同於迴路展開解決方案，基於判斷的時脈解碼器激活僅一個資料鎖存器，由此功率並不隨著電路之複雜度而增加。

【0053】 雖然本文中已說明及描述特定實施例，但一般熟習此項技術者應瞭解：來源於本文中的教示之其他佈置可取代所展示之特定實施例。各種實施例使用本文中所描述之實施例的排列及/或組合。應理解，上述描述意欲為說明性但並非限制性的，且本文中所採用的措詞或術語為出於描述之目的。在研究上述描述時，上述實施例及其他實施例之組合將對熟習此項技術者而言顯而易見。

【符號說明】

【0054】

100	2階段1分接頭DFE電路
102-0-1	啟用輸入
102-0-2	啟用輸入
102-1-1	啟用輸入
102-1-2	啟用輸入
103-0-1	及閘
103-0-2	及閘
103-1-1	及閘
103-1-2	及閘
105-0-1	資料鎖存器
105-0-2	資料鎖存器
105-1-1	資料鎖存器
105-1-2	資料鎖存器
108-0	設置-重置鎖存器
108-1	設置-重置鎖存器
300	DFE電路
301-0-1	前端電路
301-0-2	前端電路
301-0-3	前端電路
301-0-4	前端電路
301-0-i	前端電路
301-1-1	前端電路

301-1-2	前端電路
301-1-3	前端電路
301-1-4	前端電路
301-1-i	前端電路
303-0-i	N及閘
303-1-i	N及閘
305-0-i	資料鎖存器
305-1-i	資料鎖存器
308-0	設置-重置鎖存器
308-1	設置-重置鎖存器
309-0	第二級
309-1	第二級
313-0-0	反及閘
313-0-1	反及閘
313-0-2	反及閘
313-0-3	反及閘
313-1-0	反及閘
313-1-1	反及閘
313-1-2	反及閘
313-1-3	反及閘
314-0-0	反或閘
314-0-1	反或閘
314-0-2	反或閘

314-0-3	反或閘
314-1-0	反或閘
314-1-1	反或閘
314-1-2	反或閘
314-1-3	反或閘
511-0-1	平衡元件
511-0-2	平衡元件
511-1-1	平衡元件
511-1-2	平衡元件
610	步驟
620	步驟
630	步驟
640	步驟
700	晶圓
705	裸片
800	實例系統
861	通信
862	控制器
863	記憶體
866	匯流排
867	電子裝置
869	周邊器件
BE1	平衡元件

BE2	平衡元件
ck0	時脈
ck1	時脈
dq	資料信號
DQIN	輸入資料信號
en0<0>	啟用信號
en0<1>	啟用信號
en0<3:0>	啟用信號
en1<0>	啟用信號
en1<1>	啟用信號
en1<3:0>	啟用信號
Vref	獨立參考電壓
vref<3:0>	參考信號
VREFHI	高條件的電壓參考
VREFLO	低條件的電壓參考
ym	輸出
ym0	輸出
ym1	輸出
yp	輸出
yp0	輸出
yp1	輸出
zm0	實際數位位準
zm1	實際數位位準

zp0 實際數位位準

zp1 實際數位位準

【發明申請專利範圍】

【第1項】

一種計時接收器，其包含：

一第一組二或多個資料鎖存器，其經耦合以接收一類比輸入資料信號及接收多個類比參考電壓，該第一組之各資料鎖存器經耦合以接收與藉由該第一組之其他資料鎖存器接收之該等多個類比參考電壓之一類比參考電壓不同之該等多個類比參考電壓之一類比參考電壓；

一第二組二或多個資料鎖存器，其經耦合以接收藉由該第一組接收之該類比輸入資料信號及該等多個類比參考電壓，該第二組之各資料鎖存器經耦合以接收與藉由該第二組之其他資料鎖存器接收之該等多個類比參考電壓之一類比參考電壓不同之該多個類比參考電壓之一類比參考電壓；
及

一解碼器，其經構造以將啟用信號提供至該第一組以基於來自該第二組之該等資料鎖存器之一者的一先前位元(previous bit)之一值激活(activate)與該等參考電壓之一個類比參考電壓對應之該第一組中之僅一個資料鎖存器，該先前位元與該類比輸入資料信號之一數位版本相關聯。

【第2項】

如請求項1之計時接收器，其中該第一組之各資料鎖存器具有二個輸出，且各資料鎖存器之二個輸出與該第一組之其他資料鎖存器之二個輸出耦合在一起，以提供該解碼器之輸入。

【第3項】

如請求項1之計時接收器，其中該第一組、該第二組及該解碼器經構造以在一個資訊單位內將該等啟用信號提供至該第一組。

【第4項】

如請求項1之計時接收器，其中該第一組之該等資料鎖存器係一組相同之資料鎖存器。

【第5項】

如請求項4之計時接收器，其中該第二組之該等資料鎖存器與該第一組之該等資料鎖存器相同。

【第6項】

如請求項1之計時接收器，其中該第一組、該第二組及該解碼器經配置為一二階段一分接頭(two-phase, one-tap)判斷反饋等化電路之一部份。

【第7項】

如請求項6之計時接收器，其中該不同類比參考電壓包括針對與一位元相關聯之一高條件的一電壓參考及針對與該位元相關聯之一低條件的一電壓參考。

【第8項】

如請求項7之計時接收器，其中該二階段一分接頭判斷反饋等化電路之一個階段部分具有接收一時脈信號之一輸入且該二階段一分接頭判斷反饋等化電路之另一個階段部分具有接收與在該一個階段部分接收之該時脈信號互補之一時脈信號之一輸入。

【第9項】

如請求項1之計時接收器，其中該第一組及該第二組之該等資料鎖存器係感測放大器。

【第10項】

一種計時接收器，其包含：

一第一組二或多個前端電路，該第一組經耦合以接收一類比輸入資料信號、接收多個類比參考電壓及接收多個第一啟用信號，該第一組之各前端電路具有：

一資料鎖存器，其經耦合至該類比輸入資料信號及該等多個類比參考電壓之一個類比參考電壓，該等多個類比參考電壓之該一個類比參考電壓與藉由該第一組之其他前端電路接收之該多個類比參考電壓之一類比參考電壓不同；

一第一級，其經耦合至該第一組以接收來自該第一組之該等二或多個前端電路之組合操作之輸出；

一第二組二或多個前端電路，該第二組經耦合以接收該類比輸入資料信號、接收該等多個類比參考電壓及接收多個第二啟用信號，該第二組之各前端電路具有：

一資料鎖存器，其經耦合至該類比輸入資料信號及該多個類比參考電壓之一個類比參考電壓，該等多個類比參考電壓之該一個類比參考電壓與藉由該第二組之其他前端電路接收之該等多個類比參考電壓之一類比參考電壓不同；

一第二級，其經耦合至該第二組以接收來自該第二組之該等二或多個前端電路之組合操作之輸出；

一解碼器，其經耦合至該第一級及該第二級，該解碼器經構造以將該等第一啟用信號提供至該第一組以基於來自藉由該第一級及該第二級提供至該解碼器之該第一組及該第二組的先前位元之值激活與該等參考電壓之一個類比參考電壓對應之該第一組中之僅一個前端電路，該等先前位元與該類比輸入資料信號之一數位版本相關聯。

【第11項】

如請求項10之計時接收器，其中該解碼器經構造以將該等第二啟用信號提供至該第二組以基於來自藉由該第一級及該第二級提供至該解碼器之該第一組及該第二組的先前位元之值激活與該等參考電壓之一個類比參考電壓對應之該第二組中之僅一個前端電路，該等先前位元與該類比輸入資料信號之一數位版本相關聯。

【第12項】

如請求項11之計時接收器，其中該第一級經耦合至一第一設置-重置(set-reset)鎖存器，經配置俾使將該第一設置-重置鎖存器之輸入提供至該解碼器且將來自該第一設置-重置鎖存器之輸出提供至該解碼器，及該第二級經耦合至一第二設置-重置鎖存器，經配置俾使將該第二設置-重置鎖存器之輸入提供至該解碼器且將來自該第二設置-重置鎖存器之輸出提供至該解碼器。

【第13項】

如請求項12之計時接收器，其中該解碼器經耦合以接收該第一設置-重置鎖存器之二個輸入及來自該第一設置-重置鎖存器之二個輸出，且該解碼器經組態以接收該第二設置-重置鎖存器之二個輸入及來自該第二設置-重置鎖存器之二個輸出，以提供該等多個第一啟用信號及該等多個第二啟用信號。

【第14項】

如請求項10之計時接收器，其中該等多個類比參考電壓與二進位位元圖案(binary bit patterns)相關聯。

【第15項】

如請求項14之計時接收器，其中該等多個類比參考電壓係四個不同類比參考電壓且該等二進位位元圖案係01、10、00及11。

【第16項】

如請求項14之計時接收器，其中該第一組之各前端電路包括一反及閘(NAND gate)以提供該第一組之該前端電路之該資料鎖存器之一輸入，該反及閘經耦合以接收該等多個第一啟用信號之一者及一時脈輸入。

【第17項】

一種計時接收器，其包含：

一第一組二或多個前端電路，該第一組經耦合以接收一類比輸入資料信號、接收一類比參考電壓及接收多個第一啟用信號，該第一組之各前端電路具有：

一資料鎖存器，其經耦合至該類比輸入資料信號及該類比參考電壓，該資料鎖存器具有一第一平衡元件及一第二平衡元件，該第一平衡元件及該第二平衡元件經安置以將該類比輸入資料信號與該類比參考信號比較；

一第一級，其經耦合至該第一組以接收來自該第一組之該二或多個前端電路之組合操作之輸出；

一第二組二或多個前端電路，該第二組經耦合以接收該類比輸入資料信號、接收該類比參考電壓及接收多個第二啟用信號，該第二組之各前端電路具有：

一資料鎖存器，其經耦合至該類比輸入資料信號及該類比參考電壓，該資料鎖存器具有一第三平衡元件及一第四平衡元件，該第三平衡元件及該第四平衡元件經安置以將該類比輸入資料信號與該類比參考信號比

較；

一第二級，其經耦合至該第二組以接收來自該第二組之該二或多個前端電路之組合操作之輸出；

一解碼器，其經耦合至該第一級及該第二級，該解碼器經構造以將該等第一啟用信號提供至該第一組以基於來自藉由該第一級及第二級提供至該解碼器之該第一組及該第二組的先前位元之值激活與該等參考電壓之一個類比參考電壓對應之該第一組中之僅一個前端電路，該等先前位元與該類比輸入資料信號之一數位版本相關聯。

【第18項】

如請求項17之計時接收器，其中該第一平衡元件及該第二平衡元件係具有在該第一組之不同前端電路之該等資料鎖存器中之不同特性之電晶體。

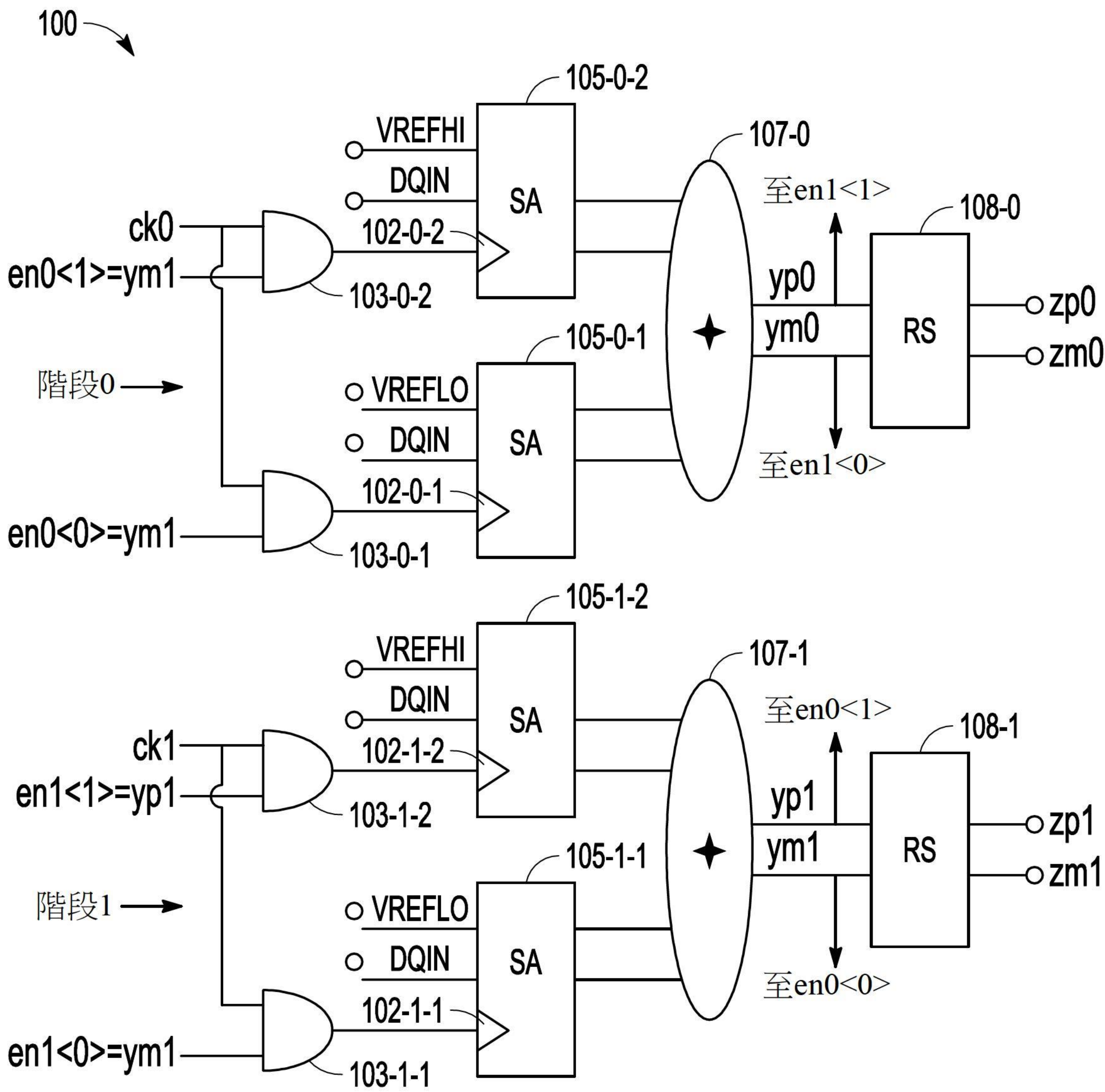
【第19項】

如請求項17之計時接收器，其中藉由具有與該第二組相同數量之前端電路之該第一組，俾使該第一組之各前端電路與該第二組之各前端電路配對，該第一平衡元件及該第二平衡元件經構造以具有與該等經配對前端電路之該第三平衡元件及該第四平衡元件之相同特性。

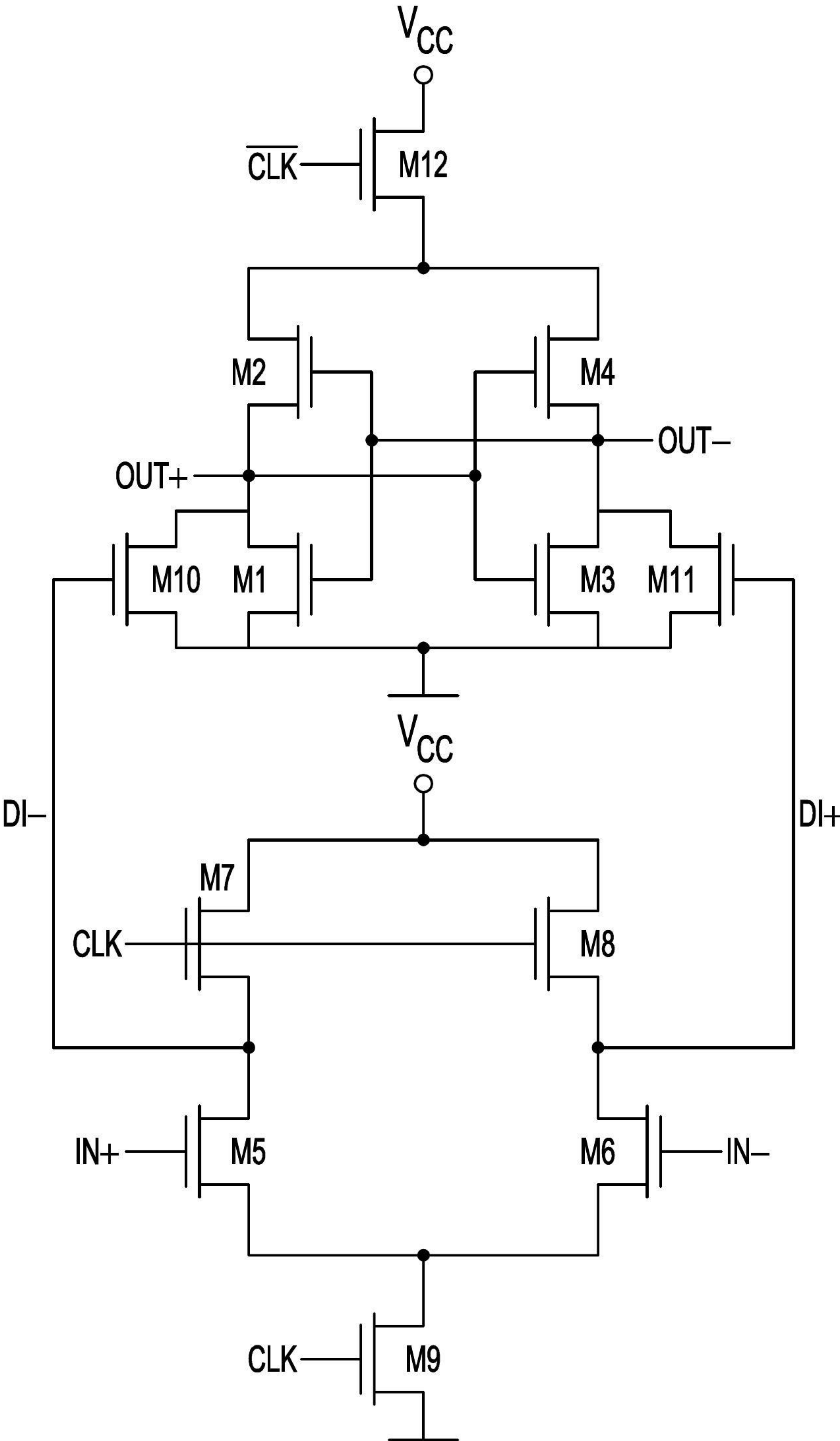
【第20項】

如請求項17之計時接收器，其中藉由具有與該第二組相同數量之前端電路之該第一組，俾使該第一組之各前端電路與該第二組之各前端電路配對，該第一平衡元件及該第二平衡元件經構造以具有與該等經配對前端電路之該第三平衡元件及該第四平衡元件具有一已知關係之特性，以提供在該第一組之該等前端電路之該等資料鎖存器與該第二組之該等前端電路之該等資料鎖存器中於不同位準處之該類比輸入資料信號之比較。

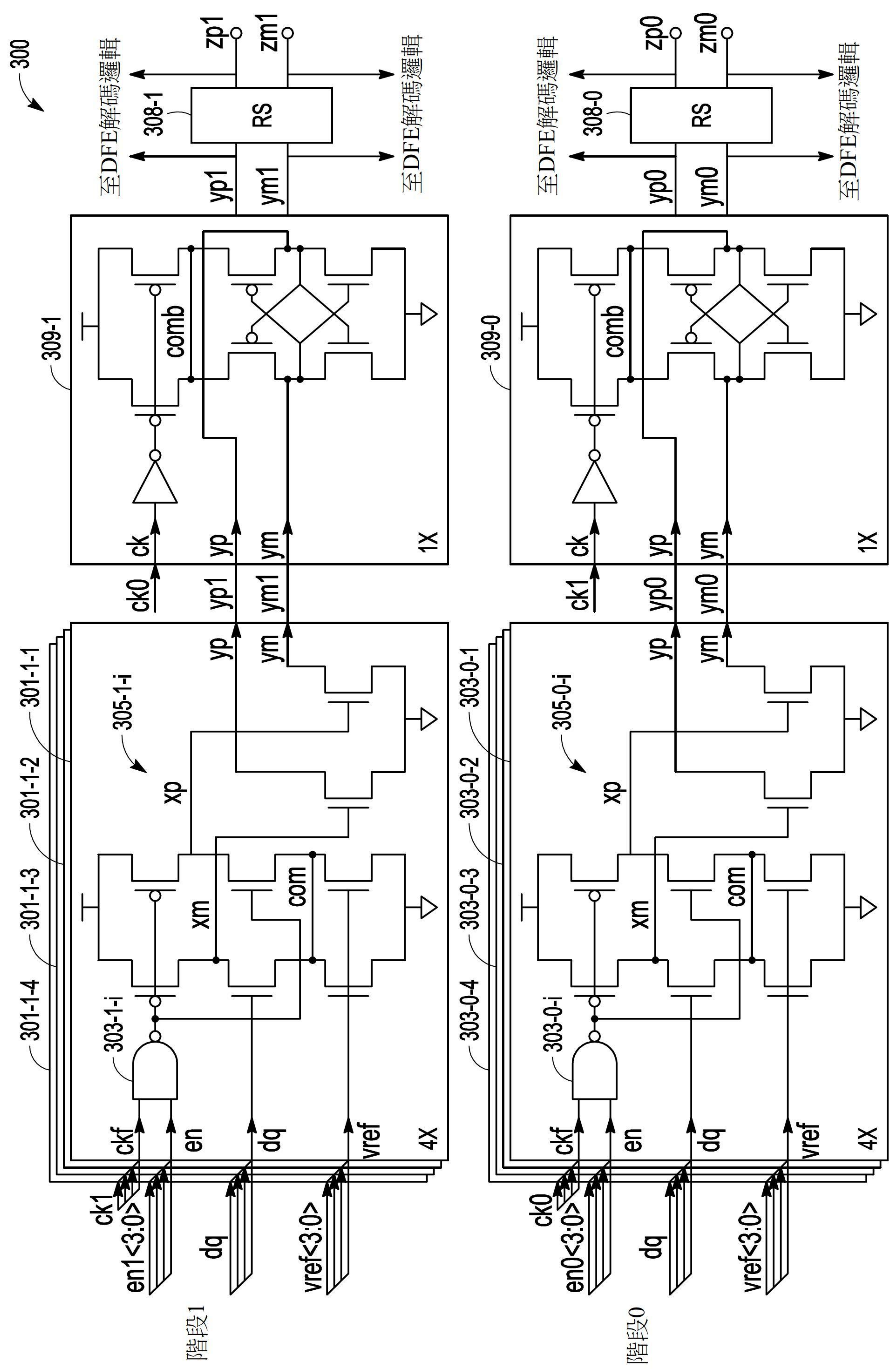
【發明圖式】



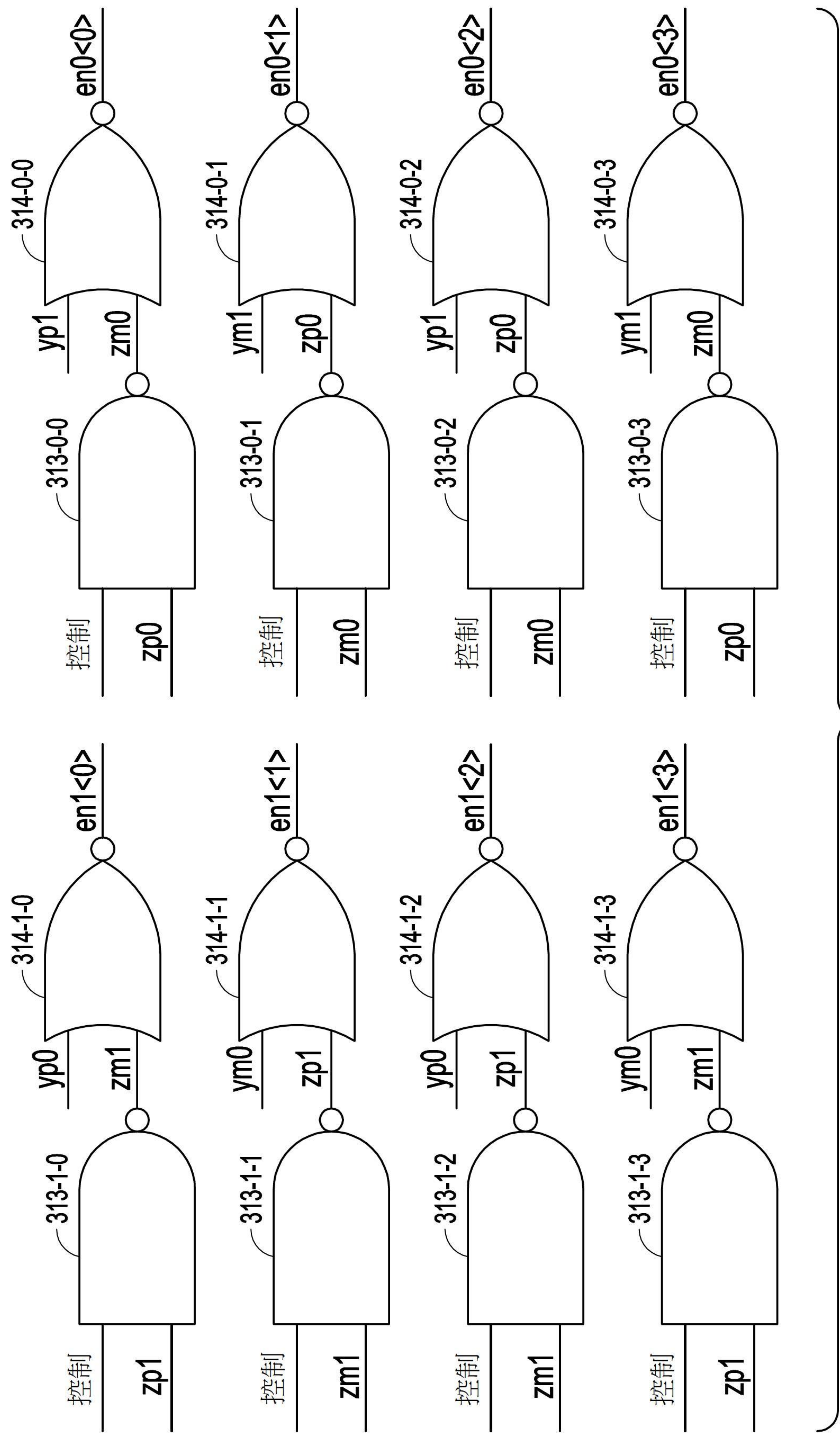
【圖1】



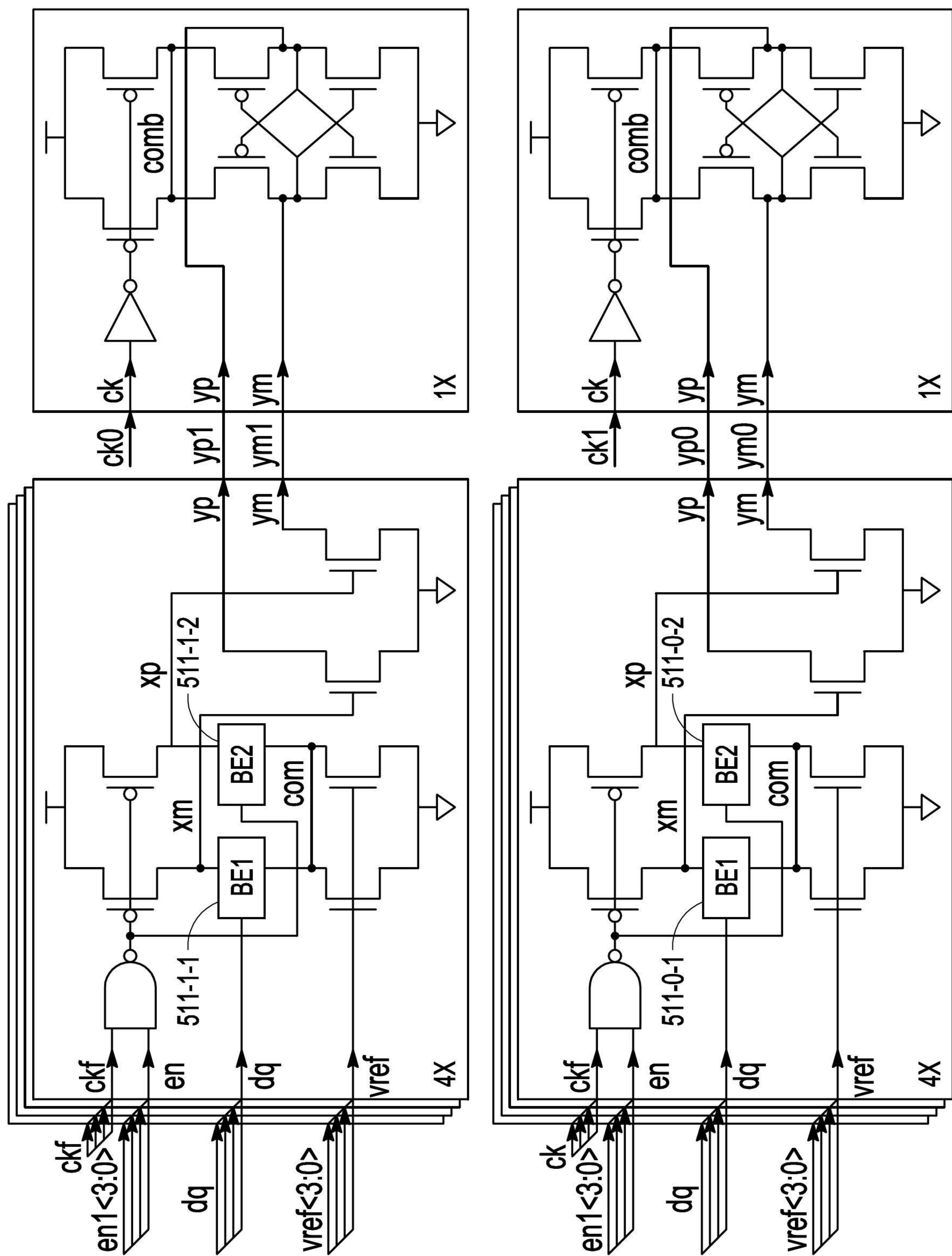
【圖2】



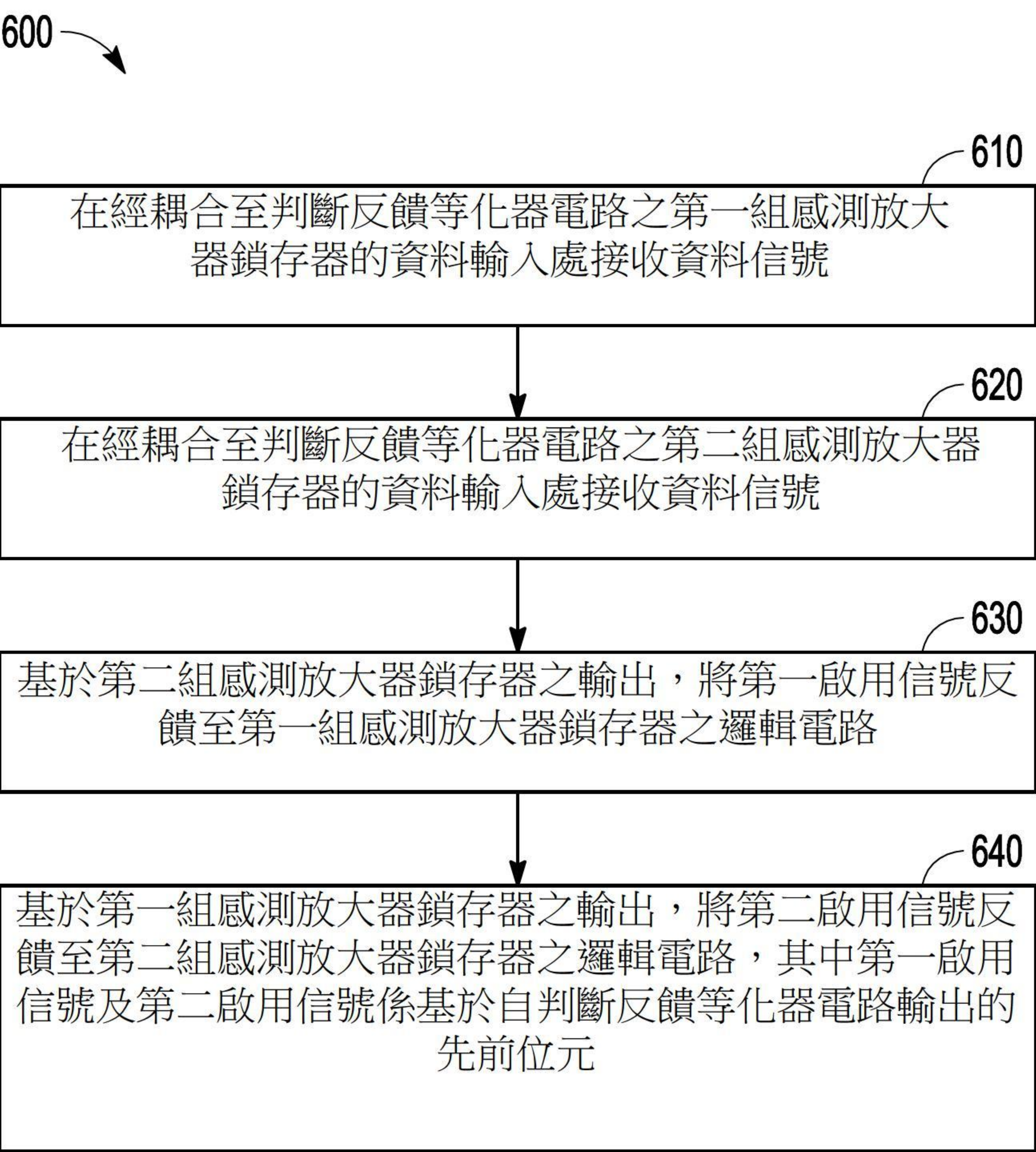
【圖3】



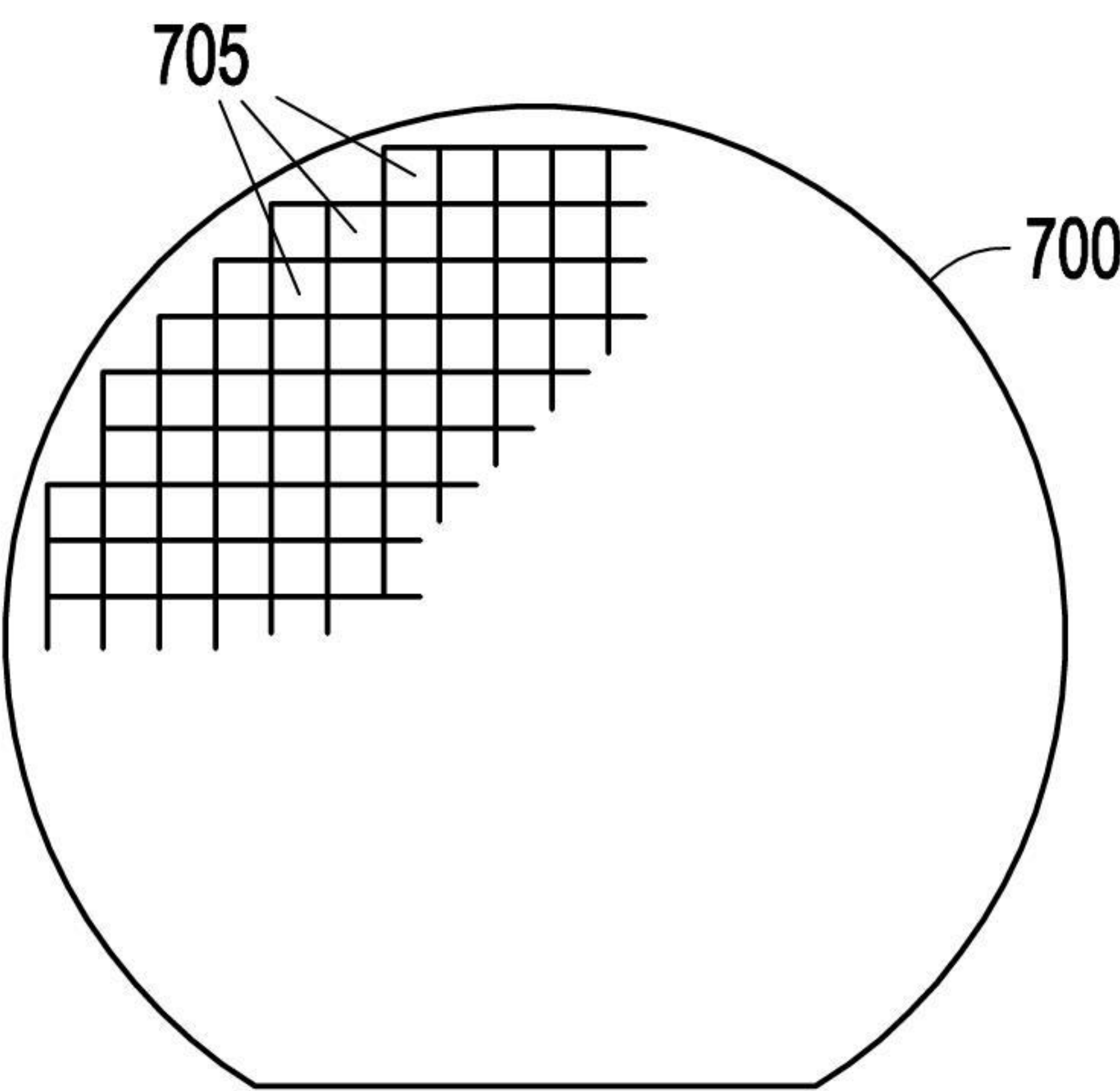
【圖4】



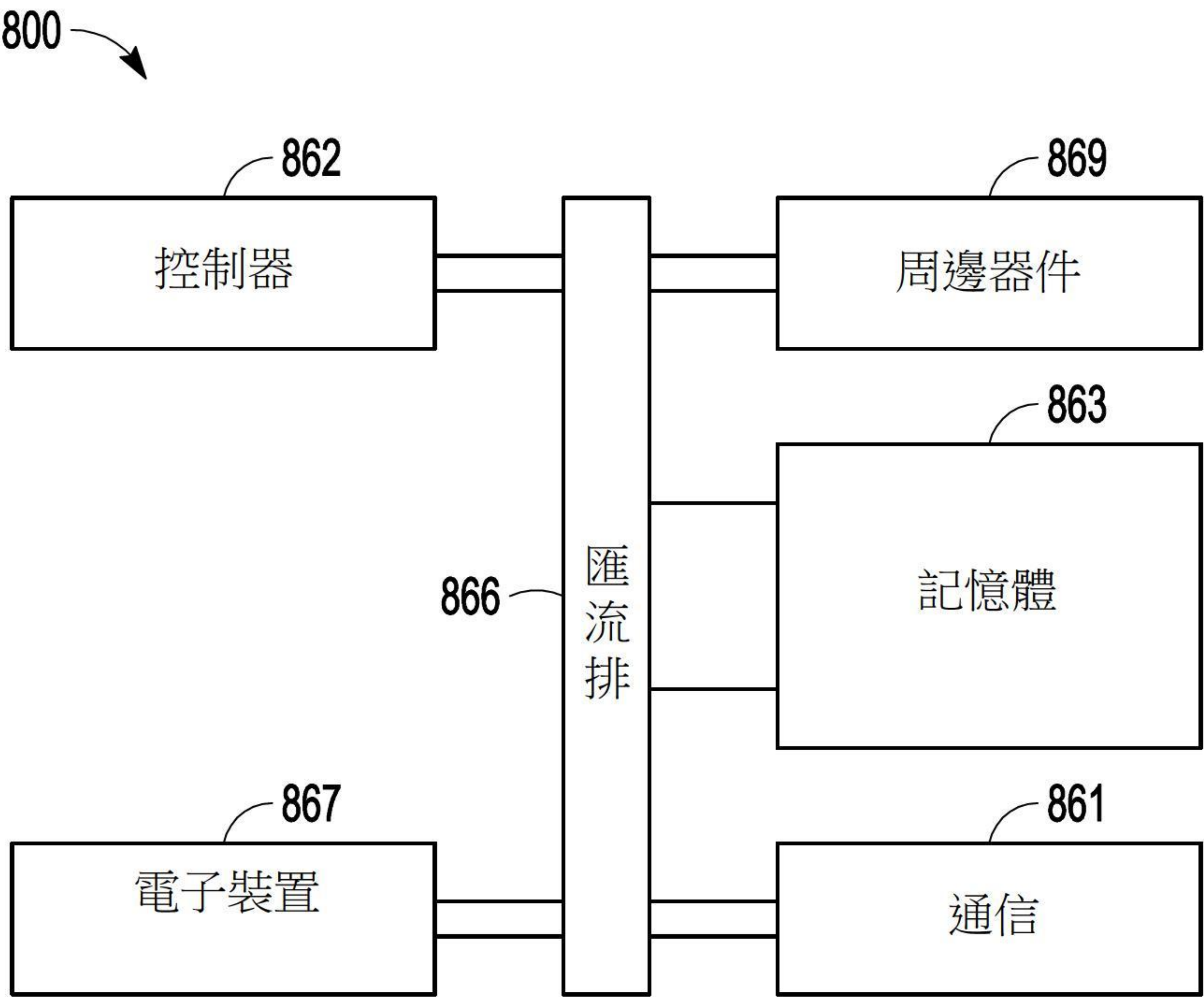
【回5】



【圖6】



【圖7】



【圖8】