

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年4月18日(18.04.2024)



(10) 国際公開番号
WO 2024/079979 A1

(51) 国際特許分類:
H01P 3/18 (2006.01) **H01L 21/822** (2006.01)
H01L 21/3205 (2006.01) **H01L 23/522** (2006.01)
H01L 21/768 (2006.01) **H01L 27/04** (2006.01)

(21) 国際出願番号: PCT/JP2023/029673

(22) 国際出願日: 2023年8月17日(17.08.2023)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2022-163363 2022年10月11日(11.10.2022) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目1番1号 Kanagawa (JP).

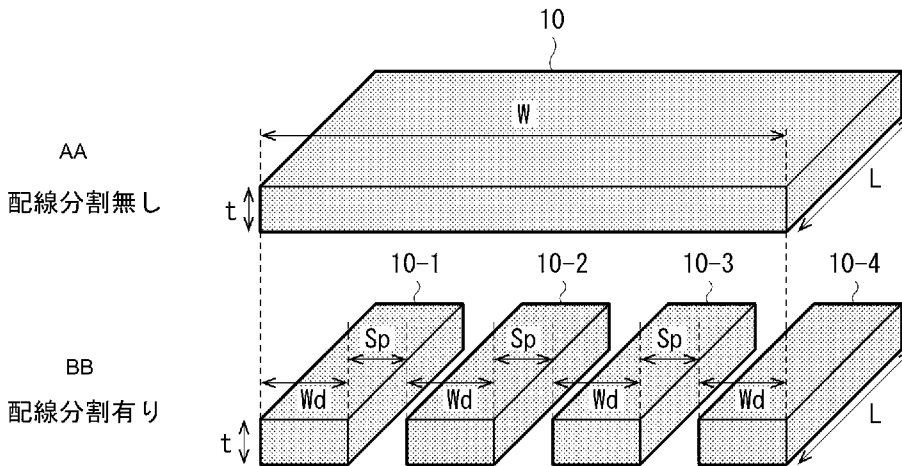
(72) 発明者: 落合 保博 (OCHIAI, Yasuhiro); 〒2430014 神奈川県厚木市旭町四丁目1番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 弁理士法人つばさ国際特許事務所 (TSUBASA PATENT PROFESSIONAL CORPORATION); 〒1600022 東京都新宿区新宿1丁目15番9号 さわだビル3階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY,

(54) Title: WIRING AND ELECTRONIC DEVICE

(54) 発明の名称: 配線、および電子機器



AA Divided wirings absent
BB Divided wirings present

(57) Abstract: A wiring according to the present disclosure comprises a plurality of divided wirings through which AC current flows. The number of divided wirings is 4 or greater. If Sp denotes the inter-wiring space between two adjacent divided wirings, and Wd denotes the individual wiring width of each of the divided wirings, Sp/Wd is 0.2-0.55 when reverse-phase current is supplied as the AC current through the divided wirings, and Sp/Wd is 0.35-0.95 when in-phase current is supplied as the AC current through the divided wirings.

[続葉有]



MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

(57) 要約: 本開示の配線は、それぞれに交流電流が流れる複数の分割配線からなり、複数の分割配線は、配線分割数が4以上とされ、隣り合う2つの分割配線同士の配線間スペースを S_p 、複数の分割配線のそれぞれの個別配線幅を W_d としたとき、複数の分割配線に交流電流として逆相電流を流す場合には S_p/W_d が0.2以上0.55以下、複数の分割配線に交流電流として同相電流を流す場合には S_p/W_d が0.35以上0.95以下を満たすように構成されている。

明 細 書

発明の名称：配線、および電子機器

技術分野

[0001] 本開示は、配線、および電子機器に関する。

背景技術

[0002] 銅などの配線は、流れる電流の周波数が高くなると配線表面に電流が集中するため抵抗が高くなる。これは表皮効果と呼ばれている。高周波電流が流れる配線の抵抗を低くする技術として、配線を複数に分割する構成が提案されている（特許文献1参照）。

先行技術文献

特許文献

[0003] 特許文献1：特開2003-229705号公報

発明の概要

[0004] 表皮効果により抵抗が高くなると、損失有効電力の増大による発熱や、電圧降下を招く。特許文献1に記載の技術では、配線を複数に分割する際の構成パラメータ、例えば、配線分割数や配線幅、および配線間スペースなどの最適化が十分になされておらず、高周波領域における抵抗増加の抑制効果が不十分である。

[0005] 表皮効果による高周波領域における抵抗増加を低減することが可能な配線、および電子機器を提供することが望ましい。

[0006] 本開示の一実施の形態に係る配線は、それぞれに交流電流が流れる複数の分割配線からなり、複数の分割配線は、配線分割数が4以上とされ、隣り合う2つの分割配線同士の配線間スペースを S_p 、複数の分割配線のそれぞれの個別配線幅を W_d としたとき、複数の分割配線に交流電流として逆相電流を流す場合には S_p/W_d が0.2以上0.55以下、複数の分割配線に交流電流として同相電流を流す場合には S_p/W_d が0.35以上0.95以下を満たすように構成されている。

[0007] 本開示の一実施の形態に係る電子機器は、それぞれに交流電流が流れる複数の分割配線からなる配線を有し、複数の分割配線は、配線分割数が4以上とされ、隣り合う2つの分割配線同士の配線間スペースを S_p 、複数の分割配線のそれぞれの個別配線幅を W_d としたとき、複数の分割配線に交流電流として逆相電流を流す場合には S_p/W_d が0.2以上0.55以下、複数の分割配線に交流電流として同相電流を流す場合には S_p/W_d が0.35以上0.95以下を満たすように構成されている。

[0008] 本開示の一実施の形態に係る配線、または電子機器では、表皮効果による抵抗増加を低減することが可能となるように、複数の分割配線が最適化されている。

図面の簡単な説明

[0009] [図1]図1は、一般的な導体近傍における交流電流の分布の一例を示す特性図である。

[図2]図2は、一般的な導体からなる配線の一例を示す斜視図である。

[図3]図3は、一般的な表皮深さと周波数との関係の一例を示す特性図である。

[図4]図4は、手計算により直流抵抗と交流抵抗とを算出した結果を示す特性図である。

[図5]図5は、電磁界解析によるシミュレーションによって直流抵抗と交流抵抗との和を算出した結果を、手計算による結果と比較したものを示す特性図である。

[図6]図6は、直流抵抗と交流抵抗とを手計算と電磁界解析によるシミュレーションとによって算出した結果を示す特性図である。

[図7]図7は、直流抵抗と交流抵抗とを手計算と電磁界解析によるシミュレーションとによって算出した結果を示す特性図である。

[図8]図8は、インピーダンスを交流抵抗とインダクタンスとで比較した結果を示す特性図である。

[図9]図9は、配線に流す消費電流の一例を示す特性図である。

[図10]図10は、異なるインピーダンス特性を持つ3種類の配線の電圧降下の一例を示す特性図である。

[図11]図11は、3種類のインピーダンス特性の各配線に生じる有効電力を算出した結果を示す特性図である。

[図12]図12は、図11の算出結果に基づいて算出された平均損失有効電力を示す説明図である。

[図13]図13は、直流抵抗を変化させずに交流抵抗を下げる方法の一例を示す説明図である。

[図14]図14は、配線の断面積を一定とし、配線幅と配線厚の比を変えた場合の抵抗の周波数特性を電磁界解析によりシミュレーションした結果を示す特性図である。

[図15]図15は、配線を分割した場合の直流抵抗および交流抵抗の一例を示す説明図である。

[図16]図16は、2つの分割配線に同相電流を流し、配線間スペースを変えた場合の配線1本辺りの抵抗値を電磁界解析によるシミュレーションにより求めた結果を示す特性図である。

[図17]図17は、2つの分割配線に逆相電流を流し、配線間スペースを変えた場合の配線1本辺りの抵抗値を電磁界解析によるシミュレーションにより求めた結果を示す特性図である。

[図18]図18は、2つの分割配線に同相電流を流した場合の配線断面の磁界分布を電磁界解析によるシミュレーションにより求めた結果を示す特性図である。

[図19]図19は、2つの分割配線に同相電流を流した場合の配線断面の磁界分布を電磁界解析によるシミュレーションにより求めた結果を示す特性図である。

[図20]図20、2つの分割配線に逆相電流を流した場合の配線断面の磁界分布を電磁界解析によるシミュレーションにより求めた結果を示す特性図である。

[図21]図21は、2つの分割配線に逆相電流を流した場合の配線断面の磁界分布を電磁界解析によるシミュレーションにより求めた結果を示す特性図である。

[図22]図22は、2つの分割配線のそれぞれの断面積を一定とし、配線幅と配線厚との比を変えた複数の構成例を示す断面図である。

[図23]図23は、図22に示した各構成例について、抵抗の周波数特性を電磁界解析によりシミュレーションした結果を示す特性図である。

[図24]図24は、図22に示した各構成例について、抵抗の周波数特性を電磁界解析によりシミュレーションした結果を示す特性図である。

[図25]図25は、配線を4つの分割配線に分割した例を示す構成図である。

[図26]図26は、抵抗の算出に用いた配線モデルを概略的に示す構成図である。

[図27]図27は、図26に示した配線モデルを用いて、手計算と電磁界解析によるシミュレーションとによって抵抗を算出した結果を示す特性図である。

[図28]図28は、図26に示した配線モデルを用いて、手計算と電磁界解析によるシミュレーションとによって抵抗を算出した結果を示す特性図である。

[図29]図29は、図26に示した配線モデルを用いて、手計算と電磁界解析によるシミュレーションとによって抵抗を算出した結果を示す特性図である。

[図30]図30は、配線間スペース S_p と個別配線幅 W_d との比(S_p/W_d)を変えた分割配線の構成例を示す説明図である。

[図31]図31は、配線分割数と配線間スペースと個別配線幅と配線厚との関係から、交流抵抗を小さくする最適な S_p/W_d の値を算出する手法の概要を示す説明図である。

[図32]図32は、幅方向の配線リソースを考慮した配線分割数、および配線リソース増加率の算出例を示す説明図である。

[図33]図 3 3 は、幅方向の配線リソースを考慮した配線分割数、および配線リソース増加率の算出例を示す説明図である。

[図34]図 3 4 は、抵抗増加率の算出結果の一例を示す説明図である。

[図35]図 3 5 は、配線リソース増加率の逆数と抵抗増加率との掛け算の算出結果の一例を示す説明図である。

[図36]図 3 6 は、逆相電流を流した場合の最適な配線分割数 N 、 S_p/W_d 、 W_d/t の値の関係の一例を示す説明図である。

[図37]図 3 7 は、同相電流を流した場合の最適な配線分割数 N 、 S_p/W_d 、 W_d/t の値の関係の一例を示す説明図である。

[図38]図 3 8 は、一実施の形態に係る配線の電子機器への第 1 の適用例を示す構成図である。

[図39]図 3 9 は、一実施の形態に係る配線の電子機器への第 2 の適用例を示す構成図である。

[図40]図 4 0 は、一実施の形態に係る配線の電子機器への第 3 の適用例を示す構成図である。

発明を実施するための形態

[0010] 以下、本開示の実施の形態について図面を参照して詳細に説明する。なお、説明は以下の順序で行う。

1. 一実施の形態

1. 1 背景 (図 1 ~ 図 1 2)

1. 2 表皮効果を考慮した配線構造 (図 1 3 ~ 図 3 7)

1. 2. 1 交流抵抗を下げる方法

1. 2. 2 配線間スペースを考慮した交流抵抗の算出式

1. 2. 3 効率よく配線分割数を決める方法

1. 3 適用例 (図 3 8 ~ 図 4 0)

1. 4 効果

2. その他の実施の形態

[0011] <1. 一実施の形態>

[1. 1 背景]

[0012] (表皮効果について)

図1に、一般的な導体近傍における交流電流の分布の一例を示す。図2に、導体からなる配線10の一例を示す。

[0013] 図1の横軸は導体表面を基準位置 ($Z = 0$) とした導体表面からの位置 Z を示す。図1の縦軸は電界 E を示す。電界 E は空気中では以下の式 (1) のように表され、導体中では式 (2) のように表される。 E_0 は振幅定数、 j は虚数単位、 β は位相定数とする。 δ は表皮深さ (表皮厚) を示す。なお、導体では電界 E と同じ方向に電流が流れる。導体表面の電流値に対して電流値が $1/e$ となる深さ (厚さ) を表皮深さ (表皮厚) という。

[0014] [数1]

$$E = E_0 e^{-j\beta Z} \cdots (1)$$

[0015] [数2]

$$E = E_0 e^{-((1+j)/\delta)Z} \cdots (2)$$

[0016] 導体に交流電流を流すと、表皮効果という現象が生じる。表皮効果により、交流電流の周波数 f が高くなると導体の表面に電流が集中する。これにより、周波数 f が高くなると導体の交流抵抗は大きくなる。表皮深さ (表皮厚) δ は、以下の式 (3) のように表される。

式 (3) の各パラメータは以下を表す。

δ : 表皮深さ (表皮厚) (m)

f : 交流電流の周波数 (Hz)

σ : 導体の導電率 (S/m)

μ_r : 導体の比透磁率

μ_0 : 真空透磁率 (H/m)

[0017] [数3]

$$\delta = \sqrt{\frac{1}{\pi f \sigma \mu_r \mu_0}} \quad \dots (3)$$

[0018] 図3に、一般的な導体における表皮深さ δ (縦軸) と周波数 f (横軸) との関係の一例を示す。

[0019] 図3は導体を銅 (Copper) とした場合の例となる。交流電流の周波数 f が 1 GHz を超えると、表皮深さ δ は μm オーダーとなる。周波数 f が高くなると、導体に交流電流を流しても表面にしか交流電流は流れない。

[0020] (導体の抵抗について)

導体の抵抗は直流抵抗 R_{dc} と交流抵抗 R_{ac} とに分離して考えることができる。図2に示したように、電流が流れる配線 (導体) 10 の幅 (配線幅) を W 、配線 10 の厚み (配線厚) を t 、配線 10 の長さ (配線長) を L とすると、直流抵抗 R_{dc} と交流抵抗 R_{ac} は以下のように表される。

$$R_{dc} = (1 / \sigma W t) \cdot L$$

$$R_{ac} = (1 / 2 \sigma \delta (W + t)) \cdot L$$

[0021] 直流抵抗 R_{dc} は周波数 f とは無関係のものとなり、交流抵抗 R_{ac} は前述した表皮深さ δ に反比例し周波数 f と共に大きくなる。表皮深さ δ は、図3からも分かるように、周波数 f の平方根に比例して小さくなる。

[0022] 図4に、手計算により直流抵抗 R_{dc} と交流抵抗 R_{ac} とを算出し、さらに直流抵抗 R_{dc} と交流抵抗 R_{ac} との和を算出した結果を示す。図5に、電磁界解析によるシミュレーションによって直流抵抗 R_{dc} と交流抵抗 R_{ac} との和を算出した結果を、手計算による結果と比較したものを示す。図4および図5には、配線 10 の導体材料としては銅を使用し、配線形状を配線幅 $W = 40 \mu\text{m}$ 、配線厚 $t = 20 \mu\text{m}$ 、配線長 $L = 100 \mu\text{m}$ とした結果を

示す。図5から分かるように、シミュレーションによる結果と手計算による結果は略一致する。

[0023] 図6および図7に、図4および図5とは配線形状を変えた場合の計算結果を示す。図6および図7には、直流抵抗 R_{dc} と交流抵抗 R_{ac} とを手計算と電磁界解析によるシミュレーションとによって算出した結果を示す。図6には、配線10の導体材料としては銅を使用し、配線形状を配線幅 $W = 5 \mu m$ 、配線厚 $t = 5 \mu m$ 、配線長 $L = 100 \mu m$ とした結果を示す。図7には、配線10の導体材料としては銅を使用し、配線形状を配線幅 $W = 1 \mu m$ 、配線厚 $t = 1 \mu m$ 、配線長 $L = 100 \mu m$ とした結果を示す。図6および図7からも分かるように、配線形状を変えた場合においても、シミュレーションによる結果と手計算による結果は略一致している。

[0024] 図8に、インピーダンスを交流抵抗 R_{ac} と L （インダクタンス）とで比較した結果を示す。

[0025] 交流抵抗 R_{ac} による影響を確認するため、配線10として、3種類のインピーダンス特性を有するものを用い、各インピーダンス特性の配線10に電流を流し、シミュレーションにより電力計算を行った（後述の図11）。図8には、3種類のうち2つのインピーダンス特性を示す。1つは直流抵抗 R_{dc} と交流抵抗 R_{ac} との和（ $R_{dc} + R_{ac}$ ）となるインピーダンス特性で、配線幅 $W = 20 \mu m$ 、配線厚 $t = 2 \mu m$ 、配線長 $L = 1000 \mu m$ の配線10に相当する抵抗特性を持つ。もう1つは、直流抵抗 R_{dc} とインダクタンス L との和（ $R_{dc} + L$ ）となるインピーダンス特性で、インダクタンス L の値は $L = 33 p H$ とした。両者の直流抵抗 R_{dc} の値は同じであり、 0.35Ω とした。両者の特性共に、インピーダンスが増加し始める周波数 f はほぼ同じとなる。インピーダンスの増加は、 $R_{dc} + R_{ac}$ の特性では周波数 f の平方根に比例する特性を持ち、 $R_{dc} + L$ の特性では周波数 f に比例する特性を持つ。

[0026] （電流と電圧降下について）

図9に、配線10に流す消費電流の一例を示す。図10は、異なるインピ

ーダンス特性を持つ3種類の配線10の電圧降下の一例を示す。

[0027] 図9に示したように、消費電流は時間軸上において、 $|di/dt| = 1 \text{ A}/25 \text{ ps}$ 、 $0.5 \text{ A}/25 \text{ ps}$ の2種類が交互に発生するものを使用した。電流発生周期は 0.4 ns であり、 250 MHz の動作周波数に相当する。この消費電流を、異なるインピーダンス特性を持つ以下の3種類の配線10に流した。図10に示したように、特性1の電圧を V_{Rdc} 、特性2の電圧を $V_{\text{Rdc}} + R_{\text{ac}}$ 、特性3の電圧を $V_{\text{Rdc}} + L$ とする。

特性1 : R_{dc} のみ

特性2 : $R_{\text{dc}} + R_{\text{ac}}$

特性3 : $R_{\text{dc}} + L$

[0028] 上記各特性の配線10の両端に発生する電圧をシミュレーションし、モニタした。図10に示したように、上記各特性の電圧降下の大小関係は以下のようなになった。高周波帯における動作では抵抗による電圧降下は、直流抵抗 R_{dc} より交流抵抗 R_{ac} の方が著しく大きい。

(特性3) > (特性2) > (特性1)

[0029] 図11に、上記3種類のインピーダンス特性の各配線10のそれぞれに生じる有効電力 $P(t)$ を算出した結果を示す。図12は、図11の算出結果に基づいて算出された平均損失有効電力 P_{avg} を示す。上記特性1の有効電力 $P(t)$ を P_{Rdc} 、上記特性2の有効電力 $P(t)$ を $P_{\text{Rdc}} + R_{\text{ac}}$ 、上記特性3の有効電力 $P(t)$ を $P_{\text{Rdc}} + L$ とする。

[0030] 有効電力 $P(t)$ 、平均損失有効電力 P_{avg} は以下で表される。

$$P(t) = \text{re} \{ V_{\text{R}}(t) \times I(t) \}$$

$$P_{\text{avg}} = \text{average} (P(t))$$

時間軸上の電力に対して有効電力 $P(t)$ の実部項 $\{V_{\text{R}}(t) \times I(t)\}$ を抜き出し、平均損失有効電力 P_{avg} を求めた結果を図12に示す。直流抵抗 R_{dc} よりも交流抵抗 R_{ac} の方が2倍以上の有効電力 $P(t)$ の損失を生じさせる。そして、配線10としての導体からの発熱も交流抵抗 R_{ac} が支配的となる。高い周波数 f で動作させる場合、配線10の交流

抵抗 R_{ac} を低減させることがとても重要となる。

[0031] [1. 2 表皮効果を考慮した配線構造]

(1. 2. 1 交流抵抗を下げる方法)

図13に、直流抵抗 R_{dc} を変化させずに交流抵抗 R_{ac} を下げる方法の一例を示す。

[0032] 上述したように、配線幅を W 、配線厚を t 、配線長を L 、表皮深さを δ 、配線（導体）10の導電率を σ とすると、直流抵抗 R_{dc} と交流抵抗 R_{ac} は以下のように表される。

$$R_{dc} = (1 / \sigma W t) \cdot L$$

$$R_{ac} = (1 / 2 \sigma \delta (W + t)) \cdot L$$

[0033] 交流抵抗 R_{ac} の大きさはその配線形状に大きく左右される。直流抵抗 R_{dc} を変化させずに交流抵抗 R_{ac} を下げるには、例えば図13に示したように、断面積 ($W \times t$) を一定とし、表面積を大きくすればよい。

[0034] 図14に、配線10の断面積 ($W \times t$) を一定 ($W \times t = 800 (\mu m^2)$) とし、配線幅 W と配線厚 t の比を変えた場合の抵抗の周波数特性をシミュレーションした結果を示す。横軸は周波数 f 、縦軸は抵抗 ($R_{dc} + R_{ac}$) を示す。

[0035] 図14の結果より、表面積を増やすように配線形状を工夫すれば交流抵抗 R_{ac} を小さくすることが可能となることが分かる。

[0036] 図15に、配線10を分割した場合の直流抵抗 R_{dc} および交流抵抗 R_{ac} の一例を示す。

[0037] 上述したように、配線10の断面積 ($W \times t$) を一定としつつ表面積を増加させるには、図15に示したように、配線10を複数に分割すればよい。ただし、配線10を複数に分割すると、隣り合う2つの分割配線同士の配線間スペース S_p が必要となるため、配線リソースが増加する。ここで、配線リソースとは、配線10を構成するための配線領域のことをいう。図15の下段の構成例では、配線間スペース S_p を空けて配線10を2つの分割配線10-1, 10-2に分割した構成例を示している。図15の下段の構成例

では、2つの分割配線10-1, 10-2のそれぞれの個別配線幅 W_d を、図15の上段に示した分割前の配線10の配線幅 W の $1/2$ としている($W_d = W/2$)。図15の下段の構成例では、分割前の配線10に対し、配線間スペース S_p 分、幅方向に配線10の配線リソースが増加している。この場合、分割後の配線10の直流抵抗 R_{dc} と交流抵抗 R_{ac} は以下のように表される。

$$R_{dc} = (1 / \sigma W t) \cdot L$$

$$R_{ac} = (1 / 2 \sigma \delta (W + 2 t)) \cdot L$$

[0038] 幅方向の配線リソースをできるだけ増加させずに交流抵抗 R_{ac} を下げるには、理論上、以下の式(4), (5)に関し、 $(A+B) > (C+D)$ が満たせるように配線幅 W 、配線厚 t 、配線分割数 N を決めればよい。なお、式(5)において、配線分割数 N によって生じる配線間スペース S_p は配線幅 W と同じ値にした。

[0039] [数4]

$$A+B = \left[\overset{\text{A項}}{\frac{1}{\sigma W t}} + \overset{\text{B項}}{\frac{1}{2 \sigma \delta (W+t)}} \right] \cdots (4)$$

$$C+D = \left[\overset{\text{C項}}{\frac{1}{\sigma (Wt - Wt N/(2N+1))}} + \overset{\text{D項}}{\frac{1}{2 \delta \sigma (W + t - WN/(2N+1) + Nt)}} \right] \cdots (5)$$

[0040] 図16に、2つの分割配線10-1, 10-2に同相電流を流し、配線間スペース S_p を変えた場合の配線1本辺りの抵抗値を電磁界解析によるシミュレーションにより求めた結果を示す。図17に、2つの分割配線10-1, 10-2に逆相電流を流し、配線間スペース S_p を変えた場合の配線1本辺りの抵抗値を電磁界解析によるシミュレーションにより求めた結果を示す。図16および図17において、横軸は周波数 f 、縦軸は抵抗($R_{dc} + R$

a c) を示す。図 16 および図 17 には、配線間スペース S_p を空けて、配線 10 を 2 つの分割配線 10-1, 10-2 に分割した場合の特性を示す。図 16 および図 17 には、分割配線 10-1, 10-2 の導体材料としては銅を使用し、配線形状を配線幅 $W_d = 20 \mu m$ 、配線厚 $t = 20 \mu m$ 、配線長 $L = 100 \mu m$ とした結果を示す。

[0041] 上述の $(A+B) > (C+D)$ の数式は配線 10 を分割した際の配線間スペース S_p に交流抵抗 R_{ac} が依存しない前提だと成り立つが、実際はそうではない。分割したことによって生じる配線間スペース S_p を増加させると、交流抵抗 R_{ac} は減少する傾向にある。

[0042] 図 18 および図 19 に、2 つの分割配線 10-1, 10-2 に同相電流を流した場合の配線断面の磁界分布を電磁界解析によるシミュレーションにより求めた結果を示す。図 18 には配線間スペース S_p が $2 \mu m$ の場合の結果を示す。図 19 には配線間スペース S_p が $40 \mu m$ の場合の結果を示す。シミュレーションでは、リファレンス GND (グラウンド) を配線直下 $300 \mu m$ に配置した。その GND (グラウンド) 上に配線幅 $W_d = 20 \mu m$ 、配線厚 $t = 20 \mu m$ の 2 本の分割配線 10-1, 10-2 を配置し、励振源を交流電圧 $AC = 1 V$ の電位差、周波数 $f = 10 GHz$ として同相電流を与えた。

[0043] 2 つの分割配線 10-1, 10-2 に同相電流を流した場合、互いの配線で生じる磁界が打ち消し合う。2 つの分割配線 10-1, 10-2 が近接すると磁界の打ち消し効果が顕著になり、分割配線 10-1, 10-2 の隣接面には電流が流れにくくなる。図 18 に示したように配線間スペース S_p が小さいと配線間には磁場が少なくなり、表面電流の面積は小さくなる。結果として抵抗が大きくなる。逆に、図 19 に示したように配線間スペース S_p を大きくするとこの現象は緩和され、配線間には磁場が多くなり、表面電流の面積は大きくなる。結果として、抵抗は小さくなる。

[0044] 図 20 および図 21 に、2 つの分割配線 10-1, 10-2 に逆相電流を流した場合の配線断面の磁界分布を電磁界解析によるシミュレーションにより求めた結果を示す。図 20 には配線間スペース S_p が $2 \mu m$ の場合の結果

を示す。図 2 1 には配線間スペース S_p が $40 \mu m$ の場合の結果を示す。シミュレーションでは、配線幅 $W_d = 20 \mu m$ 、配線厚 $t = 20 \mu m$ の 2 本の分割配線 10-1、10-2 を配置し、励振源を交流電圧 $AC = 1 V$ の電位差、周波数 $f = 10 GHz$ として逆相電流を与えた。

[0045] 逆相電流を流した場合、2つの分割配線 10-1、10-2 が近接すると帰路電流の近接化により電磁界が閉じ込められ電磁界の広がりが小さくなり、分割配線 10-1、10-2 に流れる電流により生じる磁界は配線間にて強め合う方向に働く。故に、図 2 0 に示したように配線間スペース S_p が小さいと、配線間に磁場が集中し、ほとんど、ここにしか電流が流れなくなる。これにより、配線表面に浸透する磁場が少なくなり、表面電流の面積は小さくなる。結果として、抵抗が大きくなる。逆に、図 2 1 に示したように配線間スペース S_p を大きくするとこの現象は緩和され、配線表面に浸透する磁場が多くなり、表面電流の面積は大きくなる。結果として、抵抗は小さくなる。

[0046] 図 2 2 に、2つの分割配線 10-1、10-2 のそれぞれの断面積 ($W_d \times t$) を一定 ($W_d \times t = 400 \mu m^2$) とし、配線幅 (個別配線幅 W_d) と配線厚 t との比 (W_d / t) を変えた複数の構成例を示す。図 2 2 には、複数の構成例として、 $W_d = 5 \mu m$ 、 $t = 80 \mu m$ (図 2 2 の (A))、 $W_d = 10 \mu m$ 、 $t = 40 \mu m$ (図 2 2 の (B))、 $W_d = 20 \mu m$ 、 $t = 20 \mu m$ (図 2 2 の (C))、 $W_d = 40 \mu m$ 、 $t = 10 \mu m$ (図 2 2 の (D))、 $W_d = 80 \mu m$ 、 $t = 5 \mu m$ (図 2 2 の (E)) とした構成例を示す。

[0047] 図 2 3 および図 2 4 に、図 2 2 に示した各構成例について、抵抗の周波数特性を電磁界解析によりシミュレーションした結果を示す。図 2 3 および図 2 4 において、横軸は周波数 f 、縦軸は抵抗 ($R_{dc} + R_{ac}$) を示す。図 2 3 には、図 2 2 に示した各構成例について、配線間スペース S_p を $5 \mu m$ とし、2つの分割配線 10-1、10-2 に逆相電流を流した場合と同相電流を流した場合とのシミュレーション結果を示す。図 2 4 には、図 2 2 に示した各構成例について、配線間スペース S_p を $20 \mu m$ とし、2つの分割配

線 10-1, 10-2 に逆相電流を流した場合と同相電流を流した場合とのシミュレーション結果を示す。

[0048] 図 23 および図 24 の結果から、配線間の結合面積 ($S_p \times t$) が大きくなる (W_d / t が小さくなる) と、逆相電流を流した場合の配線抵抗は小さくなる傾向になることが分かる。逆に、配線間の結合面積 ($S_p \times t$) が小さくなる (W_d / t が大きくなる) と、同相電流を流した場合の配線抵抗は小さくなる傾向になることが分かる。図 23 および図 24 の結果は、図 18 ~ 図 21 を用いて説明した理論と特性の傾向が一致する。

[0049] 以上の結果から、後述する配線リソースや配線間スペース S_p を考慮しない場合、逆相電流を流す場合、例えば $W_d / t = 1$ 以下で構成することが望ましい。また、同相電流を流す場合、例えば $W_d / t = 1$ 以上で構成することが望ましい。

[0050] (1. 2. 2 配線間スペースを考慮した交流抵抗の算出式)

図 25 に、配線 10 を 4 つの分割配線 10-1, 10-2, 10-3, 10-4 に分割した構成例を示す (配線分割数 $N = 4$)。

[0051] 配線 10 の抵抗は、「直流抵抗 R_{dc} + 交流抵抗 R_{ac} 」で表される。直流抵抗 R_{dc} は、以下で表される。

$$R_{dc} = (1 / \sigma W t) \cdot L$$

[0052] 交流抵抗 R_{ac} は、配線分割が無い場合と有る場合とで以下の式 (6), (7) で表される。なお、式中のパラメータは以下のとおりである (図 25 参照)。

W : 配線幅 (全体の幅) (m)

W_d : 分割配線の個別配線幅 (m)

S_p : 配線間スペース (m)

t : 配線厚 (m)

L : 配線長 (m)

N : 配線分割数 (2 以上)

σ : 配線の導電率 (S/m)

f : 動作周波数 (交流電流の周波数) (G H z)

$A 0, A 1, B 0, B 1, C 0, C 1$: 配線形状に特徴づけられる係数

[0053] <配線分割無し>

$$R a c = \{ (A 0 * (\sqrt{f})) \} * \{ (B 0 * W^{B 1}) \} * \{ 1 / (\sigma * 58 e 6) \} * \{ L / (100 e - 6) \} \dots\dots (6)$$

ここで、 $(A 0 * (\sqrt{f}))$ は、配線厚 t と配線幅 W と周波数 f とが影響を与える項である。 $(B 0 * W^{B 1})$ は、配線厚 t と配線幅 W とが影響を与える項である。 $1 / (\sigma * 58 e 6)$ は、配線 10 に使用する導電率 σ が影響を与える項である。 $L / (100 e - 6)$ は、配線長 L が影響を与える項である。

[0054] <配線分割有り>

$$R a c = \{ (A 0 * L n (S p / W d) + A 1) * (\sqrt{f}) \} * \{ (B 0 * (S p / W d)^{B 1} * N^{(C 0 * L n (S p / W d) + C 1)}) \} * \{ 1 / (\sigma * 58 e 6) \} * \{ L / (100 e - 6) \} * 0.5 \dots\dots (7)$$

ここで、 $\{ (A 0 * L n (S p / W d) + A 1) * (\sqrt{f}) \}$ は、配線厚 t と配線間スペース $S p$ と周波数 f とが影響を与える項 (第 1 項) である。 $\{ (B 0 * (S p / W d)^{B 1} * N^{(C 0 * L n (S p / W d) + C 1)}) \}$ は、配線厚 t と配線間スペース $S p$ と配線分割数 N とが影響を与える項 (第 2 項) である。 $\{ 1 / (\sigma * 58 e 6) \}$ は、配線 10 に使用する導電率 σ が影響を与える項 (第 3 項) である。 $\{ L / (100 e - 6) \}$ は、配線長 L が影響を与える項 (第 4 項) である。なお、 $(S p / W d)$ は、1, 0.75, 0.5, 0.25 のいずれかを使用する。 $A 0, A 1, B 0, B 1, C 0, C 1$ は、個別配線幅 $W d$ と配線厚 t とに依存したフィッティングパラメータである。

[0055] 配線分割が有った場合、交流抵抗 $R a c$ については配線間スペース $S p$ の影響を考慮する必要があると前述した。式 (7) では、第 1 項と第 2 項とを数式に組み込むことでこれを考慮できている。式 (7) に基づいて、抵抗値が小さくなるような配線分割数 N 等を求めることができる。

[0056] 上述の式 (6), (7) で算出される抵抗の妥当性を確認するため、配線

モデルを作成し、手計算と電磁界解析によるシミュレーションとによって抵抗を算出して比較を行った。図26に、抵抗の算出に用いた配線モデルを概略的に示す。図27ないし図29に、図26に示した配線モデルを用いて、手計算と電磁界解析によるシミュレーション（Sim）とによって抵抗を算出した結果を示す。図27ないし図29において、横軸は配線幅 W 、縦軸は抵抗 R （ $=R_{dc} + R_{ac}$ ）を示す。

[0057] 配線モデルとしては、配線分割無しの場合と配線分割有りの場合とを作成し、同相電流と逆相電流とを流した場合について抵抗を算出した。図26には、配線分割無しの場合と配線分割有りの場合において、配線幅 W を増加させた場合の配線モデルを模式的に示す。配線分割有りの場合、配線幅 W の増加に伴い、配線分割数 N も増加し、複数の分割配線 $10-1$ 、 $10-2$ 、 $10-3$ 、 $\dots$ $10-N$ が形成される。

[0058] 配線10には、交流電圧 $AC = 1V$ の電位差を与え、総電流から抵抗を算出した。配線分割有りの場合、抵抗 R （ $=R_{dc} + R_{ac}$ ）は以下で表される。同相電流を I_c 、逆相電流は I_f 、 I_r 、配線分割無しの電流は I とする。

同相電流： $R = V / \sum I_c$

逆相電流： $R = V / \sum I_f$ （ I_r の電流値は非対象とし、 $W_d + S_p$ は同相電流と同じものを使用）

配線分割無しの場合、抵抗 R （ $=R_{dc} + R_{ac}$ ）は以下で表される。

$$R = V / I$$

[0059] 図27には、配線形状として、個別配線幅 $W_d = 40\mu m$ 、配線厚 $t = 40\mu m$ 、配線間スペース S_p と個別配線幅 W_d との比 $S_p / W_d = 0.5$ 、配線長 $L = 100\mu m$ とし、周波数 $f = 10GHz$ とした場合の算出結果を示す。図28には、配線形状として、個別配線幅 $W_d = 5\mu m$ 、配線厚 $t = 2.5\mu m$ 、 $S_p / W_d = 1$ 、配線長 $L = 100\mu m$ とし、周波数 $f = 10GHz$ とした場合の算出結果を示す。図29には、配線形状として、個別配線幅 $W_d = 1\mu m$ 、配線厚 $t = 0.25\mu m$ 、 $S_p / W_d = 1$ 、配線長 $L =$

100 μm とし、周波数 $f = 100\text{GHz}$ とした場合の算出結果を示す。

[0060] 図27ないし図29に示したように、手計算による結果と電磁界解析によるシミュレーションによる結果は、ほぼ同じ値を示す。なお、図27ないし図29のケースでは配線分割有りの方が、配線分割無しの場合よりも小さい値を示すような条件（配線モデルや動作周波数）を使用した。条件によっては、分割無しの方が抵抗が小さくなるケースもある。なお、ここでは、 S_p/W_d を、1, 0.75, 0.5, 0.25としてA0, A1, B0, B1, C0, C1なるフィッティングパラメータの値を使用した計算例を示したが、 S_p/W_d を任意の値として計算することも可能である。

[0061] (1. 2. 3 効率よく配線分割数を決める方法)

図30に、配線間スペース S_p と個別配線幅 W_d との比 (S_p/W_d) を変えた分割配線の構成例を示す。図30には、配線分割数 $N = 6$ とし、配線10を6つの分割配線10-1, 10-2, 10-3, 10-4, 10-5, 10-6で構成した例を示す。図31には、配線分割数 N と配線間スペース S_p と個別配線幅 W_d と配線厚 t との関係から、交流抵抗 R_{ac} を小さくする最適な S_p/W_d の値を算出する手法の概要を示す。

[0062] 交流抵抗 R_{ac} を小さくする最適な S_p/W_d は、例えば以下の手順で算出することができる。

手順1. 幅方向の配線リソースを考慮した配線分割数 N 、および配線リソース増加率を算出する。

手順2. S_p/W_d が小さくなる抵抗増加率を算出する。

手順3. 手順1. 手順2. の結果を考慮し、最適な S_p/W_d を算出する。

[0063] S_p/W_d が大きい方が、交流抵抗は小さくなる。一方、配線分割数 N を増加することでも表面積が増加するので抵抗は下がり易い。 S_p/W_d を小さくし、配線分割数 N を増やすと配線リソースは増加するので、配線分割数 N を増やしすぎるのも好ましくない。ここで、図30に示したように、 $S_p/W_d = 1$ のときの配線10の全体の幅を W_A 、 $S_p/W_d = 0.75$ の

ときの配線10の全体の幅を W_B 、 $S_p/W_d = 0.5$ のときの配線10の全体の幅を W_C 、 $S_p/W_d = 0.25$ のときの配線10の全体の幅を W_D とする。この場合、幅方向の配線リソース増加率を W_A/W_B 、 W_A/W_C 、 W_A/W_D のように定義する。図31に示したように、配線分割数 N を増加した場合、配線リソース増加率は飽和して一定値に落ち着く。飽和に近づく配線分割数 N が配線リソースに対する効率が大きいと言える。図31の例では、例えば、 $N = 7$ で飽和する。また例えば配線リソース増加率は $W_A/W_D = 1.5$ で飽和する。 W_D の構成の場合、あまり配線リソースを消費していない一方で、配線間スペース S_p は小さいので交流抵抗 R_{ac} は増える。配線分割数 N と配線リソース増加率との関係では、配線間スペース S_p の減少と共に交流抵抗 R_{ac} は増加する。

[0064] また、図31の例では、 $S_p/W_d = 0.25$ のとき、抵抗増加率は1.5となり、 $S_p/W_d = 1$ のときに対して交流抵抗 R_{ac} が1.5倍になる。 S_p/W_d と抵抗増加率との関係では、配線間スペース S_p の増加と共に交流抵抗 R_{ac} は減少する。そこで、例えば図31に示したように、 S_p/W_d の各値に対する配線リソース増加率の逆数（ $1/\text{配線リソース増加率}$ ）と抵抗増加率とを掛け算した結果の最小値を S_p/W_d の最適値とする。

[0065] 図32および図33に、上記手順1.による幅方向の配線リソースを考慮した配線分割数 N 、および配線リソース増加率の算出例を示す。

[0066] 図32および図33には、個別配線幅 $W_d = 40\ \mu\text{m}$ の例を示す。また、 $S_p/W_d = 1$ の場合の配線リソースを W_A 、 $S_p/W_d = 0.25$ の場合との場合の配線リソースを W_B としている。配線リソース増加率を W_A/W_B と定義する。配線分割数 N を増加させた場合の配線リソース増加率を図33に示す。

[0067] 高い周波数 f になるほど、交流抵抗 R_{ac} は大きくなる。電力消費、発熱などの問題を抑制するため、交流抵抗 R_{ac} を小さくすることが高周波で動作する配線部分に望まれる。分割後の配線10の交流抵抗 R_{ac} を効果的に低減させる手法を述べる。 $S_p/W_d = 1$ の配線リソースを W_A 、 $S_p/W_d = 0.25$ の配線リソースを W_B とする。

$W_d = 0.25$ の配線リソースを W_B とした場合、 W_B の方が配線間スペース S_p が小さいため、限られた配線リソース内に、より配線 10 を多く配置させることが可能となる。図 33 に示したように、配線分割数 N が増加すると配線リソース増加率は飽和傾向にあり、配線分割数 $N = 5$ 辺りから概ね飽和する。このときの配線リソース増加率は約 1.5 となる。交流抵抗 R_{ac} を小さくする上で、配線分割数 N が飽和しだした値を使用するのが望ましい。この観点から、配線分割数 $N = 4$ 以上、好ましくは配線分割数 5 以上であるとよい。これは W_B において、 $S_p / W_d = 0.25$ のみならず、0.5、0.75 でも同じ傾向を示す (W_A は $S_p / W_d = 1$ 固定とする)。

[0068] 図 34 に、上記手順 2. による抵抗増加率の算出結果の一例を示す。図 35 に、上記手順 3. による配線リソース増加率の逆数 ($1 / \text{配線リソース増加率}$) と抵抗増加率との掛け算の算出結果の一例を示す。上記したように、配線リソース増加率の逆数と抵抗増加率とを掛け算した結果の最小値を S_p / W_d の最適値とする。

[0069] 図 34 の例では、周波数 f は 1 GHz としているが、 S_p / W_d の最適値を算出するにあたり、抵抗 ($R_{dc} + R_{ac}$) は周波数 f の平方根に比例するため、周波数 f は任意でよい。 S_p / W_d の傾向を知るため、抵抗増加率として、各個別配線幅 W_d ($W_d = XXX$, $W_d = XXX / 2$, $W_d = XXX \times XXX / 8$, $W_d = XXX \times XXX / 40$) に対する値の平均値を算出した。 XXX は例えば $40 \mu m$ である。

[0070] 図 35 には、上述の図 32 および図 33 に示した手法により算出した配線リソース増加率が飽和する配線分割数 N における、配線リソースの増加率の逆数を $S_p / W_d = 0.75$ 、 $S_p / W_d = 0.5$ 、 $S_p / W_d = 0.25$ に対して算出し、抵抗増加率の平均値と配線リソース増加率の逆数とを掛け算した結果を示す。配線リソース増加率の逆数と抵抗増加率とを掛け算した結果の最小値が、交流抵抗 R_{ac} を小さくすることができる値となるため、この最小値に対応する S_p / W_d の値が S_p / W_d の望ましい値となる。図

35の例では、 $W_d/t = 0.25, 0.5, 1.0$ らの値に対して望ましい S_p/W_d の値が得られた。

[0071] 図36に、逆相電流を流した場合の最適な配線分割数 N 、 S_p/W_d 、 W_d/t の値の関係の一例を示す。図37に、同相電流を流した場合の最適な配線分割数 N 、 S_p/W_d 、 W_d/t の値の関係の一例を示す。

[0072] 図36および図37では、個別配線幅 W_d は任意の値としている。これまでの結果と、図36および図37の結果から、配線リソースと抵抗増加率の両者の観点から、表皮効果により生じる交流抵抗 R_{ac} を効率的に低減させるには、以下の条件を満足するように配線10が分割されていることが望ましい。個別配線幅 W_d は任意の値とする。

N : 4以上（好ましくは5以上）

W_d/t : 0.5～6

S_p/W_d :

逆相電流を流す場合は0.2～0.55

同相電流を流す場合は0.35～0.95

[0073] なお、上述したように、配線リソースや配線間スペース S_p を考慮しない場合、 W_d/t は以下の値であってもよい。

逆相電流を流す場合、 $W_d/t = 1$ 以下

同相電流を流す場合、 $W_d/t = 1$ 以上

[0074] また、交流抵抗 R_{ac} の低減の効果を得るためには、配線長 L が $100\mu\text{m}$ 以上の配線10に対して配線分割された構造にするとよい。

[0075] [1.3 適用例]

一実施の形態に係る配線10は、各種の電子機器に適用可能である。一実施の形態に係る配線10は、分割された配線10を形成可能な基板全般に適用可能である。例えば、プリント基板（PCB）、電子部品や半導体のパッケージ、および半導体チップ等に適用可能である。また、交流電流として逆相電流または同相電流が流れる配線10に適用可能である。また、配線10は、データ信号やクロック信号を伝送する信号配線に適用可能である。また

、配線 10 は、電源配線、および GND（グラウンド）配線に適用可能である。また、分割された配線 10 の形成部位としては表層、および内層のいずれにも適用可能である。

[0076] 図 38 に、一実施の形態に係る配線の電子機器への第 1 の適用例を示す。

[0077] 図 38 には、プリント基板（PCB）101 に対して、分割された配線 10 を適用した例を示す。例えば、プリント基板（PCB）101 上に半導体チップ等が内蔵されたパッケージ 102 と、パッケージやコネクタなどの部品との接続配線として、一実施の形態に係る技術によって分割された配線 10 を適用可能である。

[0078] 図 39 に、一実施の形態に係る配線の電子機器への第 2 の適用例を示す。

[0079] 図 39 には、パッケージ基板 111 に対して、分割された配線 10 を適用した例を示す。パッケージ基板 111 上には、例えばボンディングワイヤ 113 によって半導体チップ 112 が固定されている。例えば、半導体チップ 112 とパッケージ出力端子 114 との接続配線として、一実施の形態に係る技術によって分割された配線 10 を適用可能である。

[0080] 図 40 に、一実施の形態に係る配線の電子機器への第 3 の適用例を示す。

[0081] 図 40 には、半導体チップ 121 に対して、分割された配線 10 を適用した例を示す。半導体チップ 121 には、電源もしくは GND（グラウンド）電流を消費する半導体回路 124 が設けられている。半導体回路 124 は、電源配線もしくは GND 配線 122 に接続されている。電源配線もしくは GND 配線 122 は、ボンディングワイヤ 123 に接続されている。電源配線もしくは GND 配線 122 として、一実施の形態に係る技術によって分割された配線 10 を適用可能である。

[0082] また、半導体チップ 121 には、クロック信号もしくはデータ信号を送信する送信バッファ 126 と、クロック信号もしくはデータ信号を受信する受信バッファ 127 とが設けられている。送信バッファ 126 と受信バッファ 127 は、信号配線 125 によって互いに接続されている。信号配線 125 として、一実施の形態に係る技術によって分割された配線 10 を適用可能で

ある。

[0083] [1. 4 効果]

以上説明したように、一実施の形態に係る技術によれば、配線10が複数の分割配線からなり、表皮効果による抵抗増加を低減することが可能となるように、複数の分割配線が最適化されている。これにより、表皮効果による高周波領域における抵抗増加を低減することが可能となる。

[0084] 表皮効果による高周波領域における抵抗増加は、配線10を複数の分割して表面積を大きくすることで抑制が可能となる。一実施の形態に係る技術によれば、配線10を複数の分割する際の構成パラメータ、例えば、配線分割数Nや分割後の配線10の個別配線幅Wd、および配線間スペースSpなどの最適化を行うことにより、高周波領域における抵抗増加を十分に抑制可能となる。一実施の形態に係る技術を基板、パッケージ、および半導体チップ等に適用して配線設計することで、基板、パッケージ、および半導体チップ等における配線抵抗を低減でき、そこで発生する有効電力による発熱や電圧降下を低減できる。

[0085] なお、本明細書に記載された効果はあくまでも例示であって限定されるものではなく、また他の効果があってもよい。以降の他の実施の形態の効果についても同様である。

[0086] <2. その他の実施の形態>

本開示による技術は、上記一実施の形態の説明に限定されず種々の変形実施が可能である。

[0087] 例えば、本技術は以下のような構成を取ることもできる。

以下の構成の本技術によれば、配線が複数の分割配線からなり、表皮効果による抵抗増加を低減することが可能となるように、複数の分割配線が最適化されている。これにより、表皮効果による高周波領域における抵抗増加を低減することが可能となる。

[0088] (1)

それぞれに交流電流が流れる複数の分割配線からなり、

前記複数の分割配線は、

配線分割数が4以上とされ、

隣り合う2つの前記分割配線同士の配線間スペースを S_p 、前記複数の分割配線のそれぞれの個別配線幅を W_d としたとき、

前記複数の分割配線に前記交流電流として逆相電流を流す場合には S_p / W_d が0.2以上0.55以下、

前記複数の分割配線に前記交流電流として同相電流を流す場合には S_p / W_d が0.35以上0.95以下

を満たすように構成されている

配線。

(2)

前記複数の分割配線のそれぞれの個別配線幅を W_d 、前記複数の分割配線のそれぞれの配線厚を t としたとき、

W_d / t が0.5以上6以下

を満たすように構成されている

上記(1)に記載の配線。

(3)

前記複数の分割配線に前記交流電流として逆相電流を流すようになされ、

前記複数の分割配線のそれぞれの個別配線幅を W_d 、前記複数の分割配線のそれぞれの配線厚を t としたとき、

W_d / t が1以下

を満たすように構成されている

上記(1)または(2)に記載の配線。

(4)

前記複数の分割配線に前記交流電流として同相電流を流すようになされ、

前記複数の分割配線のそれぞれの個別配線幅を W_d 、前記複数の分割配線のそれぞれの配線厚を t としたとき、

W_d / t が1以上

を満たすように構成されている

上記（１）または（２）に記載の配線。

（５）

前記配線分割数は、前記複数の分割配線のそれぞれの配線厚、前記配線間スペースおよび前記交流電流の周波数が影響を与える項と、前記配線厚、前記配線間スペースおよび前記配線分割数が影響を与える項とを含む交流抵抗の算出式に基づいて求められている

上記（１）ないし（４）のいずれか１つに記載の配線。

（６）

前記複数の分割配線のそれぞれの配線長が $100\text{ }\mu\text{m}$ 以上である

上記（１）ないし（５）のいずれか１つに記載の配線。

（７）

前記複数の分割配線は、信号配線として用いられる

上記（１）ないし（６）のいずれか１つに記載の配線。

（８）

前記複数の分割配線は、電源配線として用いられる

上記（１）ないし（６）のいずれか１つに記載の配線。

（９）

前記複数の分割配線は、グランド配線として用いられる

上記（１）ないし（６）のいずれか１つに記載の配線。

（１０）

それぞれに交流電流が流れる複数の分割配線からなる配線を有し、

前記複数の分割配線は、

配線分割数が４以上とされ、

隣り合う２つの前記分割配線同士の配線間スペースを S_p 、前記複数の分割配線のそれぞれの個別配線幅を W_d としたとき、

前記複数の分割配線に前記交流電流として逆相電流を流す場合には S_p / W_d が 0.2 以上 0.55 以下、

前記複数の分割配線に前記交流電流として同相電流を流す場合には S_p / W_d が 0.35 以上 0.95 以下を満たすように構成されている電子機器。

[0089] 本出願は、日本国特許庁において 2022 年 10 月 11 日に出願された日本特許出願番号第 2022-163363 号を基礎として優先権を主張するものであり、この出願のすべての内容を参照によって本出願に援用する。

[0090] 当業者であれば、設計上の要件や他の要因に応じて、種々の修正、コンビネーション、サブコンビネーション、および変更を想到し得るが、それらは添付の請求の範囲やその均等物の範囲に含まれるものであることが理解される。

請求の範囲

- [請求項1] それぞれに交流電流が流れる複数の分割配線からなり、
前記複数の分割配線は、
配線分割数が4以上とされ、
隣り合う2つの前記分割配線同士の配線間スペースを S_p 、前記複数の分割配線のそれぞれの個別配線幅を W_d としたとき、
前記複数の分割配線に前記交流電流として逆相電流を流す場合には S_p / W_d が0.2以上0.55以下、
前記複数の分割配線に前記交流電流として同相電流を流す場合には S_p / W_d が0.35以上0.95以下
を満たすように構成されている
配線。
- [請求項2] 前記複数の分割配線のそれぞれの個別配線幅を W_d 、前記複数の分割配線のそれぞれの配線厚を t としたとき、
 W_d / t が0.5以上6以下
を満たすように構成されている
請求項1に記載の配線。
- [請求項3] 前記複数の分割配線に前記交流電流として逆相電流を流すようにな
され、
前記複数の分割配線のそれぞれの個別配線幅を W_d 、前記複数の分割配線のそれぞれの配線厚を t としたとき、
 W_d / t が1以下
を満たすように構成されている
請求項1に記載の配線。
- [請求項4] 前記複数の分割配線に前記交流電流として同相電流を流すようにな
され、
前記複数の分割配線のそれぞれの個別配線幅を W_d 、前記複数の分割配線のそれぞれの配線厚を t としたとき、

W_d / t が 1 以上

を満たすように構成されている

請求項 1 に記載の配線。

[請求項5] 前記配線分割数は、前記複数の分割配線のそれぞれの配線厚、前記配線間スペースおよび前記交流電流の周波数が影響を与える項と、前記配線厚、前記配線間スペースおよび前記配線分割数が影響を与える項とを含む交流抵抗の算出式に基づいて求められている

請求項 1 に記載の配線。

[請求項6] 前記複数の分割配線のそれぞれの配線長が $100\mu m$ 以上である

請求項 1 に記載の配線。

[請求項7] 前記複数の分割配線は、信号配線として用いられる

請求項 1 に記載の配線。

[請求項8] 前記複数の分割配線は、電源配線として用いられる

請求項 1 に記載の配線。

[請求項9] 前記複数の分割配線は、グランド配線として用いられる

請求項 1 に記載の配線。

[請求項10] それぞれに交流電流が流れる複数の分割配線からなる配線を有し、

前記複数の分割配線は、

配線分割数が 4 以上とされ、

隣り合う 2 つの前記分割配線同士の配線間スペースを S_p 、前記複数の分割配線のそれぞれの個別配線幅を W_d としたとき、

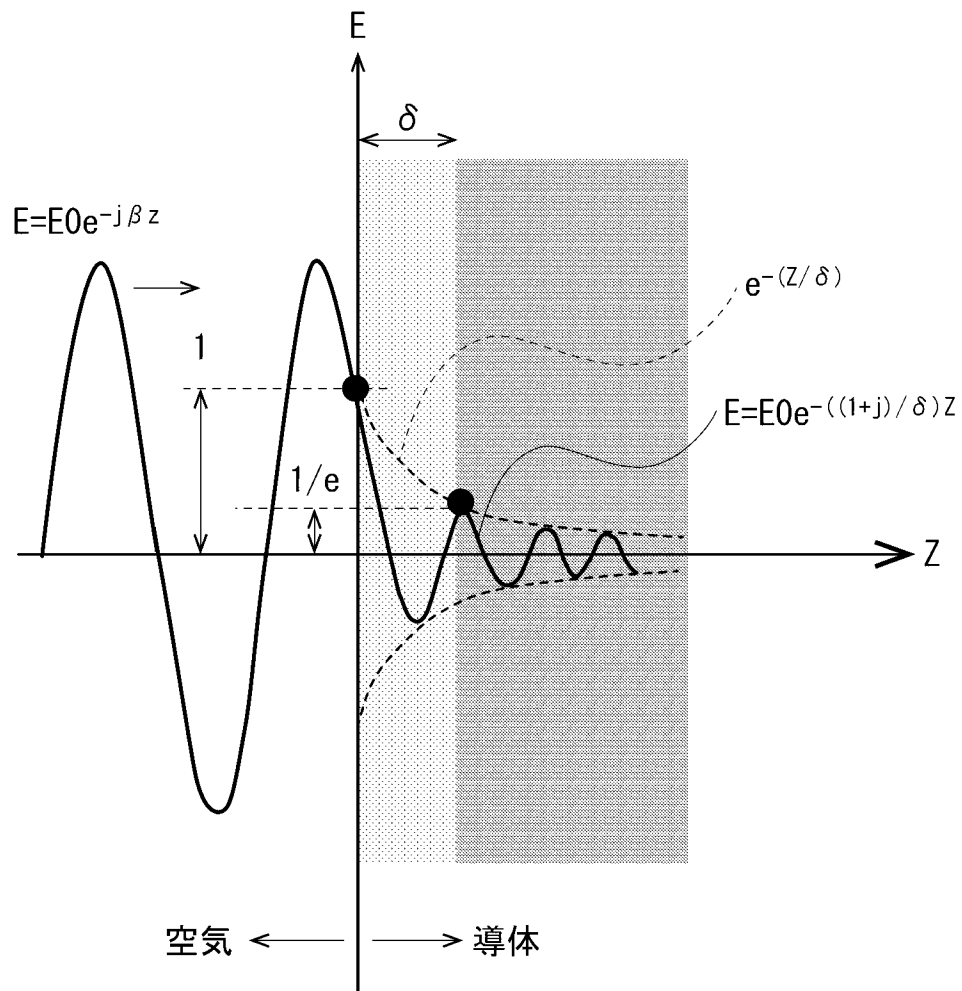
前記複数の分割配線に前記交流電流として逆相電流を流す場合には S_p / W_d が 0.2 以上 0.55 以下、

前記複数の分割配線に前記交流電流として同相電流を流す場合には S_p / W_d が 0.35 以上 0.95 以下

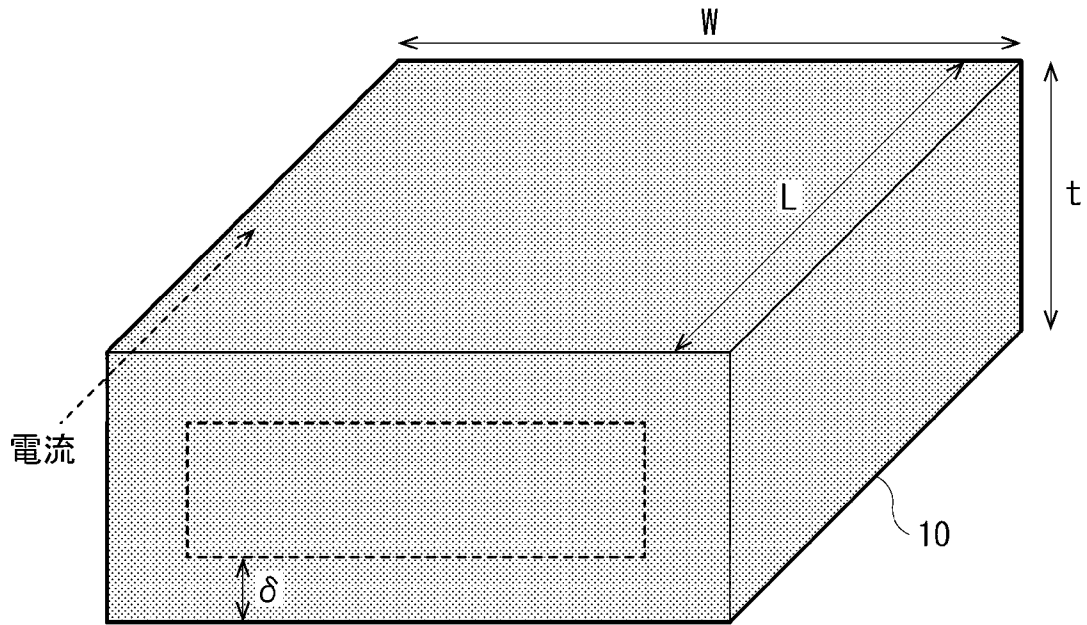
を満たすように構成されている

電子機器。

[図1]

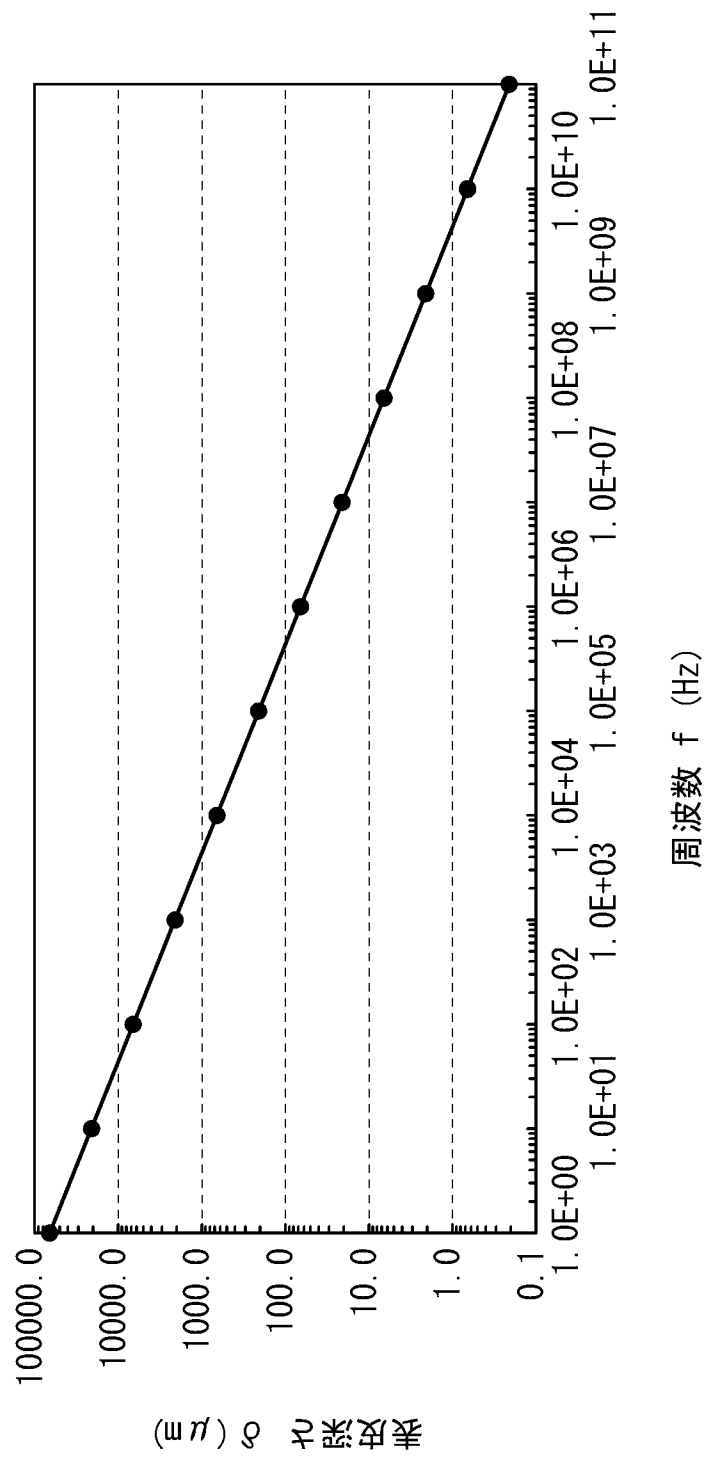


[図2]

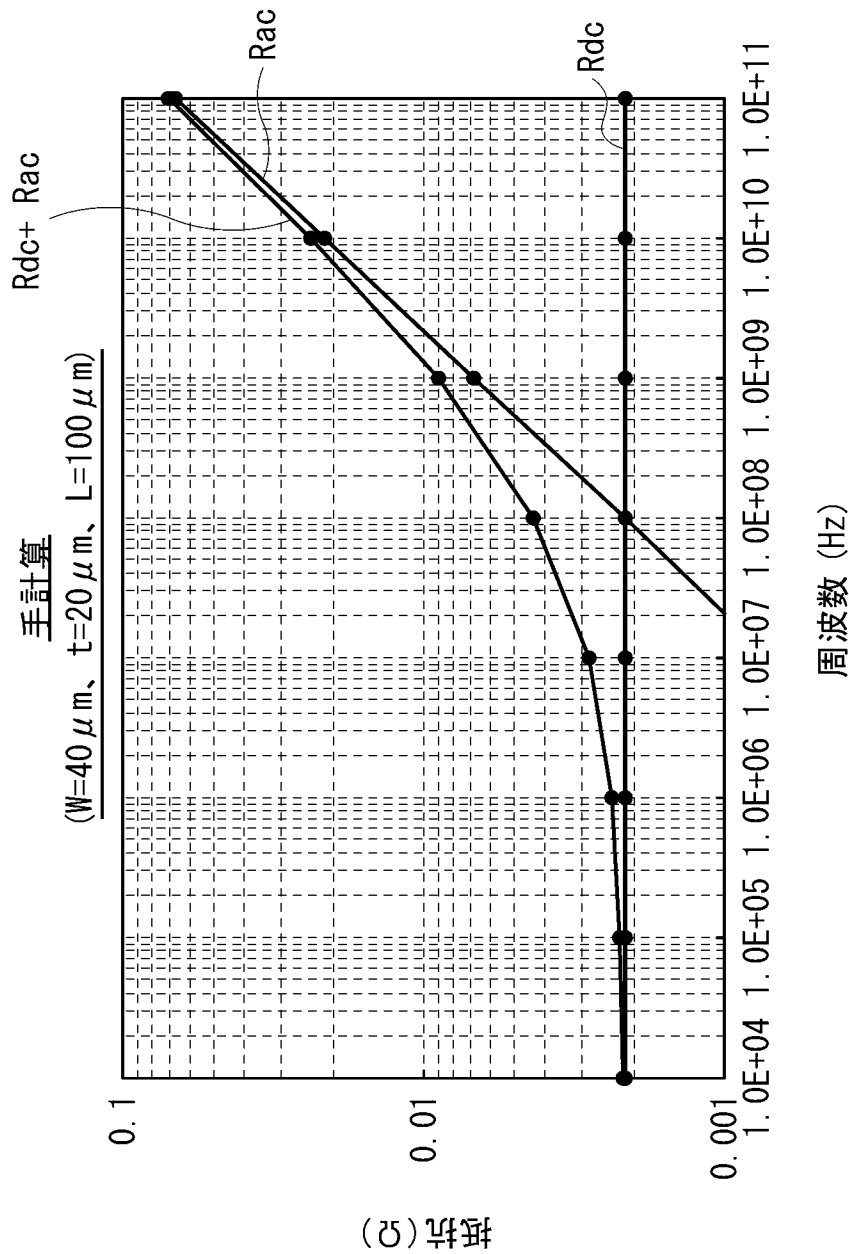


$$\delta = \sqrt{\frac{1}{\pi f \sigma \mu_r \mu_0}}$$

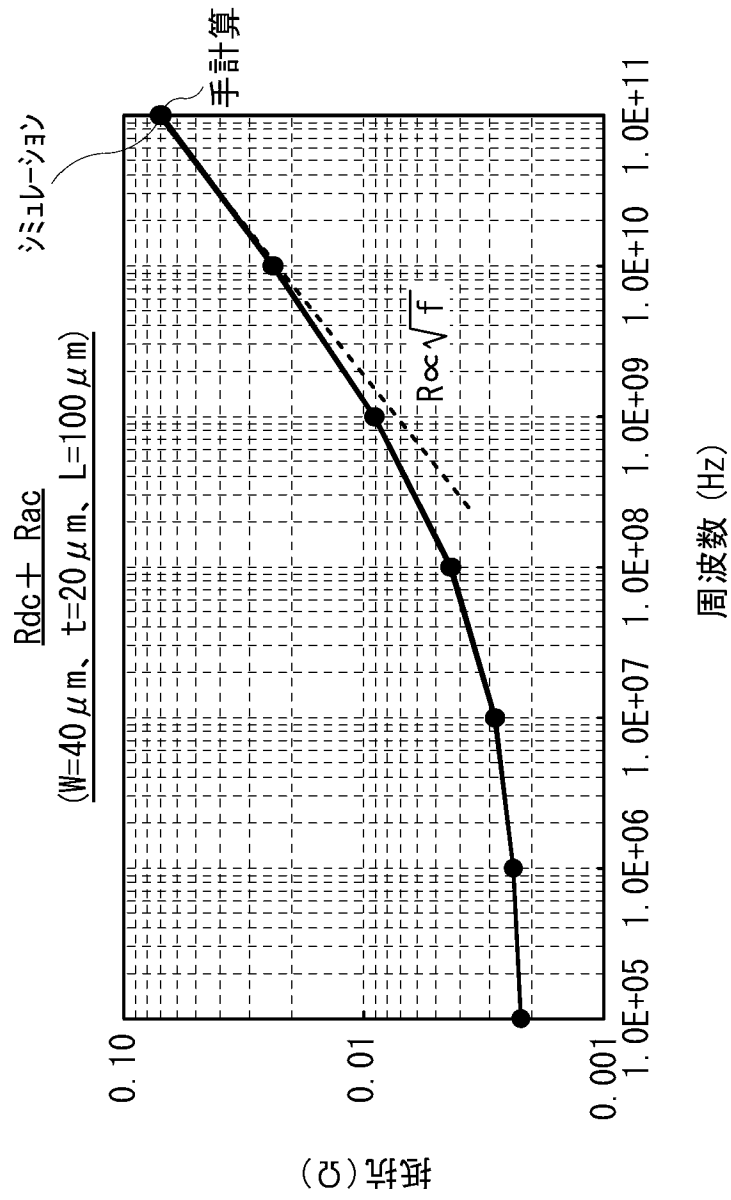
[図3]



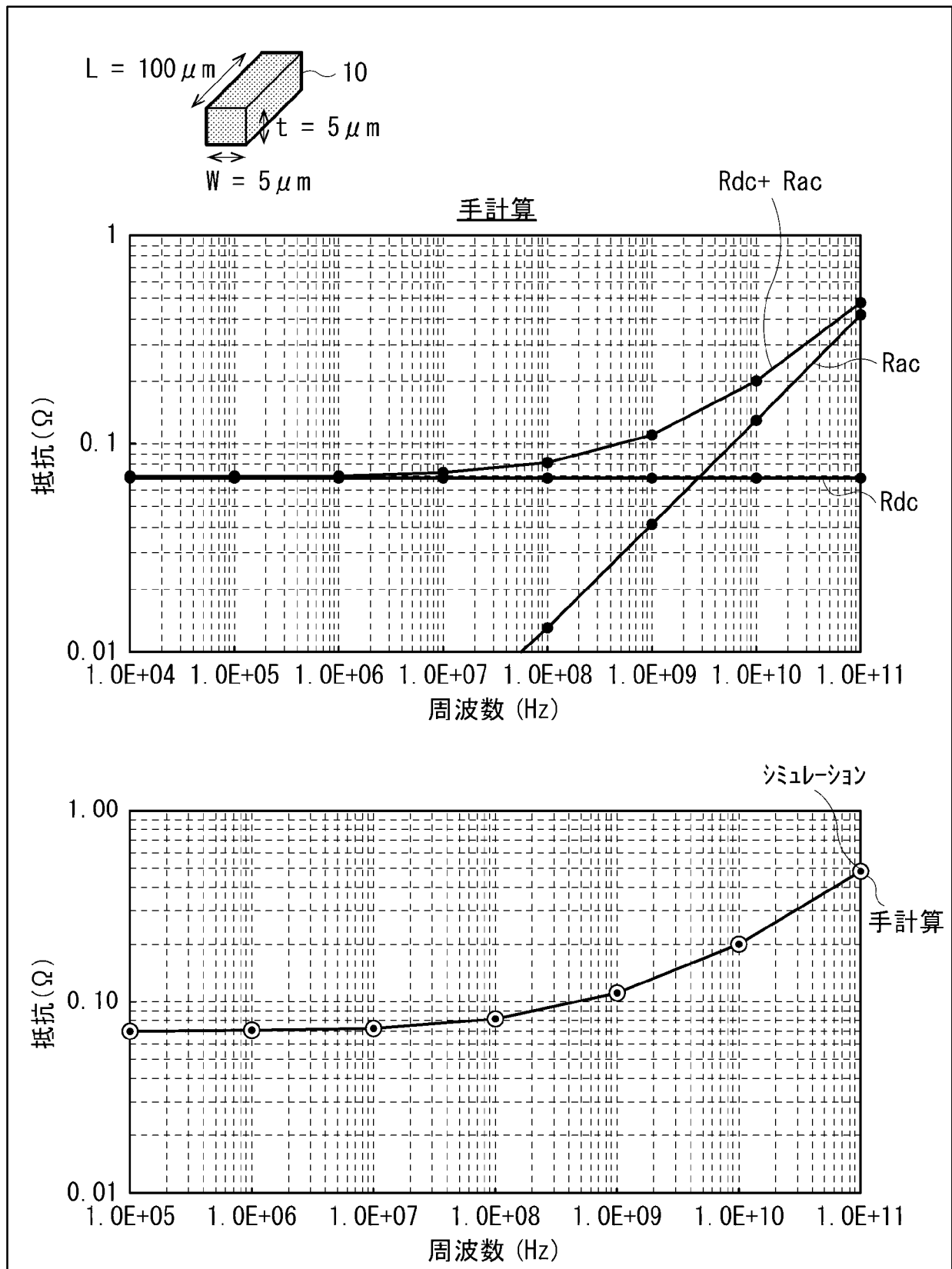
[図4]



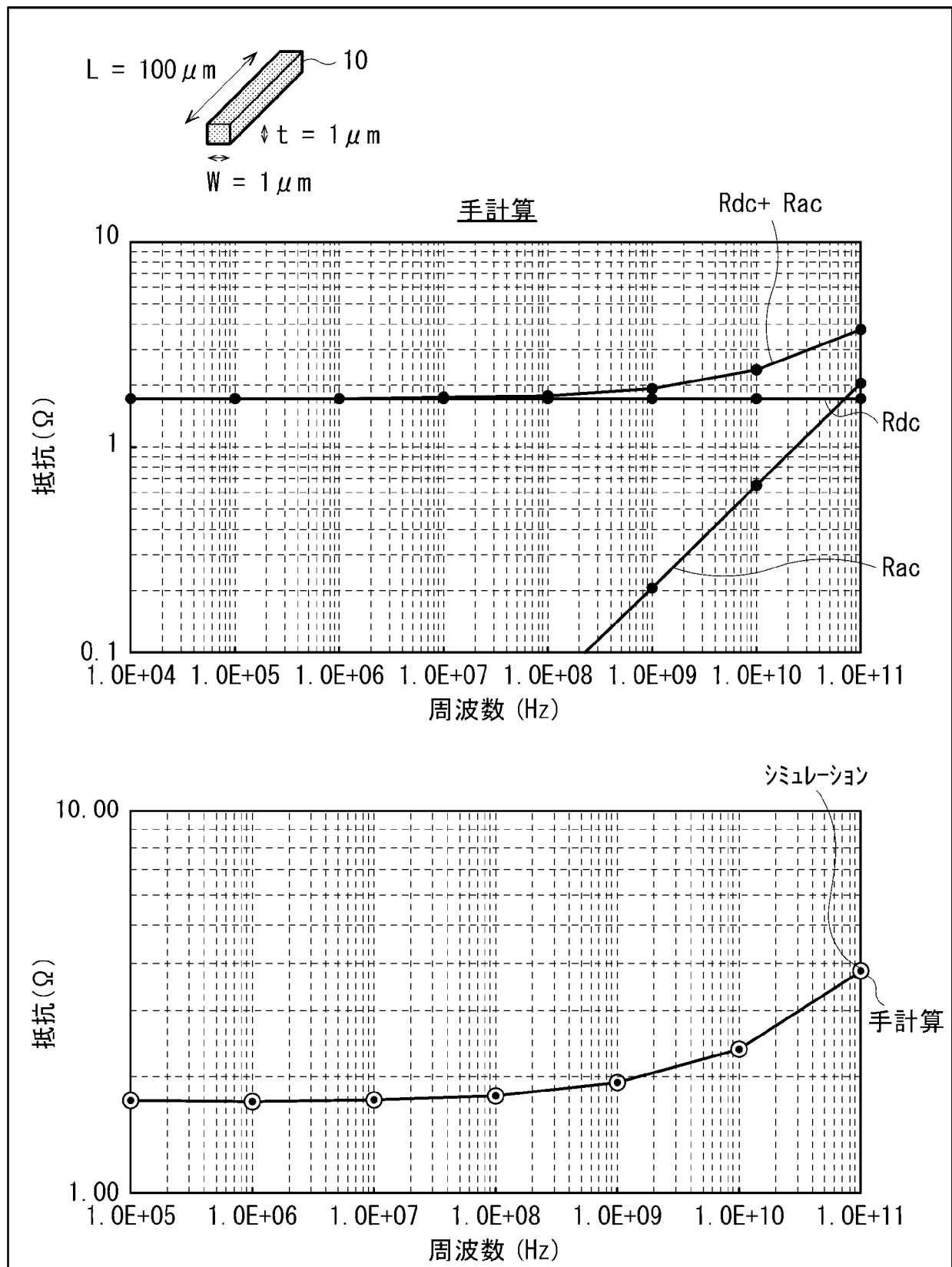
[図5]



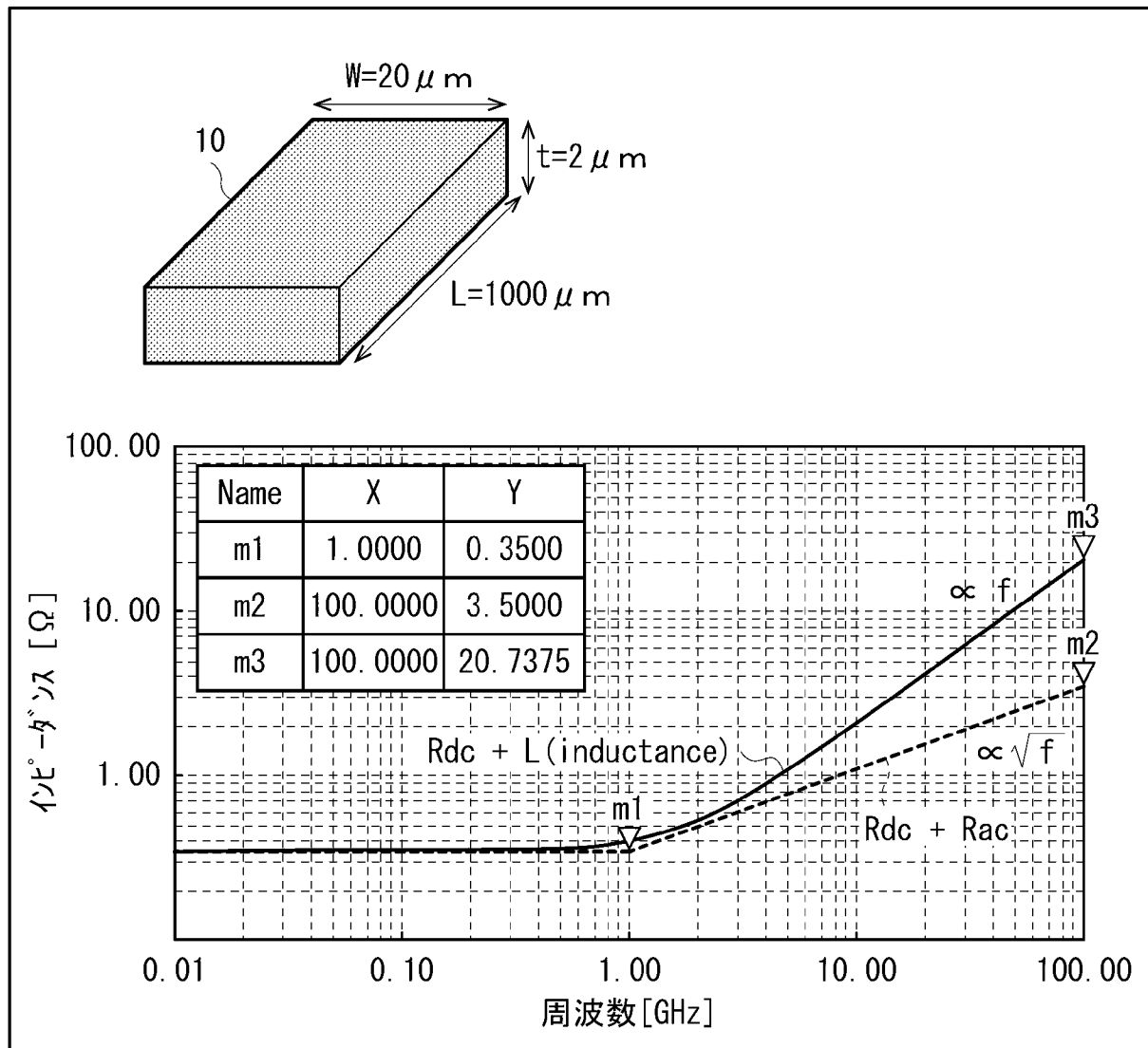
[図6]



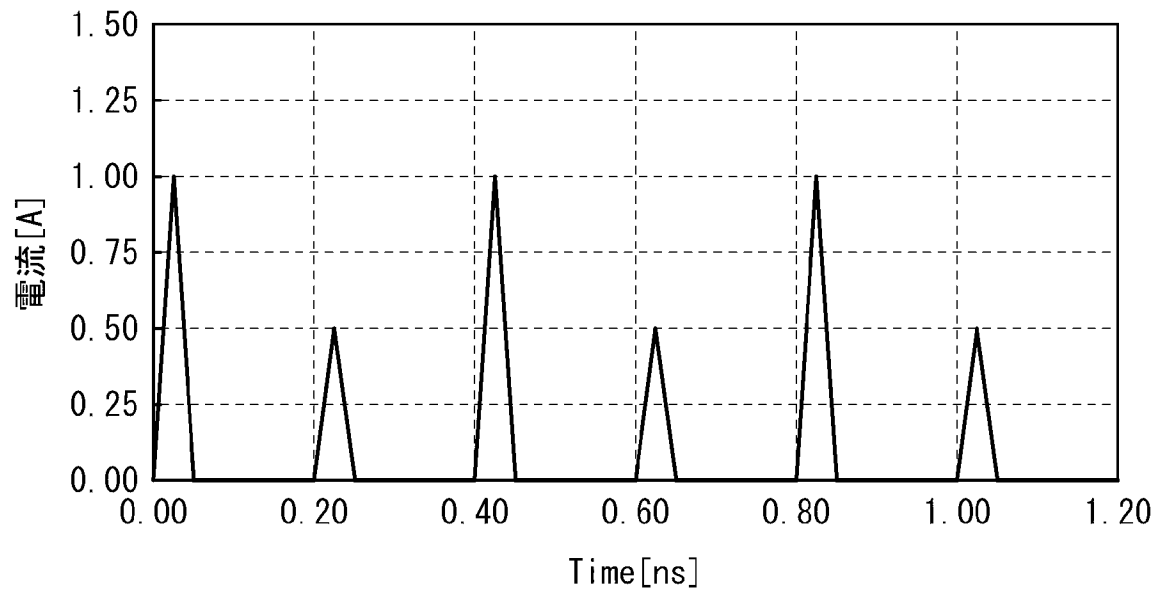
[図7]



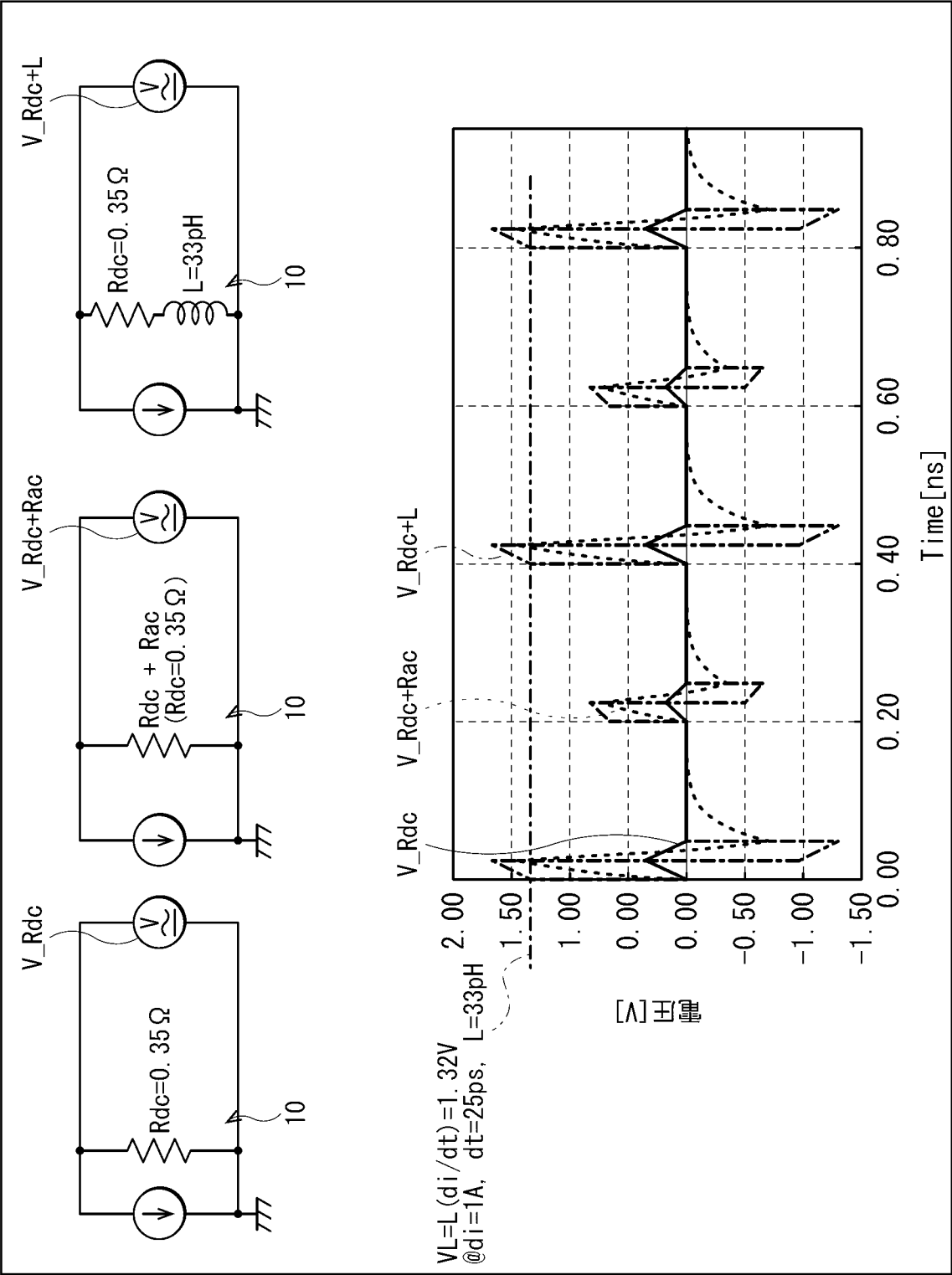
[図8]



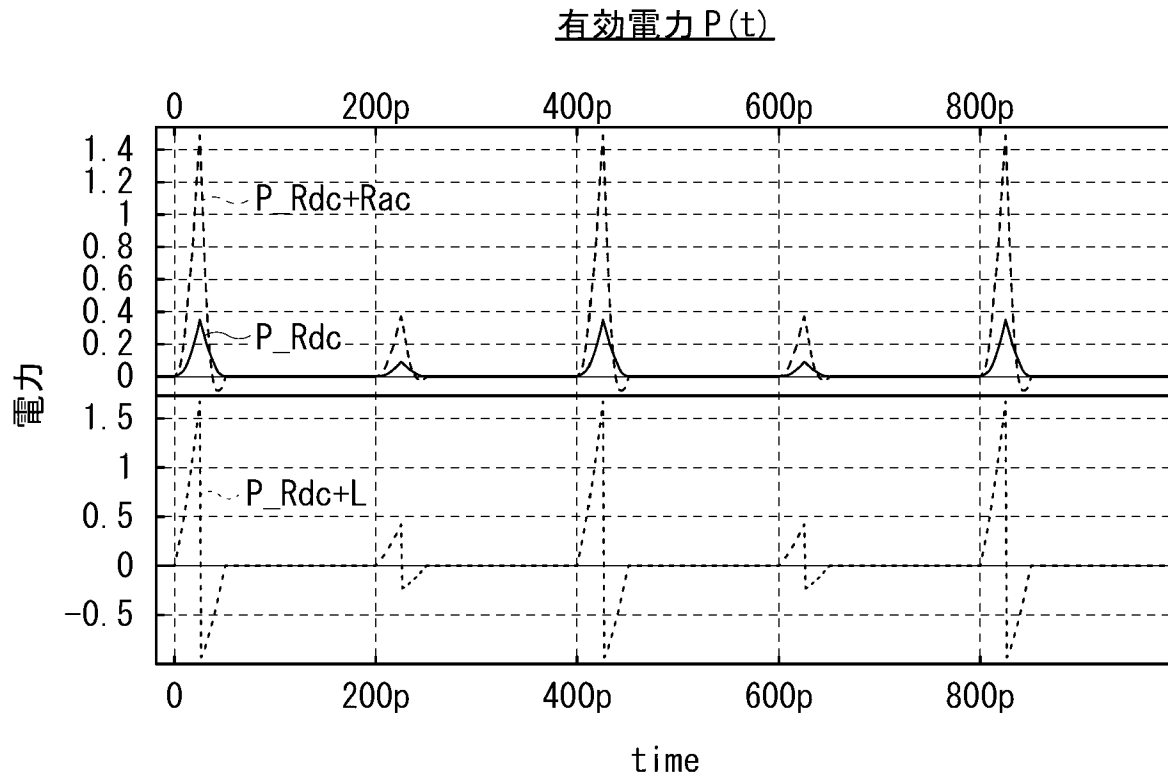
[図9]



[図10]



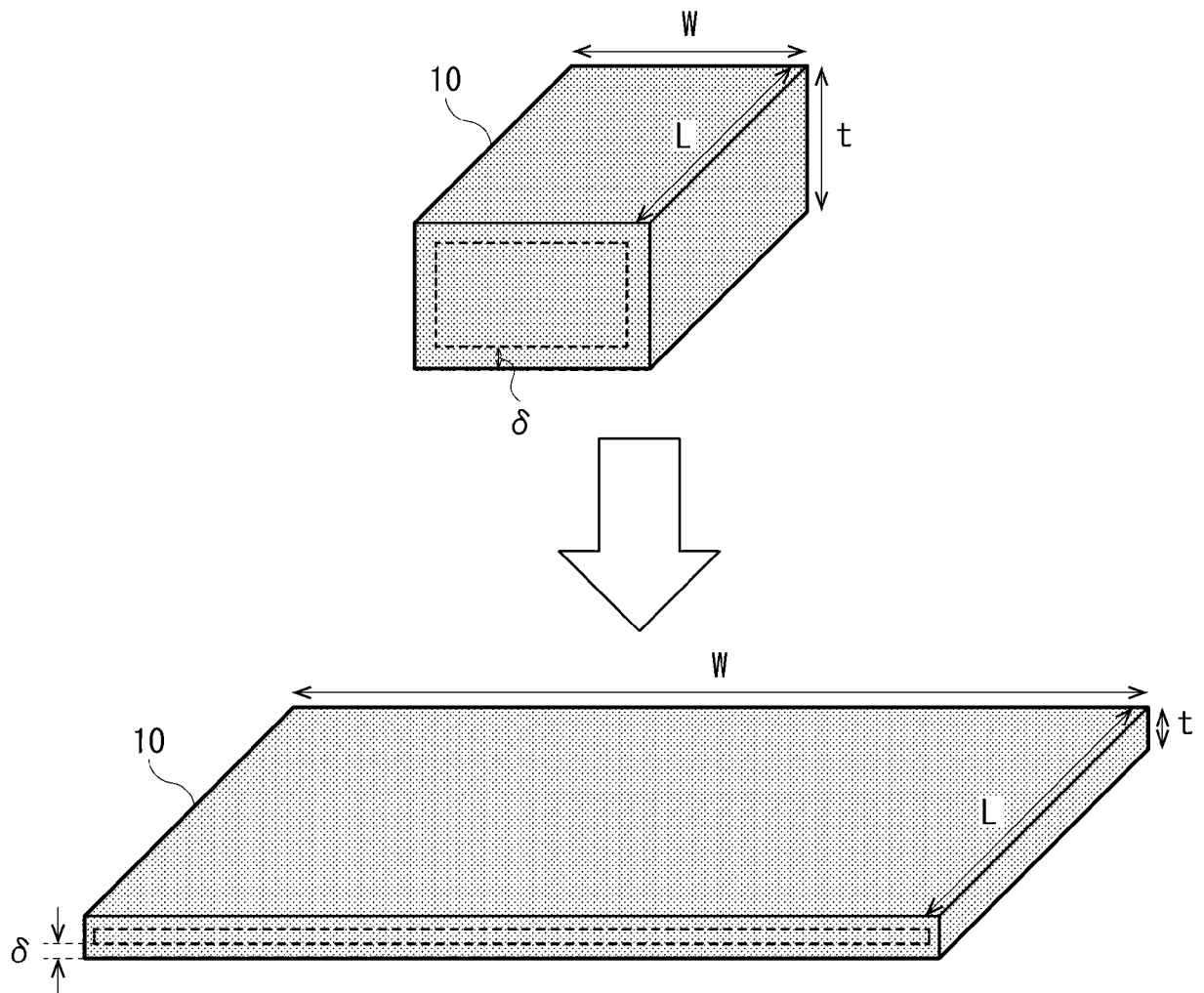
[図11]



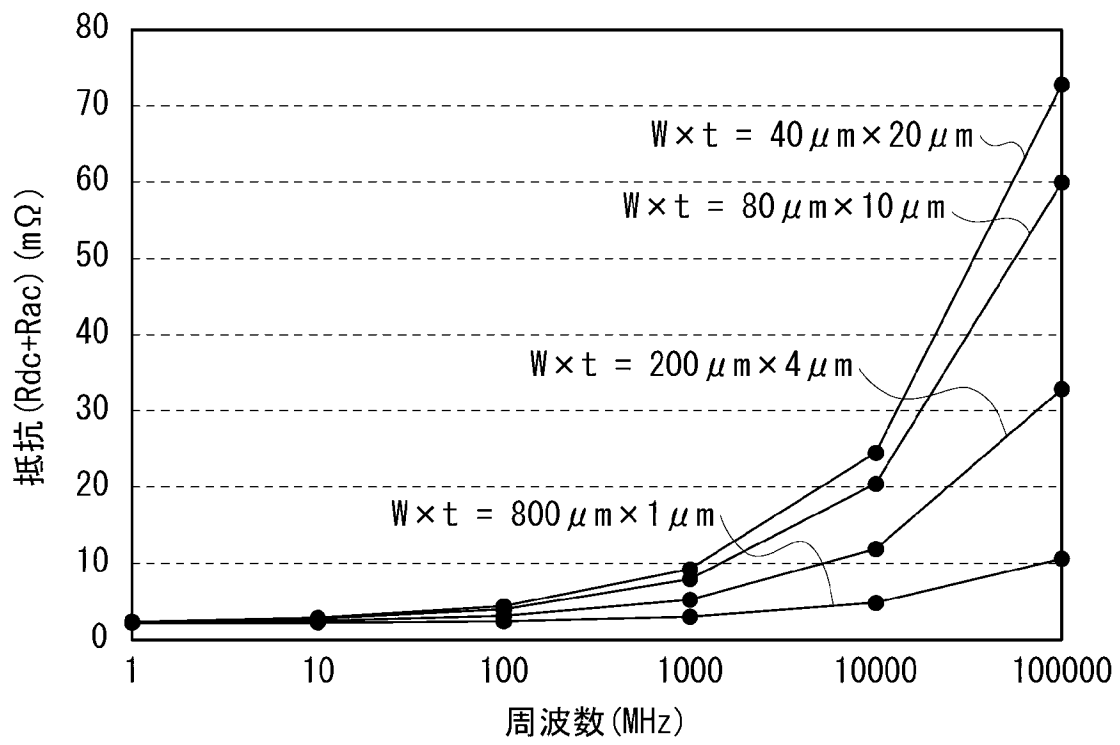
[図12]

配線のインピーダンス特性	平均損失有効電力 (P_{avg})	
	mW	dBm 表記
Rdc のみ	20.4	13.1
Rdc+Rac	70.1	18.5
Rdc+L (インダクタンス)	25.1	14.0

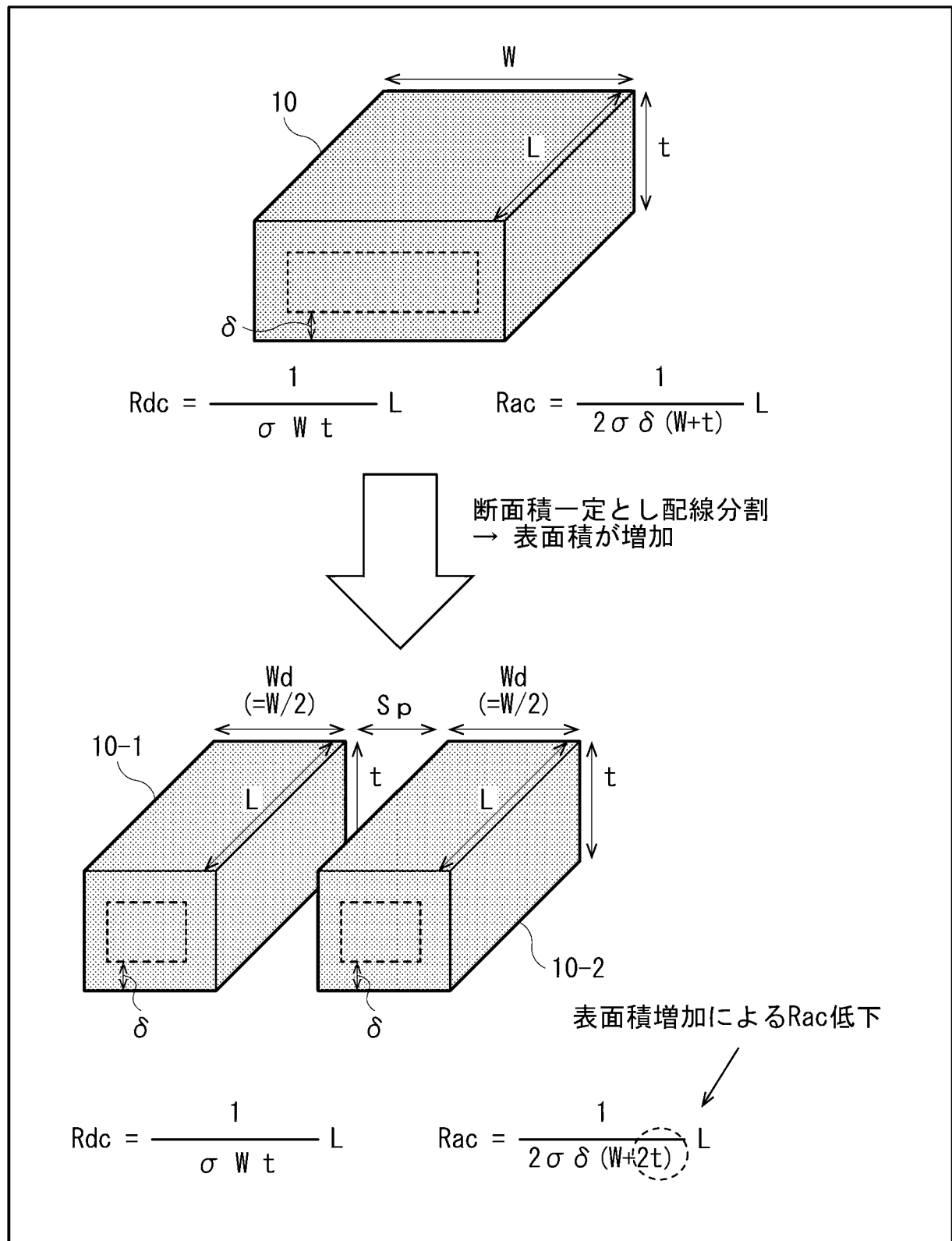
[図13]



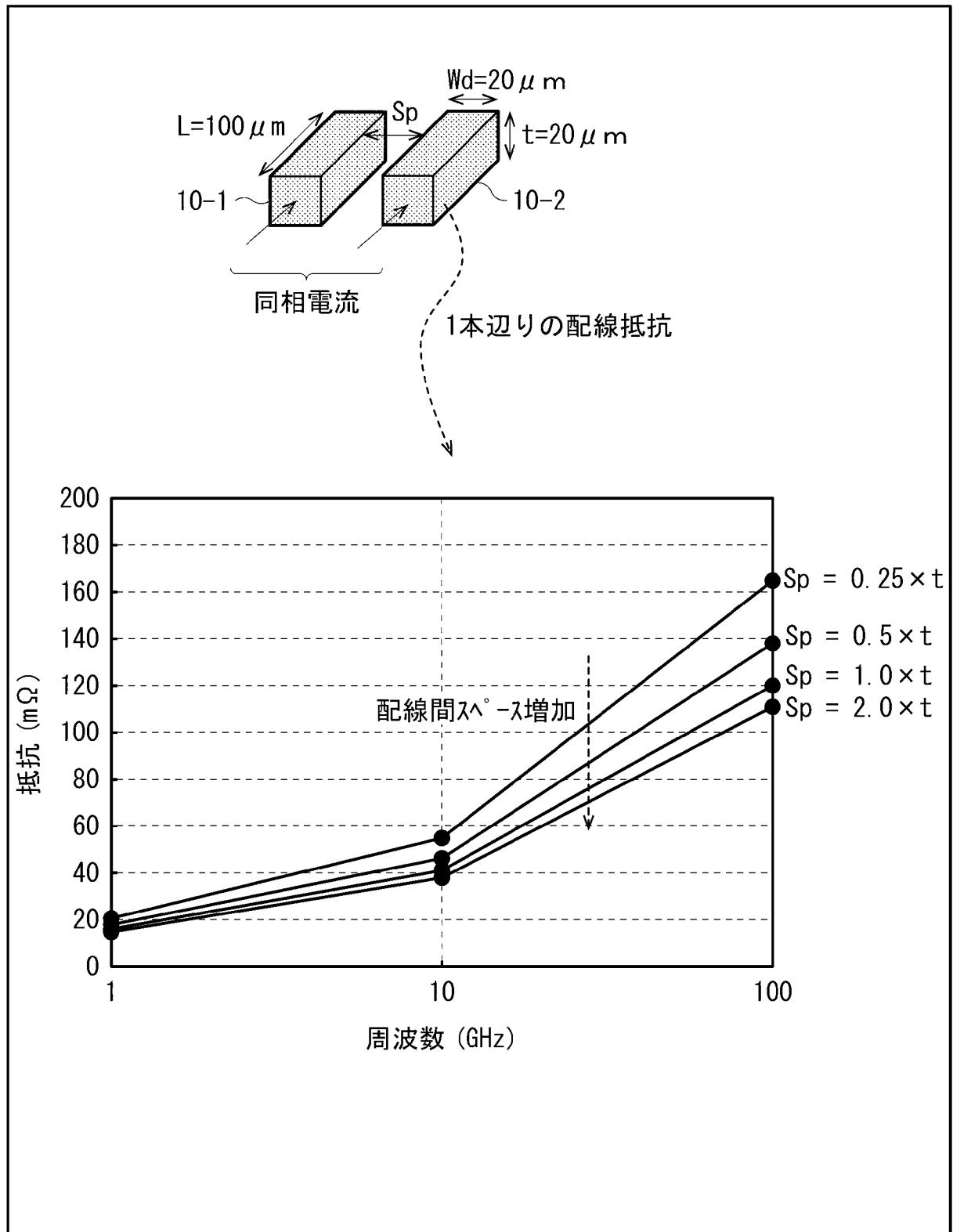
[図14]



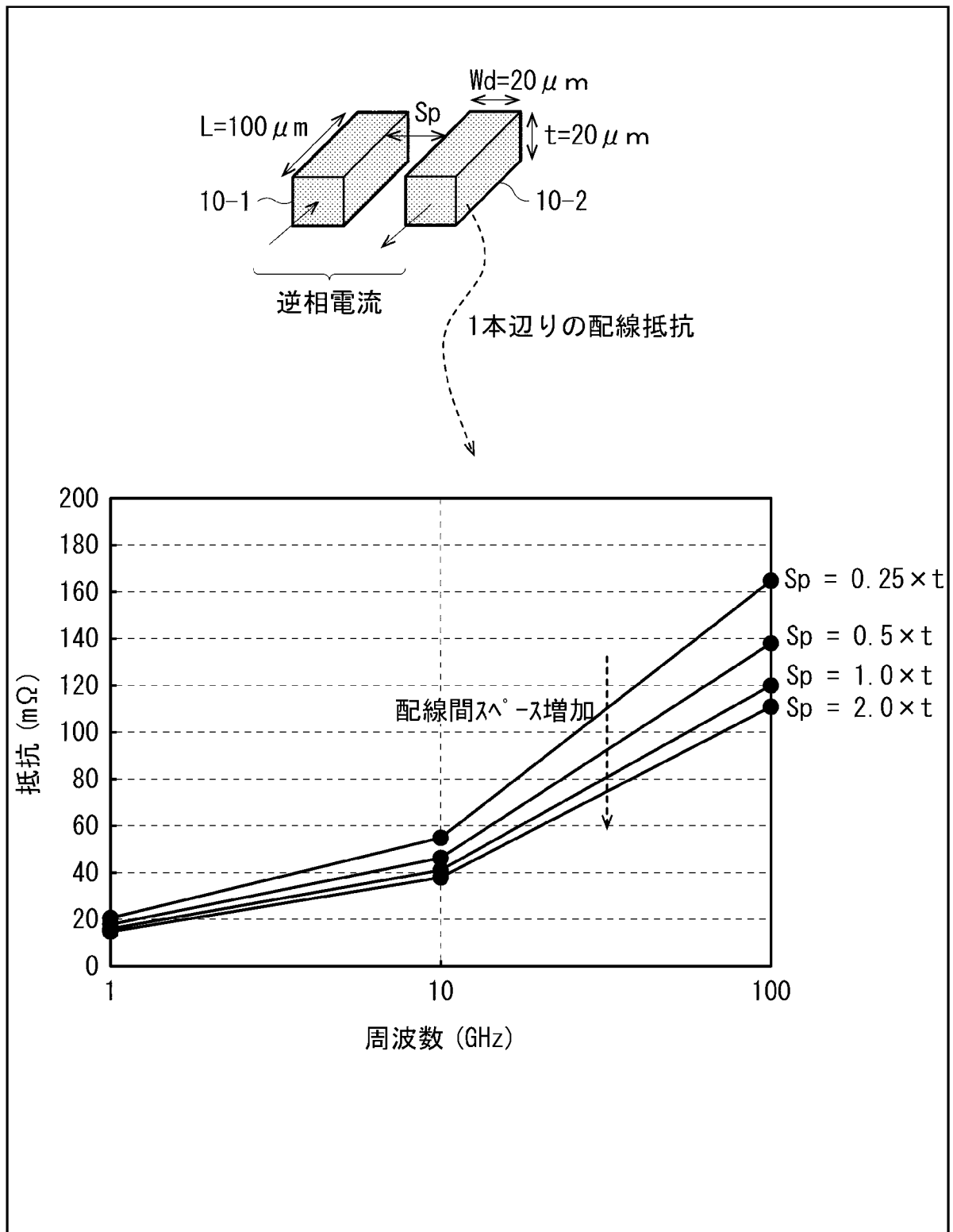
[図15]



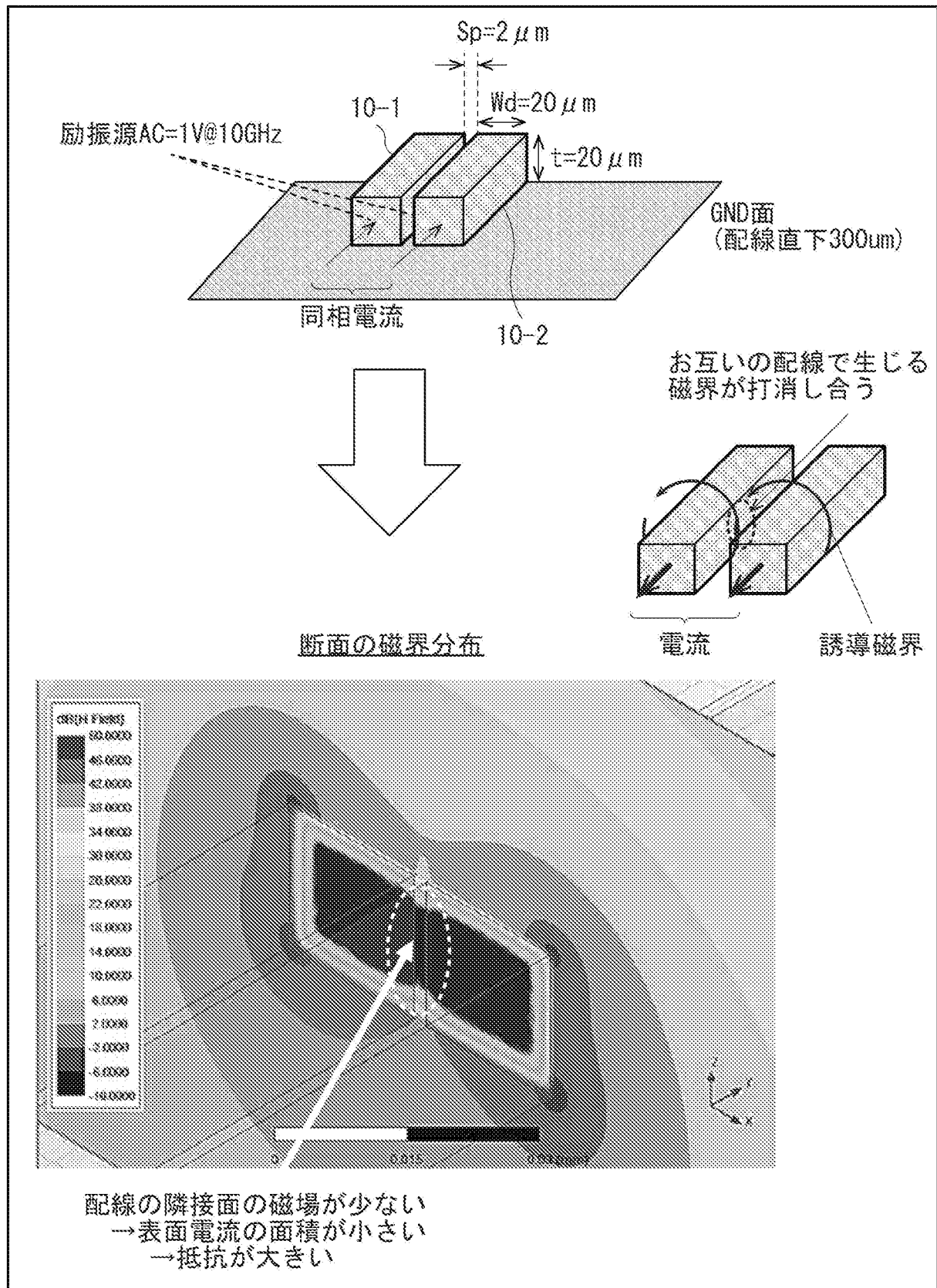
[図16]



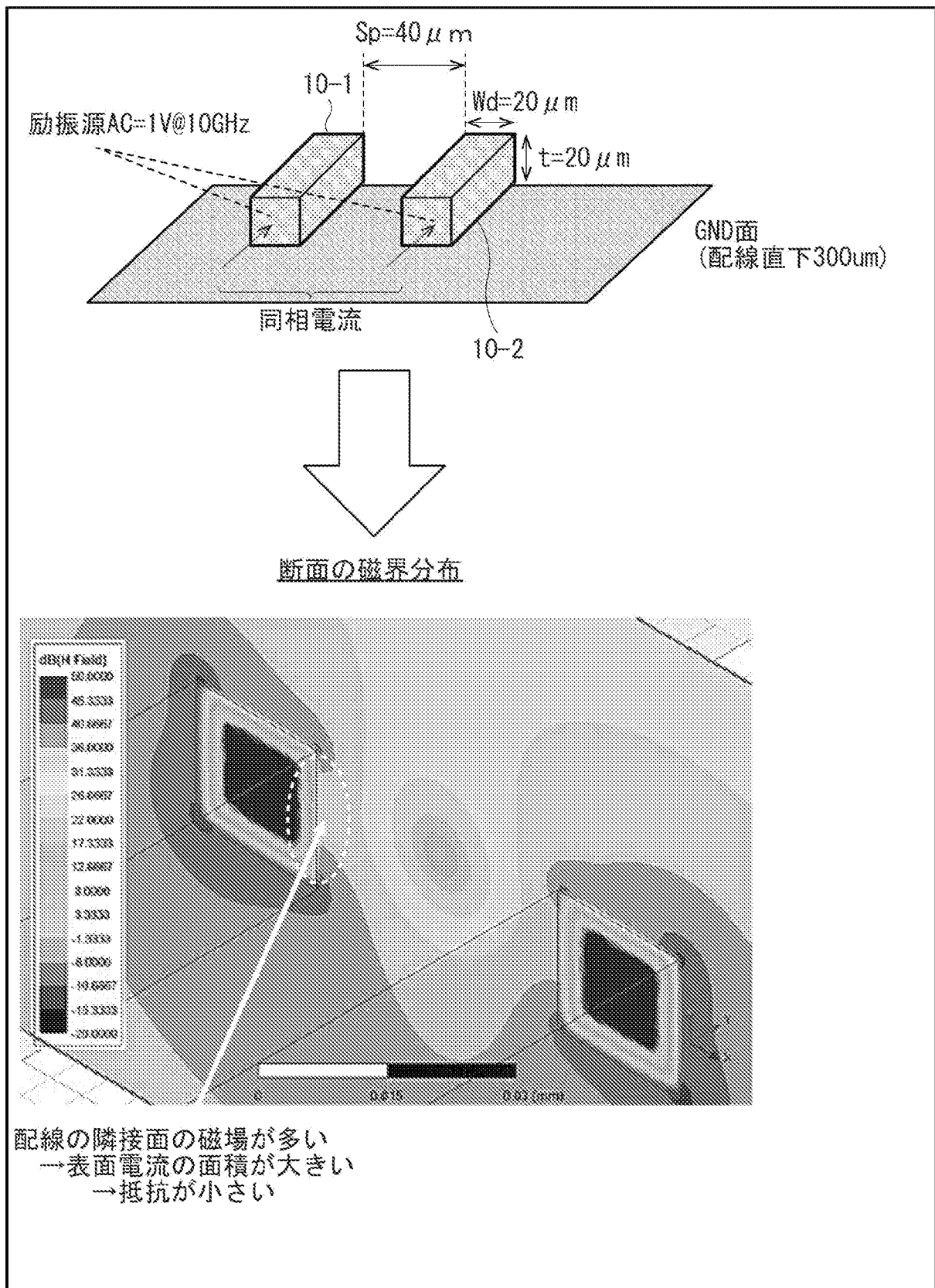
[図17]



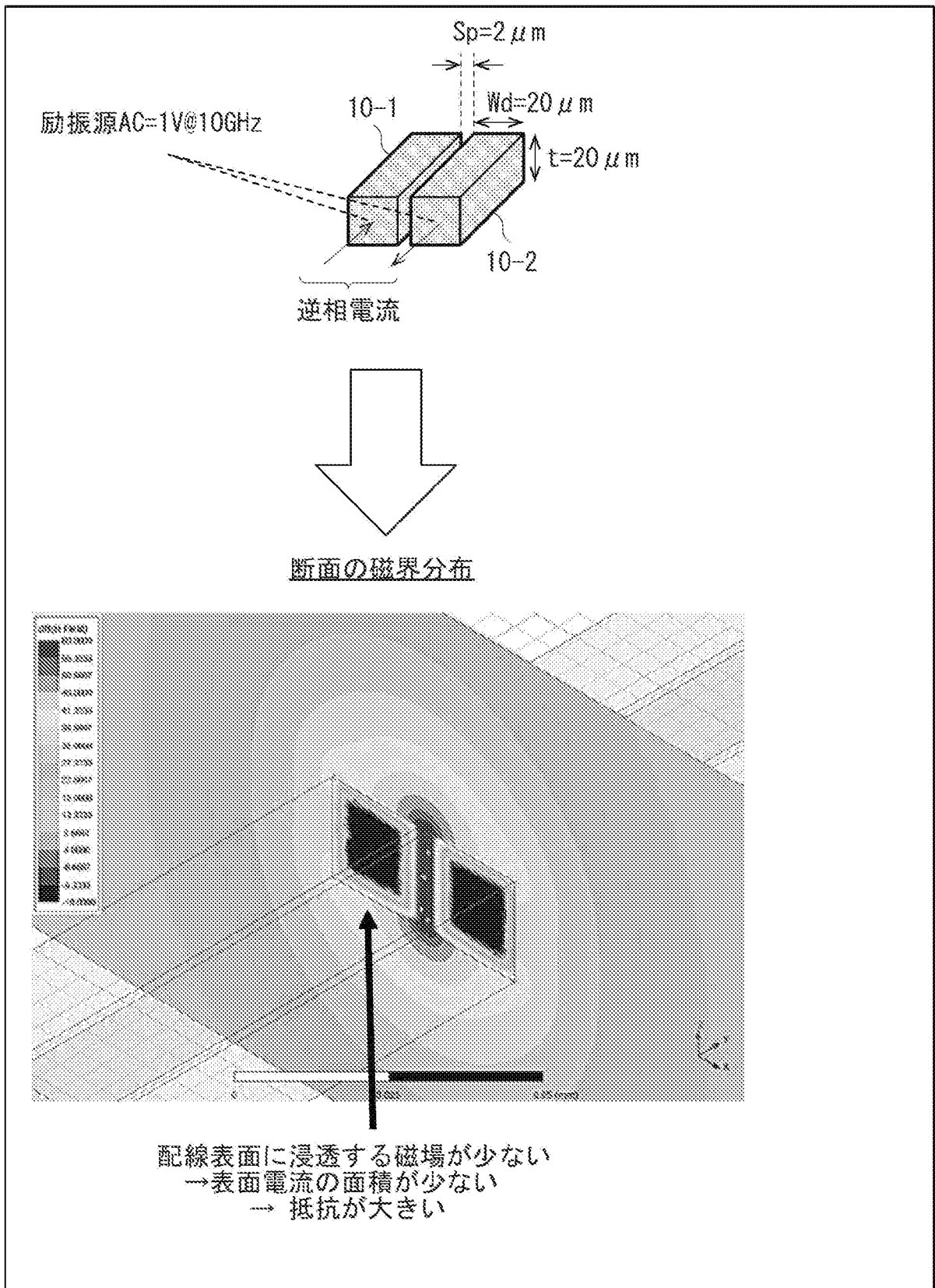
[図18]



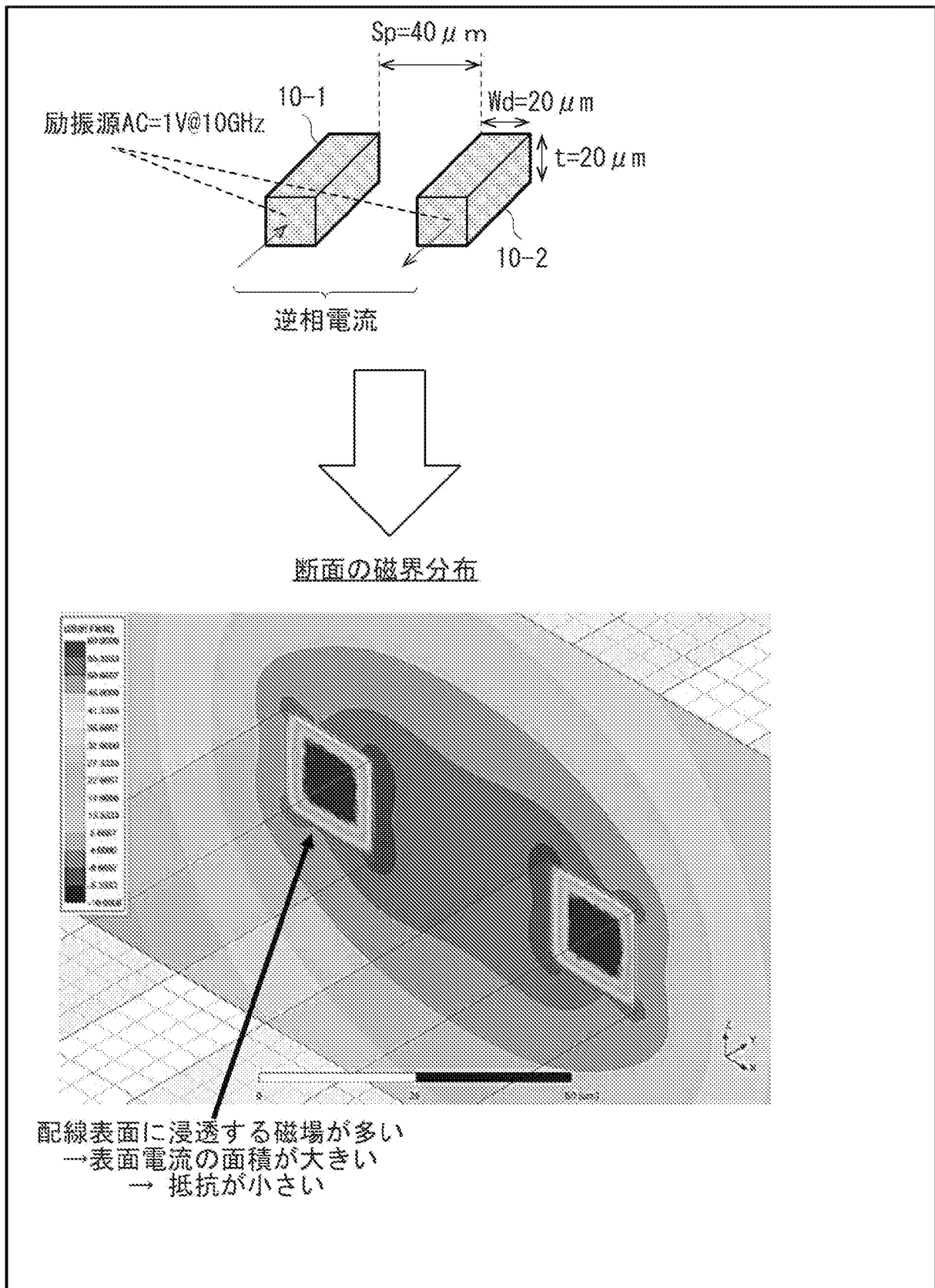
[図19]



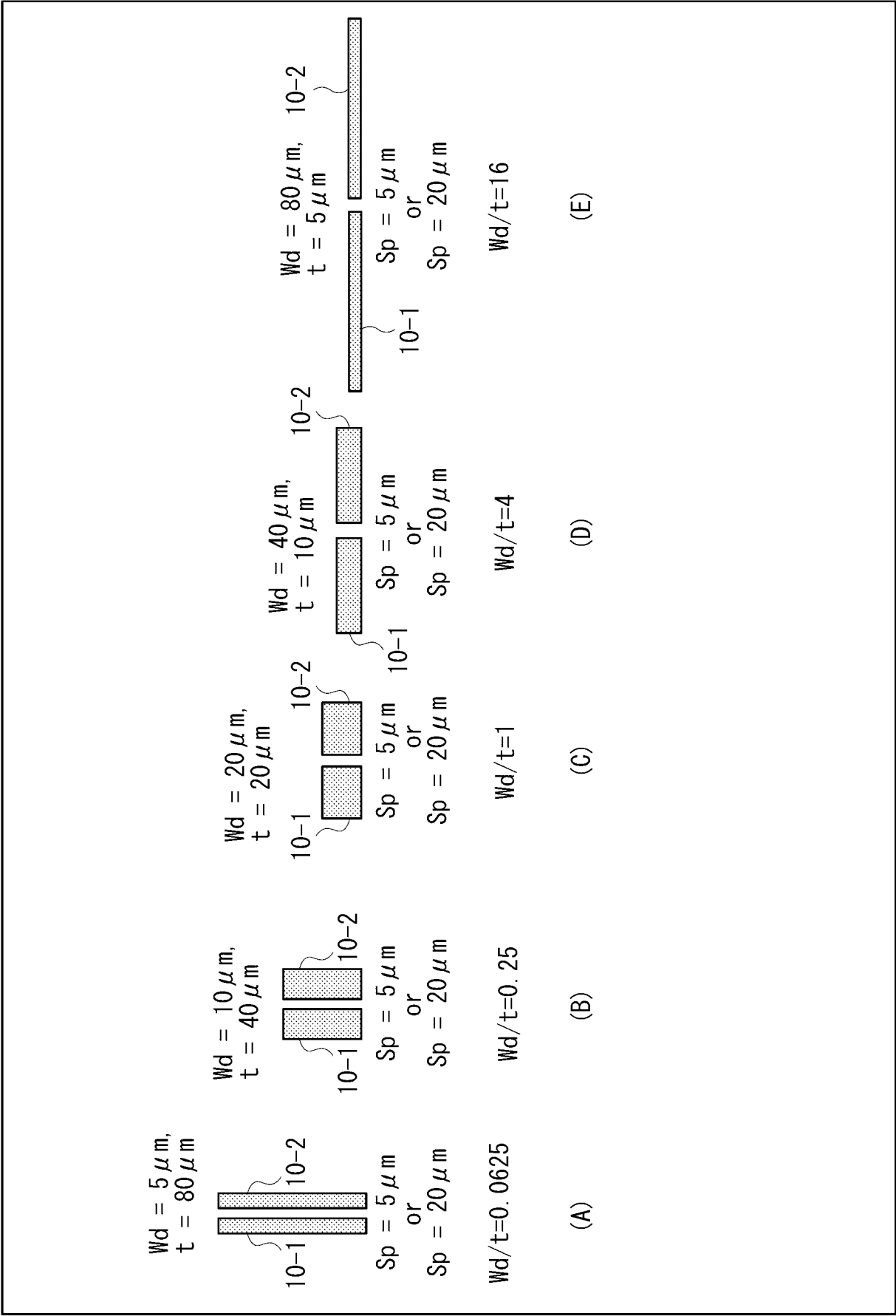
[図20]



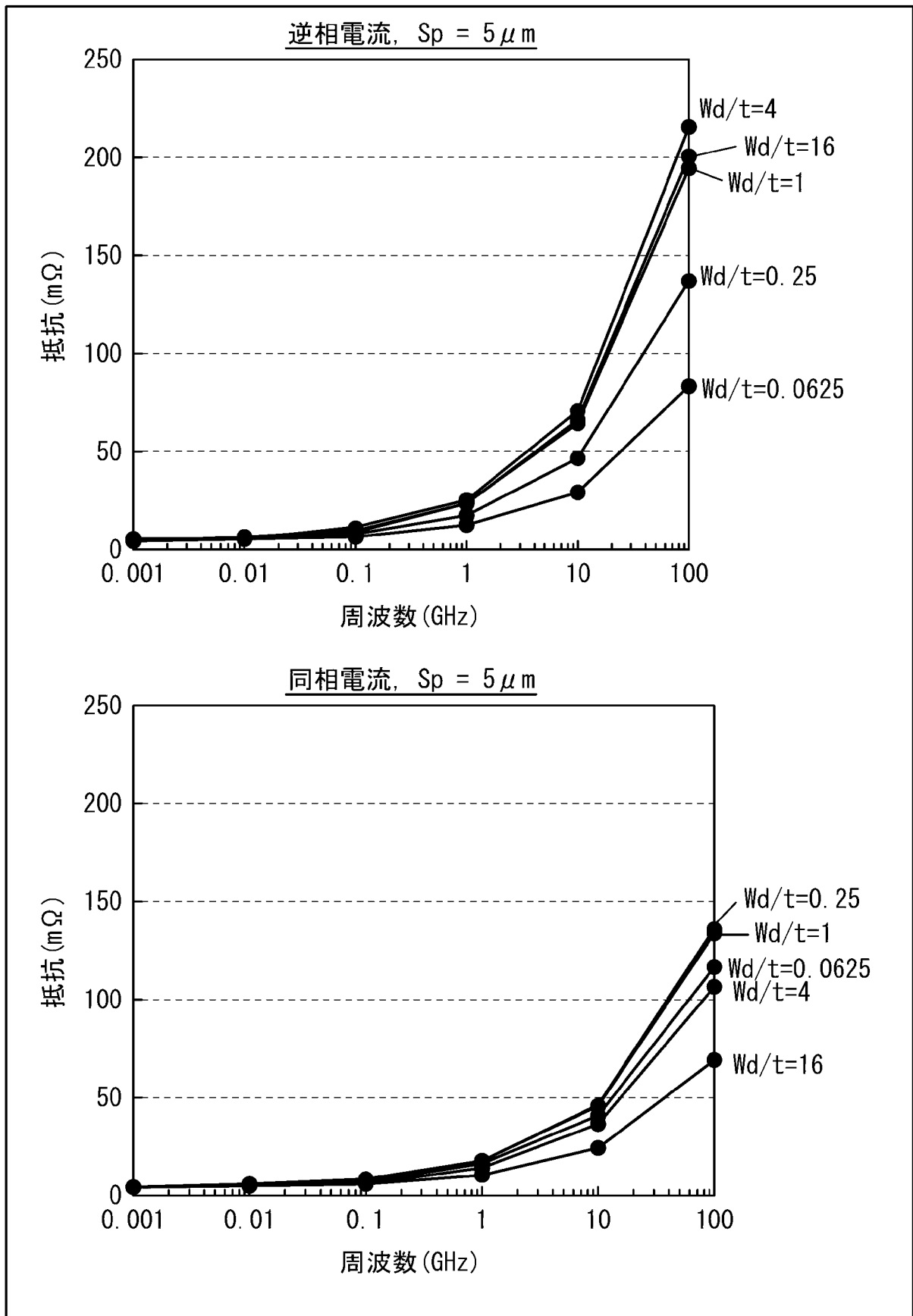
[図21]



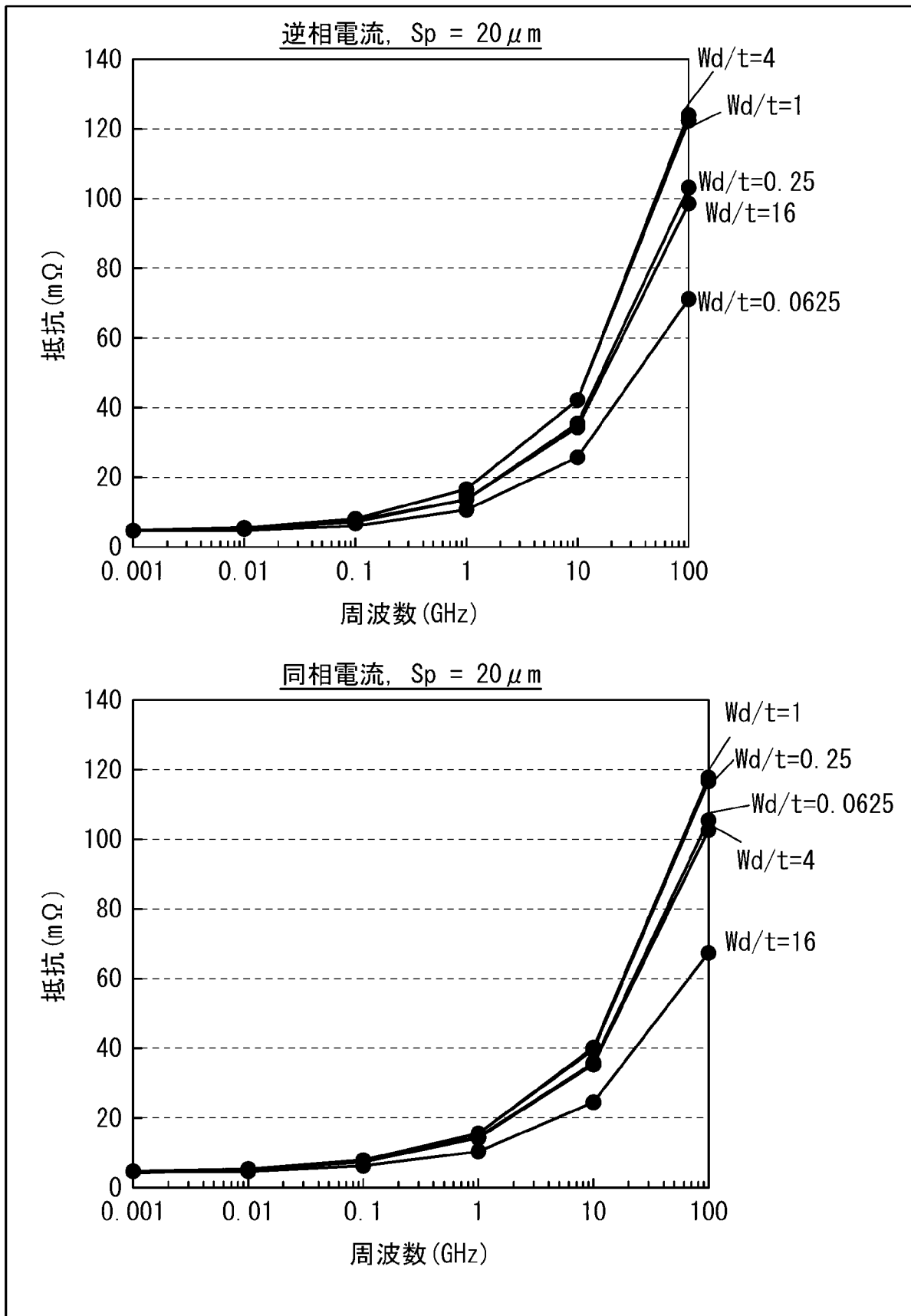
[図22]



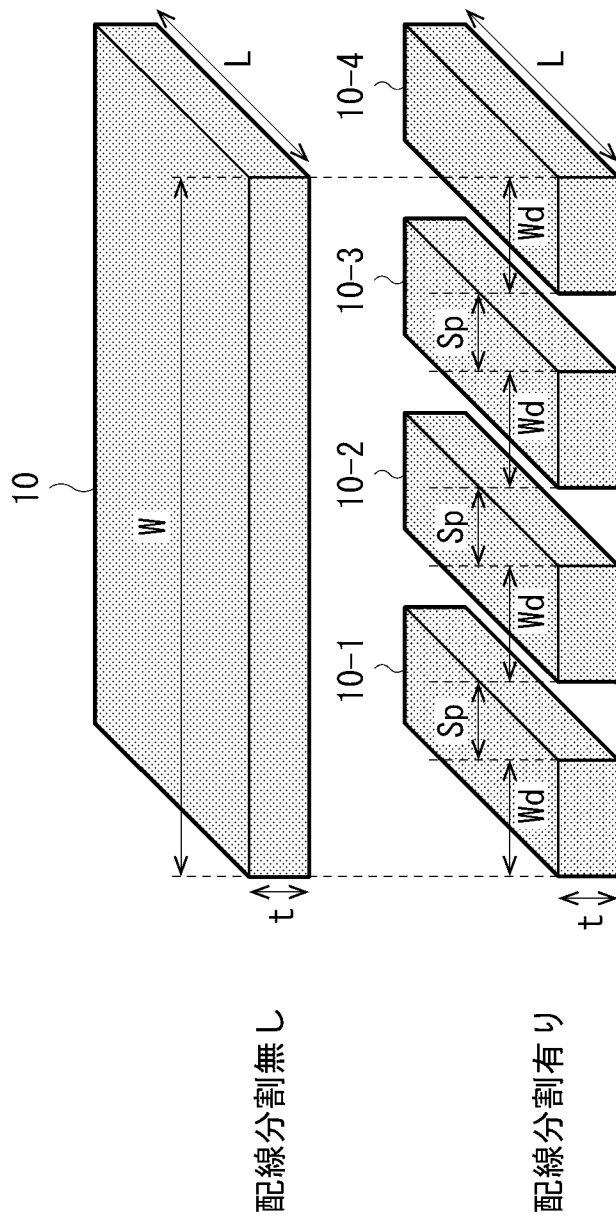
[図23]

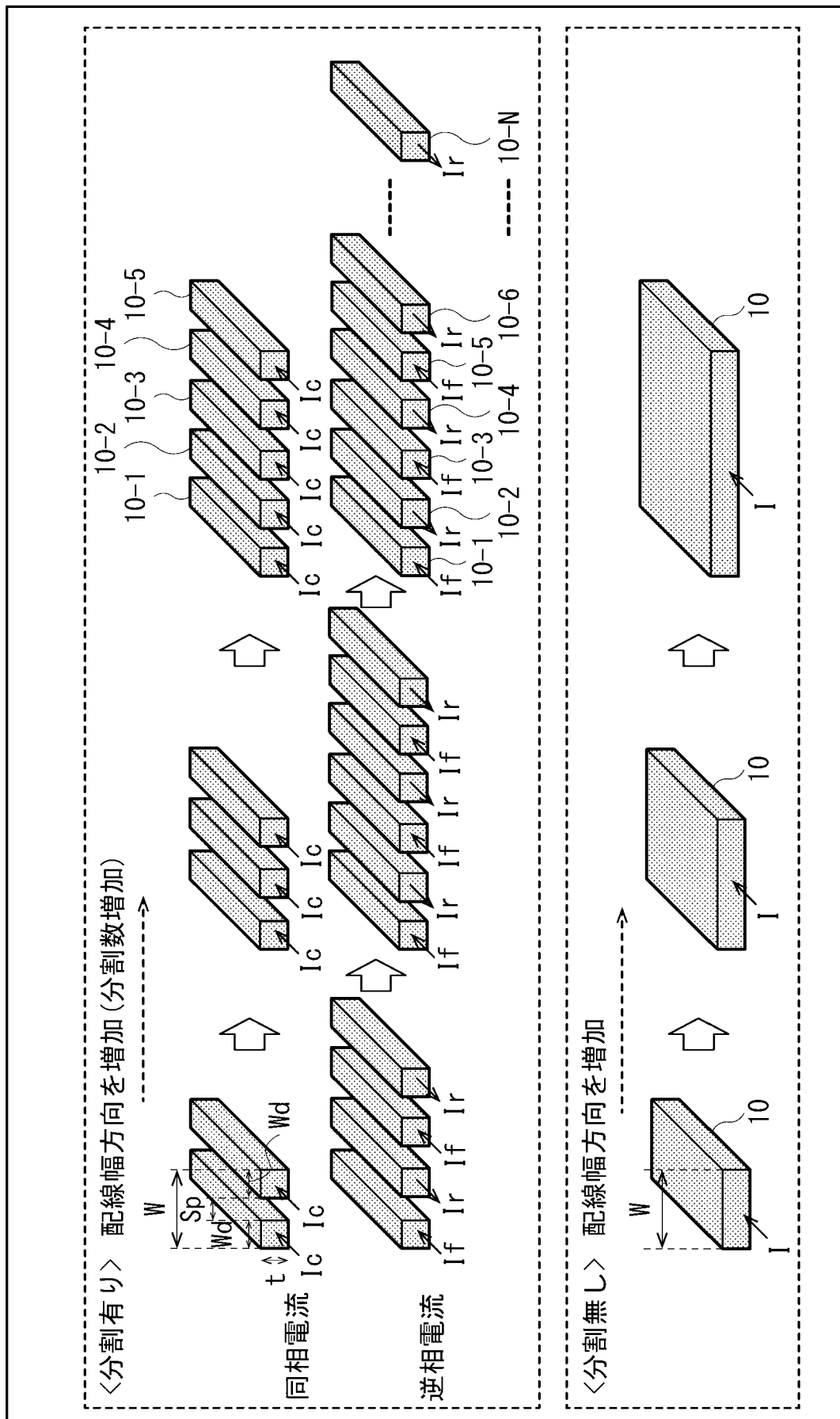


[図24]

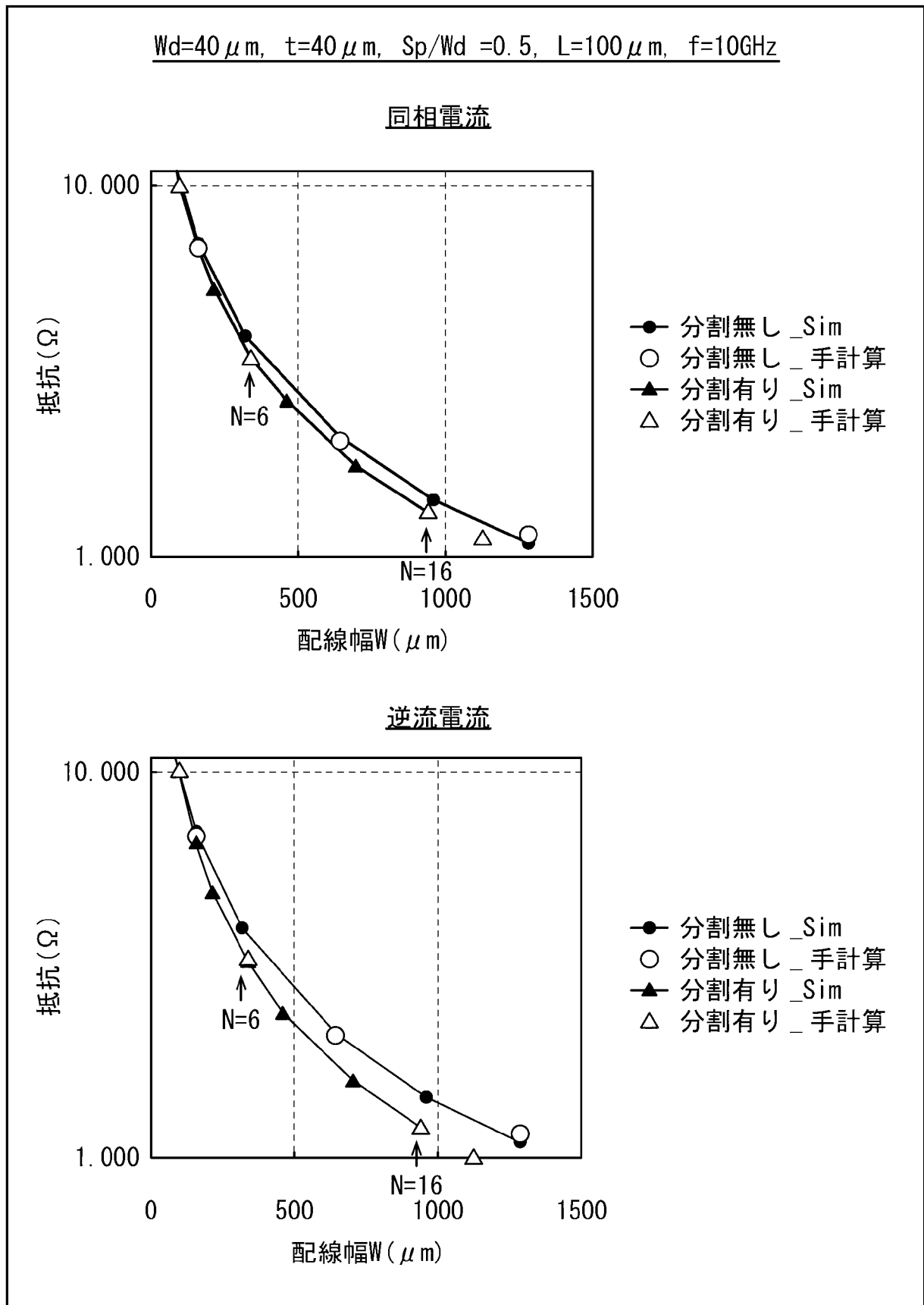


[図25]

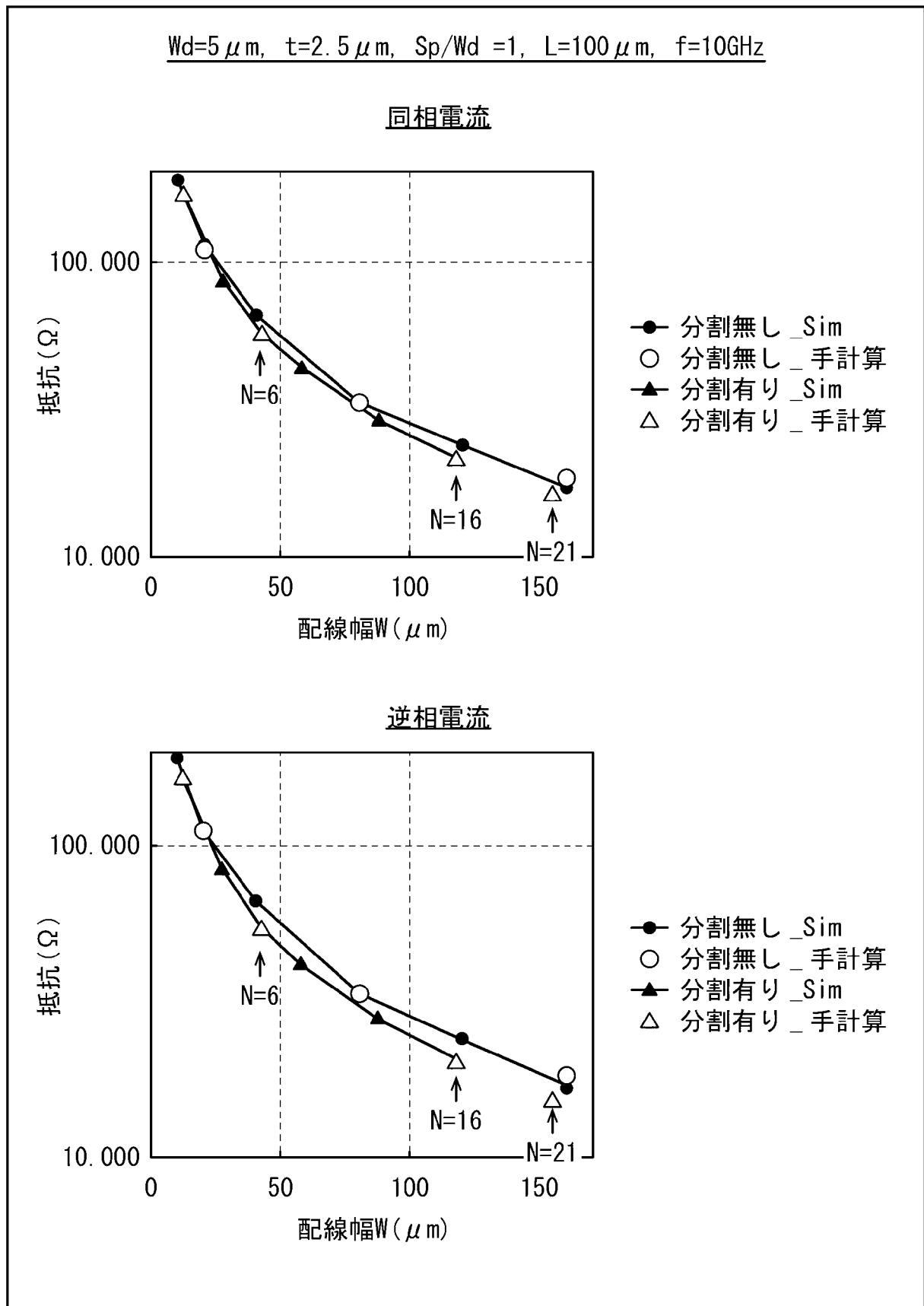




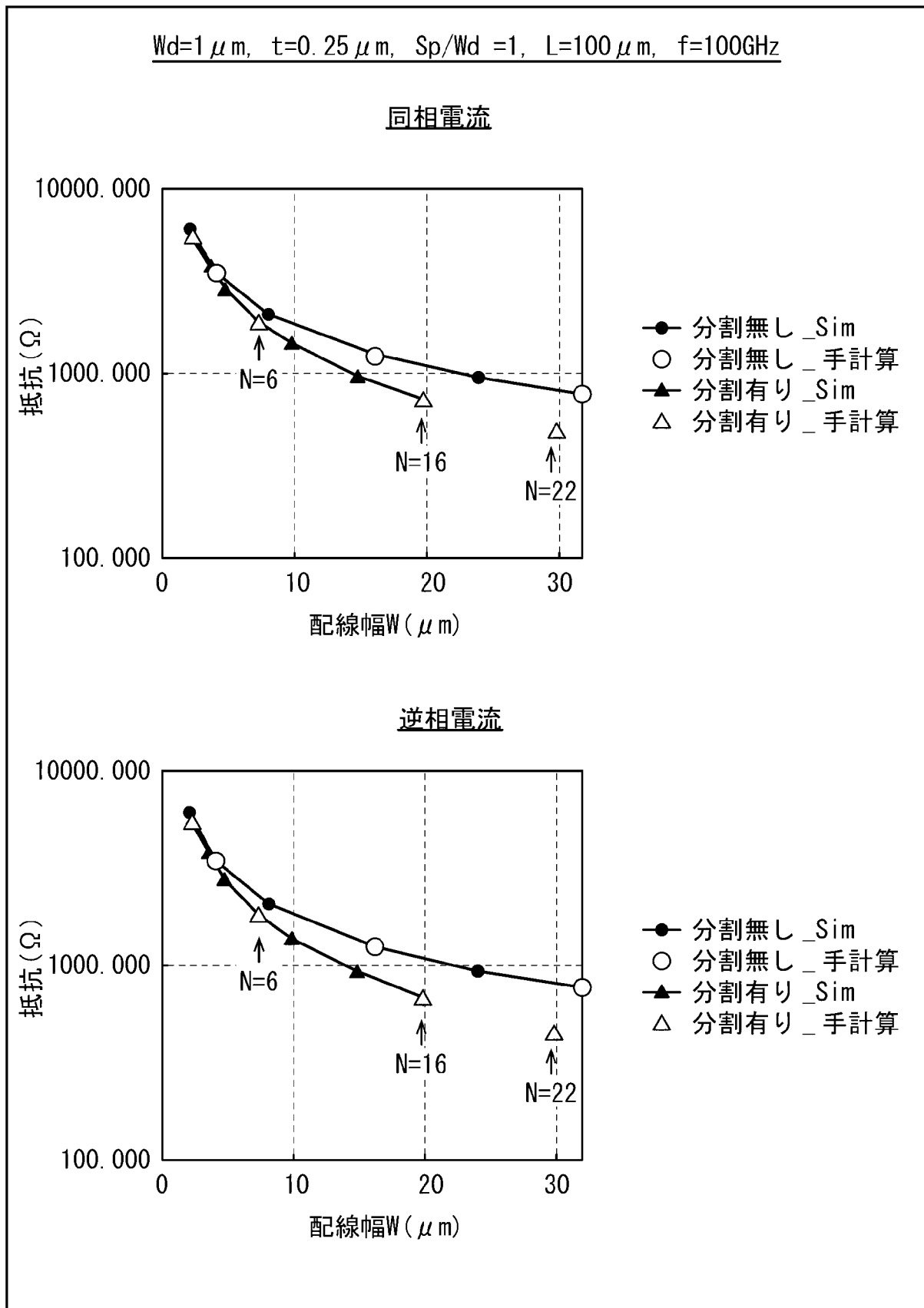
[図27]



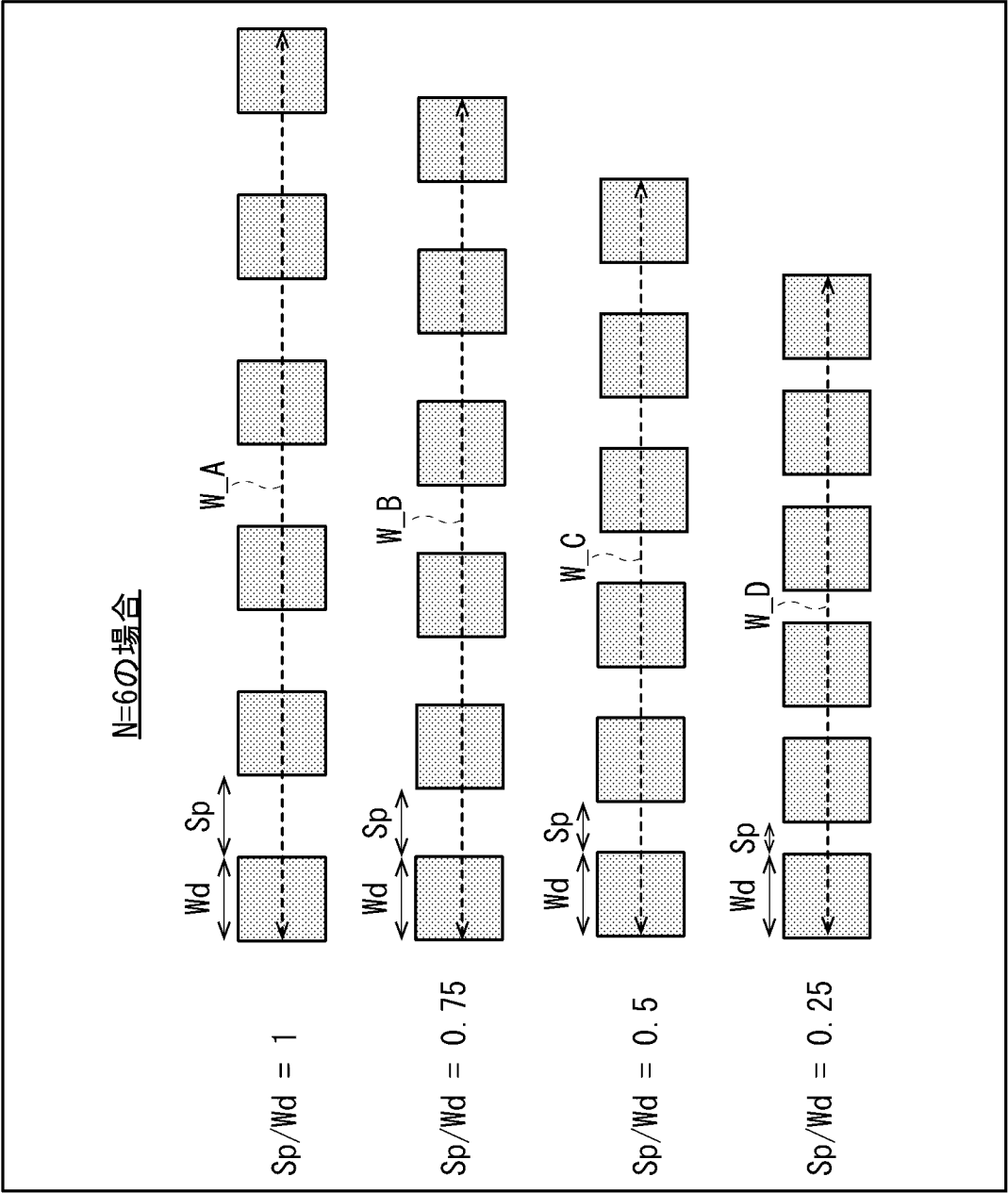
[図28]



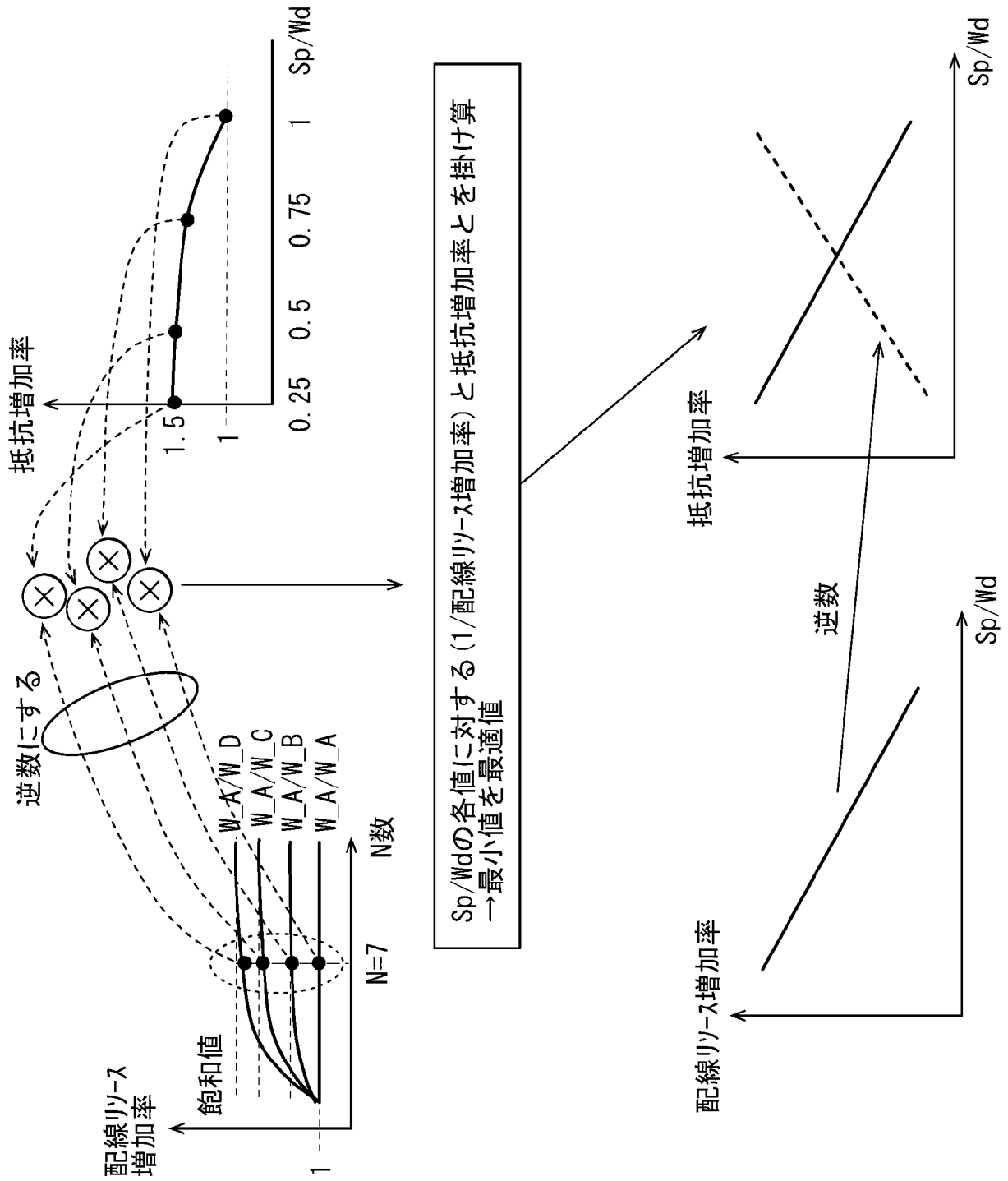
[図29]



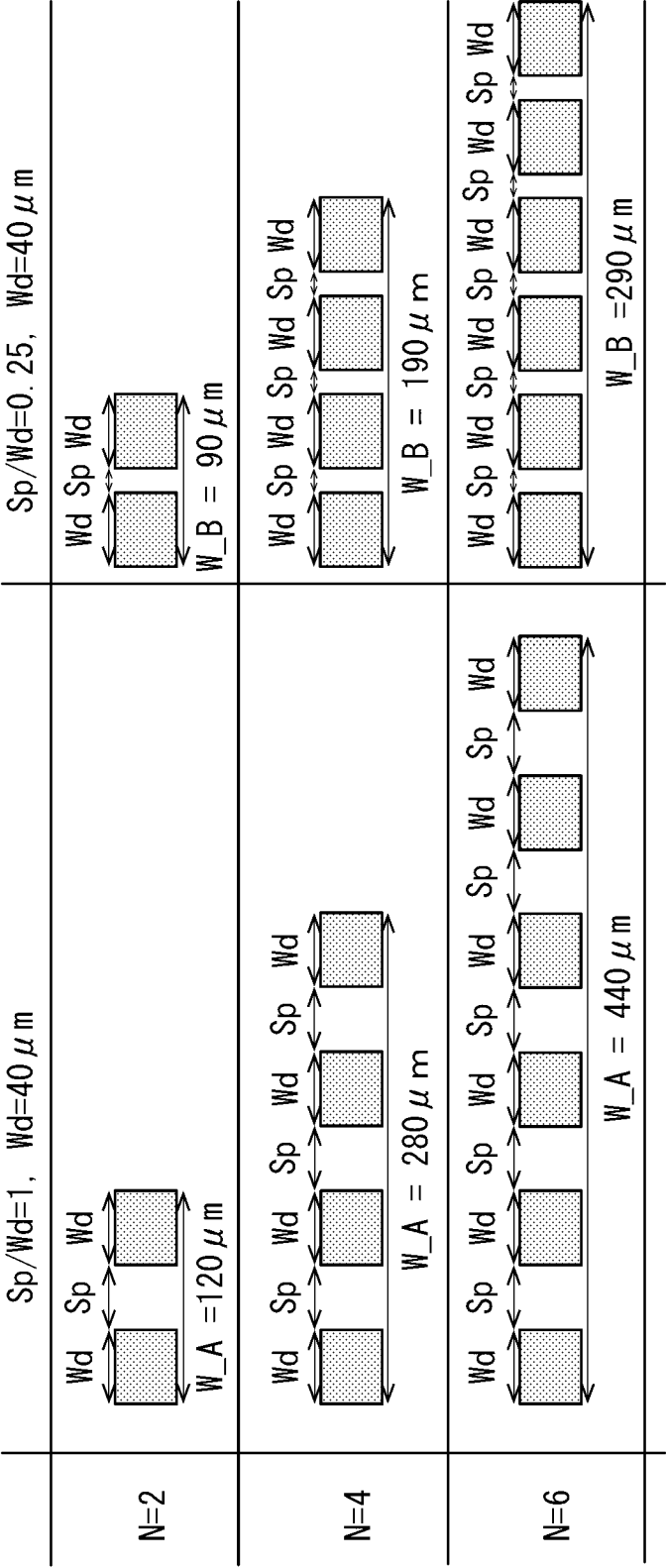
[図30]



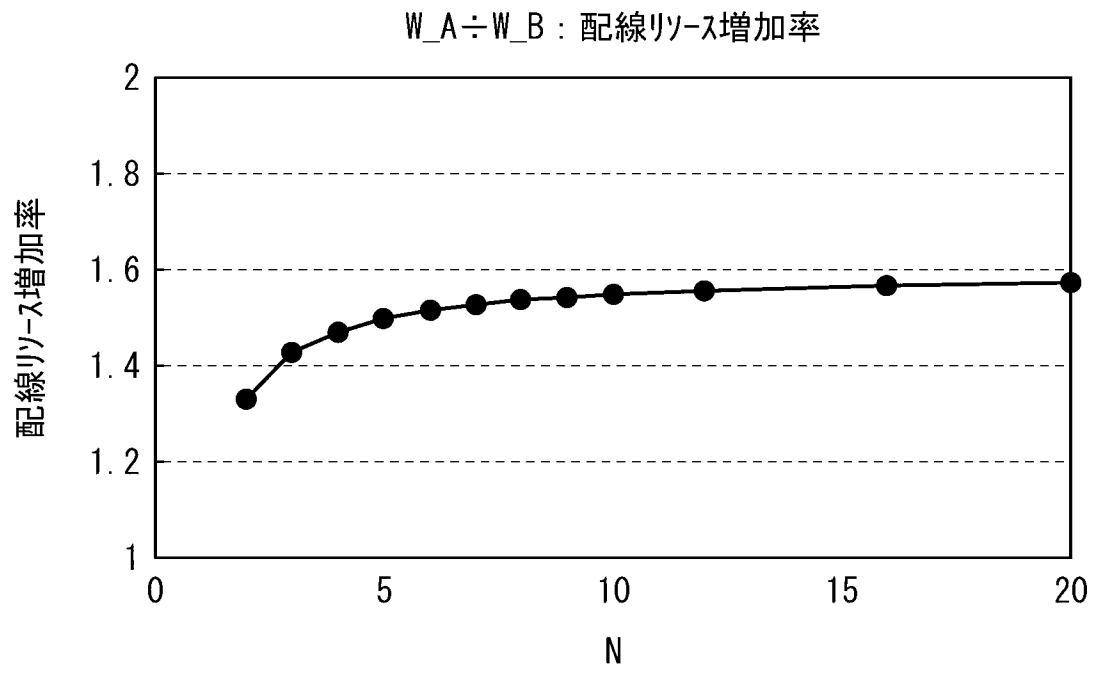
[図31]



[図32]



[図33]



[図34]

			抵抗 (Rac) 増加率				
			Wd=XXX (μ m)	Wd=XXX/2 (μ m)	Wd=XXX/8 (μ m)	Wd=XXX/40 (μ m)	平均値
			1GHz	1GHz	1GHz	1GHz	
逆相電流	Wd/t=4	Sp/Wd=1	1.00	1.00	1.00	1.00	1.000
		Sp/Wd=0.75	1.04	1.04	1.04	1.04	1.040
		Sp/Wd=0.5	1.11	1.12	1.13	1.13	1.122
		Sp/Wd=0.25	1.34	1.36	1.38	1.40	1.370
	Wd/t=2	Sp/Wd=1	1.00	1.00	1.00	1.00	1.000
		Sp/Wd=0.75	1.02	1.04	1.04	1.04	1.035
		Sp/Wd=0.5	1.09	1.11	1.12	1.13	1.105
		Sp/Wd=0.25	1.30	1.33	1.36	1.38	1.345
	Wd/t=1	Sp/Wd=1	1.00	1.00	1.00	1.00	1.000
		Sp/Wd=0.75	1.03	1.03	1.04	1.04	1.034
		Sp/Wd=0.5	1.09	1.09	1.11	1.12	1.105
		Sp/Wd=0.25	1.25	1.27	1.31	1.34	1.292
同相電流	Wd/t=4	Sp/Wd=1	1.00	1.00	1.00	1.00	1.000
		Sp/Wd=0.75	1.01	1.03	1.05	1.07	1.041
		Sp/Wd=0.5	1.04	1.08	1.16	1.20	1.118
		Sp/Wd=0.25	1.13	1.22	1.38	1.50	1.307
	Wd/t=2	Sp/Wd=1	1.00	1.00	1.00	1.00	1.000
		Sp/Wd=0.75	1.03	1.04	1.16	1.09	1.082
		Sp/Wd=0.5	1.07	1.13	1.20	1.26	1.167
		Sp/Wd=0.25	1.21	1.30	1.45	1.62	1.395
	Wd/t=1	Sp/Wd=1	1.00	1.00	1.00	1.00	1.000
		Sp/Wd=0.75	1.04	1.07	1.10	1.12	1.083
		Sp/Wd=0.5	1.14	1.19	1.25	1.31	1.221
		Sp/Wd=0.25	1.29	1.37	1.48	1.65	1.446

[図35]

最小値が
各 Sp/Wd の最適値となる

			抵抗増加率 の平均値	1/ 配線リソース 増加率	Rac 増加率の平均値 x (1/ 配線リソース増加率)
逆相電流	Wd/t =4	Sp/Wd=1	1.000	1.000	1.000
		Sp/Wd=0.75	1.040	0.885	0.920
		Sp/Wd=0.5	1.122	0.769	0.863
		Sp/Wd=0.25	1.370	0.654	0.896
	Wd/t =2	Sp/Wd=1	1.000	1.000	1.000
		Sp/Wd=0.75	1.035	0.885	0.916
		Sp/Wd=0.5	1.113	0.769	0.856
		Sp/Wd=0.25	1.345	0.654	0.879
	Wd/t =1	Sp/Wd=1	1.000	1.000	1.000
		Sp/Wd=0.75	1.034	0.885	0.915
		Sp/Wd=0.5	1.105	0.769	0.850
		Sp/Wd=0.25	1.292	0.654	0.845
同相電流	Wd/t =4	Sp/Wd=1	1.000	1.000	1.000
		Sp/Wd=0.75	1.041	0.885	0.921
		Sp/Wd=0.5	1.118	0.769	0.860
		Sp/Wd=0.25	1.307	0.654	0.854
	Wd/t =2	Sp/Wd=1	1.000	1.000	1.000
		Sp/Wd=0.75	1.082	0.885	0.958
		Sp/Wd=0.5	1.167	0.769	0.897
		Sp/Wd=0.25	1.395	0.654	0.912
	Wd/t =1	Sp/Wd=1	1.000	1.000	1.000
		Sp/Wd=0.75	1.083	0.885	0.958
		Sp/Wd=0.5	1.221	0.769	0.940
		Sp/Wd=0.25	1.446	0.654	0.946

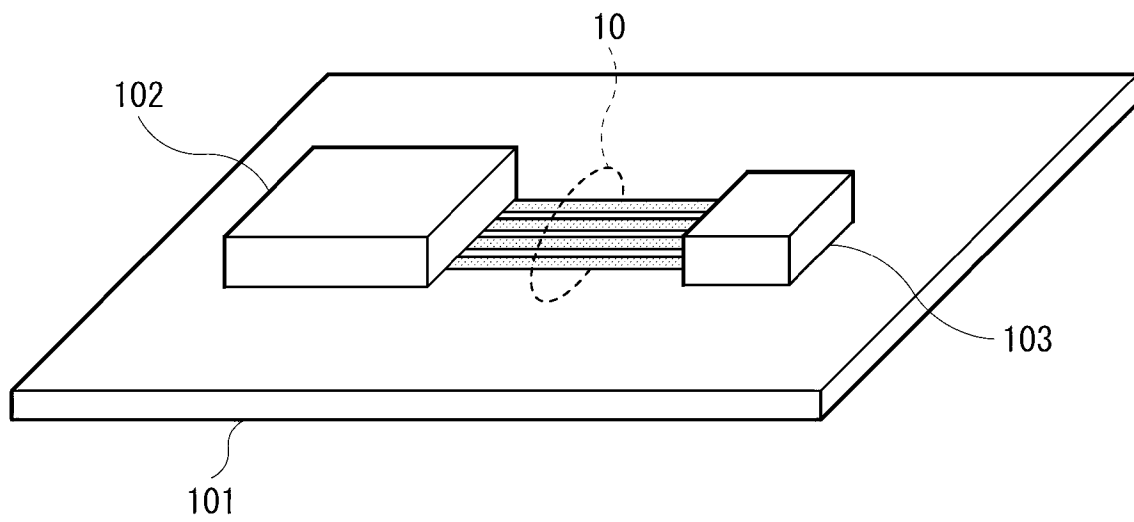
[図36]

		Sp/Wd				
		N=5	N=6	N=7	N=8	N=9
逆相 電流	Wd/t=7	0.5	0.5	0.5	0.45	0.45
	Wd/t=6	0.5	0.45	0.45	0.45	0.45
	Wd/t=5	0.45	0.45	0.45	0.45	0.45
	Wd/t=4	0.45	0.45	0.45	0.45	0.45
	Wd/t=3	0.45	0.45	0.45	0.4	0.4
	Wd/t=2	0.4	0.4	0.4	0.4	0.4
	Wd/t=1	0.35	0.3	0.35	0.35	0.35
	Wd/t=0.5	0.3	0.25	0.25	0.25	0.25
		Sp/Wd を上記とした 抵抗 (Rac) 平均値 x (1/ 配線リソース増加率)				
		N=5	N=6	N=7	N=8	N=9
逆相 電流	Wd/t=7	0.878	0.872	0.868	0.865	0.863
	Wd/t=6	0.876	0.870	0.865	0.862	0.860
	Wd/t=5	0.873	0.866	0.862	0.859	0.856
	Wd/t=4	0.869	0.862	0.858	0.855	0.852
	Wd/t=3	0.863	0.857	0.853	0.849	0.846
	Wd/t=2	0.855	0.848	0.843	0.840	0.837
	Wd/t=1	0.839	0.833	0.826	0.822	0.819
	Wd/t=0.5	0.819	0.810	0.804	0.799	0.796

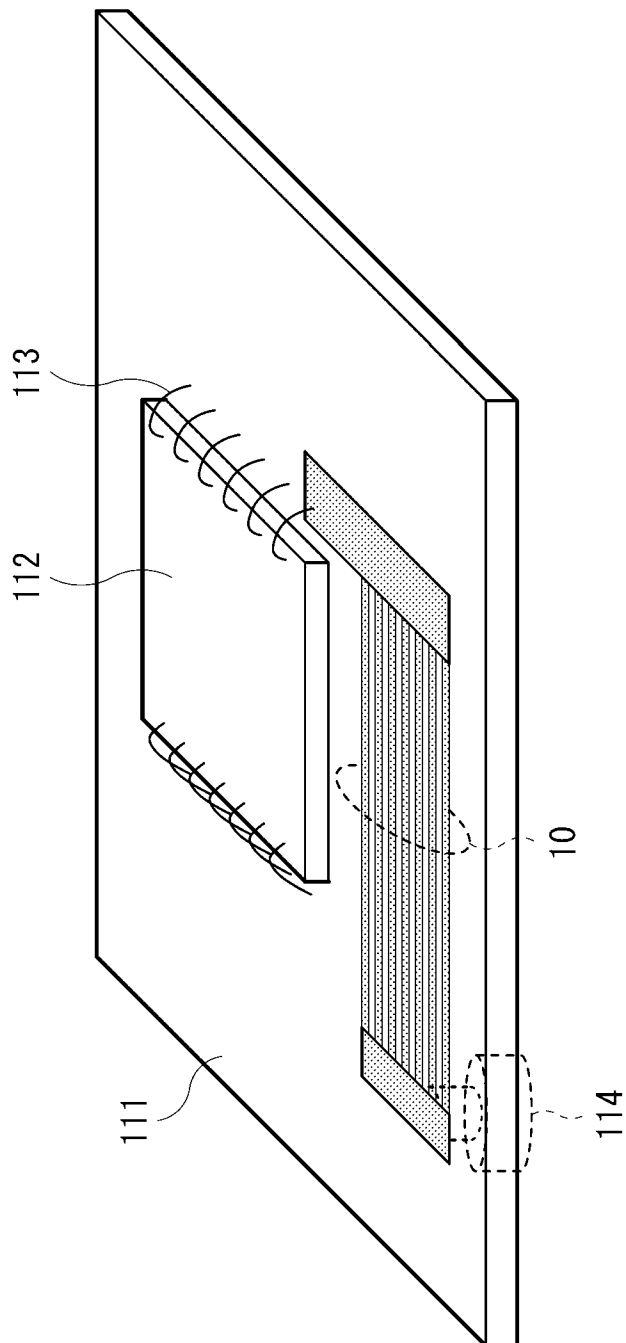
[図37]

		Sp/Wd				
		N=5	N=6	N=7	N=8	N=9
同相 電流	Wd/t=7	0.45	0.4	0.4	0.4	0.4
	Wd/t=6	0.45	0.45	0.45	0.45	0.4
	Wd/t=5	0.45	0.45	0.45	0.45	0.45
	Wd/t=4	0.45	0.45	0.45	0.45	0.45
	Wd/t=3	0.5	0.5	0.45	0.45	0.45
	Wd/t=2	0.55	0.5	0.5	0.5	0.5
	Wd/t=1	0.65	0.6	0.6	0.6	0.6
	Wd/t=0.5	0.9	0.85	0.85	0.85	0.85
		Sp/Wd を上記とした 抵抗 (Rac) 平均値 x (1/ 配線リソース増加率)				
		N=5	N=6	N=7	N=8	N=9
同相 電流	Wd/t=7	0.831	0.825	0.821	0.817	0.814
	Wd/t=6	0.843	0.837	0.833	0.829	0.826
	Wd/t=5	0.857	0.851	0.847	0.843	0.841
	Wd/t=4	0.875	0.868	0.864	0.861	0.858
	Wd/t=3	0.897	0.891	0.886	0.883	0.881
	Wd/t=2	0.927	0.922	0.918	0.915	0.912
	Wd/t=1	0.974	0.969	0.967	0.964	0.962
	Wd/t=0.5	0.998	0.997	0.996	0.995	0.994

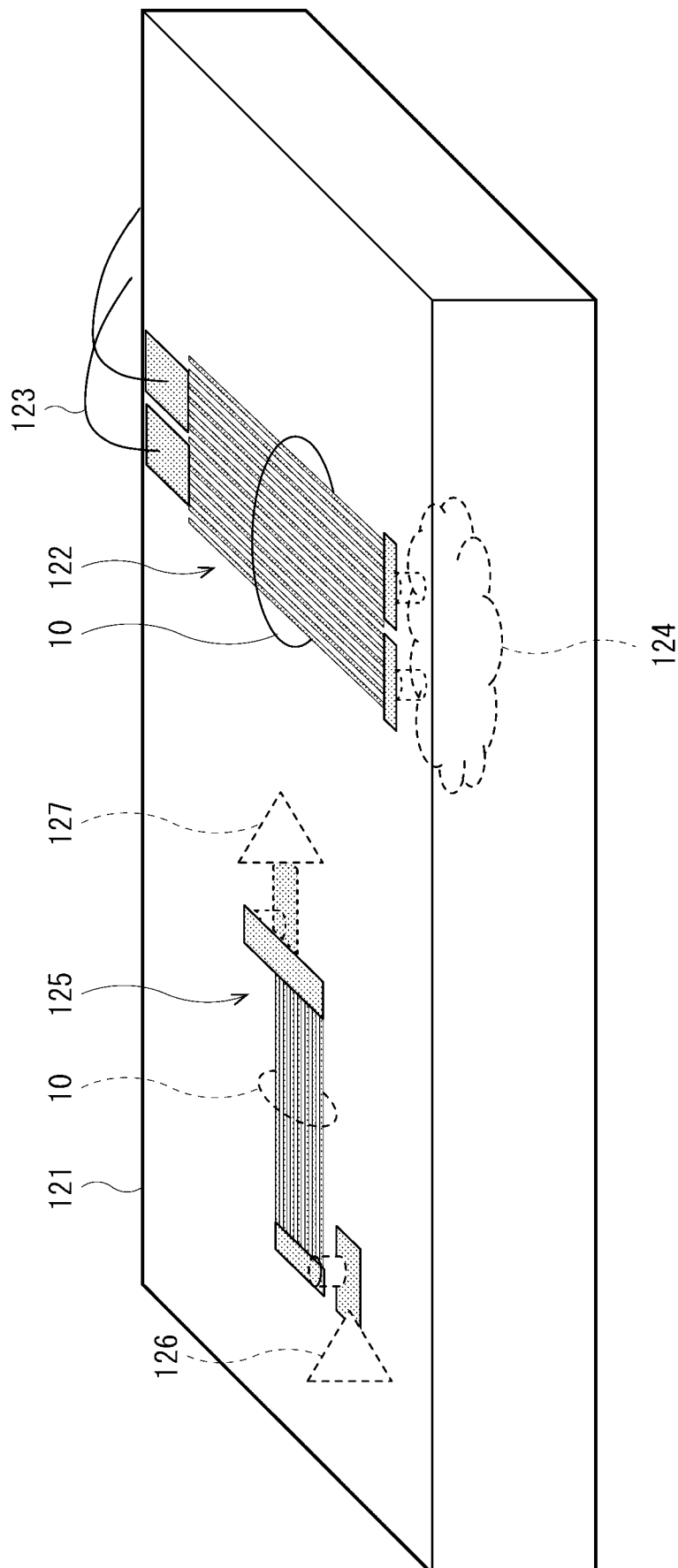
[図38]



[図39]



[図40]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/029673

A. CLASSIFICATION OF SUBJECT MATTER

H01P 3/18(2006.01)i; **H01L 21/3205**(2006.01)i; **H01L 21/768**(2006.01)i; **H01L 21/822**(2006.01)i; **H01L 23/522**(2006.01)i;
H01L 27/04(2006.01)i

FI: H01P3/18; H01L21/88 A; H01L27/04 D

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01P3/18; H01L21/3205; H01L21/768; H01L21/822; H01L23/522; H01L27/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2023
 Registered utility model specifications of Japan 1996-2023
 Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

IEEE Xplore

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2000-357774 A (MATSUSHITA ELECTRIC IND CO LTD) 26 December 2000 (2000-12-26) paragraphs [0003], [0009]-[0010], [0025]-[0036], [0038], fig. 1	1-2, 4, 6-7, 10
Y		8-9
A		3, 5
Y	JP 2011-108878 A (ELPIDA MEMORY INC) 02 June 2011 (2011-06-02) paragraphs [0007]-[0009], [0018], [0029], fig. 1	8-9



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 “&” document member of the same patent family

Date of the actual completion of the international search

17 October 2023

Date of mailing of the international search report

31 October 2023

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2023/029673

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2000-357774	A	26 December 2000	(Family: none)	
JP	2011-108878	A	02 June 2011	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01P 3/18(2006.01)i; H01L 21/3205(2006.01)i; H01L 21/768(2006.01)i; H01L 21/822(2006.01)i; H01L 23/522(2006.01)i; H01L 27/04(2006.01)i FI: H01P3/18; H01L21/88 A; H01L27/04 D														
B. 調査を行った分野														
調査を行った最小限資料（国際特許分類（IPC）） H01P3/18; H01L21/3205; H01L21/768; H01L21/822; H01L23/522; H01L27/04														
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2023年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2023年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2023年</td> </tr> </table>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2023年	日本国実用新案登録公報	1996 - 2023年	日本国登録実用新案公報	1994 - 2023年				
日本国実用新案公報	1922 - 1996年													
日本国公開実用新案公報	1971 - 2023年													
日本国実用新案登録公報	1996 - 2023年													
日本国登録実用新案公報	1994 - 2023年													
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語） IEEE Xplore														
C. 関連すると認められる文献														
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
X	JP 2000-357774 A（松下電器産業株式会社）26.12.2000（2000 - 12 - 26） [0003], [0009] - [0010], [0025] - [0036], [0038], 図1	1-2, 4, 6-7, 10												
Y		8-9												
A		3, 5												
Y	JP 2011-108878 A（エルピーダメモリ株式会社）02.06.2011（2011 - 06 - 02） [0007] - [0009], [0018], [0029], 図1	8-9												
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。														
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>“A” 特に関連のある文献ではなく、一般的技术水準を示すもの</td> <td>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>“&” 同一パテントファミリー文献</td> </tr> <tr> <td>“O” 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	“A” 特に関連のある文献ではなく、一般的技术水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献	“O” 口頭による開示、使用、展示等に言及する文献		“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	
* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの													
“A” 特に関連のある文献ではなく、一般的技术水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの													
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの													
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献													
“O” 口頭による開示、使用、展示等に言及する文献														
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献														
国際調査を完了した日 17.10.2023	国際調査報告の発送日 31.10.2023													
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 北村 智彦 5K 9297 電話番号 03-3581-1101 内線 3556													

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2023/029673

引用文献			公表日	パテントファミリー文献	公表日
JP	2000-357774	A	26.12.2000	(ファミリーなし)	
JP	2011-108878	A	02.06.2011	(ファミリーなし)	