

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年5月22日(22.05.2020)



(10) 国際公開番号

WO 2020/100607 A1

(51) 国際特許分類:

H01L 21/76 (2006.01) *H04N 5/369* (2011.01)
H01L 27/146 (2006.01) *H04N 9/07* (2006.01)

(21) 国際出願番号: PCT/JP2019/042756

(22) 国際出願日: 2019年10月31日(31.10.2019)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願 2018-215383 2018年11月16日(16.11.2018) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

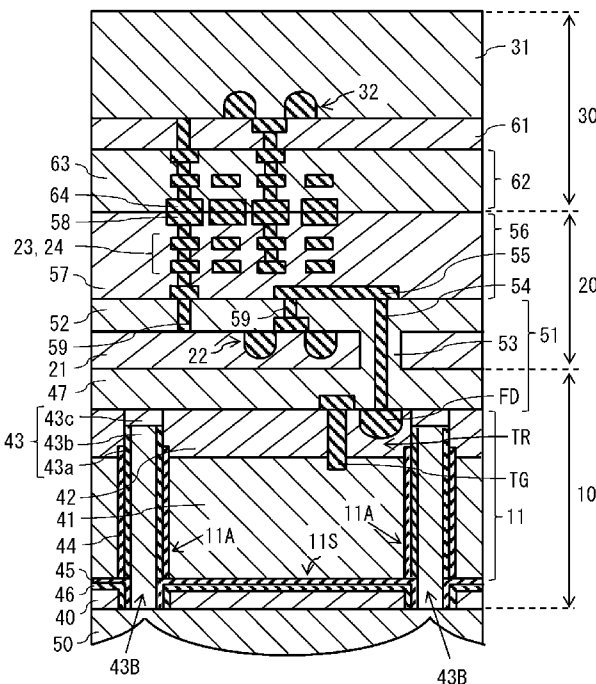
(72) 発明者: 幸山 裕亮 (KOHYAMA, Yusuke); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 特許業務法人つばさ国際特許事務所 (TSUBASA PATENT PROFESSIONAL CORPORATION); 〒1600022 東京都新宿区新宿1丁目15番9号 さわだビル3階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,

(54) Title: IMAGING DEVICE

(54) 発明の名称: 撮像装置



(57) Abstract: An imaging device according to one embodiment of the present disclosure comprises: a plurality of photoelectric conversion units; a plurality of color filters provided for each photoelectric conversion unit; an element separation unit extending from a space between the adjacent two photoelectric conversion units to a space between the adjacent two color filters; and a diffusion layer that is provided so as to be in contact with a surface on a side of the photoelectric conversion unit of the element separation unit and has a conductivity type different from a conductivity type of the photoelectric conversion unit.

CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告(条約第21条(3))

toelectric conversion unit.

(57) 要約: 本開示の一実施の形態に係る撮像装置は、複数の光電変換部と、光電変換部ごとに設けられた複数のカラーフィルタと、隣接する2つの光電変換部の間から、隣接する2つのカラーフィルタの間にかけて延在する素子分離部と、素子分離部の、光電変換部側の面に接して設けられ、光電変換部の導電型とは異なる導電型の拡散層とを備えている。

明 細 書

発明の名称：撮像装置

技術分野

[0001] 本開示は、撮像装置に関する。

背景技術

[0002] 撮像装置において、画素間のクロストークを抑えることは、重要な課題である。画素間のクロストークを抑えるために、従来では、画素間にD T I (Deep Trench Isolation) と呼ばれる分離構造を設けることが一般的である。例えば、非特許文献1には、シリコンウェハの表面側から形成するF D T I (Front DTI) が開示されている。また、例えば、非特許文献2, 3には、シリコンウェハの裏面側から形成するB D T I (Back DTI) が開示されている。

先行技術文献

非特許文献

[0003] 非特許文献1: A. Tournier et. al., “Pixel-to-Pixel isolation by Deep Trench technology: Application to CMOS Image Sensor”, IISW, R5, 2011
非特許文献2: K. Kitamura et. al., “Suppression of Crosstalk by Using Backside Deep Trench Isolation for 1.12 μ m Backside Illuminated CMOS Image Sensor”, IEDM, p.537, 2012
非特許文献3: S. Choi et. al., “An All Pixel PDAF CMOS Image Sensor with 0.64 μ m $\times$ 1.28 μ m Photodiode Separated by Self-aligned In-pixel Deep Trench Isolation for High AF Performance”, VLSI Symp. Tech., p.104, 2017

発明の概要

[0004] ところで、撮像装置の分野では、画素間のクロストークをより効果的に抑えることが求められている。従って、画素間のクロストークをより効果的に抑えることの可能な撮像装置を提供することが望ましい。

- [0005] 本開示の第1の側面である撮像装置は、複数の光電変換部と、光電変換部ごとに設けられた複数のカラーフィルタと、隣接する2つの光電変換部の間から、隣接する2つのカラーフィルタの間にかけて延在する素子分離部と、素子分離部の、光電変換部側の面に接して設けられ、光電変換部の導電型とは異なる導電型の拡散層とを備えている。
- [0006] 本開示の第1の側面である撮像装置では、隣接する2つの光電変換部の間から、隣接する2つのカラーフィルタの間にかけて延在する素子分離部が設けられている。これにより、光電変換部とカラーフィルタとの隙間を介した光漏れが抑制される。
- [0007] 本開示の第2の側面である撮像装置は、半導体基板内に行列状に設けられた複数の光電変換部と、半導体基板内であって、かつ隣接する2つの光電変換部の間に設けられた素子分離部とを備えている。素子分離部は、半導体基板に設けられたトレンチの内壁に接する絶縁膜と、絶縁膜の内側に形成された金属埋め込み部とによって構成されたDTI構造を有している。金属埋め込み部は、アルミニウムまたはアルミニウム合金によって形成されている。
- [0008] 本開示の第2の側面である撮像装置では、隣接する2つの光電変換部の間の素子分離部に、アルミニウムまたはアルミニウム合金によって形成された金属埋め込み部が設けられている。これにより、隣接する2つの光電変換部の隙間を介した光漏れが抑制される。
- [0009] 本開示の第3の側面である撮像装置は、半導体基板内に行列状に設けられた複数の光電変換部と、半導体基板内であって、かつ隣接する2つの光電変換部の間に設けられた素子分離部とを備えている。この撮像装置は、さらに、ウェル層と、拡散層と、複数の読み出し回路とを備えている。ウェル層は、半導体基板の、受光面とは反対の面側に設けられており、光電変換部の導電型とは異なる導電型となっている。拡散層は、素子分離部の、光電変換部側の面に接して設けられており、光電変換部の導電型とは異なる導電型となっている。複数の読み出し回路は、ウェル層に、複数の光電変換部ごとに1つずつ設けられている。各読み出し回路は、光電変換部から出力された電荷

に基づく画素信号を出力する。

[0010] 本開示の第3の側面である撮像装置では、隣接する2つの光電変換部の間に、素子分離部と、光電変換部側の面に接する、光電変換部の導電型とは異なる導電型の拡散層とが設けられている。この撮像装置では、さらに、光電変換部側の面に接して設けられたウェル層に、複数の光電変換部を共有する読み出し回路が複数、設けられている。これにより、1つの読み出し回路で複数の光電変換部を共有しつつ、隣接する2つの光電変換部の隙間を介した光漏れが抑制される。

図面の簡単な説明

[0011] [図1]本開示の第1の実施の形態に係る撮像装置の概略構成の一例を表す図である。

[図2]図1のセンサ画素および読み出し回路の一例を表す図である。

[図3]図1のセンサ画素の水平方向の断面構成の一例を表す図である。

[図4]図1の撮像装置の垂直方向の断面構成の一例を表す図である。

[図5]図1の撮像装置の製造過程の一例を表す図である。

[図6]図5に続く製造過程の一例を表す図である。

[図7]図6に続く製造過程の一例を表す図である。

[図8]図7に続く製造過程の一例を表す図である。

[図9]図8に続く製造過程の一例を表す図である。

[図10]図9に続く製造過程の一例を表す図である。

[図11]図10に続く製造過程の一例を表す図である。

[図12]図11に続く製造過程の一例を表す図である。

[図13]図12に続く製造過程の一例を表す図である。

[図14]図13に続く製造過程の一例を表す図である。

[図15]図14に続く製造過程の一例を表す図である。

[図16]図15に続く製造過程の一例を表す図である。

[図17]図16に続く製造過程の一例を表す図である。

[図18]図17に続く製造過程の一例を表す図である。

[図19]図 1 8 に続く製造過程の一例を表す図である。

[図20]図 1 9 に続く製造過程の一例を表す図である。

[図21]図 2 0 に続く製造過程の一例を表す図である。

[図22]図 2 1 に続く製造過程の一例を表す図である。

[図23]図 1 の撮像装置の垂直方向の断面構成の一変形例を表す図である。

[図24]図 2 3 の撮像装置の製造過程の一例を表す図である。

[図25]図 2 4 に続く製造過程の一例を表す図である。

[図26]図 2 5 に続く製造過程の一例を表す図である。

[図27]図 2 6 に続く製造過程の一例を表す図である。

[図28]図 2 7 に続く製造過程の一例を表す図である。

[図29]図 2 8 に続く製造過程の一例を表す図である。

[図30]図 2 9 に続く製造過程の一例を表す図である。

[図31]図 1 の撮像装置の垂直方向の断面構成の一変形例を表す図である。

[図32]図 3 1 の撮像装置の製造過程の一例を表す図である。

[図33]図 3 2 に続く製造過程の一例を表す図である。

[図34]図 3 3 に続く製造過程の一例を表す図である。

[図35]図 3 4 に続く製造過程の一例を表す図である。

[図36]図 3 5 に続く製造過程の一例を表す図である。

[図37]本開示の第 2 の実施の形態に係る撮像装置の概略構成の一例を表す図である。

[図38]図 3 7 の画素の一例を表す図である。

[図39]図 3 8 の撮像装置の垂直方向の断面構成の一例を表す図である。

[図40]図 3 8 の撮像装置の製造過程の一例を表す図である。

[図41]図 4 0 に続く製造過程の一例を表す図である。

[図42]図 4 1 に続く製造過程の一例を表す図である。

[図43]図 4 2 に続く製造過程の一例を表す図である。

[図44]図 4 3 に続く製造過程の一例を表す図である。

[図45]図 4 4 に続く製造過程の一例を表す図である。

[図46]図45に続く製造過程の一例を表す図である。

[図47]図46に続く製造過程の一例を表す図である。

[図48]図47に続く製造過程の一例を表す図である。

[図49]図48に続く製造過程の一例を表す図である。

[図50]図49に続く製造過程の一例を表す図である。

[図51]図50に続く製造過程の一例を表す図である。

[図52]図51に続く製造過程の一例を表す図である。

[図53]図52に続く製造過程の一例を表す図である。

[図54]図53に続く製造過程の一例を表す図である。

[図55]図1の撮像装置のセンサ画素および読み出し回路の一変形例を表す図である。

[図56]図38の撮像装置の画素の一変形例を表す図である。

[図57]図56の画素を備えた撮像装置の水平方向の断面構成の一例を表す図である。

[図58]図56の画素を備えた撮像装置の水平方向の断面構成の一例を表す図である。

[図59]図57のA-A線での断面構成の一例を表す図である。

[図60]図58のA-A線での断面構成の一例を表す図である。

[図61]図55のセンサ画素および読み出し回路の一変形例を表す図である。

[図62]図55のセンサ画素および読み出し回路の一変形例を表す図である。

[図63]図55のセンサ画素および読み出し回路の一変形例を表す図である。

[図64]複数の読み出し回路と複数の垂直信号線との接続態様の一変形例を表す図である。

[図65]図55の構成を備えた撮像装置の水平方向の断面構成の一変形例を表す図である。

[図66]図55の構成を備えた撮像装置の水平方向の断面構成の一変形例を表す図である。

[図67]図55の構成を備えた撮像装置の水平面内での配線レイアウトの一変

形例を表す図である。

[図68]図55の構成を備えた撮像装置の水平面内での配線レイアウトの一変形例を表す図である。

[図69]図55の構成を備えた撮像装置の水平面内での配線レイアウトの一変形例を表す図である。

[図70]図55の構成を備えた撮像装置の水平面内での配線レイアウトの一変形例を表す図である。

[図71]図1の撮像装置の垂直方向の断面構成の一変形例を表す図である。

[図72]図1の撮像装置の水平方向の断面構成の一変形例を表す図である。

[図73]図1の撮像装置の水平方向の断面構成の一変形例を表す図である。

[図74]図1の撮像装置の水平方向の断面構成の一変形例を表す図である。

[図75]図1の撮像装置の水平方向の断面構成の一変形例を表す図である。

[図76]図1の撮像装置の水平方向の断面構成の一変形例を表す図である。

[図77]図1の撮像装置の水平方向の断面構成の一変形例を表す図である。

[図78]図1の撮像装置の水平方向の断面構成の一変形例を表す図である。

[図79]上記実施の形態およびその変形例に係る撮像装置を備えた撮像装置の回路構成の一例を表す図である。

[図80]図79の撮像装置を3つの基板を積層して構成した例を表す図である。

[図81]ロジック回路を、センサ画素の設けられた基板と、読み出し回路の設けられた基板とに分けて形成した例を表す図である。

[図82]ロジック回路を、第3基板に形成した例を表す図である。

[図83]上記各実施の形態およびその変形例に係る撮像装置を備えた撮像システムの概略構成の一例を表す図である。

[図84]図83の撮像システムにおける撮像手順の一例を表す図である。

[図85]車両制御システムの概略的な構成の一例を示すブロック図である。

[図86]車外情報検出部及び撮像部の設置位置の一例を示す説明図である。

[図87]内視鏡手術システムの概略的な構成の一例を示す図である。

[図88]カメラヘッド及びCCUの機能構成の一例を示すブロック図である。

発明を実施するための形態

[0012] 以下、本開示の実施の形態について、図面を参照して詳細に説明する。なお、説明は以下の順序で行う。

1. 第1の実施の形態（撮像装置）…図1～図22

2. 第1の実施の形態の変形例（撮像装置）

変形例A…図23～図30

変形例B…図31～図36

3. 第2の実施の形態（撮像装置）…図37～図54

4. 各実施の形態の変形例（撮像装置）

変形例C…図55

変形例D…図56

変形例E…図57～図60

変形例F…図61～図64

変形例G…図65～図70

変形例H…図71

変形例I…図72、図73

変形例J…図74

変形例K…図75

変形例L…図76～図78

変形例M…図79

変形例N…図80

変形例O…図81、図82

5. 適用例（撮像システム）…図83、図84

6. 応用例

移動体への応用例…図85、図86

内視鏡手術システムへの応用例…図87、図88

[0013] <1. 第1の実施の形態>

[構成]

図 1 は、本開示の第 1 の実施の形態に係る撮像装置 1 の概略構成の一例を表したものである。撮像装置 1 は、3つの基板（第 1 基板 10、第 2 基板 20、第 3 基板 30）を備えている。撮像装置 1 は、3つの基板（第 1 基板 10、第 2 基板 20、第 3 基板 30）を貼り合わせて構成された 3 次元構造の撮像装置である。第 1 基板 10、第 2 基板 20 および第 3 基板 30 は、この順に積層されている。

[0014] 第 1 基板 10 は、半導体基板 11 上に、光電変換を行う複数のセンサ画素 12 を有する基板である。複数のセンサ画素 12 は、第 1 基板 10 における画素領域 13 内に行列状に設けられている。第 2 基板 20 は、半導体基板 21 上に、センサ画素 12（例えば後述のフォトダイオード PD）から出力された電荷に基づく画素信号を出力する読み出し回路 22 をセンサ画素 12 ごとに 1 つずつ有する基板である。第 2 基板 20 は、行方向に延在する複数の画素駆動線 23 と、列方向に延在する複数の垂直信号線 24 とを有している。第 3 基板 30 は、半導体基板 31 上に、画素信号を処理するロジック回路 32 を有する基板である。ロジック回路 32 は、例えば、垂直駆動回路 33、カラム信号処理回路 34、水平駆動回路 35 およびシステム制御回路 36 を有している。ロジック回路 32（具体的には水平駆動回路 35）は、センサ画素 12 ごとの出力電圧 V_{out} を外部に出力する。ロジック回路 32 は、例えば、電極材料としてシリサイドを含んで構成されている。

[0015] 垂直駆動回路 33 は、例えば、複数のセンサ画素 12 を行単位で順に選択する。カラム信号処理回路 34 は、例えば、垂直駆動回路 33 によって選択された行の各センサ画素 12 から出力される画素信号に対して、相関二重サンプリング（Correlated Double Sampling: CDS）処理を施す。カラム信号処理回路 34 は、例えば、CDS 処理を施すことにより、画素信号の信号レベルを抽出し、各センサ画素 12 の受光量に応じた画素データを保持する。水平駆動回路 35 は、例えば、カラム信号処理回路 34 に保持されている画素データを順次、外部に出力する。システム制御回路 36 は、例えば、ロ

ジック回路 3 2 内の各ブロック（垂直駆動回路 3 3、カラム信号処理回路 3 4 および水平駆動回路 3 5）の駆動を制御する。

[0016] 図 2 は、センサ画素 1 2 および読み出し回路 2 2 の一例を表したものである。以下では、図 2 に示したように、読み出し回路 2 2 がセンサ画素 1 2 ごとに 1 つずつ設けられている場合について説明する。

[0017] センサ画素 1 2 は、フォトダイオード P D と、フォトダイオード P D と電氣的に接続された転送トランジスタ T R と、転送トランジスタ T R を介してフォトダイオード P D から出力された電荷を一時的に保持するフローティングディフュージョン F D とを有している。フォトダイオード P D は、本開示の「光電変換部」の一具体例に相当する。フォトダイオード P D は、光電変換を行って受光量に応じた電荷を発生する。フォトダイオード P D のカソードが転送トランジスタ T R のソースに接続されており、フォトダイオード P D のアノードが基準電位線（例えばグラウンド）に接続されている。転送トランジスタ T R のドレインがフローティングディフュージョン F D に接続され、転送トランジスタ T R のゲートは画素駆動線 2 3 に接続されている。転送トランジスタ T R は、例えば、N M O S（Metal Oxide Semiconductor）トランジスタである。

[0018] 各センサ画素 1 2 において、フローティングディフュージョン F D は、対応する読み出し回路 2 2 の入力端に接続されている。読み出し回路 2 2 は、例えば、リセットトランジスタ R S T と、選択トランジスタ S E L と、増幅トランジスタ A M P とを有している。リセットトランジスタ R S T のソース（読み出し回路 2 2 の入力端）がフローティングディフュージョン F D に接続されており、リセットトランジスタ R S T のドレインが電源線 V D D および増幅トランジスタ A M P のドレインに接続されている。リセットトランジスタ R S T のゲートは画素駆動線 2 3 に接続されている。増幅トランジスタ A M P のソースが選択トランジスタ S E L のドレインに接続されており、増幅トランジスタ A M P のゲートがリセットトランジスタ R S T のソースに接続されている。選択トランジスタ S E L のソース（読み出し回路 2 2 の出力

端)が垂直信号線24に接続されており、選択トランジスタSELのゲートが画素駆動線23に接続されている。

[0019] 転送トランジスタTRは、転送トランジスタTRがオン状態となると、フォトダイオードPDの電荷をフローティングディフュージョンFDに転送する。転送トランジスタTRのゲート(転送ゲートTG)は、例えば、半導体基板11の上面からpウェル層42(後述)を貫通してPD(Photo Diode)41に達する深さまで延在している。PD41は、上述のフォトダイオードPDの一具体例に相当する。リセットトランジスタRSTは、フローティングディフュージョンFDの電位を所定の電位にリセットする。リセットトランジスタRSTがオン状態となると、フローティングディフュージョンFDの電位を電源線VDDの電位にリセットする。選択トランジスタSELは、読み出し回路22からの画素信号の出力タイミングを制御する。増幅トランジスタAMPは、画素信号として、フローティングディフュージョンFDに保持された電荷のレベルに応じた電圧の信号を生成する。増幅トランジスタAMPは、ソースフォロア型のアンプを構成しており、フォトダイオードPDで発生した電荷のレベルに応じた電圧の画素信号を出力する。増幅トランジスタAMPは、選択トランジスタSELがオン状態となると、フローティングディフュージョンFDの電位を増幅して、その電位に応じた電圧を、垂直信号線24を介してカラム信号処理回路34に出力する。リセットトランジスタRST、増幅トランジスタAMPおよび選択トランジスタSELは、例えば、NMOSトランジスタである。

[0020] なお、選択トランジスタSELが、電源線VDDと増幅トランジスタAMPとの間に設けられていてもよい。この場合、リセットトランジスタRSTのドレインが電源線VDDおよび選択トランジスタSELのドレインに接続されている。選択トランジスタSELのソースが増幅トランジスタAMPのドレインに接続されており、選択トランジスタSELのゲートが画素駆動線23に接続されている。増幅トランジスタAMPのソース(読み出し回路22の出力端)が垂直信号線24に接続されており、増幅トランジスタAMP

のゲートがリセットトランジスタ RST のソースに接続されている。

[0021] 図3は、センサ画素12の水平方向の断面構成の一例を表したものである。図4は、撮像装置1の垂直方向の断面構成の一例を表したものである。図4には、撮像装置1において、センサ画素12と対向する箇所の断面構成が例示されている。撮像装置1は、第1基板10、第2基板20および第3基板30をこの順に積層して構成されており、さらに、第1基板10の裏面側に、複数のカラーフィルタ40および複数の受光レンズ50を備えている。複数のカラーフィルタ40および複数の受光レンズ50は、それぞれ、例えば、PD41ごとに1つずつ設けられており、PD41と対向する位置に設けられている。つまり、撮像装置1は、裏面照射型の撮像装置である。センサ画素12は、例えば、PD41と、転送トランジスタTRと、フローティングディフュージョンFDと、カラーフィルタ40とを含んで構成されている。

[0022] 第1基板10は、半導体基板11上に絶縁層47を積層して構成されている。第1基板10は、層間絶縁膜51の一部として、絶縁層47を有している。絶縁層47は、半導体基板11と、後述の半導体基板21との間隙に設けられている。半導体基板11は、シリコン基板で構成されている。半導体基板11は、上面の一部およびその近傍に、pウェル層42を有しており、pウェル層42よりも深い領域に、pウェル層42とは異なる導電型のPD41を有している。pウェル層42は、半導体基板11の、受光面11Sとは反対の面側に設けられている。pウェル層42の導電型は、p型となっている。PD41の導電型は、pウェル層42とは異なる導電型となっており、n型となっている。半導体基板11は、pウェル層42内に、pウェル層42とは異なる導電型のフローティングディフュージョンFDを有している。

[0023] 第1基板10は、フォトダイオードPD、転送トランジスタTRおよびフローティングディフュージョンFDをセンサ画素12ごとに有している。第1基板10は、半導体基板11の上面に、フォトダイオードPD、転送トラ

ンジスタTRおよびフローティングディフュージョンFDが設けられた構成となっている。第1基板10は、各センサ画素12を分離する素子分離部43を有している。素子分離部43は、半導体基板11の法線方向（厚さ方向）に延在して形成されている。素子分離部43は、互いに隣接する2つのPD41の間から、互いに隣接する2つのカラーフィルタ40の間にかけて延在している。素子分離部43は、半導体基板11に設けられたトレンチ11A内に設けられるとともに半導体基板11の受光面11Sから突出して設けられている。トレンチ11Aは、半導体基板11の法線方向（厚さ方向）に延在して形成されている。素子分離部43は、互いに隣接する2つのPD41を電氣的、光学的に分離するとともに、互いに隣接する2つのカラーフィルタ40を光学的に分離する。

[0024] 素子分離部43およびトレンチ11Aは、センサ画素12を水平面内方向において取り囲むように形成されており、さらに、半導体基板11を貫通して形成されている。素子分離部43は、DTI（Deep Trench Isolation）構造を含んで構成されている。このDTIは、半導体基板11の上面側（フローティングディフュージョンFDの形成面側）から形成されたFDTIである。このDTI構造は、半導体基板11の法線方向（厚さ方向）に延在して形成されている。このDTI構造は、互いに隣接する2つのPD41の間から、互いに隣接する2つのカラーフィルタ40の間にかけて延在している。このDTI構造は、半導体基板11に設けられたトレンチ11A内に設けられるとともに半導体基板11の受光面11Sから突出して設けられている。

[0025] 素子分離部43において、DTIは、半導体基板11に設けられたトレンチ11Aの内壁に接する絶縁膜43aと、絶縁膜43aの内側に設けられた金属埋め込み部43bとによって構成されている。絶縁膜43aは、例えば、半導体基板11を熱酸化することにより形成された酸化膜であり、例えば、酸化シリコンによって形成されている。金属埋め込み部43bは、例えば、熱処理による置換現象を利用して形成されており、例えば、アルミニウムまたはアルミニウム合金によって形成されている。金属埋め込み部43bは

、例えば、熱処理による置換現象を利用して一括して形成されている。

[0026] 素子分離部43は、さらに、DTI上にSTI(Shallow Trench Isolation)43cを有している。STI43cは、例えば、半導体基板11に設けられたトレンチ11Aを、CVD(Chemical Vapor Deposition)等によりSiO₂で埋め込むことにより形成されている。第1基板10は、例えば、さらに、素子分離部43の、PD41側の面に接するp型固相拡散層44を有している。p型固相拡散層44の導電型は、PD41とは異なる導電型となっており、p型となっている。p型固相拡散層44は、pウェル層42に接しており、pウェル層42と電氣的に導通している。p型固相拡散層44は、半導体基板11に設けられたトレンチ11Aの内面からp型の不純物を拡散させることにより形成されており、PD41への暗電流の混入を低減させる。

[0027] 第1基板10は、例えば、さらに、半導体基板11の裏面(受光面11S)に接する固定電荷膜45を有している。固定電荷膜45は、半導体基板11の受光面11Sの界面準位に起因する暗電流の発生を抑制するため、負の固定電荷を有している。固定電荷膜45は、例えば、負の固定電荷を有する絶縁膜によって形成されている。そのような絶縁膜の材料としては、例えば、酸化ハフニウム、酸化ジルコニウム、酸化アルミニウム、酸化チタンまたは酸化タンタルが挙げられる。固定電荷膜45が誘起する電界により、受光面11Sにホール蓄積層が形成される。このホール蓄積層によって、受光面11Sからの電子の発生が抑制される。第1基板10は、例えば、さらに、半導体基板11の裏面側に反射防止膜46を有している。反射防止膜46は、例えば、固定電荷膜45に接して形成されている。反射防止膜46は、PD41へ入射する光の反射を抑え、効率的にPD41に光を到達させる。反射防止膜46は、例えば、酸化シリコン、窒化シリコン、酸化アルミニウム、酸化ハフニウム、酸化ジルコニウム、酸化タンタルおよび酸化チタンの少なくとも一つを含んで構成されている。

[0028] カラーフィルタ40は、半導体基板11の裏面(受光面11S)側に設けられている。カラーフィルタ40は、例えば、反射防止膜46に接して形成

されており、固定電荷膜45および反射防止膜46を介してPD41と対向する位置に設けられている。受光レンズ50は、例えば、カラーフィルタ40に接して設けられており、カラーフィルタ40、固定電荷膜45および反射防止膜46を介してPD41と対向する位置に設けられている。ここで、素子分離部43は、半導体基板11を貫通して形成されており、さらに、受光レンズ50に接して形成されている。素子分離部43は、素子分離部43のうち、半導体基板11の裏面（受光面11S）から突出した突出部43Bが受光レンズ50に接するように形成されている。そのため、素子分離部43は、隣接する2つのPD41の間から、隣接する2つのカラーフィルタ40の間にかけて延在して形成されている。つまり、素子分離部43（具体的にはDT1）は、互いに隣接する2つのPD41を分離するだけでなく、PD41とカラーフィルタ40との隙間も分離する。

[0029] 第2基板20は、半導体基板21上に絶縁層52を積層して構成されている。第2基板20は、層間絶縁膜51の一部として、絶縁層52を有している。絶縁層52は、半導体基板21と、半導体基板31との間隙に設けられている。半導体基板21は、シリコン基板で構成されている。第2基板20は、1つのセンサ画素12ごとに、1つの読み出し回路22を有している。第2基板20は、半導体基板21の上面に読み出し回路22が設けられた構成となっている。第2基板20は、半導体基板11の上面側に半導体基板21の裏面を向けて第1基板10に貼り合わされている。つまり、第2基板20は、第1基板10に、フェイストゥーバックで貼り合わされている。第2基板20は、さらに、半導体基板21と同一の層内に、半導体基板21を貫通する絶縁層53を有している。第2基板20は、層間絶縁膜51の一部として、絶縁層53を有している。絶縁層53は、後述の貫通配線54の側面を覆うように設けられている。

[0030] 第1基板10および第2基板20からなる積層体は、層間絶縁膜51と、層間絶縁膜51内に設けられた貫通配線54を有している。上記積層体は、センサ画素12ごとに、1つの貫通配線54を有している。貫通配線54は

、半導体基板 2 1 の法線方向に延びており、層間絶縁膜 5 1 のうち、絶縁層 5 3 を含む箇所を貫通して設けられている。第 1 基板 1 0 および第 2 基板 2 0 は、貫通配線 5 4 によって互いに電氣的に接続されている。具体的には、貫通配線 5 4 は、フローティングディフュージョン F D および後述の接続配線 5 5 に接続されている。

[0031] 第 1 基板 1 0 および第 2 基板 2 0 からなる積層体は、さらに、層間絶縁膜 5 1 内に、センサ画素 1 2 ごとに 2 つの貫通配線（図示せず）を有している。2 つの貫通配線は、それぞれ、半導体基板 2 1 の法線方向に延びており、層間絶縁膜 5 1 のうち、絶縁層 5 3 を含む箇所を貫通して設けられている。第 1 基板 1 0 および第 2 基板 2 0 は、2 つの貫通配線によって互いに電氣的に接続されている。具体的には、一方の貫通配線は、半導体基板 1 1 の p ウェル 4 2 と、第 2 基板 2 0 内の配線とに接続されている。他方の貫通配線は、転送ゲート T G および画素駆動線 2 3 に接続されている。

[0032] 第 2 基板 2 0 は、例えば、絶縁層 5 2 内に、読み出し回路 2 2 や半導体基板 2 1 と接続された複数の接続部 5 9 を有している。第 2 基板 2 0 は、さらに、例えば、絶縁層 5 2 上に配線層 5 6 を有している。配線層 5 6 は、例えば、絶縁層 5 7 と、絶縁層 5 7 内に設けられた複数の画素駆動線 2 3 および複数の垂直信号線 2 4 を有している。配線層 5 6 は、さらに、例えば、複数の接続配線 5 5 をセンサ画素 1 2 ごとに 1 つずつ有している。接続配線 5 5 は、接続部 5 9 と貫通配線 5 4 とを互いに接続している。

[0033] 配線層 5 6 は、さらに、例えば、絶縁層 5 7 内に複数のパッド電極 5 8 を有している。各パッド電極 5 8 は、例えば、C u（銅）で形成されている。各パッド電極 5 8 は、配線層 5 6 の上面に露出している。各パッド電極 5 8 は、第 2 基板 2 0 と第 3 基板 3 0 との電氣的な接続と、第 2 基板 2 0 と第 3 基板 3 0 との貼り合わせに用いられる。複数のパッド電極 5 8 は、例えば、画素駆動線 2 3 および垂直信号線 2 4 ごとに 1 つずつ設けられている。

[0034] 第 3 基板 3 0 は、例えば、半導体基板 3 1 上に層間絶縁膜 6 1 を積層して構成されている。半導体基板 3 1 は、シリコン基板で構成されている。第 3

基板 30 は、半導体基板 31 の上面にロジック回路 32 が設けられた構成となっている。第 3 基板 30 は、さらに、例えば、層間絶縁膜 61 上に配線層 62 を有している。配線層 62 は、例えば、絶縁層 63 と、絶縁層 63 内に設けられた複数のパッド電極 64 を有している。複数のパッド電極 64 は、ロジック回路 32 と電氣的に接続されている。各パッド電極 64 は、例えば、Cu（銅）で形成されている。各パッド電極 64 は、配線層 62 の上面に露出している。各パッド電極 64 は、第 2 基板 20 と第 3 基板 30 との電氣的な接続と、第 2 基板 20 と第 3 基板 30 との貼り合わせに用いられる。第 2 基板 20 および第 3 基板 30 は、パッド電極 58, 64 同士の接合によって、互いに電氣的に接続されている。つまり、転送トランジスタ TR のゲート（転送ゲート TG）は、貫通配線 54 と、パッド電極 58, 64 とを介して、ロジック回路 32 に電氣的に接続されている。第 3 基板 30 は、半導体基板 21 の上面側に半導体基板 31 の上面を向けて第 2 基板 20 に貼り合わされている。つまり、第 3 基板 30 は、第 2 基板 20 に、フェイストゥフェイスで貼り合わされている。

[0035] 図 4 に示したように、第 1 基板 10 と第 2 基板 20 とを互いに電氣的に接続する構造は、貫通配線 54 である。また、図 4 に示したように、第 2 基板 20 と第 3 基板 30 とを互いに電氣的に接続する構造は、パッド電極 58, 64 同士の接合である。ここで、貫通配線 54 の幅は、パッド電極 58, 64 同士の接合箇所の幅よりも狭くなっている。つまり、貫通配線 54 の断面積は、パッド電極 58, 64 同士の接合箇所の断面積よりも小さくなっている。従って、貫通配線 54 は、第 1 基板 10 内のセンサ画素 12 の高集積化を妨げることがない。また、読み出し回路 22 は第 2 基板 20 に形成され、ロジック回路 32 は第 3 基板 30 に形成されていることから、第 2 基板 20 と第 3 基板 30 とを互いに電氣的に接続するための構造を、第 1 基板 10 と第 2 基板 20 とを互いに電氣的に接続するための構造と比べて、低密度に形成することが可能である。従って、第 2 基板 20 と第 3 基板 30 とを互いに電氣的に接続するための構造として、パッド電極 58, 64 同士の接合を用

いることができる。

[0036] [製造方法]

次に、撮像装置 1 の製造方法について説明する。図 5 ～図 22 は、撮像装置 1 の製造過程の一例を表したものである。

[0037] まず、半導体基板 11 の上部に p ウェル層 42 を形成する。次に、半導体基板 11 の表面に、SiO₂ 膜 71、SiN 膜 72 を順次、堆積させる。続いて、SiN 膜 72 上に所定のパターンのマスクを形成した後、ドライエッチングにより、SiN 膜 72、SiO₂ 膜 71 および半導体基板 11 を選択的に除去する。これにより、半導体基板 11 に、素子分離用のトレンチ 11A を形成する（図 5）。その後、マスクを除去する。続いて、トレンチ 11A を含む表面全体に、ボロンを含んだシリケートガラス BSG 膜 73 を、トレンチ 11A が埋まらない程度の膜厚で堆積させる（図 5）。

[0038] 次に、レジストを塗布し、塗布したレジストのうち、表面部分を除去する。これにより、トレンチ 11A 内の所定の深さに、レジスト層 74 を形成する（図 6）。続いて、レジスト層 74 をマスクとして、シリケートガラス BSG 膜 73 のうち露出部分を選択的に除去する。これにより、トレンチ 11A 内の所定の深さにだけ、シリケートガラス BSG 膜 73 を残す（図 6）。

[0039] 次に、トレンチ 11A 内のレジスト層 74 を除去する（図 7）。続いて、高温の熱処理で、シリケートガラス BSG 膜 73 に含まれるボロンを半導体基板 11 中に拡散させ、DTI と自己整合的にサイドウォールパッシベーションとなる p 型固相拡散層 44 を形成する（図 8）。次に、トレンチ 11A の内壁を熱酸化することにより、トレンチ 11A の内壁に接する絶縁膜 43a を形成し、さらに、トレンチ 11A を埋め込むようにポリシリコン部 43b' を形成した後、CMP（Chemical Mechanical Polishing）による表面研磨により、ポリシリコン部 43b' のうち表面部分を除去する（図 9）。このようにして、トレンチ 11A 内に DTI を形成する。

[0040] 次に、DTI の上部をエッチングし、それにより形成されたトレンチ内に絶縁材料を堆積させることにより、STI 43c を形成する（図 10）。さ

らに、半導体基板 11 の所定の箇所に、トレンチ 75 を形成する（図 11）。続いて、SiO₂ 膜 71 および SiN 膜 72 を除去する（図 12）。その後、トレンチ 75 の内壁にゲート酸化膜（図示せず）を形成した後、トレンチ 75 内に、ポリシリコンからなる転送ゲート TG を形成する（図 13）。さらに、半導体基板 11 の所定の箇所に、フローティングディフュージョン FD を形成する（図 13）。その後、絶縁層 47 を形成する（図 14）。このようにして、第 1 基板 10 が形成される。

[0041] 次に、第 1 基板 10（絶縁層 47）上に、半導体基板 21 を貼り合わせる（図 14）。このとき、必要に応じて、半導体基板 21 を薄肉化する。この際、半導体基板 21 の厚さを、読み出し回路 22 の形成に必要な膜厚にする。半導体基板 21 の厚さは、一般的には数百 nm 程度である。しかし、読み出し回路 22 のコンセプトによっては、FD（Fully Depletion）型も可能であるので、その場合には、半導体基板 21 の厚さとしては、数 nm～数 μm の範囲を採り得る。

[0042] 次に、半導体基板 21 と同一の層内に、絶縁層 53 を形成する（図 14）。絶縁層 53 を、例えば、フローティングディフュージョン FD と対向する箇所に形成する。例えば、半導体基板 21 に対して、半導体基板 21 を貫通するスリットを形成して、半導体基板 21 を複数のブロックに分離する。その後、スリットを埋め込むように、絶縁層 53 を形成する。その後、半導体基板 21 の各ブロックに、増幅トランジスタ AMP などを含む読み出し回路 22 を形成する（図 14）。このとき、センサ画素 12 の電極材料として、耐熱性の高いポリシリコンなどが用いられている場合には、読み出し回路 22 のゲート絶縁膜を、熱酸化により形成することが可能である。

[0043] 次に、半導体基板 21 上に絶縁層 52 を形成する。このようにして、絶縁層 47, 52, 53 からなる層間絶縁膜 51 を形成する。続いて、層間絶縁膜 51 に貫通孔を形成する。具体的には、絶縁層 52 のうち、読み出し回路 22 と対向する箇所に、絶縁層 52 を貫通する貫通孔を形成する。また、層間絶縁膜 51 のうち、フローティングディフュージョン FD と対向する箇所

(つまり、絶縁層 5 3 と対向する箇所) に、層間絶縁膜 5 1 を貫通する貫通孔を形成する。

[0044] 次に、上記の貫通孔に導電性材料を埋め込むことにより、貫通配線 5 4 を形成するとともに、接続部 5 9 を形成する (図 1 4)。さらに、絶縁層 5 2 上に、貫通配線 5 4 と接続部 5 9 とを互いに電氣的に接続する接続配線 5 5 を形成する (図 1 4)。その後、パッド電極 5 8 を含む配線層 5 6 を、絶縁層 5 2 上に形成する。このようにして、第 2 基板 2 0 が形成される。

[0045] 次に、第 3 基板 3 0 を、第 2 基板 2 0 側に配線層 6 2 を向けて、第 2 基板 2 0 に貼り合わせる (図 1 5)。このとき、第 2 基板 2 0 のパッド電極 5 8 と、第 3 基板 3 0 のパッド電極 6 4 とを互いに接合することにより、第 2 基板 2 0 と第 3 基板 3 0 とを互いに電氣的に接続する。

[0046] 次に、半導体基板 1 1 の裏面を BSG、CMP などを用いて研削し、半導体基板 1 1 を薄肉化する。次に、半導体基板 1 1 を部分的にエッチングすることにより、ポリシリコン部 4 3 b' の一部を、半導体基板 1 1 の裏面から突出させる (図 1 6)。以下、ポリシリコン部 4 3 b' のうち、半導体基板 1 1 の裏面から突出した部分を突出部 4 3 B' と称する。また、半導体基板 1 1 の裏面のうち、突出部 4 3 B' で囲まれた領域を受光面 1 1 S と称する。受光面 1 1 S は、突出部 4 3 B' によって形成される窪み部分の底面に相当する。続いて、突出部 4 3 B' で囲まれた窪み部分に、固定電荷膜 4 5、反射防止膜 4 6 および絶縁層 4 8 を形成する (図 1 7)。絶縁層 4 8 は、例えば、プラズマ CVD によって、SiO₂ を堆積させることにより形成され得る。

[0047] 次に、例えば、スパッタ法を用いて、突出部 4 3 B' に接するように、アルミニウム層 4 9 を形成する (図 1 8)。続いて、熱処理による置換現象を利用して、ポリシリコンをアルミニウムに置き換える。これにより、トレンチ 1 1 A 内のポリシリコン部 4 3 b' を金属埋め込み部 4 3 b に置き換える (図 1 9)。この置換現象は、例えば、特開平 1 0 - 1 2 5 6 7 7 に記載されている。なお、アルミニウム層 4 9 の代わりにアルミニウム合金層を形成

してもよい。このとき、熱処理による置換現象を利用して、ポリシリコンをアルミニウム合金に置き換えることができる。

[0048] 次に、表面のアルミニウム層49を除去し（図20）、さらに、絶縁層48も除去する（図21）。これにより、金属埋め込み部43bの上部が、半導体基板11の裏面（受光面11S）から突出する。金属埋め込み部43bのうち、半導体基板11の裏面（受光面11S）から突出した部分が、上述の突出部43Bである。続いて、突出部43Bで囲まれた窪み部分にカラーフィルタ40を形成した後、カラーフィルタ40上に受光レンズ50を形成する（図22）。このとき、金属埋め込み部43b（具体的には突出部43B）に接するように、受光レンズ50を形成する。このようにして、撮像装置1が製造される。

[0049] [効果]

次に、本実施の形態に係る撮像装置1の効果について説明する。

[0050] 撮像装置において、画素間のクロストークを抑えることは、重要な課題である。画素間のクロストークを抑えるために、従来では、画素間にD T Iと呼ばれる分離構造を設けることが一般的である。例えば、非特許文献1には、シリコンウェハの上面側から形成されたF D T Iが開示されている。また、例えば、非特許文献2、3には、シリコンウェハの裏面側から形成されたB D T Iが開示されている。

[0051] 非特許文献1に記載のF D T Iは、プロセスの初期段階で形成される。そのため、F D T Iの材料は、後段のプロセスで用いられる高温の熱処理に耐え得る材料に限定される。そのような材料としては、S i OやS i Nなどの絶縁材料や、ポリシリコンが挙げられる。そのため、非特許文献1に記載のD T Iでは、光漏れによるクロストークの悪化や、光吸収による感度低下が生じるという問題がある。

[0052] また、非特許文献2、3に記載のB D T Iは、配線工程後のプロセス終盤で形成される。そのため、B D T Iの材料は、シリコンウェハに作り込まれた構成に悪影響を及ぼさない程度に低い温度で形成可能な材料に限定される

。そのため、非特許文献 2，3 に記載の D T I では、暗電流や画素劣化が生じるという問題がある。非特許文献 2 に記載の D T I では、さらに、反射率が低いため感度が不十分という問題もある。

[0053] 一方、本実施の形態では、隣接する 2 つの P D 4 1 の間から、隣接する 2 つのカラーフィルタ 4 0 の間にかけて延在する素子分離部 4 3 が設けられている。これにより、P D 4 1 とカラーフィルタ 4 0 との隙間を介した光漏れを抑制することができる。その結果、素子分離部 4 3 を設けない場合と比べて、センサ画素 1 2 間のクロストークをより効果的に抑えることができる。さらに、本実施の形態では、p 型固相拡散層 4 4 が素子分離部 4 3 のうち、P D 4 1 側の面に接して形成されている。これにより、P D 4 1 への暗電流の混入を低減することができる。従って、本実施の形態では、センサ画素 1 2 間のクロストークだけでなく、P D 4 1 への暗電流の混入をより効果的に抑えることができる。

[0054] また、本実施の形態では、p 型固相拡散層 4 4 と p ウェル層 4 2 とが互いに電氣的に導通している。これにより、素子分離部 4 3 と半導体基板 1 1 との界面が p 型固相拡散層 4 4 で覆われ、p 型固相拡散層 4 4 が p ウェル層 4 2 と導通している。その結果、素子分離部 4 3 と半導体基板 1 1 との界面で発生した電子は P D 4 1 へ流れ込まず、暗電流を低減することができる。

[0055] また、本実施の形態では、素子分離部 4 3 が、半導体基板 1 1 に設けられたトレンチ 1 1 A 内に設けられるとともに半導体基板 1 1 の裏面（受光面 1 1 S）から突出して設けられている。これにより、各カラーフィルタ 4 0 を、金属埋め込み部 4 3 b の突出部 4 3 B で囲まれた窪み部分に設けることができ、さらに、金属埋め込み部 4 3 b の突出部 4 3 B に受光レンズ 5 0 の端部を当接させることができる。その結果、P D 4 1 とカラーフィルタ 4 0 との隙間を介した光漏れを抑制することができる。その結果、素子分離部 4 3 を設けない場合と比べて、センサ画素 1 2 間のクロストークをより効果的に抑えることができる。

[0056] また、本実施の形態では、素子分離部 4 3 が、トレンチ 1 1 A の内壁に接

する絶縁膜43aと、絶縁膜43aの内側に形成された金属埋め込み部43bとによって構成されたDTI構造を有している。そして、このDTI構造が、隣接する2つのPD41の間から、隣接する2つのカラーフィルタ40の間にかけて延在している。これにより、PD41とカラーフィルタ40との隙間を介した光漏れを抑制することができる。その結果、素子分離部43を設けない場合と比べて、センサ画素12間のクロストークをより効果的に抑えることができる。

[0057] また、本実施の形態では、金属埋め込み部43bがアルミニウムまたはアルミニウム合金によって形成されている。ここで、アルミニウムまたはアルミニウム合金の、可視光に対する反射率は、タングステンの、可視光に対する反射率（50～60%程度）よりも高く、70%以上となっている。これにより、入射光を効率良くPD41に導くことができ、さらに、PD41とカラーフィルタ40との隙間を介した光漏れを抑制することができる。その結果、素子分離部43を設けない場合と比べて、PD41への光入射効率が良いだけでなく、センサ画素12間のクロストークをより効果的に抑えることができる。

[0058] また、本実施の形態では、金属埋め込み部43bが、熱処理による置換現象を利用して一括して形成されている。これにより、プロセスの初期段階で、トレンチ11A内にポリシリコンを形成しておき、配線工程後のプロセス終盤で、ポリシリコンから、高温の熱処理に耐え難い金属材料（例えば、アルミニウム、または、アルミニウム合金）に置き換えることが可能となる。その結果、素子分離部43をFDTIで形成した場合であっても、金属埋め込み部43bに、高温の熱処理に耐え難い金属材料（例えば、アルミニウム、または、アルミニウム合金）を用いることができる。従って、ポリシリコンなどの、高温の熱処理に耐え得る材料を用いた場合と比べて、PD41への光入射効率が良いだけでなく、センサ画素12間のクロストークをより効果的に抑えることができる。

[0059] また、本実施の形態では、トレンチ11Aおよび素子分離部43が、とも

に、半導体基板 11 を貫通して形成されている。これにより、センサ画素 12 間のクロストークをより効果的に抑えることができる。

[0060] <2. 第 1 の実施の形態の変形例>

以上、実施の形態を挙げて本開示を説明したが、本開示はこの実施の形態に限定されず、種々の変形が可能である。

[0061] [変形例 A]

例えば、上記実施の形態において、例えば、図 23 に示したように、金属埋め込み部 43b の突出部 43B の側面が、固定電荷膜 45 および反射防止膜 46 で覆われておらず、カラーフィルタ 40 に直接、接していてもよい。このとき、素子分離部 43 に含まれる DTI は、FDTI である。

[0062] この場合、例えば、図 15 に続く工程において、半導体基板 11 の裏面を BSG、CMP などを用いて研削し、半導体基板 11 を薄肉化する際に、ポリシリコン部 43b' も一緒に研削する（図 24）。次に、半導体基板 11 の裏面に、固定電荷膜 45 および反射防止膜 46 を順次、形成する（図 24）。続いて、反射防止膜 46 上に絶縁層 48 を形成したのち、固定電荷膜 45、反射防止膜 46 および絶縁層 48 のうち、ポリシリコン部 43b' と対向する箇所を選択的にエッチングする。このようにして、固定電荷膜 45、反射防止膜 46 および絶縁層 48 に、トレンチ 76 を形成する（図 25）。このとき、トレンチ 76 の底面には、ポリシリコン部 43b' が露出している。

[0063] 次に、例えば、スパッタ法を用いて、ポリシリコン部 43b' のうち、トレンチ 76 の底面に露出した部分に接するように、アルミニウム層 49 を形成する（図 26）。続いて、熱処理による置換現象を利用して、ポリシリコンをアルミニウムに置き換える。これにより、トレンチ 11A 内のポリシリコン部 43b' を金属埋め込み部 43b に置き換える（図 27）。なお、アルミニウム層 49 の代わりにアルミニウム合金層を形成してもよい。このとき、熱処理による置換現象を利用して、ポリシリコンをアルミニウム合金に置き

換えることができる。

[0064] 次に、表面のアルミニウム層 4 9 を除去し（図 2 8）、さらに、絶縁層 4 8 も除去する（図 2 9）。これにより、金属埋め込み部 4 3 b の一部を、半導体基板 1 1 の裏面から突出させる（図 2 9）。以下、金属埋め込み部 4 3 b のうち、半導体基板 1 1 の裏面から突出した部分が、上述の突出部 4 3 B である。また、半導体基板 1 1 の裏面のうち、突出部 4 3 B で囲まれた領域が、上述の受光面 1 1 S である。続いて、金属埋め込み部 4 3 b の突出部 4 3 B で囲まれた窪み部分にカラーフィルタ 4 0 を形成した後、カラーフィルタ 4 0 上に受光レンズ 5 0 を形成する（図 3 0）。このとき、金属埋め込み部 4 3 b（特に突出部 4 3 B）に接するように、受光レンズ 5 0 を形成する。このようにして、撮像装置 1 が製造される。

[0065] 本変形例では、突出部 4 3 B の側面が固定電荷膜 4 5 および反射防止膜 4 6 で覆われていない点を除いて、他の構成については、上記実施の形態の構成と共通している。従って、本変形例では、上記実施の形態と同様の効果を奏する。

[0066] [変形例 B]

上記変形例 A に係る撮像装置 1 において、例えば、図 3 1 に示したように、素子分離部 4 3 の代わりに、素子分離部 8 2 が設けられていてもよい。ここで、素子分離部 8 2 は、半導体基板 1 1 の裏面（受光面 1 1 S）側から形成された B D T 1 である。素子分離部 8 2 は、半導体基板 1 1 を貫通しておらず、互いに隣接するセンサ画素 1 2 において、p ウェル層 4 2 が互いに電氣的に導通している。

[0067] 第 1 基板 1 0 は、各センサ画素 1 2 を分離する素子分離部 8 2 を有している。素子分離部 8 2 は、半導体基板 1 1 の法線方向（厚さ方向）に延在して形成されている。素子分離部 8 2 は、互いに隣接する 2 つの P D 4 1 の間から、互いに隣接する 2 つのカラーフィルタ 4 0 の間にかけて延在している。素子分離部 8 2 は、半導体基板 1 1 に設けられたトレンチ 1 1 B 内に設けられるとともに半導体基板 1 1 の受光面 1 1 S から突出して設けられている。

トレンチ 11 B は、半導体基板 11 の法線方向（厚さ方向）に延在して形成されている。素子分離部 8 2 は、互いに隣接する 2 つの PD 4 1 を電氣的、光学的に分離するとともに、互いに隣接する 2 つのカラーフィルタ 4 0 を光学的に分離する。

[0068] 素子分離部 8 2 およびトレンチ 11 B は、センサ画素 1 2 を水平面内方向において取り囲むように形成されている。素子分離部 8 2 およびトレンチ 11 B は、さらに、半導体基板 11 を貫通せず、素子分離部 8 2 およびトレンチ 11 B の一端が、p ウェル層 4 2 内に設けられている。素子分離部 8 2 は、DTI 構造を含んで構成されている。この DTI は、半導体基板 11 の裏面側（受光面 11 S 側）から形成する BDTI である。この DTI 構造は、半導体基板 11 の法線方向（厚さ方向）に延在して形成されている。この DTI 構造は、互いに隣接する 2 つの PD 4 1 の間から、互いに隣接する 2 つのカラーフィルタ 4 0 の間にかけて延在している。この DTI 構造は、半導体基板 11 に設けられたトレンチ 11 B 内に設けられるとともに半導体基板 11 の受光面 11 S から突出して設けられている。

[0069] 素子分離部 8 2 において、DTI は、半導体基板 11 に設けられたトレンチ 11 B の内壁に接する絶縁膜 8 2 a と、絶縁膜 8 2 a の内側に設けられた金属埋め込み部 8 2 b とによって構成されている。絶縁膜 8 2 a は、例えば、負の固定電荷を有する絶縁膜（つまり、固定電荷膜）によって形成されている。このとき、絶縁膜 8 2 a は、半導体基板 11 のトレンチ 11 B の界面準位に起因する暗電流の発生を抑制する。金属埋め込み部 8 2 b は、例えば、アルミニウム、またはアルミニウム合金によって形成されている。金属埋め込み部 8 2 b は、例えば、CVD を用いて形成されている。なお、金属埋め込み部 8 2 b は、熱処理による置換現象を利用して形成されていてもよい。

[0070] 素子分離部 8 2 は、受光レンズ 5 0 に接して形成されている。素子分離部 8 2 は、素子分離部 8 2 のうち、半導体基板 11 の裏面（受光面 11 S）から突出した突出部 8 2 B が受光レンズ 5 0 に接するように形成されている。

そのため、素子分離部 8 2 は、互いに隣接する 2 つのカラーフィルタ 4 0 の間に延在して形成されている。つまり、素子分離部 8 2（具体的には D T 1）は、互いに隣接する 2 つの P D 4 1 を分離するだけでなく、P D 4 1 とカラーフィルタ 4 0 との間も分離する。

[0071] 次に、本変形例に係る撮像装置 1 の製造方法について説明する。

[0072] 本変形例では、上記変形例 A に係る撮像装置 1 の製造工程において、半導体基板 1 1 にトレンチ 1 1 を形成せずに、第 1 基板 1 0 を形成し、第 1 基板 1 0 上に第 2 基板 2 0 および第 3 基板 3 0 を形成する（図 3 2）。続いて、半導体基板 1 1 の裏面に、固定電荷膜 4 5、反射防止膜 4 6 および絶縁層 8 1 を形成する（図 3 2）。絶縁層 8 1 は、例えば、プラズマ C V D によって、S i O 2 を堆積させることにより形成され得る。

[0073] 次に、絶縁層 8 1 上に所定のパターンのマスクを形成した後、ドライエッチングにより、絶縁層 8 1、反射防止膜 4 6、固定電荷膜 4 5 および半導体基板 1 1 を選択的に除去する。これにより、半導体基板 1 1 に、素子分離用のトレンチ 1 1 B を形成する（図 3 3）。その後、マスクを除去する。続いて、トレンチ 1 1 B の内壁に、絶縁膜 8 2 a を形成した後、例えば、C V D を用いて、トレンチ 1 1 B 内に、金属埋め込み部 8 2 b を形成する（図 3 4）。このとき、金属埋め込み部 8 2 b は、例えば、アルミニウムまたはアルミニウム合金によって構成されている。なお、上述の置換現象を用いて、トレンチ 1 1 B 内に、金属埋め込み部 8 2 b を形成してもよい。

[0074] 次に、表面の絶縁層 8 1 を除去する（図 3 5）。これにより、金属埋め込み部 8 2 b の一部を、半導体基板 1 1 の裏面から突出させる（図 3 5）。以下、金属埋め込み部 8 2 b のうち、半導体基板 1 1 の裏面から突出した部分を突出部 8 2 B と称する。また、半導体基板 1 1 の裏面のうち、突出部 8 2 B で囲まれた領域を受光面 1 1 S と称する。受光面 1 1 S は、突出部 8 2 B によって形成される窪み部分の底面に相当する。続いて、突出部 8 2 B で囲まれた窪み部分にカラーフィルタ 4 0 を形成した後、カラーフィルタ 4 0 上に受光レンズ 5 0 を形成する（図 3 6）。このとき、金属埋め込み部 8 2 b

に接するように、受光レンズ50を形成する。このようにして、撮像装置1が製造される。

[0075] 次に、本変形例に係る撮像装置1の効果について説明する。

[0076] 本変形例では、隣接する2つのPD41の間から、隣接する2つのカラーフィルタ40の間にかけて延在する素子分離部82が設けられている。これにより、PD41とカラーフィルタ40との隙間を介した光漏れを抑制することができる。その結果、素子分離部82を設けない場合と比べて、センサ画素12間のクロストークをより効果的に抑えることができる。

[0077] また、本変形例では、素子分離部82が、半導体基板11に設けられたトレンチ11B内に設けられるとともに半導体基板11の裏面（受光面11S）から突出して設けられている。これにより、各カラーフィルタ40を、金属埋め込み部82bの突出部82Bで囲まれた窪み部分に設けることができ、さらに、金属埋め込み部82bの突出部82Bに受光レンズ50の端部を当接させることができる。その結果、PD41とカラーフィルタ40との隙間を介した光漏れを抑制することができる。その結果、素子分離部82を設けない場合と比べて、センサ画素12間のクロストークをより効果的に抑えることができる。

[0078] また、本変形例では、素子分離部82が、トレンチ11Bの内壁に接する絶縁膜82aと、絶縁膜82aの内側に形成された金属埋め込み部82bとによって構成されたDTI構造を有している。そして、このDTI構造が、隣接する2つのPD41の間から、隣接する2つのカラーフィルタ40の間にかけて延在している。これにより、PD41とカラーフィルタ40との隙間を介した光漏れを抑制することができる。その結果、素子分離部82を設けない場合と比べて、センサ画素12間のクロストークをより効果的に抑えることができる。

[0079] また、本変形例では、金属埋め込み部82bがアルミニウムまたはアルミニウム合金によって形成されている。ここで、アルミニウムまたはアルミニウム合金の、可視光に対する反射率は、タングステンの、可視光に対する反

射率（５０～６０％程度）よりも高く、７０％以上となっている。これにより、入射光を効率良くＰＤ４１に導くことができ、さらに、ＰＤ４１とカラーフィルタ４０との隙間を介した光漏れを抑制することができる。その結果、素子分離部８２を設けない場合と比べて、ＰＤ４１への光入射効率が良いだけでなく、センサ画素１２間のクロストークをより効果的に抑えることができる。

[0080] ＜３．第２の実施の形態＞

図３７は、本開示の第２の実施の形態に係る撮像装置２の概略構成の一例を表したものである。撮像装置２は、２つの基板（第１基板１１０、第３基板３０）を備えている。撮像装置２は、２つの基板（第１基板１１０、第３基板３０）を貼り合わせて構成された３次元構造の撮像装置である。

[0081] 第１基板１１０は、半導体基板１１１上に複数の画素１１２を有する基板である。複数の画素１１２は、第１基板１１０における画素領域１１３内に行列状に設けられている。画素１１２は、センサ画素１２と、読み出し回路２２とを有している。読み出し回路２２は、例えば、図３８に示したように、センサ画素１２ごとに１つずつ設けられている。第１基板１１０は、さらに、半導体基板１１１上に配線層１１４を有している。配線層１１４は、複数の画素駆動線２３と、複数の垂直信号線２４とを有している。第３基板３０は、半導体基板３１上にロジック回路３２を有する基板である。ロジック回路３２は、例えば、垂直駆動回路３３、カラム信号処理回路３４、水平駆動回路３５およびシステム制御回路３６を有している。

[0082] 図３９は、撮像装置２の垂直方向の断面構成の一例を表したものである。図３９には、撮像装置２において、画素１１２と対向する箇所の断面構成が例示されている。撮像装置２は、第１基板１１０および第３基板３０を互いに重ね合わせた積層体を備えており、さらに、第１基板１１０の裏面側に、複数のカラーフィルタ４０および複数の受光レンズ５０を備えている。複数のカラーフィルタ４０および複数の受光レンズ５０は、それぞれ、例えば、ＰＤ４１ごとに１つずつ設けられており、ＰＤ４１と対向する位置に設けら

れている。センサ画素12は、例えば、PD41と、転送トランジスタTRと、フローティングディフュージョンFDと、カラーフィルタ40とを含んで構成されている。

[0083] 第1基板110は、半導体基板111上に配線層114を積層して構成されている。配線層114は、半導体基板111と、第3基板30との間隙に設けられている。半導体基板111は、シリコン基板で構成されている。半導体基板111は、例えば、上面の一部およびその近傍に、pウェル層85を有しており、pウェル層85よりも深い領域に、pウェル層85とは異なる導電型のPD41を有している。pウェル層85は、半導体基板111の、受光面11Sとは反対の面側に設けられている。半導体基板111は、さらに、例えば、PD41よりも深い領域に、PDの一部となるn型半導体層84を有している。pウェル層85の導電型は、p型となっている。PD41の導電型は、pウェル層85とは異なる導電型となっており、n型となっている。n型半導体層84の導電型は、n型となっている。半導体基板111は、pウェル層85内に、pウェル層85とは異なる導電型のフローティングディフュージョンFDを有している。

[0084] 第1基板110は、フォトダイオードPD、転送トランジスタTRおよびフローティングディフュージョンFDをセンサ画素12ごとに有している。第1基板110は、半導体基板111の上面に、フォトダイオードPD、転送トランジスタTRおよびフローティングディフュージョンFDが設けられた構成となっている。第1基板110は、各センサ画素12を分離する素子分離部83を有している。素子分離部83は、半導体基板111の法線方向（厚さ方向）に延在して形成されている。素子分離部83は、互いに隣接する2つのPD41の間から、互いに隣接する2つのカラーフィルタ40の間にかけて延在している。素子分離部83は、半導体基板111に設けられたトレンチ11C内に設けられるとともに半導体基板111の受光面11Sから突出して設けられている。トレンチ11Cは、半導体基板111の法線方向（厚さ方向）に延在して形成されている。素子分離部83は、互いに隣接

する2つのPD41を電氣的、光学的に分離するとともに、互いに隣接する2つのカラーフィルタ40を光学的に分離する。

[0085] 素子分離部83およびトレンチ11Cは、センサ画素12を水平面内方向において取り囲むように形成されている。素子分離部83およびトレンチ11Cは、さらに、半導体基板111を貫通せず、素子分離部83およびトレンチ11Cの一端が、pウェル層85内に設けられている。素子分離部83は、DTI構造を含んで構成されている。このDTIは、半導体基板111の受光面11S側から形成されたFDTIである。このDTI構造は、半導体基板111の法線方向（厚さ方向）に延在して形成されている。このDTI構造は、互いに隣接する2つのPD41の間から、互いに隣接する2つのカラーフィルタ40の間にかけて延在して設けられている。このDTI構造は、半導体基板111に設けられたトレンチ11C内に設けられるとともに半導体基板111の受光面11Sから突出して設けられている。

[0086] 素子分離部83において、DTIは、半導体基板111に設けられたトレンチ11Cの内壁に接する絶縁膜83aと、絶縁膜83aの内側に設けられた金属埋め込み部83bとによって構成されている。絶縁膜83aは、例えば、半導体基板111を熱酸化することにより形成された酸化膜であり、例えば、酸化シリコンによって形成されている。金属埋め込み部83bは、例えば、熱処理による置換現象を利用して形成されており、例えば、アルミニウムまたはアルミニウム合金によって形成されている。金属埋め込み部83bは、例えば、熱処理による置換現象を利用して一括して形成されている。

[0087] 第1基板110は、例えば、さらに、素子分離部83の、PD41側の面に接するp型固相拡散層44を有している。p型固相拡散層44の導電型は、PD41とは異なる導電型となっており、p型となっている。p型固相拡散層44は、pウェル層85に接しており、pウェル層85と電氣的に導通している。p型固相拡散層44は、半導体基板111に設けられたトレンチ11Cの内面からp型の不純物を拡散させることにより形成されており、PD41への暗電流の混入を低減させる。

[0088] 第1基板110は、例えば、さらに、半導体基板111の裏面（受光面11S）に接する固定電荷膜45を有している。第1基板110は、例えば、さらに、半導体基板111の裏面側に反射防止膜46を有している。カラーフィルタ40は、半導体基板111の裏面（受光面11S）側に設けられている。カラーフィルタ40は、例えば、反射防止膜46に接して形成されており、固定電荷膜45および反射防止膜46を介してPD41と対向する位置に設けられている。受光レンズ50は、例えば、カラーフィルタ40に接して設けられており、カラーフィルタ40、固定電荷膜45および反射防止膜46を介してPD41と対向する位置に設けられている。

[0089] 素子分離部83は、受光レンズ50に接して形成されている。素子分離部83は、素子分離部83のうち、半導体基板111の上面（受光面11S）から突出した突出部83Bが受光レンズ50に接するように形成されている。そのため、素子分離部83は、隣接する2つのPD41の間から、隣接する2つのカラーフィルタ40の間にかけて延在して形成されている。つまり、素子分離部83（具体的にはDTI）は、互いに隣接する2つのPD41を分離するだけでなく、PD41とカラーフィルタ40との隙間も分離する。

[0090] 次に、本実施の形態に係る撮像装置2の製造方法について説明する。

[0091] 本実施の形態では、まず、半導体基板111の上部にn型半導体層84を形成する（図40）。n型半導体層84は、PD41と一体化して、一つのフォトダイオードを形成しており、フォトダイオードを所定のポテンシャルに調整するためのものである。本実施の形態では、フォトダイオードを半導体基板111の表面側からも裏面側からも形成することが出来るので、製造上の自由度が上がるだけでなく、より高性能なフォトダイオードの最適化に適している。次に、半導体基板111の表面に、SiO₂膜71、SiN膜72を順次、堆積させる（図40）。続いて、SiN膜72上に所定のパターンのマスクを形成した後、ドライエッチングにより、SiN膜72、SiO₂膜71および半導体基板111を選択的に除去する。これにより、半導

体基板 1 1 1 に、素子分離用のトレンチ 1 1 C を形成する（図 4 0）。その後、マスクを除去する。続いて、トレンチ 1 1 C を含む表面全体に、ボロンを含んだシリケートガラス B S G 膜 7 3 を堆積させる。

[0092] 続いて、高温の熱処理で、シリケートガラス B S G 膜 7 3 に含まれるボロンを半導体基板 1 1 1 中に拡散させ、D T I と自己整合的にサイドウォールパッシベーションとなる p 型固相拡散層 4 4 を形成する（図 4 1）。次に、シリケートガラス B S G 膜 7 3 を除去した後、トレンチ 1 1 C の内壁を熱酸化することにより、トレンチ 1 1 C の内壁に接する絶縁膜 8 3 a を形成し、さらに、トレンチ 1 1 C を埋め込むようにポリシリコン部 8 3 b' を形成した後、CMP による表面研磨により、ポリシリコン部 8 3 b' のうち表面部分を除去する（図 4 2）。このようにして、トレンチ 1 1 C 内に D T I を形成する。

[0093] 次に、ポリシリコン部 8 3 b' および S i N 膜 7 2 を含む表面に、基板 9 0 を貼り合わせる（図 4 3）。基板 9 0 は、支持基板 9 1 上に S i O 2 膜 9 2 が形成されたものである。続いて、必要に応じて、半導体基板 1 1 1 の裏面を、B S G、CMP などを用いて研削し、半導体基板 1 1 1 を薄肉化する。続いて、半導体基板 1 1 1 の裏面（図 4 4 では上側の面）に p ウェル層 8 5 を形成する（図 4 4）。このとき、p ウェル層 8 5 が p 型固相拡散層 4 4 と電氣的に導通するように p ウェル層 8 5 を形成する。続いて、p ウェル層 8 5 の所定の箇所に、転送ゲート T G およびフローティングディフュージョン F D を形成する（図 4 4）。その後、配線層 1 1 4 を形成する（図 4 5）。このようにして、第 1 基板 1 1 0 が形成される。続いて、上記第 1 の実施の形態と同様の方法で、第 1 基板 1 1 0 に第 3 基板 3 0 を貼り合わせる（図 4 6）。その後、基板 9 0 を剥離する（図 4 7）。

[0094] 次に、S i O 2 膜 7 1 および S i N 膜 7 2 を除去する（図 4 8）。これにより、ポリシリコン部 8 3 b' の一部を、半導体基板 1 1 1 の上面から突出させる（図 4 8）。以下、ポリシリコン部 8 3 b' のうち、半導体基板 1 1 1 の上面から突出した部分を突出部 8 3 B' と称する。また、半導体基板 1

11の上面のうち、突出部83B'で囲まれた領域を受光面11Sと称する。受光面11Sは、突出部83B'によって形成される窪み部分の底面に相当する。続いて、突出部83B'で囲まれた窪み部分に、固定電荷膜45、反射防止膜46および絶縁層48を形成する(図49)。

[0095] 次に、例えば、スパッタ法を用いて、突出部83B'に接するように、アルミニウム層49を形成する(図50)。続いて、熱処理による置換現象を利用して、ポリシリコンをアルミニウムに置き換える。これにより、トレンチ11C内のポリシリコン部83b'を金属埋め込み部83bに置き換える(図51)。なお、アルミニウム層49の代わりにアルミニウム合金層を形成してもよい。このとき、熱処理による置換現象を利用して、ポリシリコンをアルミニウム合金に置き換えることができる。

[0096] 次に、表面のアルミニウム層49を除去し(図52)、さらに、絶縁層48も除去する(図53)。これにより、金属埋め込み部83bの上部を、半導体基板111の上面(受光面11S)から突出させる。金属埋め込み部83bのうち、半導体基板111の上面(受光面11S)から突出した部分が、上述の突出部83Bである。続いて、突出部83Bで囲まれた窪み部分にカラーフィルタ40を形成した後、カラーフィルタ40上に受光レンズ50を形成する(図54)。このとき、金属埋め込み部43bに接するように、受光レンズ50を形成する。このようにして、撮像装置2が製造される。

[0097] 次に、本実施の形態に係る撮像装置2の効果について説明する。

[0098] 本実施の形態では、隣接する2つのPD41の間から、隣接する2つのカラーフィルタ40の間にかけて延在する素子分離部83が設けられている。これにより、PD41およびn型半導体層84が一体化した一つのフォトダイオードと、カラーフィルタ40との隙間を介した光漏れを抑制することができる。その結果、素子分離部83を設けない場合と比べて、センサ画素12間のクロストークをより効果的に抑えることができる。さらに、本実施の形態では、p型固相拡散層44が素子分離部83のうち、PD41側の面に接して形成されている。これにより、PD41への暗電流の混入を低減する

ことができる。従って、本実施の形態では、センサ画素１２間のクロストークだけでなく、PD４１への暗電流の混入をより効果的に抑えることができる。

[0099] また、本実施の形態では、p型固相拡散層４４とpウェル層８５とが互いに電氣的に導通している。これにより、素子分離部４３と半導体基板１１との界面がp型固相拡散層４４で覆われ、p型固相拡散層４４がpウェル層４２と導通している。その結果、素子分離部４３と半導体基板１１との界面で発生した電子はPD４１へ流れ込まず、暗電流を低減することができる。

[0100] また、本実施の形態では、素子分離部８３が、半導体基板１１１に設けられたトレンチ１１Ｃ内に設けられるとともに半導体基板１１１の上面（受光面１１Ｓ）から突出して設けられている。これにより、各カラーフィルタ４０を、金属埋め込み部８３ｂの突出部８３Ｂで囲まれた窪み部分に設けることができ、さらに、金属埋め込み部８３ｂの突出部８３Ｂに受光レンズ５０の端部を当接させることができる。その結果、PD４１とカラーフィルタ４０との隙間を介した光漏れを抑制することができる。その結果、素子分離部８３を設けない場合と比べて、センサ画素１２間のクロストークをより効果的に抑えることができる。

[0101] また、本実施の形態では、素子分離部８３が、トレンチ１１Ｃの内壁に接する絶縁膜８３ａと、絶縁膜８３ａの内側に形成された金属埋め込み部８３ｂとによって構成されたDTI構造を有している。そして、このDTI構造が、隣接する２つのPD４１の間から、隣接する２つのカラーフィルタ４０の間にかけて延在して設けられている。これにより、PD４１とカラーフィルタ４０との隙間を介した光漏れを抑制することができる。その結果、素子分離部８３を設けない場合と比べて、センサ画素１２間のクロストークをより効果的に抑えることができる。

[0102] また、本実施の形態では、金属埋め込み部８３ｂがアルミニウムまたはアルミニウム合金によって形成されている。ここで、アルミニウムまたはアルミニウム合金の、可視光に対する反射率は、タングステンの、可視光に対す

る反射率（５０～６０％程度）よりも高く、７０％以上となっている。これにより、入射光を効率良くＰＤ４１に導くことができ、さらに、ＰＤ４１とカラーフィルタ４０との隙間を介した光漏れを抑制することができる。その結果、素子分離部８３を設けない場合と比べて、ＰＤ４１への光入射効率が良いだけでなく、センサ画素１２間のクロストークをより効果的に抑えることができる。

[0103] ＜４．各実施の形態の変形例＞

次に、各実施の形態における変形例について説明する。

[0104] [変形例Ｃ]

第１の実施の形態および変形例Ａ，Ｂに係る撮像装置１において、第２基板２０が、複数のセンサ画素１２ごとに１つの読み出し回路２２を有していてもよい。例えば、図５５に示したように、第２基板２０が、４つのセンサ画素１２ごとに１つの読み出し回路２２を有していてもよい。このとき、４つのセンサ画素１２が１つの読み出し回路２２を共有している。あるいは、第２基板２０が、８つのセンサ画素１２ごとに１つの読み出し回路２２を有していてもよい（図示せず）。

[0105] [変形例Ｄ]

第２の実施の形態に係る撮像装置２において、第１基板１１０が、複数のセンサ画素１２ごとに１つの読み出し回路２２を有していてもよい。例えば、図５６に示したように、第１基板１１０が、４つのセンサ画素１２ごとに１つの読み出し回路２２を有していてもよい。このとき、４つのセンサ画素１２が１つの読み出し回路２２を共有している。あるいは、第１基板１１０が、８つのセンサ画素１２ごとに１つの読み出し回路２２を有していてもよい（図示せず）。また、変形例Ｄにおいて、１つの読み出し回路２２を共有する各センサ画素１２が、互いに別個のフローティングディフュージョンＦＤを有していてもよい。

[0106] [変形例Ｅ]

例えば、図５７に示したように、変形例Ｄにおいて、１つの読み出し回路

22を共有する各センサ画素12が、フローティングディフュージョンFDを共有していてもよい。また、例えば、図58に示したように、変形例Dにおいて、1つの読み出し回路22を共有する各センサ画素12が、フローティングディフュージョンFDを共有していてもよい。

[0107] 図59は、図57のA-A線での断面構成例を表したものである。図60は、図58のA-A線での断面構成例を表したものである。図59には、転送トランジスタTRが平面型の転送ゲートTGを有しており、転送ゲートTGがpウェル層85を貫通しておらず、半導体基板111の表面だけに形成されている場合が例示されている。一方、図60には、転送トランジスタTRが縦型の転送ゲートTGを有しており、転送ゲートTGがpウェル層85を貫通してPD41に達する深さまで延在している場合が例示されている。図59、図60では、pウェル層85が素子分離部83によってセンサ画素112ごとに分離されていない。

[0108] PD41からフローティングディフュージョンFDに電荷を転送する転送ゲートTGのチャネル長 a 、 a' は所定の長さが必要である。そのため、縦型の転送ゲートTGのゲート長 b' を、平面型の転送ゲートTGのゲート長 b よりも短くすることができる。故に、縦型の転送ゲートTGに接続された読み出し回路22のトランジスタ（例えば、増幅トランジスタAMP）のサイズ c' を、平面型の転送ゲートTGに接続された読み出し回路22のトランジスタ（例えば、増幅トランジスタAMP）のサイズ c よりも大きくすることができる。従って、縦型の転送ゲートTGに接続された読み出し回路22の方が、平面型の転送ゲートTGに接続された読み出し回路22と比べて、ランダムノイズを低減することができる。

[0109] [変形例F]

例えば、図61に示したように、変形例C、Dにおいて、選択トランジスタSELが、電源線VDDと増幅トランジスタAMPとの間に設けられていてもよい。この場合、リセットトランジスタRSTのドレインが電源線VDDおよび選択トランジスタSELのドレインに電氣的に接続されている。選

択トランジスタSELのソースが増幅トランジスタAMPのドレインに電氣的に接続されており、選択トランジスタSELのゲートが画素駆動線23（図1参照）に電氣的に接続されている。増幅トランジスタAMPのソース（読み出し回路22の出力端）が垂直信号線24に電氣的に接続されており、増幅トランジスタAMPのゲートがリセットトランジスタRSTのソースに電氣的に接続されている。また、例えば、図62、図63に示したように、FD転送トランジスタFDGが、リセットトランジスタRSTのソースと増幅トランジスタAMPのゲートとの間に設けられていてもよい。

[0110] FD転送トランジスタFDGは、変換効率を切り替える際に用いられる。一般に、暗い場所での撮影時には画素信号が小さい。 $Q = CV$ に基づき、電荷電圧変換を行う際に、フローティングディフュージョンFDの容量（FD容量C）が大きければ、増幅トランジスタAMPで電圧に変換した際のVが小さくなってしまう。一方、明るい場所では、画素信号が大きくなるので、FD容量Cが大きくなければ、フローティングディフュージョンFDで、フォトダイオードPDの電荷を受けきれない。さらに、増幅トランジスタAMPで電圧に変換した際のVが大きくなりすぎないように（言い換えると、小さくなるように）、FD容量Cが大きくなっている必要がある。これらを踏まえると、FD転送トランジスタFDGをオンにしたときには、FD転送トランジスタFDG分のゲート容量が増えるので、全体のFD容量Cが大きくなる。一方、FD転送トランジスタFDGをオフにしたときには、全体のFD容量Cが小さくなる。このように、FD転送トランジスタFDGをオンオフ切り替えることで、FD容量Cを可変にし、変換効率を切り替えることができる。

[0111] 図64は、複数の読み出し回路22と、複数の垂直信号線24との接続態様の一例を表したものである。複数の読み出し回路22が、垂直信号線24の延在方向（例えば列方向）に並んで配置されている場合、複数の垂直信号線24は、読み出し回路22ごとに1つずつ割り当てられていてもよい。例えば、図64に示したように、4つの読み出し回路22が、垂直信号線24

の延在方向（例えば列方向）に並んで配置されている場合、4つの垂直信号線24が、読み出し回路22ごとに1つずつ割り当てられていてもよい。なお、図64では、各垂直信号線24を区別するために、各垂直信号線24の符号の末尾に識別番号（1，2，3，4）が付与されている。

[0112] [変形例G]

図65、図66は、図55、図61の構成を備えた撮像装置1の水平方向の断面構成の一変形例を表したものである。図65、図66の上側の図は、変形例C，Fの構成を備えた撮像装置1における、絶縁層46を水平方向に切断したときの断面構成の一例を表す図であり、図65、図66の下側の図は、変形例C，Fの構成を備えた撮像装置1における、絶縁層52を水平方向に切断したときの断面構成の一例を表す図である。図65には、2×2の4つのセンサ画素12を2組、第2方向Hに並べた構成が例示されており、図66には、2×2の4つのセンサ画素12を4組、第1方向Vおよび第2方向Hに並べた構成が例示されている。なお、図65、図66の上側の断面図では、変形例C，Fの構成を備えた撮像装置1における、絶縁層46を水平方向に切断したときの断面構成の一例を表す図に、半導体基板11の表面構成の一例を表す図が重ね合わされるとともに、絶縁層46が省略されている。また、図65、図66の下側の断面図では、変形例C，Fの構成を備えた撮像装置1における、絶縁層52を水平方向に切断したときの断面構成の一例を表す図に、半導体基板21の表面構成の一例を表す図が重ね合わされている。

[0113] 第1基板10および第2基板20からなる積層体は、層間絶縁膜51内に設けられた貫通配線67，68を有している。上記積層体は、センサ画素12ごとに、1つの貫通配線67と、1つの貫通配線68とを有している。貫通配線67，68は、それぞれ、半導体基板21の法線方向に延びており、層間絶縁膜51のうち、絶縁層53を含む箇所を貫通して設けられている。第1基板10および第2基板20は、貫通配線67，68によって互いに電氣的に接続されている。具体的には、貫通配線67は、半導体基板11のp

ウェル層 4 2 と、第 2 基板 2 0 内の配線とに電氣的に接続されている。貫通配線 6 8 は、転送ゲート T G および画素駆動線 2 3 に電氣的に接続されている。図 6 5、図 6 6 に示したように、複数の貫通配線 5 4、複数の貫通配線 6 8 および複数の貫通配線 6 7 は、第 1 基板 1 0 の面内において第 1 方向 V（図 6 5 の上下方向、図 6 6 の左右方向）に帯状に並んで配置されている。なお、図 6 5、図 6 6 には、複数の貫通配線 5 4、複数の貫通配線 6 8 および複数の貫通配線 6 7 が第 1 方向 V に 2 列に並んで配置されている場合が例示されている。第 1 方向 V は、マトリクス状の配置された複数のセンサ画素 1 2 の 2 つの配列方向（例えば行方向および列方向）のうち一方の配列方向（例えば列方向）と平行となっている。読み出し回路 2 2 を共有する 4 つのセンサ画素 1 2 において、4 つのフローティングディフュージョン F D は、例えば、素子分離部 4 3 を介して互いに近接して配置されている。読み出し回路 2 2 を共有する 4 つのセンサ画素 1 2 において、4 つの転送ゲート T G は、4 つのフローティングディフュージョン F D を囲むように配置されており、例えば、4 つの転送ゲート T G によって円環形状となる形状となっている。

- [0114] 絶縁層 5 3 は、第 1 方向 V に延在する複数のブロックで構成されている。半導体基板 2 1 は、第 1 方向 V に延在するとともに、絶縁層 5 3 を介して第 1 方向 V と直交する第 2 方向 H に並んで配置された複数の島状のブロック 2 1 A で構成されている。各ブロック 2 1 A には、例えば、複数組のリセットトランジスタ R S T、増幅トランジスタ A M P および選択トランジスタ S E L が設けられている。4 つのセンサ画素 1 2 によって共有される 1 つの読み出し回路 2 2 は、例えば、4 つのセンサ画素 1 2 と対向する領域内にある、リセットトランジスタ R S T、増幅トランジスタ A M P および選択トランジスタ S E L によって構成されている。4 つのセンサ画素 1 2 によって共有される 1 つの読み出し回路 2 2 は、例えば、絶縁層 5 3 の左隣りのブロック 2 1 A 内の増幅トランジスタ A M P と、絶縁層 5 3 の右隣りのブロック 2 1 A 内のリセットトランジスタ R S T および選択トランジスタ S E L とによって

構成されている。

[0115] 図67、図68、図69、図70は、撮像装置1の水平面内での配線レイアウトの一例を表したものである。図67～図70には、4つのセンサ画素12によって共有される1つの読み出し回路22が4つのセンサ画素12と対向する領域内に設けられている場合が例示されている。図67～図70に記載の配線は、例えば、配線層56において互いに異なる層内に設けられている。

[0116] 互いに隣接する4つの貫通配線54は、例えば、図67に示したように、接続配線55と電氣的に接続されている。互いに隣接する4つの貫通配線54は、さらに、例えば、図67に示したように、接続配線55および接続部59を介して、絶縁層53の左隣りブロック21Aに含まれる増幅トランジスタAMPのゲートと、絶縁層53の右隣りブロック21Aに含まれるリセットトランジスタRSTのゲートとに電氣的に接続されている。

[0117] 電源線VDDは、例えば、図68に示したように、第2方向Hに並んで配置された各読み出し回路22と対向する位置に配置されている。電源線VDDは、例えば、図68に示したように、接続部59を介して、第2方向Hに並んで配置された各読み出し回路22の増幅トランジスタAMPのドレインおよびリセットトランジスタRSTのドレインに電氣的に接続されている。2本の画素駆動線23が、例えば、図68に示したように、第2方向Hに並んで配置された各読み出し回路22と対向する位置に配置されている。一方の画素駆動線23（第2制御線）は、例えば、図68に示したように、第2方向Hに並んで配置された各読み出し回路22のリセットトランジスタRSTのゲートに電氣的に接続された配線RSTGである。他方の画素駆動線23（第3制御線）は、例えば、図68に示したように、第2方向Hに並んで配置された各読み出し回路22の選択トランジスタSELのゲートに電氣的に接続された配線SELGである。各読み出し回路22において、増幅トランジスタAMPのソースと、選択トランジスタSELのドレインとが、例えば、図68に示したように、配線25を介して、互いに電氣的に接続されて

いる。

[0118] 2本の電源線VSSが、例えば、図69に示したように、第2方向Hに並んで配置された各読み出し回路22と対向する位置に配置されている。各電源線VSSは、例えば、図69に示したように、第2方向Hに並んで配置された各センサ画素12と対向する位置において、複数の貫通配線67に電氣的に接続されている。4本の画素駆動線23が、例えば、図69に示したように、第2方向Hに並んで配置された各読み出し回路22と対向する位置に配置されている。4本の画素駆動線23の各々は、例えば、図69に示したように、第2方向Hに並んで配置された各読み出し回路22に対応する4つのセンサ画素12のうちの1つのセンサ画素12の貫通配線68に電氣的に接続された配線TRGである。つまり、4本の画素駆動線23（第1制御線）は、第2方向Hに並んで配置された各センサ画素12の転送トランジスタTRのゲート（転送ゲートTG）に電氣的に接続されている。図69では、各配線TRGを区別するために、各配線TRGの末尾に識別番号（1，2，3，4）が付与されている。

[0119] 垂直信号線24は、例えば、図70に示したように、第1方向Vに並んで配置された各読み出し回路22と対向する位置に配置されている。垂直信号線24（出力線）は、例えば、図70に示したように、第1方向Vに並んで配置された各読み出し回路22の出力端（増幅トランジスタAMPのソース）に電氣的に接続されている。

[0120] [変形例H]

図71は、第1の実施の形態およびその変形例（A～C，E～G）に係る撮像装置1の垂直方向の断面構成の一変形例を表すものである。本変形例では、第2基板20と第3基板30との電氣的な接続が、第1基板10における周辺領域14と対向する領域でなされている。周辺領域14は、第1基板10の額縁領域に相当しており、画素領域13の周縁に設けられている。本変形例では、第2基板20は、周辺領域14と対向する領域に、複数のパッド電極58を有しており、第3基板30は、周辺領域14と対向する領域に

、複数のパッド電極 64 を有している。第 2 基板 20 および第 3 基板 30 は、周辺領域 14 と対向する領域に設けられたパッド電極 58, 64 同士の接合によって、互いに電氣的に接続されている。

[0121] このように、本変形例では、第 2 基板 20 および第 3 基板 30 が、周辺領域 14 と対向する領域に設けられたパッド電極 58, 64 同士の接合によって、互いに電氣的に接続されている。これにより、画素領域 13 と対向する領域で、パッド電極 58, 64 同士の接合する場合と比べて、1 画素あたりの面積の微細化を阻害するおそれを低減することができる。従って、今までと同等のチップサイズで、1 画素あたりの面積の微細化を阻害することのない 3 層構造の撮像装置 1 を提供することができる。

[0122] [変形例 I]

図 7 2、図 7 3 は、変形例 C, F, G, H に係る撮像装置 1 の水平方向の断面構成の一変形例を表すものである。図 7 2、図 7 3 の上側の図は、変形例 C, F, G, H の構成を備えた撮像装置 1 における、絶縁層 46 を水平方向に切断したときの断面構成の一変形例であり、図 7 2、図 7 3 の下側の図は、変形例 C, F, G, H の構成を備えた撮像装置 1 における、絶縁層 52 を水平方向に切断したときの断面構成の一変形例である。なお、図 7 2、図 7 3 の上側の断面図では、変形例 C, F, G, H の構成を備えた撮像装置 1 における、絶縁層 46 を水平方向に切断したときの断面構成の一変形例を表す図に、半導体基板 11 の表面構成の一変形例を表す図が重ね合わされるとともに、絶縁層 46 が省略されている。また、図 7 2、図 7 3 の下側の断面図では、変形例 C, F, G, H の構成を備えた撮像装置 1 における、絶縁層 52 を水平方向に切断したときの断面構成の一変形例を表す図に、半導体基板 21 の表面構成の一変形例を表す図が重ね合わされている。

[0123] 図 7 2、図 7 3 に示したように、複数の貫通配線 54、複数の貫通配線 68 および複数の貫通配線 67 (図中の行列状に配置された複数のドット) は、第 1 基板 10 の面内において第 1 方向 V (図 7 2、図 7 3 の左右方向) に帯状に並んで配置されている。なお、図 7 2、図 7 3 には、複数の貫通配線

5 4、複数の貫通配線 6 8 および複数の貫通配線 6 7 が第 1 方向 V に 2 列に並んで配置されている場合が例示されている。読み出し回路 2 2 を共有する 4 つのセンサ画素 1 2 において、4 つのフローティングディフュージョン F D は、例えば、素子分離部 4 3 を介して互いに近接して配置されている。読み出し回路 2 2 を共有する 4 つのセンサ画素 1 2 において、4 つの転送ゲート T G (T G 1 , T G 2 , T G 3 , T G 4) は、4 つのフローティングディフュージョン F D を囲むように配置されており、例えば、4 つの転送ゲート T G によって円環形状となる形状となっている。

[0124] 絶縁層 5 3 は、第 1 方向 V に延在する複数のブロックで構成されている。半導体基板 2 1 は、第 1 方向 V に延在するとともに、絶縁層 5 3 を介して第 1 方向 V と直交する第 2 方向 H に並んで配置された複数の島状のブロック 2 1 A で構成されている。各ブロック 2 1 A には、例えば、リセットトランジスタ R S T、増幅トランジスタ A M P および選択トランジスタ S E L が設けられている。4 つのセンサ画素 1 2 によって共有される 1 つの読み出し回路 2 2 は、例えば、4 つのセンサ画素 1 2 と正対して配置されておらず、第 2 方向 H にずれて配置されている。

[0125] 図 7 2 では、4 つのセンサ画素 1 2 によって共有される 1 つの読み出し回路 2 2 は、第 2 基板 2 0 において、4 つのセンサ画素 1 2 と対向する領域を第 2 方向 H にずらした領域内にある、リセットトランジスタ R S T、増幅トランジスタ A M P および選択トランジスタ S E L によって構成されている。4 つのセンサ画素 1 2 によって共有される 1 つの読み出し回路 2 2 は、例えば、1 つのブロック 2 1 A 内の増幅トランジスタ A M P、リセットトランジスタ R S T および選択トランジスタ S E L によって構成されている。

[0126] 図 7 3 では、4 つのセンサ画素 1 2 によって共有される 1 つの読み出し回路 2 2 は、第 2 基板 2 0 において、4 つのセンサ画素 1 2 と対向する領域を第 2 方向 H にずらした領域内にある、リセットトランジスタ R S T、増幅トランジスタ A M P、選択トランジスタ S E L および F D 転送トランジスタ F D G によって構成されている。4 つのセンサ画素 1 2 によって共有される 1

つの読み出し回路22は、例えば、1つのブロック21A内の増幅トランジスタAMP、リセットトランジスタRST、選択トランジスタSELおよびFD転送トランジスタFDGによって構成されている。

[0127] 本変形例では、4つのセンサ画素12によって共有される1つの読み出し回路22は、例えば、4つのセンサ画素12と正対して配置されておらず、4つのセンサ画素12と正対する位置から第2方向Hにずれて配置されている。このようにした場合には、配線25を短くすることができ、または、配線25を省略して、増幅トランジスタAMPのソースと、選択トランジスタSELのドレインとを共通の不純物領域で構成することもできる。その結果、読み出し回路22のサイズを小さくしたり、読み出し回路22内の他の箇所のサイズを大きくしたりすることができる。

[0128] [変形例J]

図74は、変形例C、F、G、H、Iに係る撮像装置1の水平方向の断面構成の一変形例を表すものである。図74の上側の図は、変形例C、F、G、H、Iの構成を備えた撮像装置1における、絶縁層46を水平方向に切断したときの断面構成の一例を表す図であり、図74の下側の図は、変形例C、F、G、H、Iの構成を備えた撮像装置1における、絶縁層52を水平方向に切断したときの断面構成の一例を表す図である。図74には、2×2の4つのセンサ画素12を2組、第2方向Hに並べた構成が例示されている。なお、図74の上側の断面図では、変形例C、F、G、H、Iの構成を備えた撮像装置1における、絶縁層46を水平方向に切断したときの断面構成の一例を表す図に、半導体基板11の表面構成の一例を表す図が重ね合わされるとともに、絶縁層46が省略されている。また、図74の下側の断面図では、変形例C、F、G、H、Iの構成を備えた撮像装置1における、絶縁層52を水平方向に切断したときの断面構成の一例を表す図に、半導体基板21の表面構成の一例を表す図が重ね合わされている。

[0129] 本変形例では、半導体基板21が、絶縁層53を介して第1方向Vおよび第2方向Hに並んで配置された複数の島状のブロック21Aで構成されてい

る。各ブロック21Aには、例えば、一組のリセットトランジスタRST、増幅トランジスタAMPおよび選択トランジスタSELが設けられている。このようにした場合には、互いに隣接する読み出し回路22同士のクロストークを、絶縁層53によって抑制することができ、再生画像上での解像度低下や混色による画質劣化を抑制することができる。

[0130] [変形例K]

図75は、変形例C、F、G、H、I、Jに係る撮像装置1の水平方向の断面構成の一変形例を表すものである。図75の上側の図は、変形例C、F、G、H、I、Jの構成を備えた撮像装置1における、絶縁層46を水平方向に切断したときの断面構成の一例を表す図であり、図75の下側の図は、変形例C、F、G、H、I、Jの構成を備えた撮像装置1における、絶縁層52を水平方向に切断したときの断面構成の一例を表す図である。図75には、2×2の4つのセンサ画素12を2組、第2方向Hに並べた構成が例示されている。なお、図75の上側の断面図では、変形例C、F、G、H、I、Jの構成を備えた撮像装置1における、絶縁層46を水平方向に切断したときの断面構成の一例を表す図に、半導体基板11の表面構成の一例を表す図が重ね合わされるとともに、絶縁層46が省略されている。また、図75の下側の断面図では、変形例C、F、G、H、I、Jの構成を備えた撮像装置1における、絶縁層52を水平方向に切断したときの断面構成の一例を表す図に、半導体基板21の表面構成の一例を表す図が重ね合わされている。

[0131] 本変形例では、4つのセンサ画素12によって共有される1つの読み出し回路22が、例えば、4つのセンサ画素12と正対して配置されておらず、第1方向Vにずれて配置されている。本変形例では、さらに、変形例Fと同様、半導体基板21が、絶縁層53を介して第1方向Vおよび第2方向Hに並んで配置された複数の島状のブロック21Aで構成されている。各ブロック21Aには、例えば、一組のリセットトランジスタRST、増幅トランジスタAMPおよび選択トランジスタSELが設けられている。本変形例では、さらに、複数の貫通配線67および複数の貫通配線54が、第2方向Hに

も配列されている。具体的には、複数の貫通配線 6 7 が、ある読み出し回路 2 2 を共有する 4 つの貫通配線 5 4 と、その読み出し回路 2 2 の第 2 方向 H に隣接する他の読み出し回路 2 2 を共有する 4 つの貫通配線 5 4 との間に配置されている。このようにした場合には、互いに隣接する読み出し回路 2 2 同士のクロストークを、絶縁層 5 3 および貫通配線 6 7 によって抑制することができ、再生画像上での解像度低下や混色による画質劣化を抑制することができる。

[0132] [変形例 L]

図 7 6 は、変形例 C, E, F, G, H, I, J, K に係る撮像装置 1 の水平方向の断面構成の一例を表したものである。図 7 6 の上側の図は、変形例 C, E, F, G, H, I, J, K の構成を備えた撮像装置 1 における、絶縁層 4 6 を水平方向に切断したときの断面構成の一例を表す図であり、図 7 6 の下側の図は、変形例 C, E, F, G, H, I, J, K の構成を備えた撮像装置 1 における、絶縁層 5 2 を水平方向に切断したときの断面構成の一例を表す図である。図 7 6 には、 2×2 の 4 つのセンサ画素 1 2 を 2 組、第 2 方向 H に並べた構成が例示されている。なお、図 7 6 の上側の断面図では、変形例 C, E, F, G, H, I, J, K の構成を備えた撮像装置 1 における、絶縁層 4 6 を水平方向に切断したときの断面構成の一例を表す図に、半導体基板 1 1 の表面構成の一例を表す図が重ね合わされるとともに、絶縁層 4 6 が省略されている。また、図 7 6 の下側の断面図では、変形例 C, E, F, G, H, I, J, K の構成を備えた撮像装置 1 における、絶縁層 5 2 を水平方向に切断したときの断面構成の一例を表す図に、半導体基板 2 1 の表面構成の一例を表す図が重ね合わされている。

[0133] 本変形例では、第 1 基板 1 0 は、フォトダイオード PD および転送トランジスタ TR をセンサ画素 1 2 ごとに有し、フローティングディフュージョン FD を 4 つのセンサ画素 1 2 ごとに共有している。従って、本変形例では、4 つのセンサ画素 1 2 ごとに、1 つの貫通配線 5 4 が設けられている。

[0134] マトリクス状に配置された複数のセンサ画素 1 2 において、1 つのフロー

ティングディフュージョンFDを共有する4つのセンサ画素12に対応する単位領域を、1つのセンサ画素12分だけ第1方向Vにずらすことにより得られる領域に対応する4つのセンサ画素12を、便宜的に、4つのセンサ画素12Aと称することとする。このとき、本変形例では、第1基板10は、貫通配線67を4つのセンサ画素12Aごとに共有している。従って、本変形例では、4つのセンサ画素12Aごとに、1つの貫通配線67が設けられている。

[0135] 本変形例では、第1基板10は、フォトダイオードPDおよび転送トランジスタTRをセンサ画素12ごとに分離する素子分離部43を有している。素子分離部43は、半導体基板11の法線方向から見て、センサ画素12を完全には囲っておらず、フローティングディフュージョンFD（貫通配線54）の近傍と、貫通配線67の近傍に、隙間（未形成領域）を有している。そして、その隙間によって、4つのセンサ画素12による1つの貫通配線54の共有や、4つのセンサ画素12Aによる1つの貫通配線67の共有を可能にしている。本変形例では、第2基板20は、フローティングディフュージョンFDを共有する4つのセンサ画素12ごとに読み出し回路22を有している。

[0136] 図77は、本変形例に係る撮像装置1の水平方向の断面構成の一変形例を表したものである。図77には、図76の下側の図の断面構成の一変形例が示されている。本変形例では、半導体基板21が、絶縁層53を介して第1方向Vおよび第2方向Hに並んで配置された複数の島状のブロック21Aで構成されている。各ブロック21Aには、例えば、一組のリセットトランジスタRST、増幅トランジスタAMPおよび選択トランジスタSELが設けられている。このようにした場合には、互いに隣接する読み出し回路22同士のクロストークを、絶縁層53によって抑制することができ、再生画像上での解像度低下や混色による画質劣化を抑制することができる。

[0137] 図78は、本変形例に係る撮像装置1の水平方向の断面構成の一変形例を表したものである。図78には、図75の下側の図の断面構成の一変形例が

示されている。本変形例では、4つのセンサ画素12によって共有される1つの読み出し回路22が、例えば、4つのセンサ画素12と正対して配置されておらず、第1方向Vにずれて配置されている。本変形例では、さらに、半導体基板21が、絶縁層53を介して第1方向Vおよび第2方向Hに並んで配置された複数の島状のブロック21Aで構成されている。各ブロック21Aには、例えば、一組のリセットトランジスタRST、増幅トランジスタAMPおよび選択トランジスタSELが設けられている。このようにした場合には、互いに隣接する読み出し回路22同士のクロストークを、絶縁層53および貫通配線67によって抑制することができ、再生画像上での解像度低下や混色による画質劣化を抑制することができる。

[0138] [変形例M]

図79は、上記各実施の形態およびその変形例に係る撮像装置1の回路構成の一例を表したものである。本変形例に係る撮像装置1は、列並列ADC搭載のCMOSイメージセンサである。

[0139] 図79に示すように、本変形例に係る撮像装置1は、光電変換素子を含む複数のセンサ画素12が行列状（マトリックス状）に2次元配置されてなる画素領域13に加えて、垂直駆動回路33、カラム信号処理回路34、参照電圧供給部38、水平駆動回路35、水平出力線37およびシステム制御回路36を有する構成となっている。

[0140] このシステム構成において、システム制御回路36は、マスタークロックMCKに基づいて、垂直駆動回路33、カラム信号処理回路34、参照電圧供給部38および水平駆動回路35などの動作の基準となるクロック信号や制御信号などを生成し、垂直駆動回路33、カラム信号処理回路34、参照電圧供給部38および水平駆動回路35などに対して与える。

[0141] また、垂直駆動回路33は、画素領域13の各センサ画素12とともに、第1基板10形成されており、さらに、読み出し回路22の形成されている第2基板20にも形成される。カラム信号処理回路34、参照電圧供給部38、水平駆動回路35、水平出力線37およびシステム制御回路36は、第

3基板30に形成される。

[0142] センサ画素12としては、ここでは図示を省略するが、例えば、フォトダイオードPDの他に、フォトダイオードPDで光電変換して得られる電荷をフローティングディフュージョンFDに転送する転送トランジスタTRとを有する構成のものを用いることができる。また、読み出し回路22としては、ここでは図示を省略するが、例えば、フローティングディフュージョンFDの電位を制御するリセットトランジスタRSTと、フローティングディフュージョンFDの電位に応じた信号を出力する増幅トランジスタAMPと、画素選択を行うための選択トランジスタSELとを有する3トランジスタ構成のものを用いることができる。

[0143] 画素領域13には、センサ画素12が2次元配置されるとともに、このm行n列の画素配置に対して行毎に画素駆動線23が配線され、列毎に垂直信号線24が配線されている。複数の画素駆動線23の各一端は、垂直駆動回路33の各行に対応した各出力端に接続されている。垂直駆動回路33は、シフトレジスタなどによって構成され、複数の画素駆動線23を介して画素領域13の行アドレスや行走査の制御を行う。

[0144] カラム信号処理回路34は、例えば、画素領域13の画素列毎、即ち垂直信号線24毎に設けられたADC（アナログーデジタル変換回路）34-1～34-mを有し、画素領域13の各センサ画素12から列毎に出力されるアナログ信号をデジタル信号に変換して出力する。

[0145] 参照電圧供給部38は、時間が経過するにつれてレベルが傾斜状に変化する、いわゆるランプ（RAMP）波形の参照電圧Vrefを生成する手段として、例えばDAC（デジタルーアナログ変換回路）38Aを有している。なお、ランプ波形の参照電圧Vrefを生成する手段としては、DAC38Aに限られるものではない。

[0146] DAC38Aは、システム制御回路36から与えられる制御信号CS1による制御の下に、当該システム制御回路36から与えられるクロックCKに基づいてランプ波形の参照電圧Vrefを生成してカラム信号処理回路34

のADC34-1～34-mに対して供給する。

[0147] なお、ADC34-1～34-mの各々は、センサ画素12全ての情報を読み出すプログレッシブ走査方式での通常フレームレートモードと、通常フレームレートモード時に比べて、センサ画素12の露光時間を $1/N$ に設定してフレームレートをN倍、例えば2倍に上げる高速フレームレートモードとの各動作モードに対応したAD変換動作を選択的に実行可能な構成となっている。この動作モードの切り替えは、システム制御回路36から与えられる制御信号CS2、CS3による制御によって実行される。また、システム制御回路36に対しては、外部のシステムコントローラ（図示せず）から、通常フレームレートモードと高速フレームレートモードの各動作モードとを切り替えるための指示情報が与えられる。

[0148] ADC34-1～34-mは全て同じ構成となっており、ここでは、ADC34-mを例に挙げて説明するものとする。ADC34-mは、比較器34A、計数手段である例えばアップ／ダウンカウンタ（図中、U/D CNTと記している）34B、転送スイッチ34Cおよびメモリ装置34Dを有する構成となっている。

[0149] 比較器34Aは、画素領域13のn列目の各センサ画素12から出力される信号に応じた垂直信号線24の信号電圧 V_x と、参照電圧供給部38から供給されるランプ波形の参照電圧 V_{ref} とを比較し、例えば、参照電圧 V_{ref} が信号電圧 V_x よりも大になるときに出力 V_{co} が“H”レベルになり、参照電圧 V_{ref} が信号電圧 V_x 以下のときに出力 V_{co} が“L”レベルになる。

[0150] アップ／ダウンカウンタ34Bは非同期カウンタであり、システム制御回路36から与えられる制御信号CS2による制御の下に、システム制御回路36からクロックCKがDAC38Aと同時に与えられ、当該クロックCKに同期してダウン（DOWN）カウントまたはアップ（UP）カウントを行うことにより、比較器34Aでの比較動作の開始から比較動作の終了までの比較期間を計測する。

- [0151] 具体的には、通常フレームレートモードでは、1つのセンサ画素12からの信号の読み出し動作において、1回目の読み出し動作時にダウンカウントを行うことにより1回目の読み出し時の比較時間を計測し、2回目の読み出し動作時にアップカウントを行うことにより2回目の読み出し時の比較時間を計測する。
- [0152] 一方、高速フレームレートモードでは、ある行のセンサ画素12についてのカウント結果をそのまま保持しておき、引き続き、次の行のセンサ画素12について、前回のカウント結果から1回目の読み出し動作時にダウンカウントを行うことで1回目の読み出し時の比較時間を計測し、2回目の読み出し動作時にアップカウントを行うことで2回目の読み出し時の比較時間を計測する。
- [0153] 転送スイッチ34Cは、システム制御回路36から与えられる制御信号CS3による制御の下に、通常フレームレートモードでは、ある行のセンサ画素12についてのアップ／ダウンカウンタ34Bのカウント動作が完了した時点でオン（閉）状態となって当該アップ／ダウンカウンタ34Bのカウント結果をメモリ装置34Dに転送する。
- [0154] 一方、例えば $N=2$ の高速フレームレートでは、ある行のセンサ画素12についてのアップ／ダウンカウンタ34Bのカウント動作が完了した時点でオフ（開）状態のままであり、引き続き、次の行のセンサ画素12についてのアップ／ダウンカウンタ34Bのカウント動作が完了した時点でオン状態となって当該アップ／ダウンカウンタ34Bの垂直2画素分についてのカウント結果をメモリ装置34Dに転送する。
- [0155] このようにして、画素領域13の各センサ画素12から垂直信号線24を経由して列毎に供給されるアナログ信号が、ADC34-1～34-mにおける比較器34Aおよびアップ／ダウンカウンタ34Bの各動作により、Nビットのデジタル信号に変換されてメモリ装置34Dに格納される。
- [0156] 水平駆動回路35は、シフトレジスタなどによって構成され、カラム信号処理回路34におけるADC34-1～34-mの列アドレスや列走査の制

御を行う。この水平駆動回路 35 による制御の下に、ADC 34-1~34-m の各々で AD 変換された N ビットのデジタル信号は順に水平出力線 37 に読み出され、当該水平出力線 37 を経由して撮像データとして出力される。

[0157] なお、本開示には直接関連しないため特に図示しないが、水平出力線 37 を経由して出力される撮像データに対して各種の信号処理を施す回路等を、上記構成要素以外に設けることも可能である。

[0158] 上記構成の本変形例に係る列並列 ADC 搭載の撮像装置 1 では、アップ／ダウンカウンタ 34B のカウント結果を、転送スイッチ 34C を介して選択的にメモリ装置 34D に転送することができるため、アップ／ダウンカウンタ 34B のカウント動作と、当該アップ／ダウンカウンタ 34B のカウント結果の水平出力線 37 への読み出し動作とを独立して制御することが可能である。

[0159] [変形例 N]

図 80 は、図 79 の撮像装置を 3 つの基板（第 1 基板 10、第 2 基板 20、第 3 基板 30）を積層して構成した例を表す。本変形例では、第 1 基板 10 において、中央部分に、複数のセンサ画素 12 を含む画素領域 13 が形成されており、画素領域 13 の周囲に垂直駆動回路 33 が形成されている。また、第 2 基板 20 において、中央部分に、複数の読み出し回路 22 を含む読み出し回路領域 15 が形成されており、読み出し回路領域 15 の周囲に垂直駆動回路 33 が形成されている。第 3 基板 30 において、カラム信号処理回路 34、水平駆動回路 35、システム制御回路 36、水平出力線 37 および参照電圧供給部 38 が形成されている。これにより、上記実施の形態およびその変形例と同様、基板同士を電氣的に接続する構造に起因して、チップサイズが大きくなったり、1 画素あたりの面積の微細化を阻害したりしてしまうことがない。その結果、今までと同等のチップサイズで、1 画素あたりの面積の微細化を阻害することのない 3 層構造の撮像装置 1 を提供することができる。なお、垂直駆動回路 33 は、第 1 基板 10 のみに形成されても、第

2基板20のみに形成されてもよい。

[0160] [変形例O]

図81は、上記第2の実施の形態およびその変形例に係る撮像装置1の断面構成の一変形例を表す。上記第2の実施の形態およびその変形例において、ロジック回路32は、例えば、図81に示したように、第1基板10と、第2基板20とに分けて形成されている。ここで、ロジック回路32のうち、第1基板10側に設けられた回路32Aでは、高温プロセスに耐え得る材料（例えば、high-k）からなる高誘電率膜とメタルゲート電極とが積層されたゲート構造を有するトランジスタが設けられている。一方、第2基板20側に設けられた回路32Bでは、ソース電極およびドレイン電極と接する不純物拡散領域の表面に、 CoSi_2 や NiSi などのシリサイド (Self Aligned Silicide) プロセスを用いて形成されたシリサイドからなる低抵抗領域26が形成されている。シリサイドからなる低抵抗領域は、半導体基板の材料と金属との化合物で形成されている。これにより、センサ画素12を形成する際に、熱酸化などの高温プロセスを用いることができる。また、ロジック回路32のうち、第2基板20側に設けられた回路32Bにおいて、ソース電極およびドレイン電極と接する不純物拡散領域の表面に、シリサイドからなる低抵抗領域26を設けた場合には、接触抵抗を低減することができる。その結果、ロジック回路32での演算速度を高速化することができる。

[0161] 図82は、上記第1実施の形態およびその変形例に係る撮像装置1の断面構成の一変形例を表す。上記第1実施の形態およびその変形例に係る第3基板30のロジック回路32において、ソース電極およびドレイン電極と接する不純物拡散領域の表面に、 CoSi_2 や NiSi などのシリサイド (Self Aligned Silicide) プロセスを用いて形成されたシリサイドからなる低抵抗領域37が形成されていてもよい。これにより、センサ画素12を形成する際に、熱酸化などの高温プロセスを用いることができる。また、ロジック回路32において、ソース電極およびドレイン電極と接する不純物拡散領域の表

面に、シリサイドからなる低抵抗領域 37 を設けた場合には、接触抵抗を低減することができる。その結果、ロジック回路 32 での演算速度を高速化することができる。

[0162] なお、上記各実施の形態およびその変形例において、導電型が逆になっていてもよい。例えば、上記各実施の形態およびその変形例の記載において、p 型を n 型に読み替えるとともに、n 型を p 型に読み替えてもよい。このようにした場合であっても、上記各実施の形態およびその変形例と同様の効果を得ることができる。

[0163] <5. 適用例>

図 83 は、上記各実施の形態およびその変形例に係る撮像装置 1 を備えた撮像システム 2 の概略構成の一例を表したものである。

[0164] 撮像システム 2 は、例えば、デジタルスチルカメラやビデオカメラ等の撮像装置や、スマートフォンやタブレット型端末等の携帯端末装置などの電子機器である。撮像システム 2 は、例えば、上記各実施の形態およびその変形例に係る撮像装置 1、DSP 回路 141、フレームメモリ 142、表示部 143、記憶部 144、操作部 145 および電源部 146 を備えている。撮像システム 2 において、上記各実施の形態およびその変形例に係る撮像装置 1、DSP 回路 141、フレームメモリ 142、表示部 143、記憶部 144、操作部 145 および電源部 146 は、バスライン 147 を介して相互に接続されている。

[0165] 上記各実施の形態およびその変形例に係る撮像装置 1 は、入射光に応じた画像データを出力する。DSP 回路 141 は、上記各実施の形態およびその変形例に係る撮像装置 1 から出力される信号（画像データ）を処理する信号処理回路である。フレームメモリ 142 は、DSP 回路 141 により処理された画像データを、フレーム単位で一時的に保持する。表示部 143 は、例えば、液晶パネルや有機 EL (Electro Luminescence) パネル等のパネル型表示装置からなり、上記各実施の形態およびその変形例に係る撮像装置 1 で撮像された動画又は静止画を表示する。記憶部 144 は、上記各実施の形態お

よびその変形例に係る撮像装置 1 で撮像された動画又は静止画の画像データを、半導体メモリやハードディスク等の記録媒体に記録する。操作部 1 4 5 は、ユーザによる操作に従い、撮像システム 2 が有する各種の機能についての操作指令を発する。電源部 1 4 6 は、上記各実施の形態およびその変形例に係る撮像装置 1、DSP 回路 1 4 1、フレームメモリ 1 4 2、表示部 1 4 3、記憶部 1 4 4 および操作部 1 4 5 の動作電源となる各種の電源を、これら供給対象に対して適宜供給する。

[0166] 次に、撮像システム 2 における撮像手順について説明する。

[0167] 図 8 4 は、撮像システム 2 における撮像動作のフローチャートの一例を表す。ユーザは、操作部 1 4 5 を操作することにより撮像開始を指示する（ステップ S 1 0 1）。すると、操作部 1 4 5 は、撮像指令を撮像装置 1 に送信する（ステップ S 1 0 2）。撮像装置 1（具体的にはシステム制御回路 3 6）は、撮像指令を受けると、所定の撮像方式での撮像を実行する（ステップ S 1 0 3）。

[0168] 撮像装置 1 は、撮像により得られた画像データを DSP 回路 1 4 1 に出力する。ここで、画像データとは、フローティングディフュージョン FD に一時的に保持された電荷に基づいて生成された画素信号の全画素分のデータである。DSP 回路 1 4 1 は、撮像装置 1 から入力された画像データに基づいて所定の信号処理（例えばノイズ低減処理など）を行う（ステップ S 1 0 4）。DSP 回路 1 4 1 は、所定の信号処理がなされた画像データをフレームメモリ 1 4 2 に保持させ、フレームメモリ 1 4 2 は、画像データを記憶部 1 4 4 に記憶させる（ステップ S 1 0 5）。このようにして、撮像システム 2 における撮像が行われる。

[0169] 本適用例では、上記各実施の形態およびその変形例に係る撮像装置 1 が撮像システム 2 に適用される。これにより、撮像装置 1 を小型化もしくは高精細化することができるので、小型もしくは高精細な撮像システム 2 を提供することができる。

[0170] <6. 応用例>

[応用例 1]

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

[0171] 図 85 は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[0172] 車両制御システム 12000 は、通信ネットワーク 12001 を介して接続された複数の電子制御ユニットを備える。図 85 に示した例では、車両制御システム 12000 は、駆動系制御ユニット 12010、ボディ系制御ユニット 12020、車外情報検出ユニット 12030、車内情報検出ユニット 12040、及び統合制御ユニット 12050 を備える。また、統合制御ユニット 12050 の機能構成として、マイクロコンピュータ 12051、音声画像出力部 12052、及び車載ネットワーク I/F (interface) 12053 が図示されている。

[0173] 駆動系制御ユニット 12010 は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット 12010 は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

[0174] ボディ系制御ユニット 12020 は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット 12020 は、キーレスエントリシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウィンカー又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット 12020 には、鍵を代替する携帯機から発信

される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット 12020 は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

[0175] 車外情報検出ユニット 12030 は、車両制御システム 12000 を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット 12030 には、撮像部 12031 が接続される。車外情報検出ユニット 12030 は、撮像部 12031 に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット 12030 は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。

[0176] 撮像部 12031 は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部 12031 は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部 12031 が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。

[0177] 車内情報検出ユニット 12040 は、車内の情報を検出する。車内情報検出ユニット 12040 には、例えば、運転者の状態を検出する運転者状態検出部 12041 が接続される。運転者状態検出部 12041 は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット 12040 は、運転者状態検出部 12041 から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

[0178] マイクロコンピュータ 12051 は、車外情報検出ユニット 12030 又は車内情報検出ユニット 12040 で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット 12010 に対して制御指令を出力することができる。例えば、マイクロコンピュータ 12051 は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両

のレーン逸脱警告等を含むADAS (Advanced Driver Assistance System) の機能実現を目的とした協調制御を行うことができる。

[0179] また、マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0180] また、マイクロコンピュータ12051は、車外情報検出ユニット12030で取得される車外の情報に基づいて、ボディ系制御ユニット12020に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車外情報検出ユニット12030で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

[0181] 音声画像出力部12052は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図85の例では、出力装置として、オーディオスピーカ12061、表示部12062及びインストルメントパネル12063が例示されている。表示部12062は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでもよい。

[0182] 図86は、撮像部12031の設置位置の例を示す図である。

[0183] 図86では、車両12100は、撮像部12031として、撮像部12101, 12102, 12103, 12104, 12105を有する。

[0184] 撮像部12101, 12102, 12103, 12104, 12105は、例えば、車両12100のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部12101及び車室内のフロントガラスの上

部に備えられる撮像部 12105 は、主として車両 12100 の前方の画像を取得する。サイドミラーに備えられる撮像部 12102, 12103 は、主として車両 12100 の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部 12104 は、主として車両 12100 の後方の画像を取得する。撮像部 12101 及び 12105 で取得される前方の画像は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0185] なお、図 86 には、撮像部 12101 ないし 12104 の撮影範囲の一例が示されている。撮像範囲 12111 は、フロントノーズに設けられた撮像部 12101 の撮像範囲を示し、撮像範囲 12112, 12113 は、それぞれサイドミラーに設けられた撮像部 12102, 12103 の撮像範囲を示し、撮像範囲 12114 は、リアバンパ又はバックドアに設けられた撮像部 12104 の撮像範囲を示す。例えば、撮像部 12101 ないし 12104 で撮像された画像データが重ね合わせられることにより、車両 12100 を上方から見た俯瞰画像が得られる。

[0186] 撮像部 12101 ないし 12104 の少なくとも 1 つは、距離情報を取得する機能を有していてもよい。例えば、撮像部 12101 ないし 12104 の少なくとも 1 つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

[0187] 例えば、マイクロコンピュータ 12051 は、撮像部 12101 ないし 12104 から得られた距離情報を基に、撮像範囲 12111 ないし 12114 内における各立体物までの距離と、この距離の時間的変化（車両 12100 に対する相対速度）を求めることにより、特に車両 12100 の進行路上にある最も近い立体物で、車両 12100 と略同じ方向に所定の速度（例えば、0 km/h 以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ 12051 は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者

の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0188] 例えば、マイクロコンピュータ 12051 は、撮像部 12101 ないし 12104 から得られた距離情報を元に、立体物に関する立体物データを、2 輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ 12051 は、車両 12100 の周辺の障害物を、車両 12100 のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ 12051 は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ 12061 や表示部 12062 を介してドライバに警報を出力することや、駆動系制御ユニット 12010 を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0189] 撮像部 12101 ないし 12104 の少なくとも 1 つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ 12051 は、撮像部 12101 ないし 12104 の撮像画像中に歩行者が存在するかどうかを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部 12101 ないし 12104 の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ 12051 が、撮像部 12101 ないし 12104 の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部 12052 は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部 12062 を制御する。また、音声画像出力部 12052 は、歩行者を示すアイコン等を所望の位置に表示するように表示部 12062 を制御してもよい。

[0190] 以上、本開示に係る技術が適用され得る移動体制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、撮像部 120

３１に適用され得る。具体的には、上記実施の形態およびその変形例に係る撮像装置１は、撮像部１２０３１に適用することができる。撮像部１２０３１に本開示に係る技術を適用することにより、ノイズの少ない高精細な撮影画像を得ることができるので、移動体制御システムにおいて撮影画像を利用した高精度な制御を行うことができる。

[0191] [応用例２]

図８７は、本開示に係る技術（本技術）が適用され得る内視鏡手術システムの概略的な構成の一例を示す図である。

[0192] 図８７では、術者（医師）１１１３１が、内視鏡手術システム１１０００を用いて、患者ベッド１１１３３上の患者１１１３２に手術を行っている様子が図示されている。図示するように、内視鏡手術システム１１０００は、内視鏡１１１００と、気腹チューブ１１１１１やエネルギー処置具１１１１２等の、その他の術具１１１１０と、内視鏡１１１００を支持する支持アーム装置１１１２０と、内視鏡下手術のための各種の装置が搭載されたカート１１２００と、から構成される。

[0193] 内視鏡１１１００は、先端から所定の長さの領域が患者１１１３２の体腔内に挿入される鏡筒１１１０１と、鏡筒１１１０１の基端に接続されるカメラヘッド１１１０２と、から構成される。図示する例では、硬性の鏡筒１１１０１を有するいわゆる硬性鏡として構成される内視鏡１１１００を図示しているが、内視鏡１１１００は、軟性の鏡筒を有するいわゆる軟性鏡として構成されてもよい。

[0194] 鏡筒１１１０１の先端には、対物レンズが嵌め込まれた開口部が設けられている。内視鏡１１１００には光源装置１１２０３が接続されており、当該光源装置１１２０３によって生成された光が、鏡筒１１１０１の内部に延設されるライトガイドによって当該鏡筒の先端まで導光され、対物レンズを介して患者１１１３２の体腔内の観察対象に向かって照射される。なお、内視鏡１１１００は、直視鏡であってもよいし、斜視鏡又は側視鏡であってもよい。

- [0195] カメラヘッド 11102 の内部には光学系及び撮像素子が設けられており、観察対象からの反射光（観察光）は当該光学系によって当該撮像素子に集光される。当該撮像素子によって観察光が光電変換され、観察光に対応する電気信号、すなわち観察像に対応する画像信号が生成される。当該画像信号は、RAWデータとしてカメラコントロールユニット（CCU: Camera Control Unit）11201 に送信される。
- [0196] CCU 11201 は、CPU（Central Processing Unit）やGPU（Graphics Processing Unit）等によって構成され、内視鏡 11100 及び表示装置 11202 の動作を統括的に制御する。さらに、CCU 11201 は、カメラヘッド 11102 から画像信号を受け取り、その画像信号に対して、例えば現像処理（デモザイク処理）等の、当該画像信号に基づく画像を表示するための各種の画像処理を施す。
- [0197] 表示装置 11202 は、CCU 11201 からの制御により、当該 CCU 11201 によって画像処理が施された画像信号に基づく画像を表示する。
- [0198] 光源装置 11203 は、例えばLED（Light Emitting Diode）等の光源から構成され、術部等を撮影する際の照射光を内視鏡 11100 に供給する。
- [0199] 入力装置 11204 は、内視鏡手術システム 11000 に対する入力インタフェースである。ユーザは、入力装置 11204 を介して、内視鏡手術システム 11000 に対して各種の情報の入力や指示入力を行うことができる。例えば、ユーザは、内視鏡 11100 による撮像条件（照射光の種類、倍率及び焦点距離等）を変更する旨の指示等を入力する。
- [0200] 処置具制御装置 11205 は、組織の焼灼、切開又は血管の封止等のためのエネルギー処置具 11112 の駆動を制御する。気腹装置 11206 は、内視鏡 11100 による視野の確保及び術者の作業空間の確保の目的で、患者 11132 の体腔を膨らめるために、気腹チューブ 11111 を介して当該体腔内にガスを送り込む。レコーダ 11207 は、手術に関する各種の情

報を記録可能な装置である。プリンタ 1 1 2 0 8 は、手術に関する各種の情報を、テキスト、画像又はグラフ等各種の形式で印刷可能な装置である。

[0201] なお、内視鏡 1 1 1 0 0 に術部を撮影する際の照射光を供給する光源装置 1 1 2 0 3 は、例えば L E D、レーザ光源又はこれらの組み合わせによって構成される白色光源から構成することができる。R G Bレーザ光源の組み合わせにより白色光源が構成される場合には、各色（各波長）の出力強度及び出力タイミングを高精度に制御することができるため、光源装置 1 1 2 0 3 において撮像画像のホワイトバランスの調整を行うことができる。また、この場合には、R G Bレーザ光源それぞれからのレーザ光を時分割で観察対象に照射し、その照射タイミングに同期してカメラヘッド 1 1 1 0 2 の撮像素子の駆動を制御することにより、R G Bそれぞれに対応した画像を時分割で撮像することも可能である。当該方法によれば、当該撮像素子にカラーフィルタを設けなくても、カラー画像を得ることができる。

[0202] また、光源装置 1 1 2 0 3 は、出力する光の強度を所定の時間ごとに変更するようにその駆動が制御されてもよい。その光の強度の変更のタイミングに同期してカメラヘッド 1 1 1 0 2 の撮像素子の駆動を制御して時分割で画像を取得し、その画像を合成することにより、いわゆる黒つぶれ及び白とびのない高ダイナミックレンジの画像を生成することができる。

[0203] また、光源装置 1 1 2 0 3 は、特殊光観察に対応した所定の波長帯域の光を供給可能に構成されてもよい。特殊光観察では、例えば、体組織における光の吸収の波長依存性を利用して、通常の観察時における照射光（すなわち、白色光）に比べて狭帯域の光を照射することにより、粘膜表層の血管等の所定の組織を高コントラストで撮影する、いわゆる狭帯域光観察（N a r r o w B a n d I m a g i n g）が行われる。あるいは、特殊光観察では、励起光を照射することにより発生する蛍光により画像を得る蛍光観察が行われてもよい。蛍光観察では、体組織に励起光を照射し当該体組織からの蛍光を観察すること（自家蛍光観察）、又はインドシアニンググリーン（I C G）等の試薬を体組織に局注するとともに当該体組織にその試薬の蛍光波長に

対応した励起光を照射し蛍光像を得ること等を行うことができる。光源装置 11203 は、このような特殊光観察に対応した狭帯域光及び／又は励起光を供給可能に構成され得る。

[0204] 図 88 は、図 87 に示すカメラヘッド 11102 及び CCU 11201 の機能構成の一例を示すブロック図である。

[0205] カメラヘッド 11102 は、レンズユニット 11401 と、撮像部 11402 と、駆動部 11403 と、通信部 11404 と、カメラヘッド制御部 11405 と、を有する。CCU 11201 は、通信部 11411 と、画像処理部 11412 と、制御部 11413 と、を有する。カメラヘッド 11102 と CCU 11201 とは、伝送ケーブル 11400 によって互いに通信可能に接続されている。

[0206] レンズユニット 11401 は、鏡筒 11101 との接続部に設けられる光学系である。鏡筒 11101 の先端から取り込まれた観察光は、カメラヘッド 11102 まで導光され、当該レンズユニット 11401 に入射する。レンズユニット 11401 は、ズームレンズ及びフォーカスレンズを含む複数のレンズが組み合わされて構成される。

[0207] 撮像部 11402 は、撮像素子で構成される。撮像部 11402 を構成する撮像素子は、1 つ（いわゆる単板式）であってもよいし、複数（いわゆる多板式）であってもよい。撮像部 11402 が多板式で構成される場合には、例えば各撮像素子によって RGB それぞれに対応する画像信号が生成され、それらが合成されることによりカラー画像が得られてもよい。あるいは、撮像部 11402 は、3D (Dimensional) 表示に対応する右目用及び左目用の画像信号をそれぞれ取得するための 1 対の撮像素子を有するように構成されてもよい。3D 表示が行われることにより、術者 11131 は術部における生体組織の奥行きをより正確に把握することが可能になる。なお、撮像部 11402 が多板式で構成される場合には、各撮像素子に対応して、レンズユニット 11401 も複数系統設けられ得る。

[0208] また、撮像部 11402 は、必ずしもカメラヘッド 11102 に設けられ

なくてもよい。例えば、撮像部 11402 は、鏡筒 11101 の内部に、対物レンズの直後に設けられてもよい。

[0209] 駆動部 11403 は、アクチュエータによって構成され、カメラヘッド制御部 11405 からの制御により、レンズユニット 11401 のズームレンズ及びフォーカスレンズを光軸に沿って所定の距離だけ移動させる。これにより、撮像部 11402 による撮像画像の倍率及び焦点が適宜調整され得る。

[0210] 通信部 11404 は、CCU 11201 との間で各種の情報を送受信するための通信装置によって構成される。通信部 11404 は、撮像部 11402 から得た画像信号を RAW データとして伝送ケーブル 11400 を介して CCU 11201 に送信する。

[0211] また、通信部 11404 は、CCU 11201 から、カメラヘッド 11102 の駆動を制御するための制御信号を受信し、カメラヘッド制御部 11405 に供給する。当該制御信号には、例えば、撮像画像のフレームレートを指定する旨の情報、撮像時の露出値を指定する旨の情報、並びに／又は撮像画像の倍率及び焦点を指定する旨の情報等、撮像条件に関する情報が含まれる。

[0212] なお、上記のフレームレートや露出値、倍率、焦点等の撮像条件は、ユーザによって適宜指定されてもよいし、取得された画像信号に基づいて CCU 11201 の制御部 11413 によって自動的に設定されてもよい。後者の場合には、いわゆる AE (Auto Exposure) 機能、AF (Auto Focus) 機能及び AWB (Auto White Balance) 機能が内視鏡 11100 に搭載されていることになる。

[0213] カメラヘッド制御部 11405 は、通信部 11404 を介して受信した CCU 11201 からの制御信号に基づいて、カメラヘッド 11102 の駆動を制御する。

[0214] 通信部 11411 は、カメラヘッド 11102 との間で各種の情報を送受信するための通信装置によって構成される。通信部 11411 は、カメラヘ

ッド１１１０２から、伝送ケーブル１１４００を介して送信される画像信号を受信する。

[0215] また、通信部１１４１１は、カメラヘッド１１１０２に対して、カメラヘッド１１１０２の駆動を制御するための制御信号を送信する。画像信号や制御信号は、電気通信や光通信等によって送信することができる。

[0216] 画像処理部１１４１２は、カメラヘッド１１１０２から送信されたRAWデータである画像信号に対して各種の画像処理を施す。

[0217] 制御部１１４１３は、内視鏡１１１００による術部等の撮像、及び、術部等の撮像により得られる撮像画像の表示に関する各種の制御を行う。例えば、制御部１１４１３は、カメラヘッド１１１０２の駆動を制御するための制御信号を生成する。

[0218] また、制御部１１４１３は、画像処理部１１４１２によって画像処理が施された画像信号に基づいて、術部等が映った撮像画像を表示装置１１２０２に表示させる。この際、制御部１１４１３は、各種の画像認識技術を用いて撮像画像内における各種の物体を認識してもよい。例えば、制御部１１４１３は、撮像画像に含まれる物体のエッジの形状や色等を検出することにより、鉗子等の術具、特定の生体部位、出血、エネルギー処置具１１１１２の使用時のミスト等を認識することができる。制御部１１４１３は、表示装置１１２０２に撮像画像を表示させる際に、その認識結果を用いて、各種の手術支援情報を当該術部の画像に重畳表示させてもよい。手術支援情報が重畳表示され、術者１１１３１に提示されることにより、術者１１１３１の負担を軽減することや、術者１１１３１が確実に手術を進めることが可能になる。

[0219] カメラヘッド１１１０２及びCCU１１２０１を接続する伝送ケーブル１１４００は、電気信号の通信に対応した電気信号ケーブル、光通信に対応した光ファイバ、又はこれらの複合ケーブルである。

[0220] ここで、図示する例では、伝送ケーブル１１４００を用いて有線で通信が行われていたが、カメラヘッド１１１０２とCCU１１２０１との間の通信は無線で行われてもよい。

[0221] 以上、本開示に係る技術が適用され得る内視鏡手術システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、内視鏡 1 1 1 0 0 のカメラヘッド 1 1 1 0 2 に設けられた撮像部 1 1 4 0 2 に好適に適用され得る。撮像部 1 1 4 0 2 に本開示に係る技術を適用することにより、撮像部 1 1 4 0 2 を小型化もしくは高精細化することができるので、小型もしくは高精細な内視鏡 1 1 1 0 0 を提供することができる。

[0222] 以上、実施の形態およびその変形例、適用例ならびに応用例を挙げて本開示を説明したが、本開示は上記実施の形態等に限定されるものではなく、種々変形が可能である。なお、本明細書中に記載された効果は、あくまで例示である。本開示の効果は、本明細書中に記載された効果に限定されるものではない。本開示が、本明細書中に記載された効果以外の効果を持っていたとしてもよい。

[0223] また、本開示は、以下のような構成を取ることも可能である。

(1)

複数の光電変換部と、
前記光電変換部ごとに設けられた複数のカラーフィルタと、
隣接する 2 つの前記光電変換部の間から、隣接する 2 つの前記カラーフィルタの間にかけて延在する素子分離部と、
前記素子分離部の、前記光電変換部側の面に接して設けられ、前記光電変換部の導電型とは異なる導電型の拡散層と
を備えた
撮像装置。

(2)

前記複数の光電変換部は、半導体基板内に行列状に設けられ、
前記複数のカラーフィルタは、前記半導体基板の受光面側であって、かつ前記複数の光電変換部と対向する位置に設けられ、
当該撮像装置は、前記半導体基板の、前記受光面とは反対の面側に、前記光電変換部の導電型とは異なる導電型のウェル層を更に備え、

前記拡散層と前記ウェル層とは、互いに電氣的に導通している

(1) に記載の撮像装置。

(3)

前記素子分離部は、前記半導体基板に設けられたトレンチ内に設けられるとともに前記受光面から突出して設けられている

(2) に記載の撮像装置。

(4)

前記素子分離部は、前記トレンチの内壁に接する絶縁膜と、前記絶縁膜の内側に形成された金属埋め込み部とによって構成された D T I (Deep Trench Isolation) 構造を有し、

前記 D T I 構造が、隣接する 2 つの前記光電変換部の間から、隣接する 2 つの前記カラーフィルタの間にかけて延在して設けられている

(3) に記載の撮像装置。

(5)

前記金属埋め込み部は、アルミニウムまたはアルミニウム合金によって形成されている

(4) に記載の撮像装置。

(6)

前記金属埋め込み部は、熱処理による置換現象を利用して一括して形成されている

(4) に記載の撮像装置。

(7)

前記トレンチおよび前記素子分離部は、ともに、前記半導体基板を貫通して形成されている

(3) に記載の撮像装置。

(8)

前記トレンチおよび前記素子分離部は、ともに、前記半導体基板を貫通せず、前記トレンチおよび前記素子分離部の一端が前記ウェル層内に設けられ

ている

(3)に記載の撮像装置。

(9)

当該撮像装置は、更に、前記ウェル層に、前記光電変換部から出力された電荷に基づく画素信号を出力する読み出し回路を前記光電変換部ごとに1つずつ、または複数の前記光電変換部ごとに1つずつ備えた

(8)に記載の撮像装置。

(10)

半導体基板内に行列状に設けられた複数の光電変換部と、

前記半導体基板内であって、かつ隣接する2つの前記光電変換部の間に設けられた素子分離部と

を備え、

前記素子分離部は、前記半導体基板に設けられたトレンチの内壁に接する絶縁膜と、前記絶縁膜の内側に形成された金属埋め込み部とによって構成されたDTI (Deep Trench Isolation) 構造を有し、

前記金属埋め込み部は、アルミニウムまたはアルミニウム合金によって形成されている

撮像装置。

(11)

前記半導体基板の、受光面とは反対の面側に、前記光電変換部の導電型とは異なる導電型のウェル層を更に備え、

前記トレンチおよび前記素子分離部は、ともに、前記半導体基板を貫通せず、前記トレンチおよび前記素子分離部の一端が前記ウェル層内に設けられている

(10)に記載の撮像装置。

(12)

前記ウェル層に、前記光電変換部から出力された電荷に基づく画素信号を出力する読み出し回路を前記光電変換部ごとに1つずつ、または複数の前記

光電変換部ごとに1つずつ備えた

(11)に記載の撮像装置。

[0224] 本開示の第1の側面である撮像装置によれば、隣接する2つの光電変換部の間から、隣接する2つのカラーフィルタの間にかけて延在する素子分離部を設けるようにしたので、画素間のクロストークをより効果的に抑えることができる。

[0225] 本開示の第2の側面である撮像装置によれば、隣接する2つの光電変換部の間の素子分離部に、アルミニウムまたはアルミニウム合金によって形成された金属埋め込み部を設けるようにしたので、画素間のクロストークをより効果的に抑えることができる。

[0226] 本開示の第3の側面である撮像装置によれば、隣接する2つの光電変換部の間に、素子分離部と、光電変換部側の面に接する、光電変換部の導電型とは異なる導電型の拡散層とを設け、さらに、光電変換部側の面に接して設けられたウェル層に、複数の光電変換部を共有する読み出し回路を複数、設けるようにしたので、1つの読み出し回路で複数の光電変換部を共有しつつ、画素間のクロストークをより効果的に抑えることができる。

[0227] なお、本技術の効果は、ここに記載された効果に必ずしも限定されず、本明細書中に記載されたいずれの効果であってもよい。

[0228] 本出願は、日本国特許庁において2018年11月16日に出願された日本特許出願番号第2018-215383号を基礎として優先権を主張するものであり、この出願のすべての内容を参照によって本出願に援用する。

[0229] 当業者であれば、設計上の要件や他の要因に応じて、種々の修正、コンビネーション、サブコンビネーション、および変更を想到し得るが、それらは添付の請求の範囲やその均等物の範囲に含まれるものであることが理解される。

請求の範囲

- [請求項1] 複数の光電変換部と、
前記光電変換部ごとに設けられた複数のカラーフィルタと、
隣接する2つの前記光電変換部の間から、隣接する2つの前記カラーフィルタの間にかけて延在する素子分離部と、
前記素子分離部の、前記光電変換部側の面に接して設けられ、前記光電変換部の導電型とは異なる導電型の拡散層と
を備えた
撮像装置。
- [請求項2] 前記複数の光電変換部は、半導体基板内に行列状に設けられ、
前記複数のカラーフィルタは、前記半導体基板の受光面側であって、かつ前記複数の光電変換部と対向する位置に設けられ、
当該撮像装置は、前記半導体基板の、前記受光面とは反対の面側に、前記光電変換部の導電型とは異なる導電型のウェル層を更に備え、
前記拡散層と前記ウェル層とは、互いに電氣的に導通している
請求項1に記載の撮像装置。
- [請求項3] 前記素子分離部は、前記半導体基板に設けられたトレンチ内に設けられるとともに前記受光面から突出して設けられている
請求項2に記載の撮像装置。
- [請求項4] 前記素子分離部は、前記トレンチの内壁に接する絶縁膜と、前記絶縁膜の内側に形成された金属埋め込み部とによって構成されたD T I (Deep Trench Isolation) 構造を有し、
前記D T I 構造が、隣接する2つの前記光電変換部の間から、隣接する2つの前記カラーフィルタの間にかけて延在して設けられている
請求項3に記載の撮像装置。
- [請求項5] 前記金属埋め込み部は、アルミニウムまたはアルミニウム合金によって形成されている
請求項4に記載の撮像装置。

- [請求項6] 前記金属埋め込み部は、熱処理による置換現象を利用して一括して形成されている
請求項4に記載の撮像装置。
- [請求項7] 前記トレンチおよび前記素子分離部は、ともに、前記半導体基板を貫通して形成されている
請求項3に記載の撮像装置。
- [請求項8] 前記トレンチおよび前記素子分離部は、ともに、前記半導体基板を貫通せず、前記トレンチおよび前記素子分離部の一端が前記ウェル層内に設けられている
請求項3に記載の撮像装置。
- [請求項9] 当該撮像装置は、更に、前記ウェル層に、前記光電変換部から出力された電荷に基づく画素信号を出力する読み出し回路を前記光電変換部ごとに1つずつ、または複数の前記光電変換部ごとに1つずつ備えた
請求項8に記載の撮像装置。
- [請求項10] 半導体基板内に行列状に設けられた複数の光電変換部と、
前記半導体基板内であって、かつ隣接する2つの前記光電変換部の間に設けられた素子分離部と
を備え、
前記素子分離部は、前記半導体基板に設けられたトレンチの内壁に接する絶縁膜と、前記絶縁膜の内側に形成された金属埋め込み部とによって構成されたDTI (Deep Trench Isolation) 構造を有し、
前記金属埋め込み部は、アルミニウムまたはアルミニウム合金によって形成されている
撮像装置。
- [請求項11] 前記半導体基板の、受光面とは反対の面側に、前記光電変換部の導電型とは異なる導電型のウェル層を更に備え、
前記トレンチおよび前記素子分離部は、ともに、前記半導体基板を

貫通せず、前記トレンチおよび前記素子分離部の一端が前記ウェル層内に設けられている

請求項 10 に記載の撮像装置。

[請求項12] 前記ウェル層に、前記光電変換部から出力された電荷に基づく画素信号を出力する読み出し回路を前記光電変換部ごとに1つずつ、または複数の前記光電変換部ごとに1つずつ備えた

請求項 11 に記載の撮像装置。

[請求項13] 半導体基板内に行列状に設けられた複数の光電変換部と、
前記半導体基板内であって、かつ隣接する2つの前記光電変換部の間に設けられた素子分離部と、

前記半導体基板の、受光面とは反対の面側に設けられた、前記光電変換部の導電型とは異なる導電型のウェル層と、

前記素子分離部の、前記光電変換部側の面に接して設けられ、前記光電変換部の導電型とは異なる導電型の拡散層と、

前記ウェル層に、複数の前記光電変換部ごとに1つずつ設けられ、前記光電変換部から出力された電荷に基づく画素信号を出力する複数の読み出し回路と

を備えた

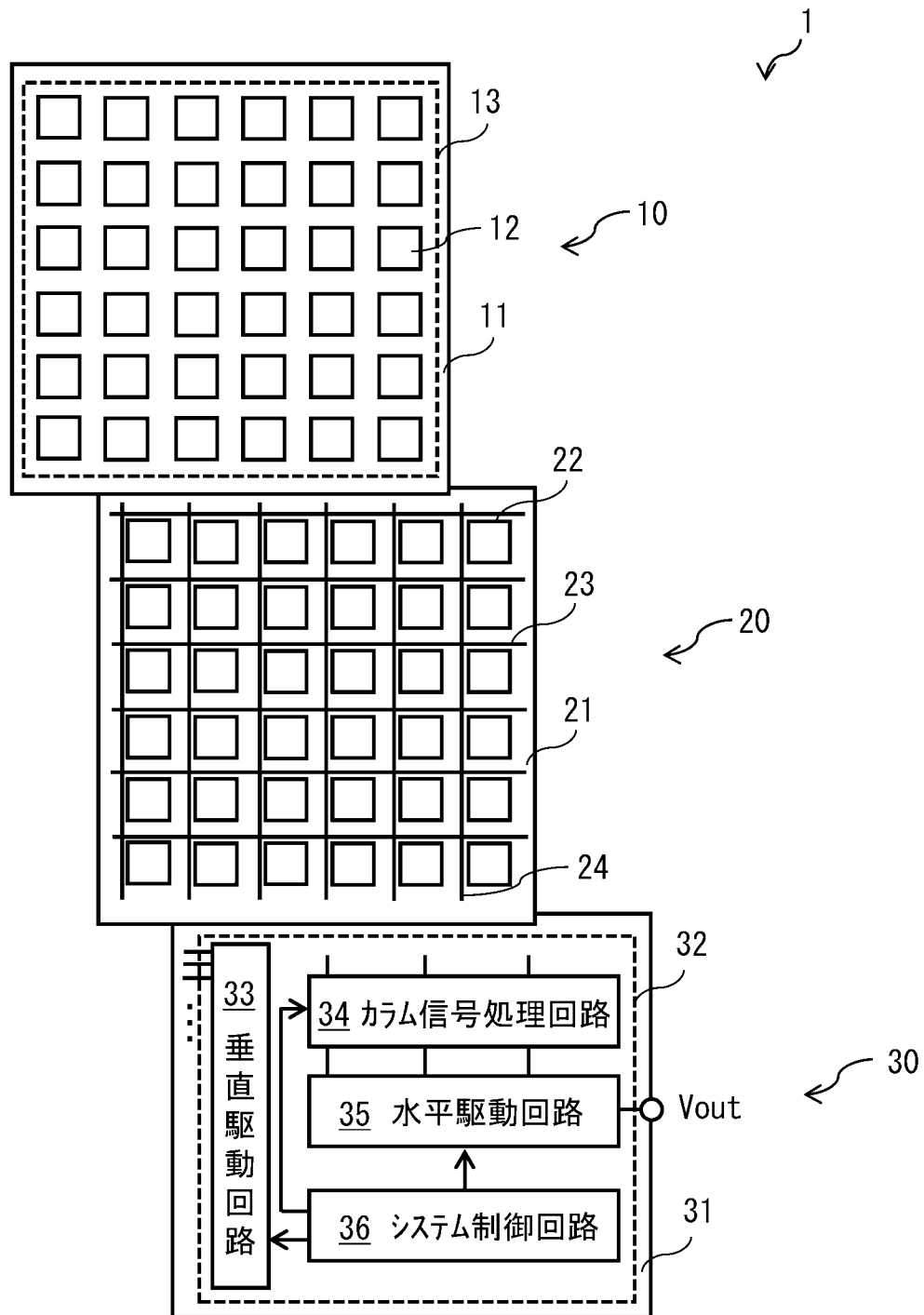
撮像装置。

[請求項14] 前記素子分離部は、前記半導体基板に設けられたトレンチの内壁に接する絶縁膜と、前記絶縁膜の内側に形成された金属埋め込み部とによって構成されたDTI (Deep Trench Isolation) 構造を有し、

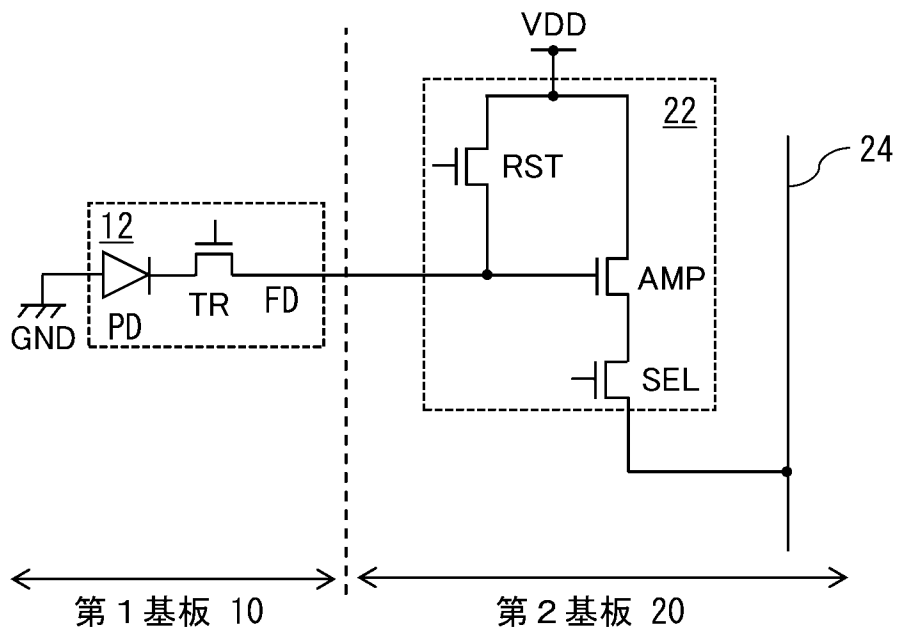
前記トレンチおよび前記素子分離部は、ともに、前記半導体基板を貫通せず、前記トレンチおよび前記素子分離部の一端が前記ウェル層内に設けられている

請求項 13 に記載の撮像装置。

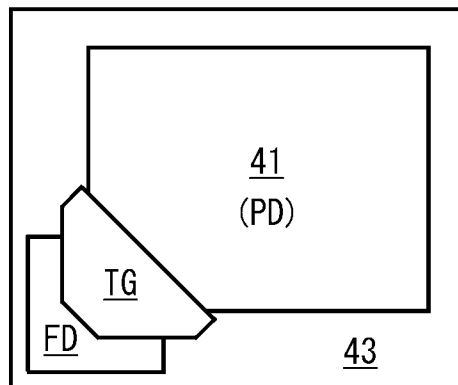
[図1]



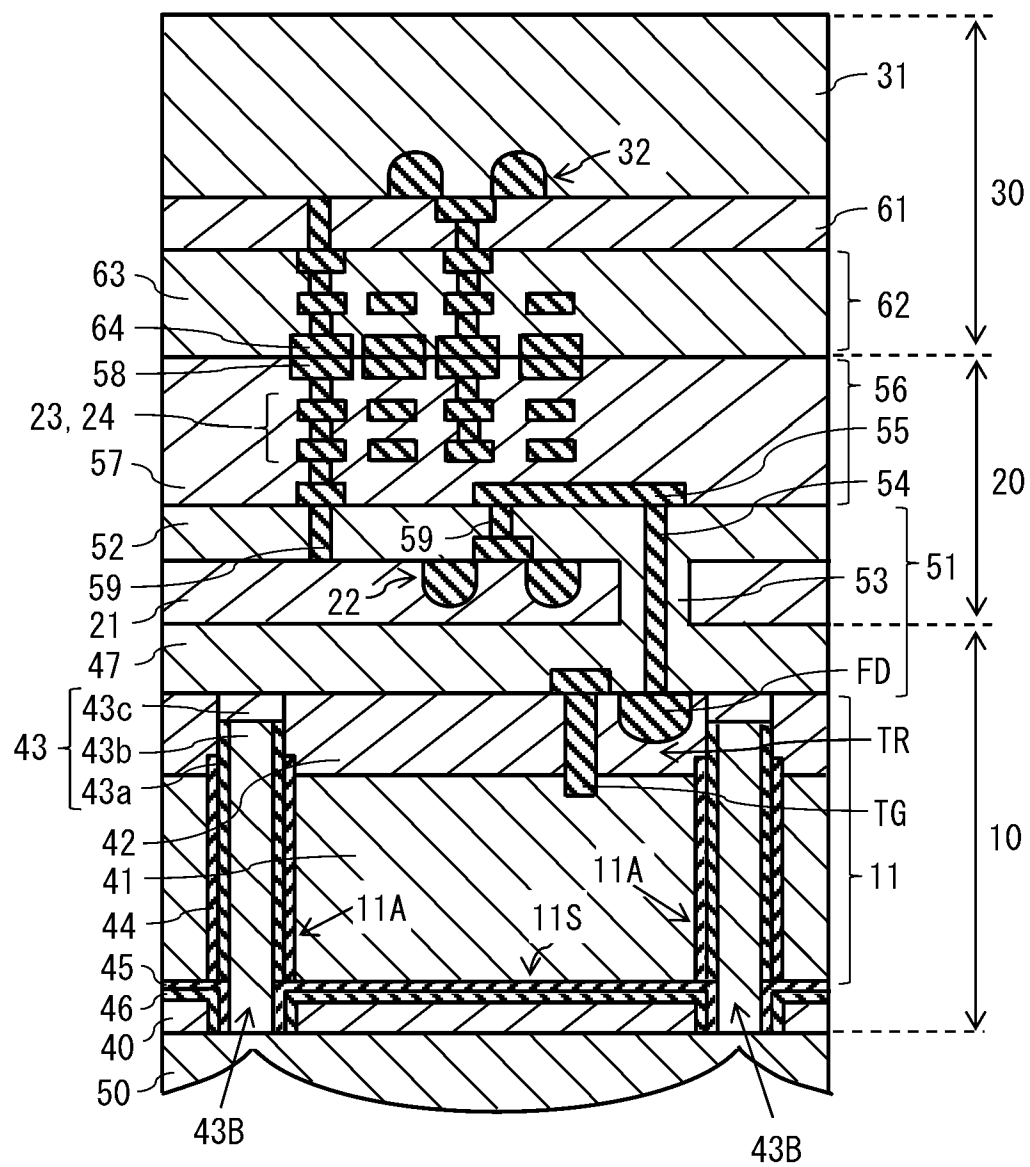
[図2]



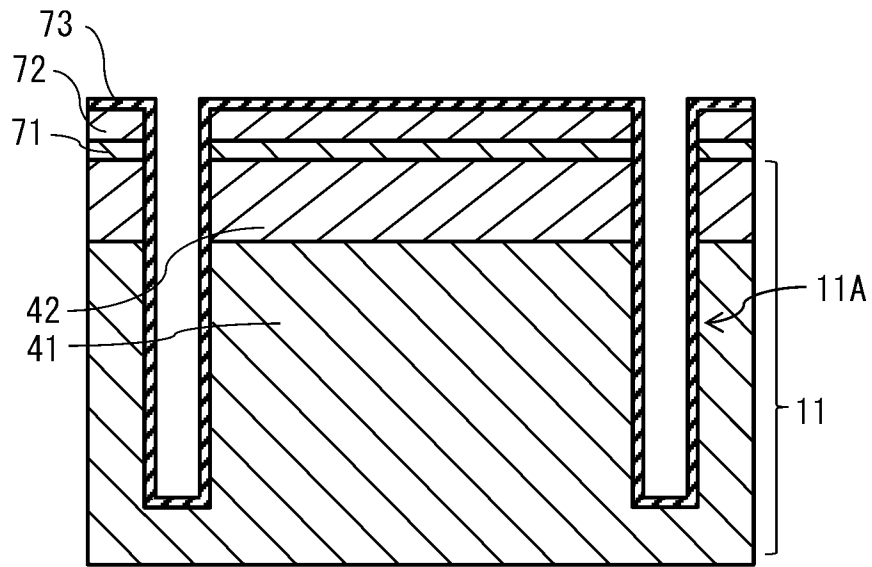
[図3]



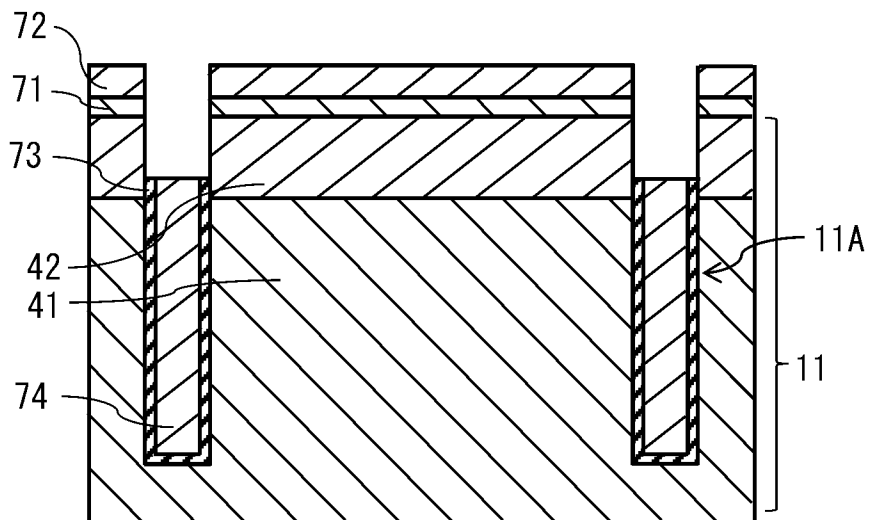
[図4]



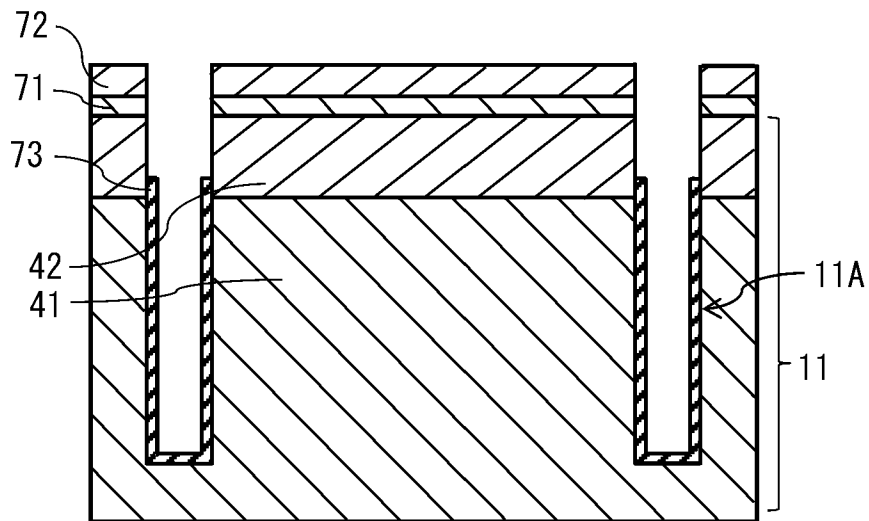
[図5]



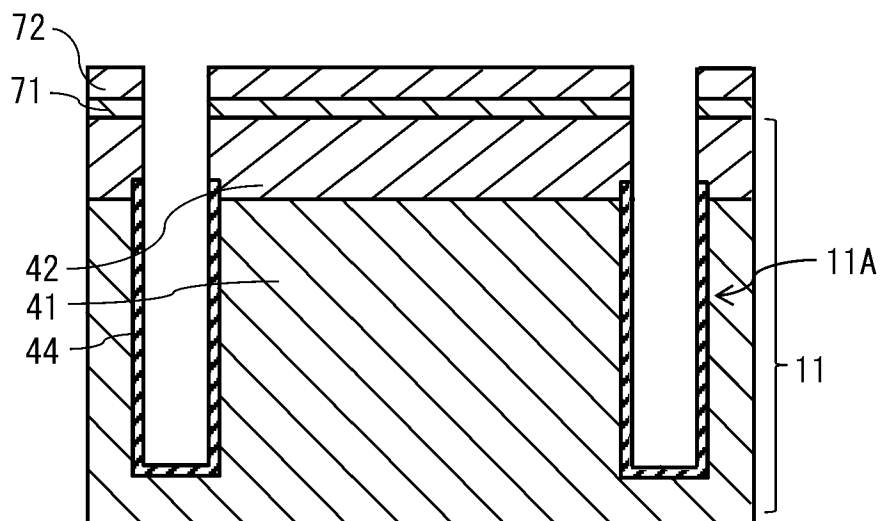
[図6]



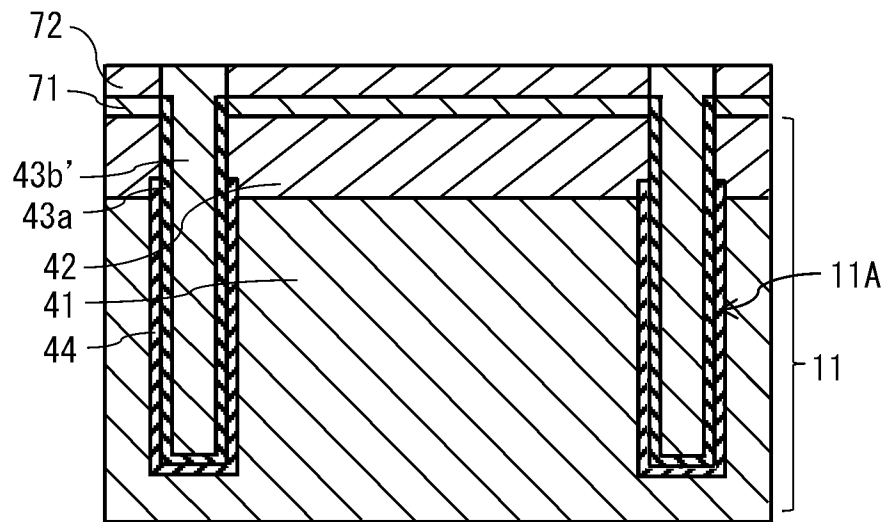
[図7]



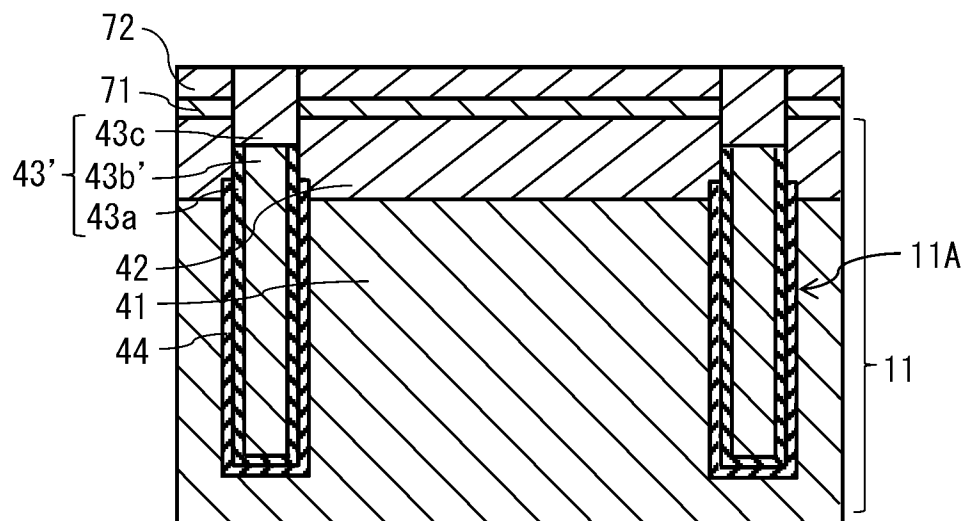
[図8]



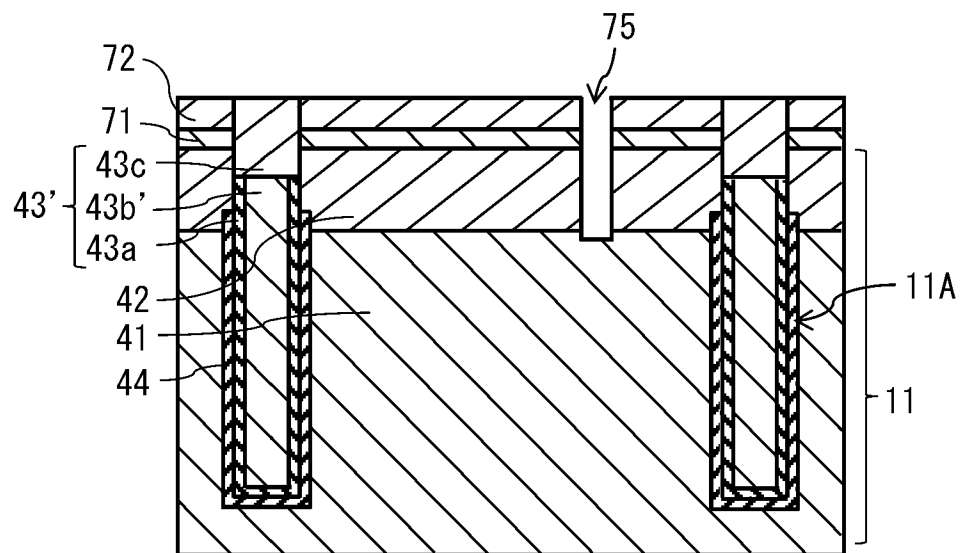
[図9]



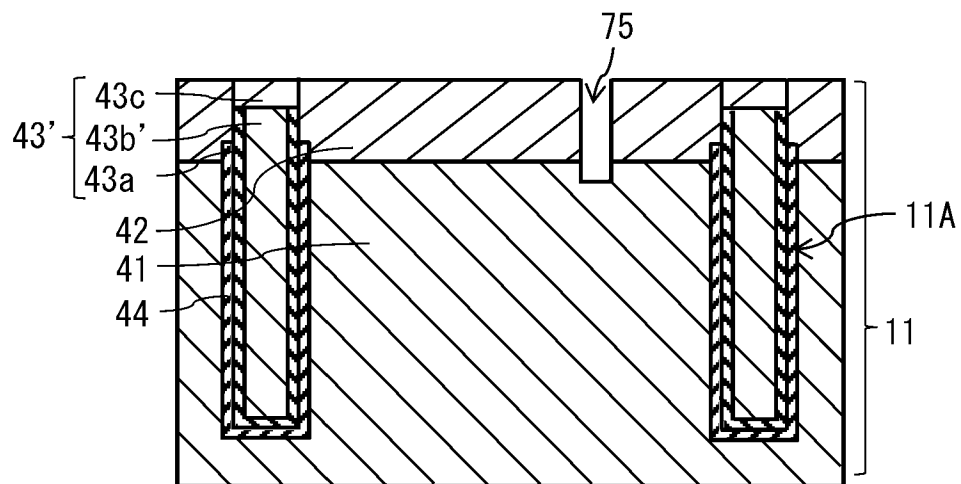
[図10]



[図11]

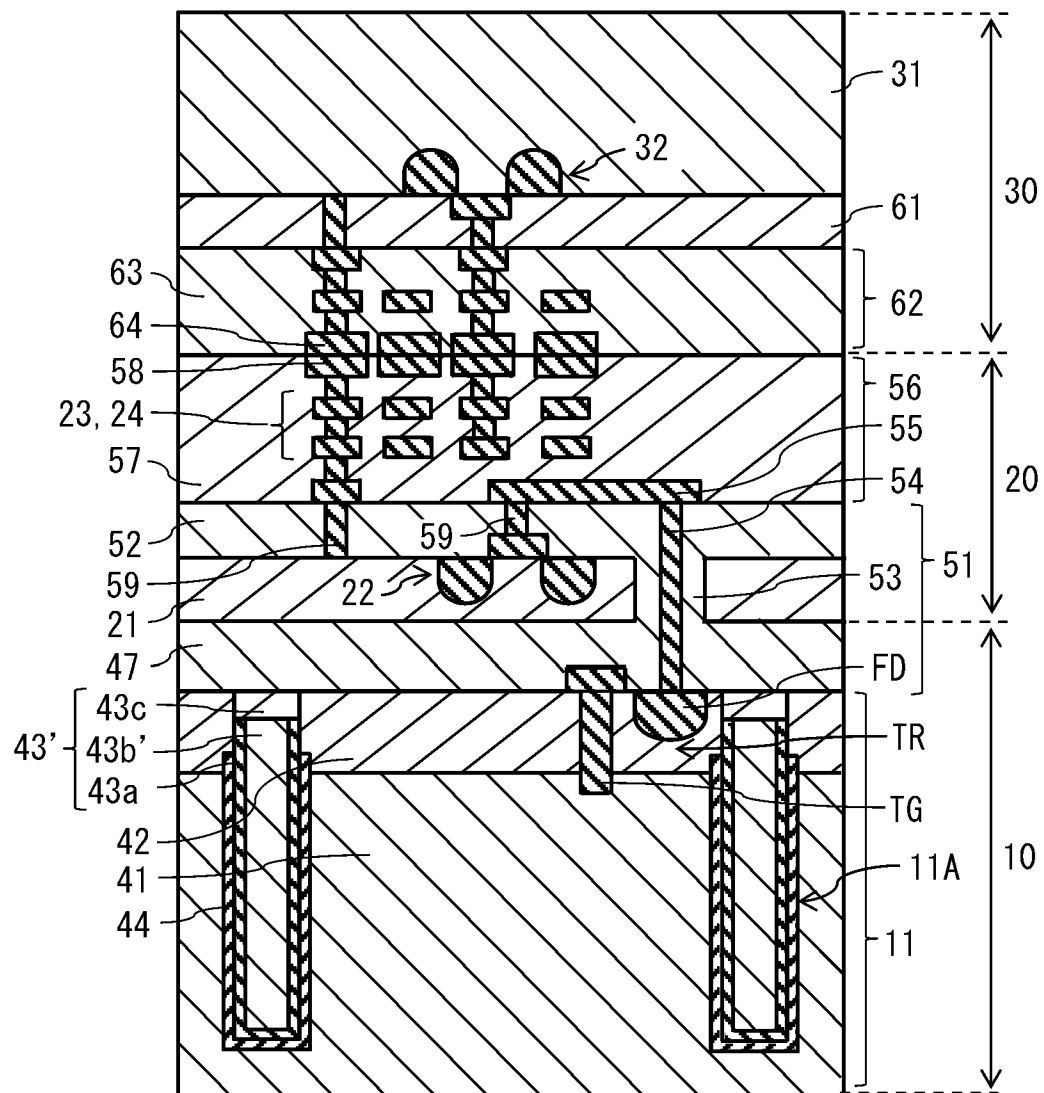


[図12]

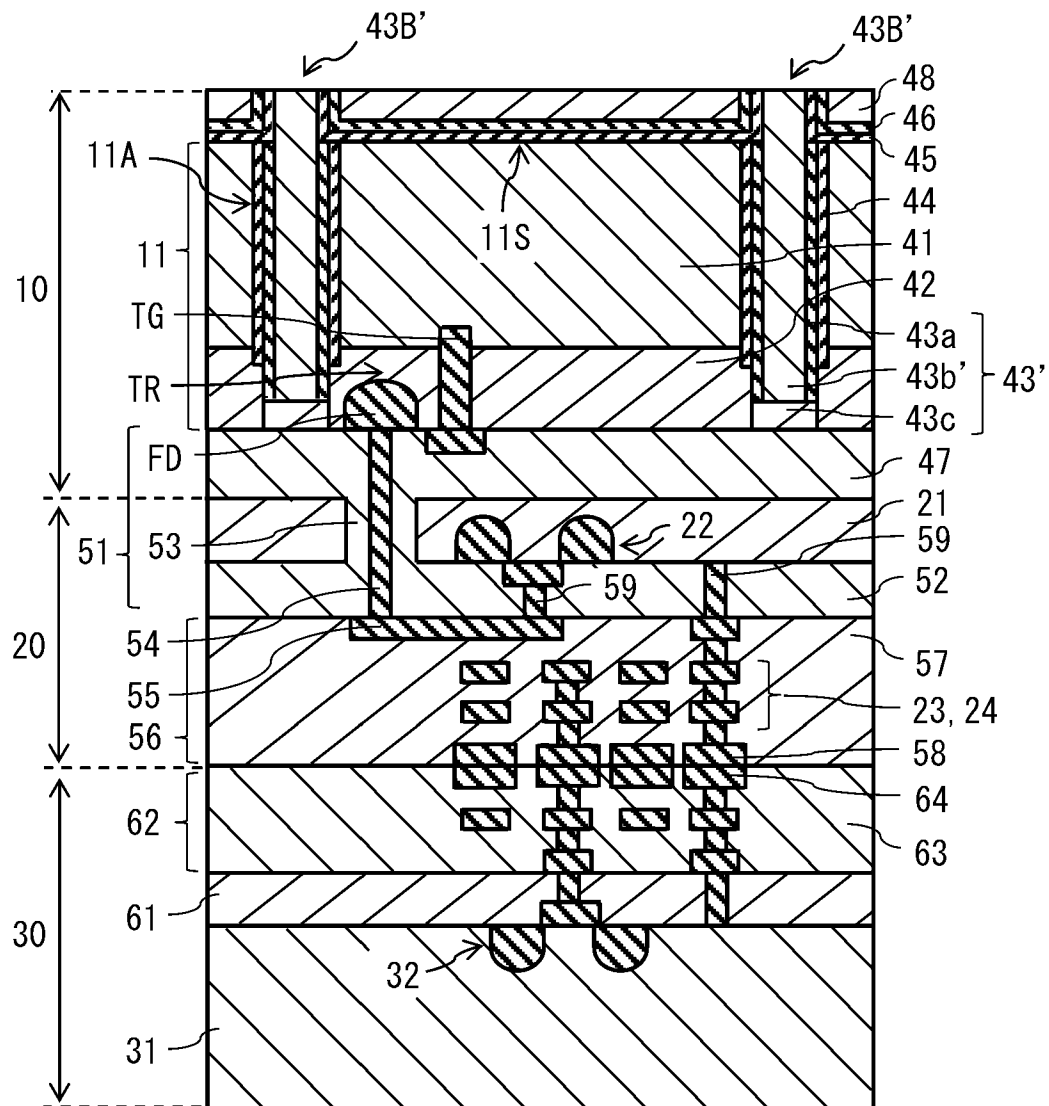


[illegible]

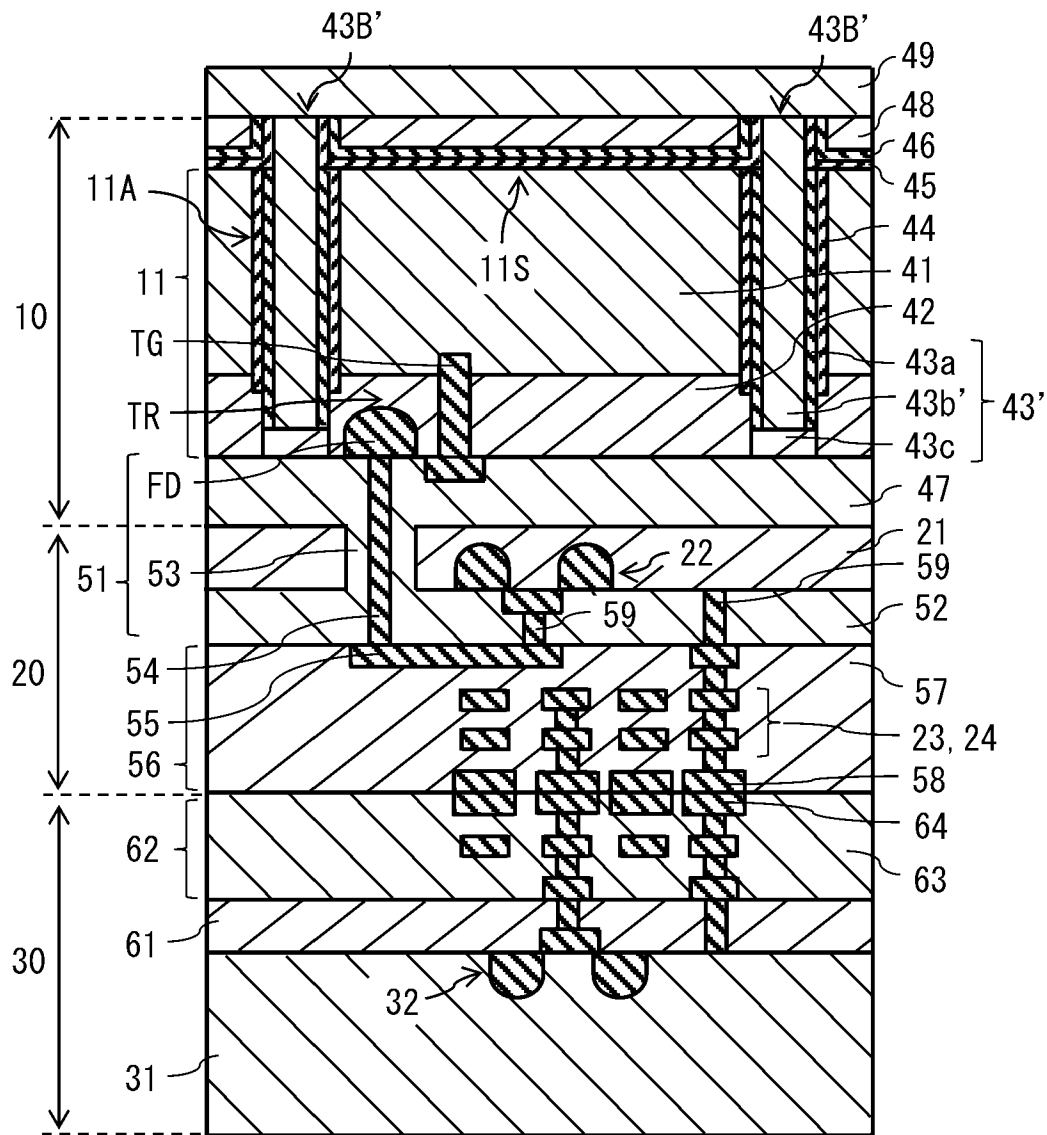
[図15]



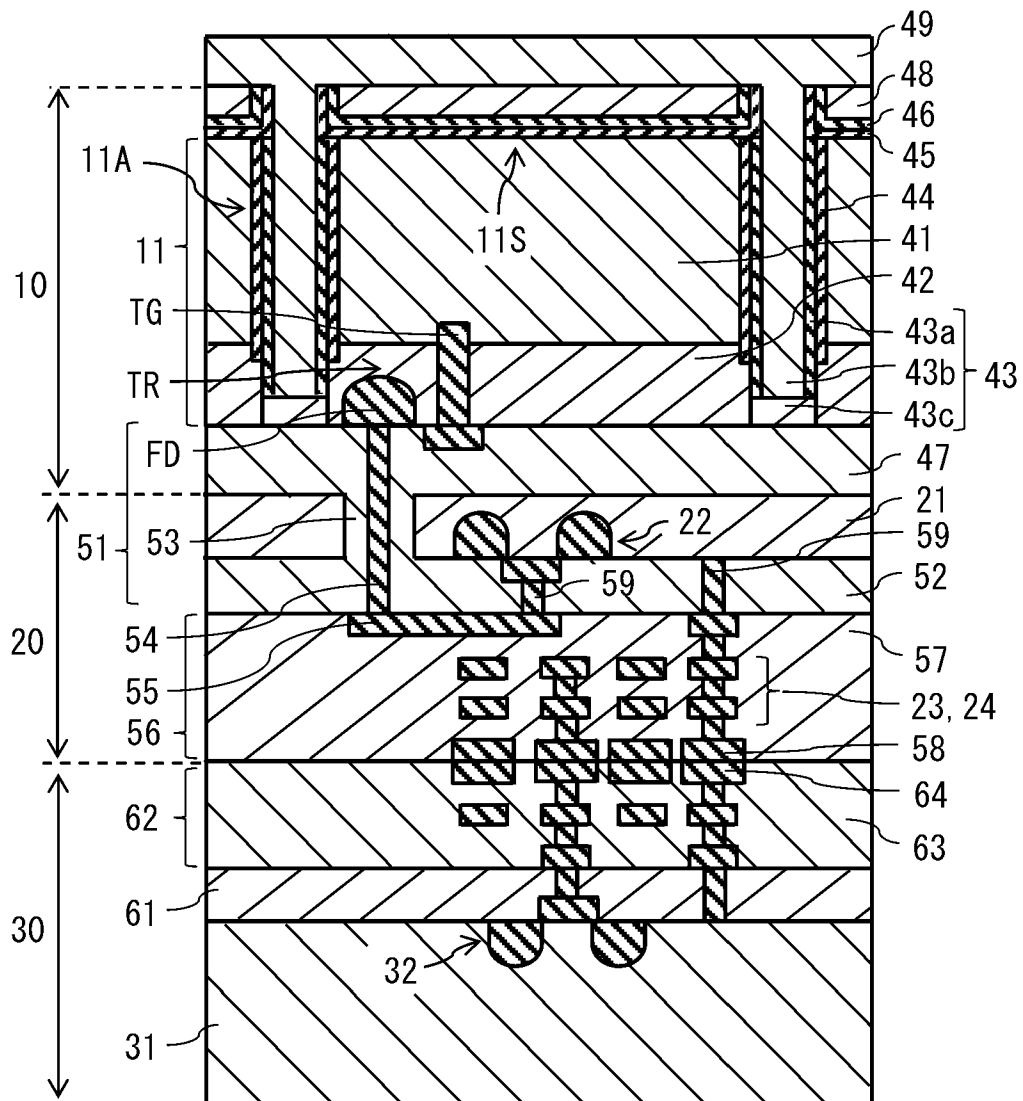
[図17]



[図18]

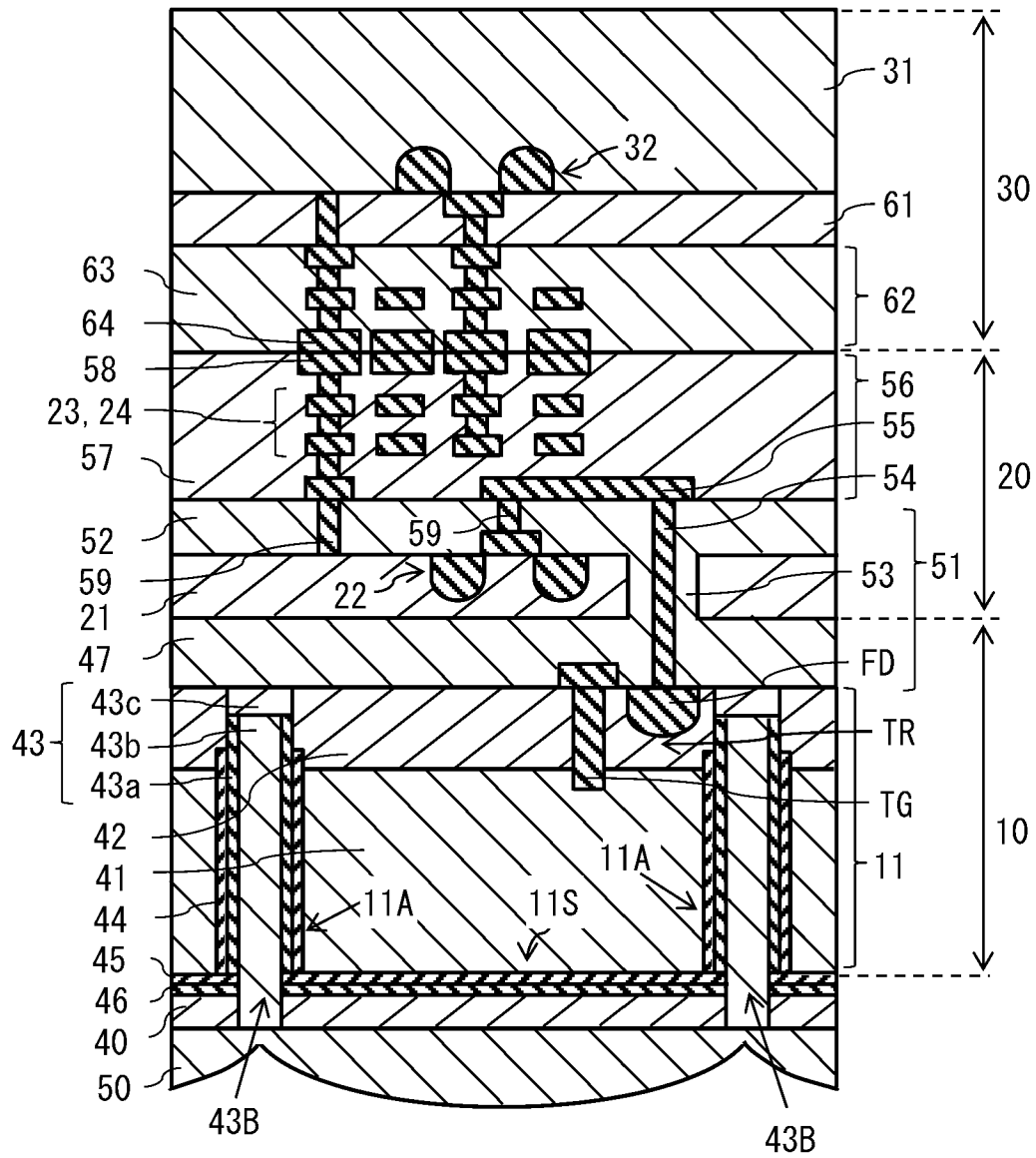


[図19]

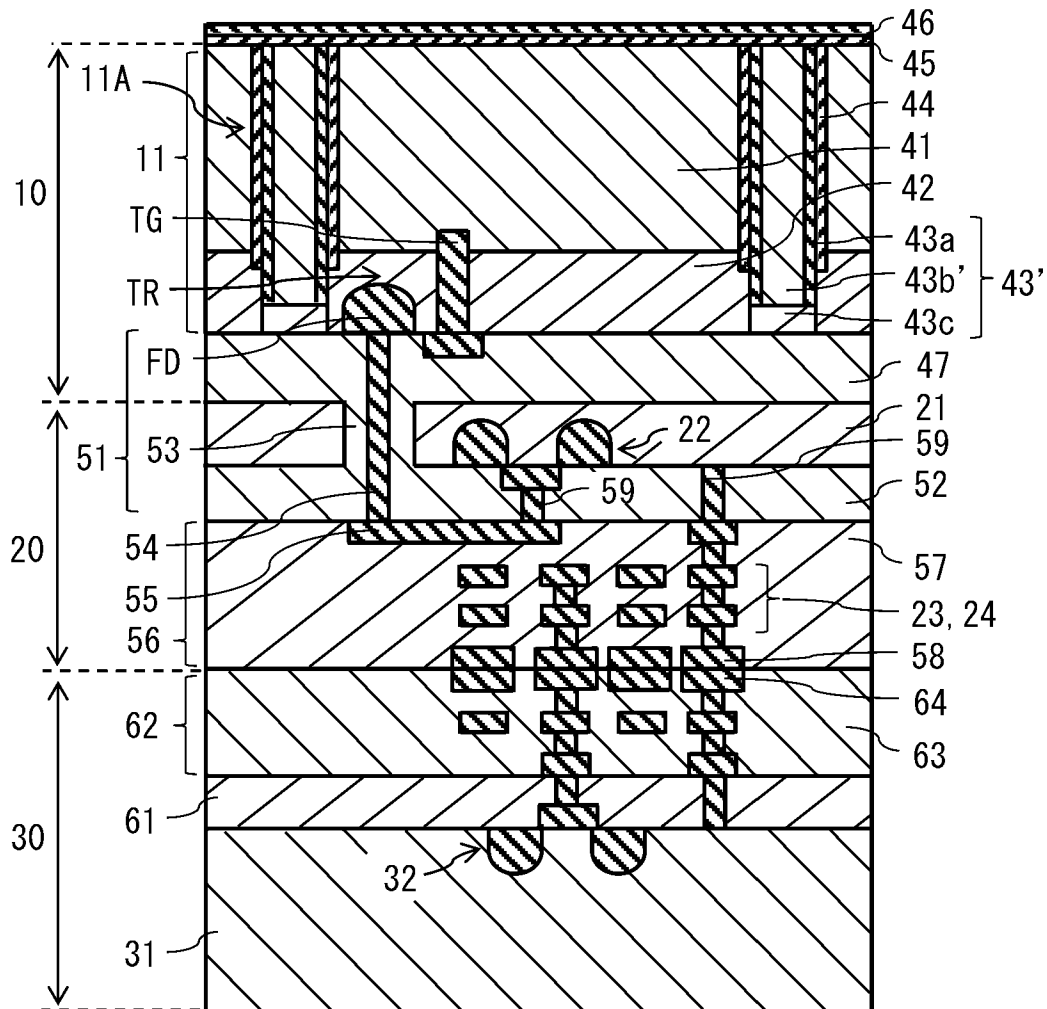


[illegible]

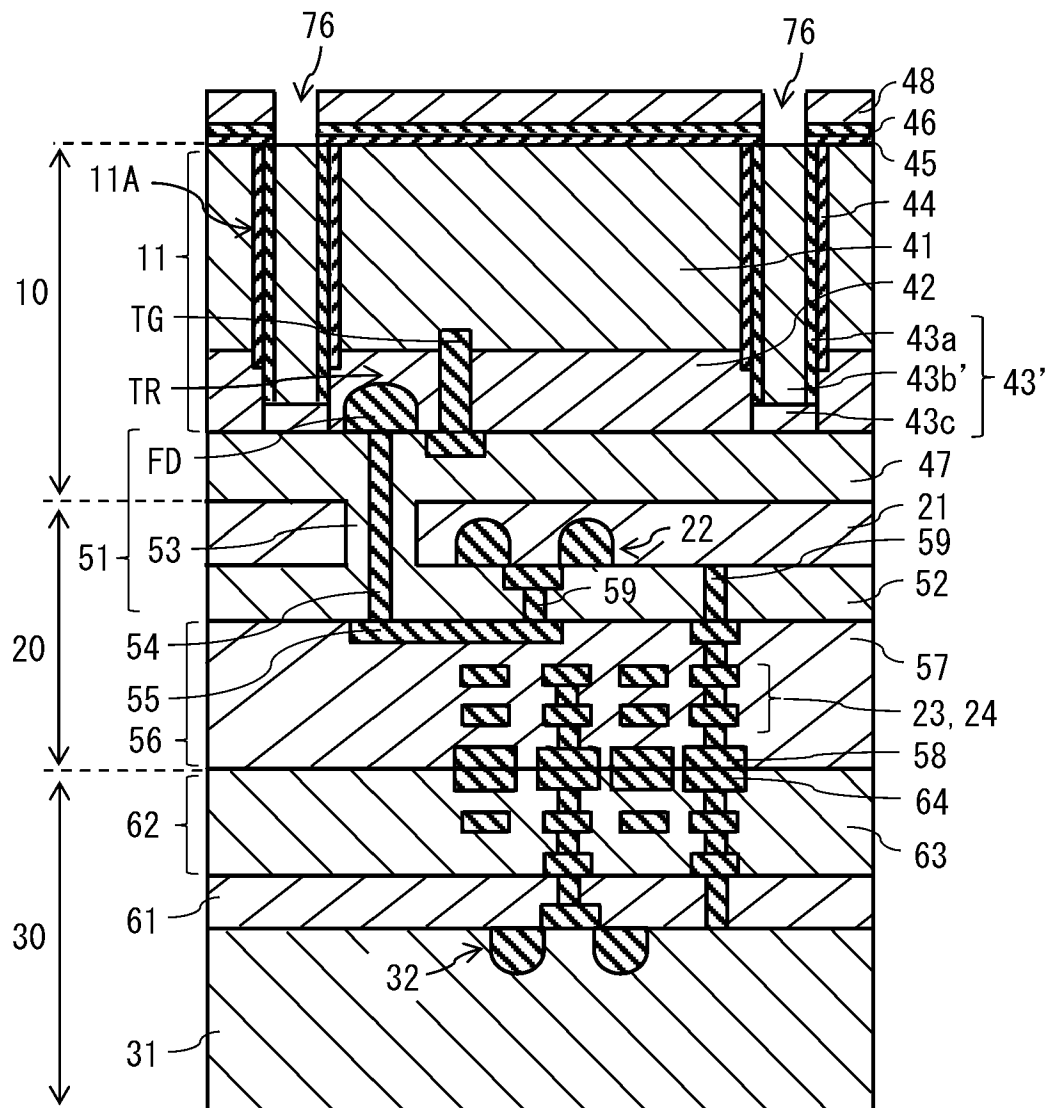
[図23]



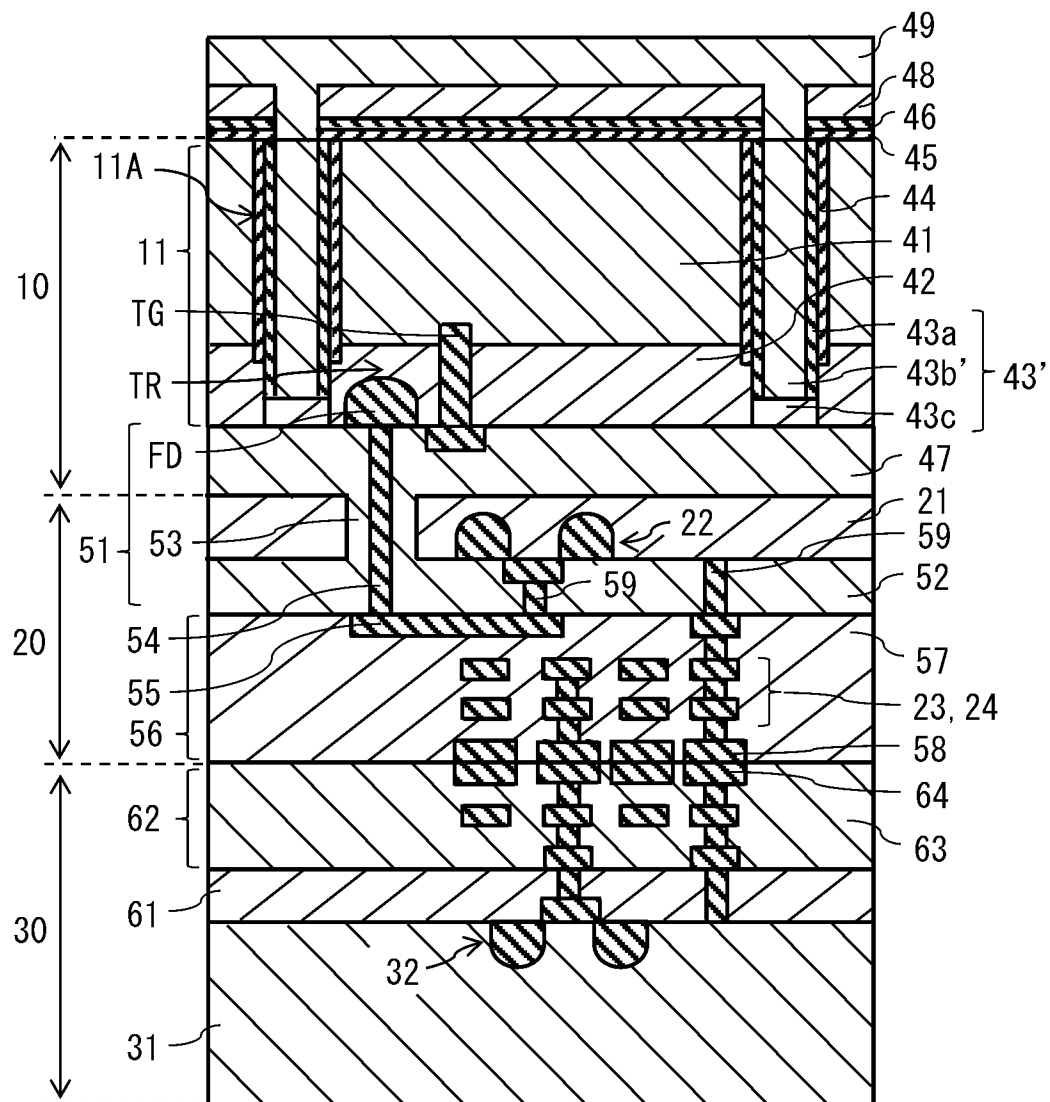
[図24]



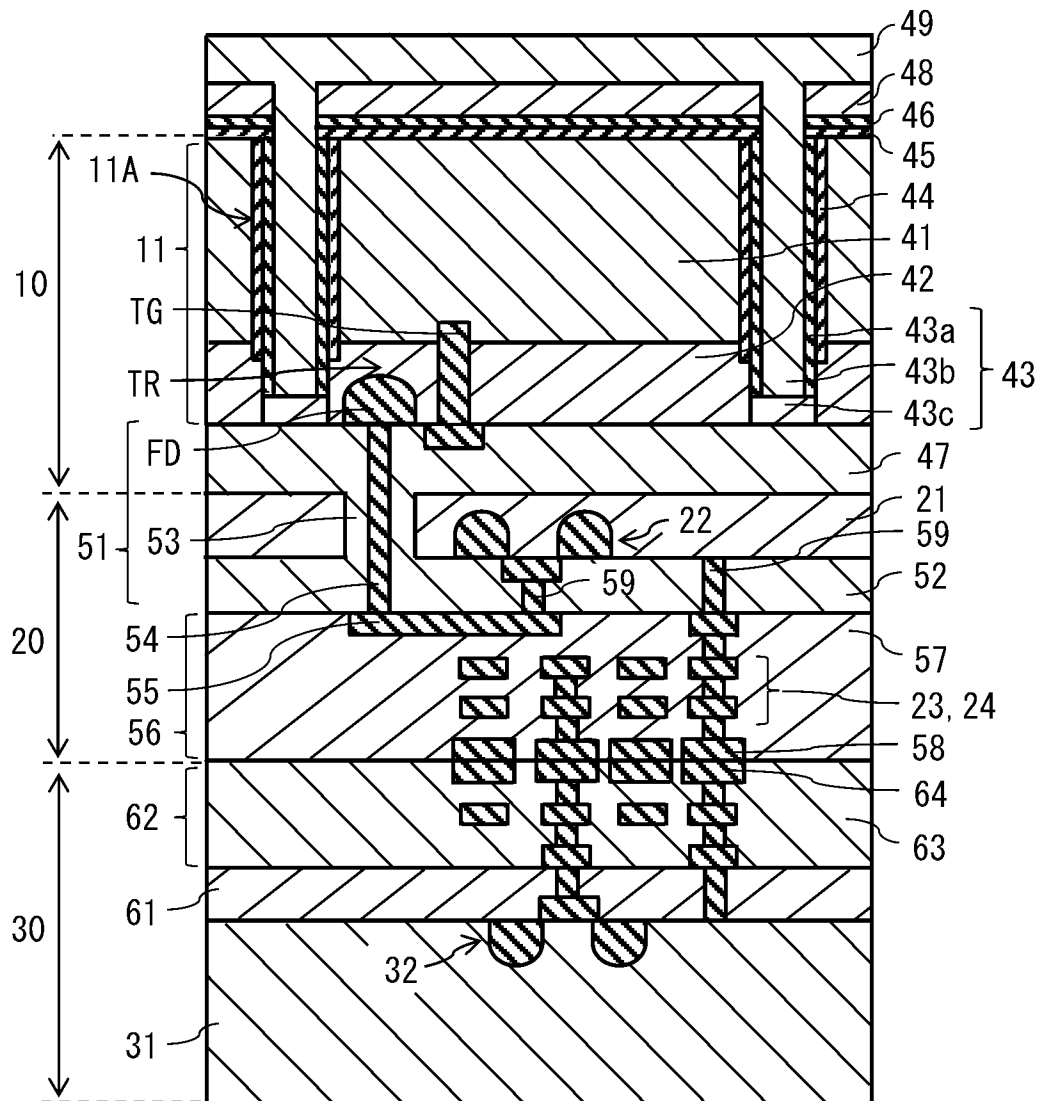
[図25]



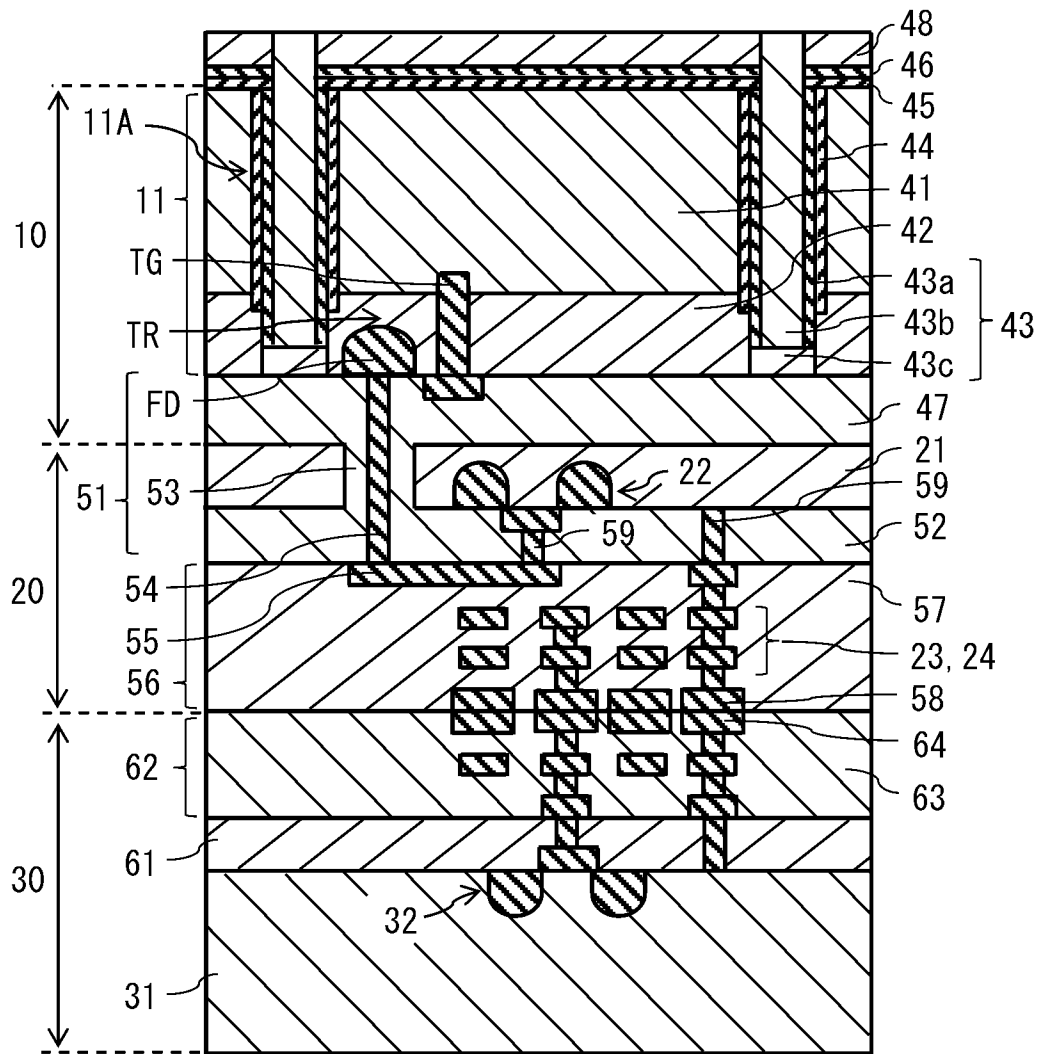
[図26]



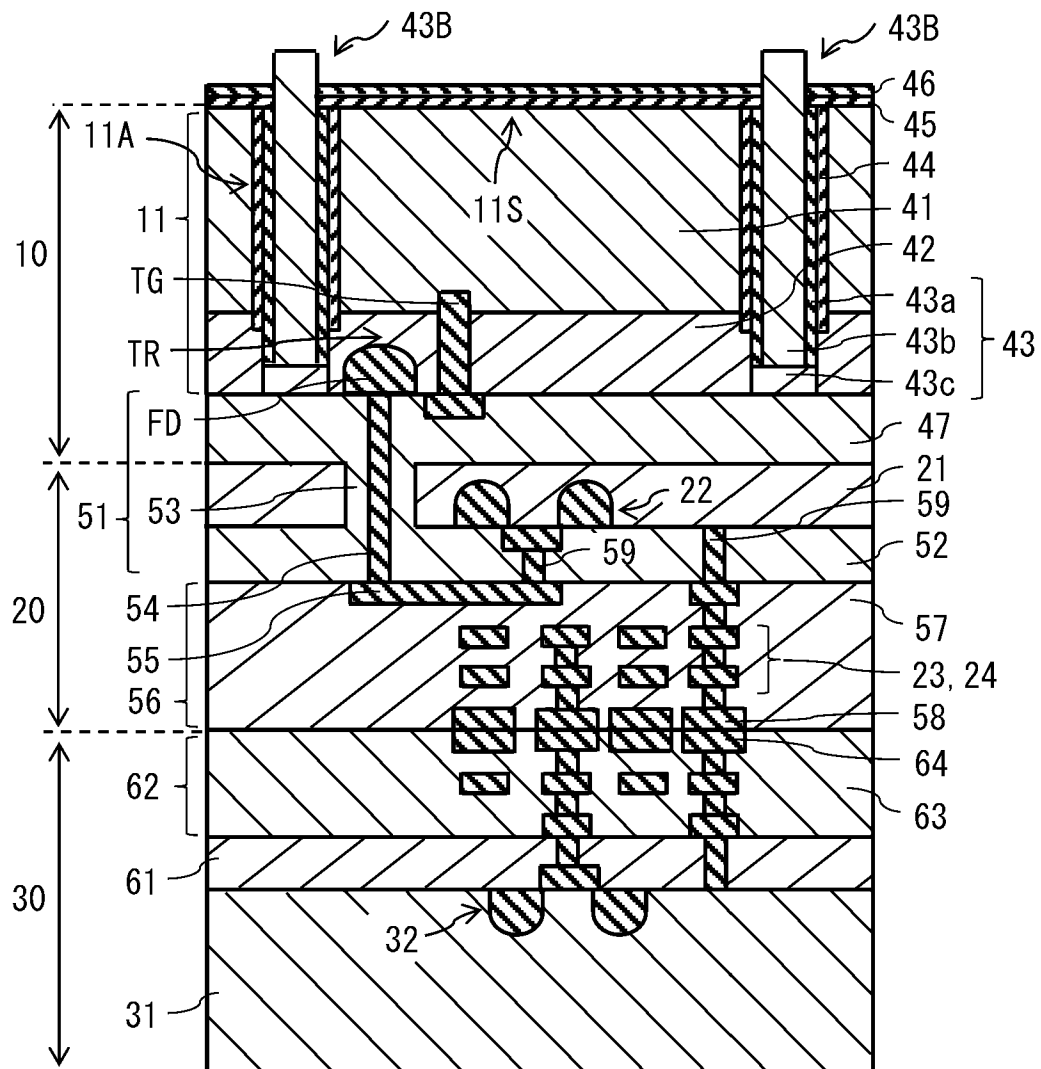
[図27]



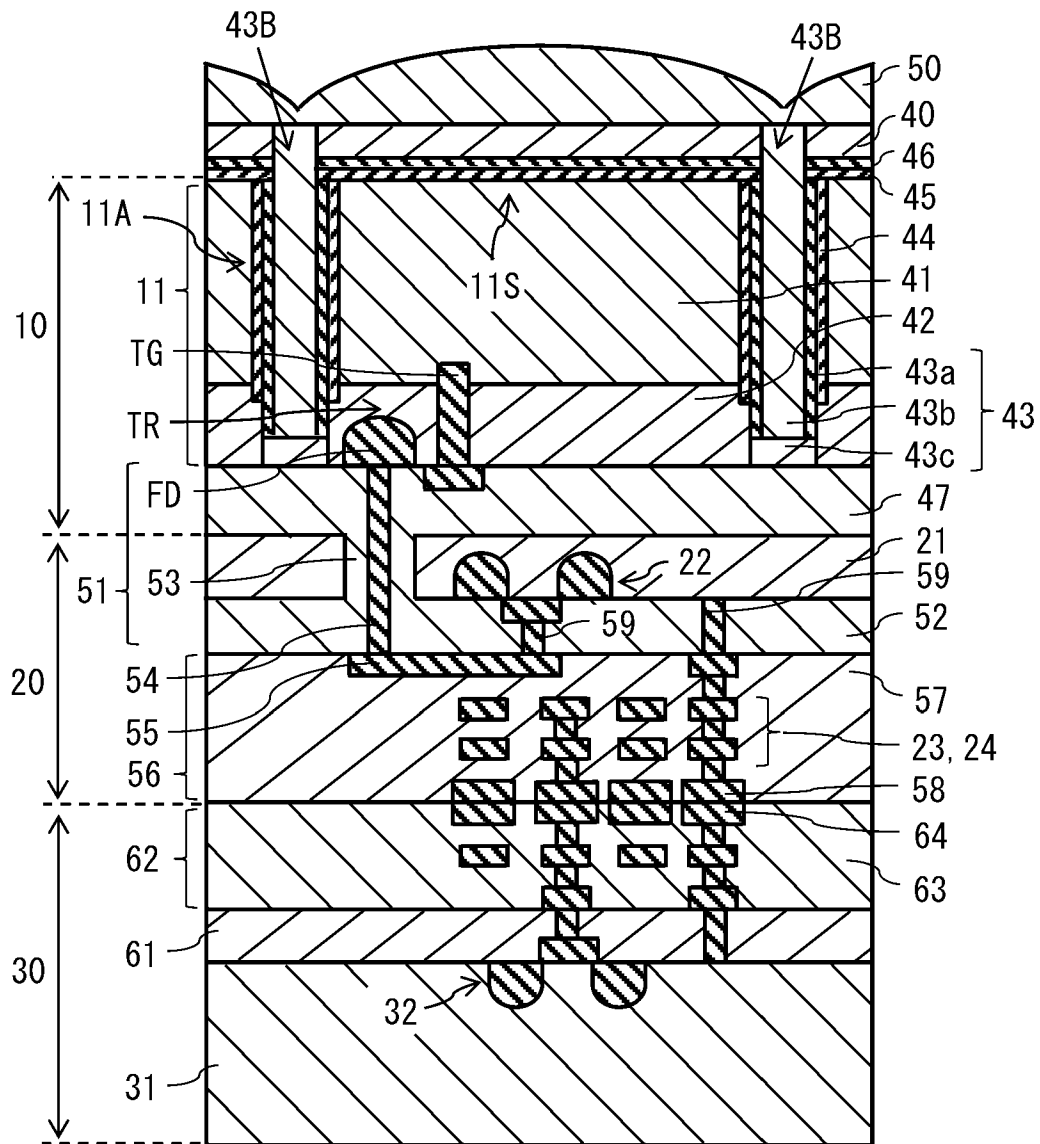
[図28]



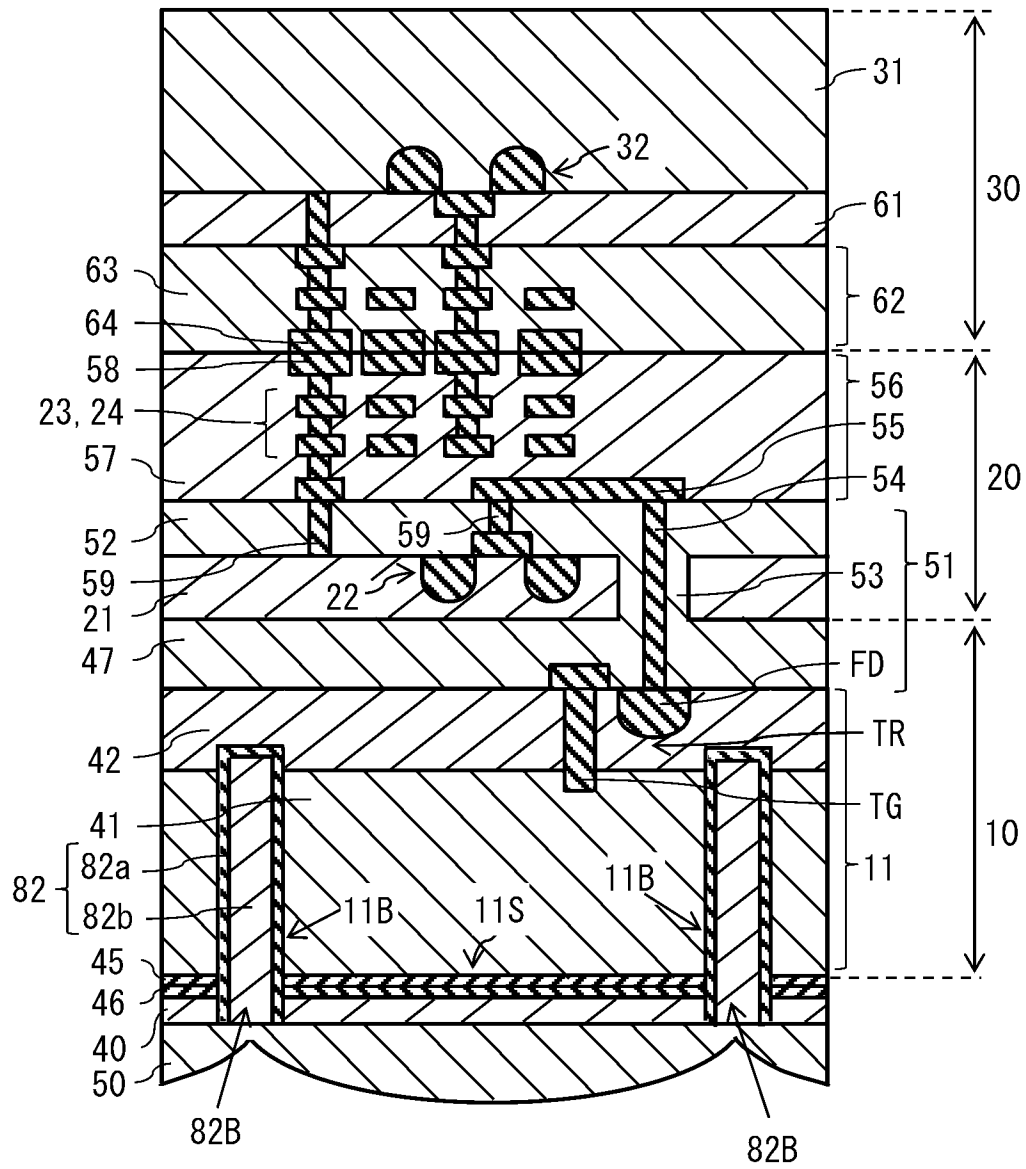
[図29]



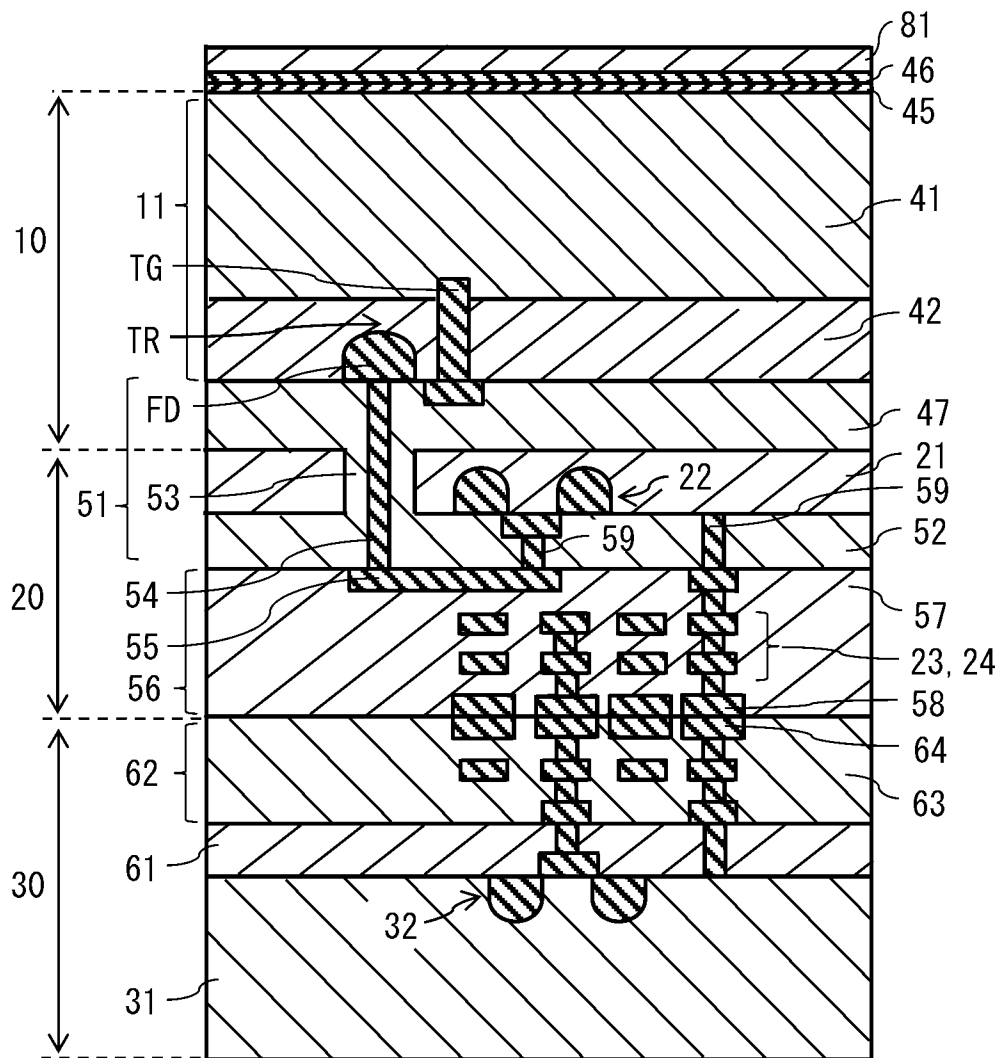
[図30]



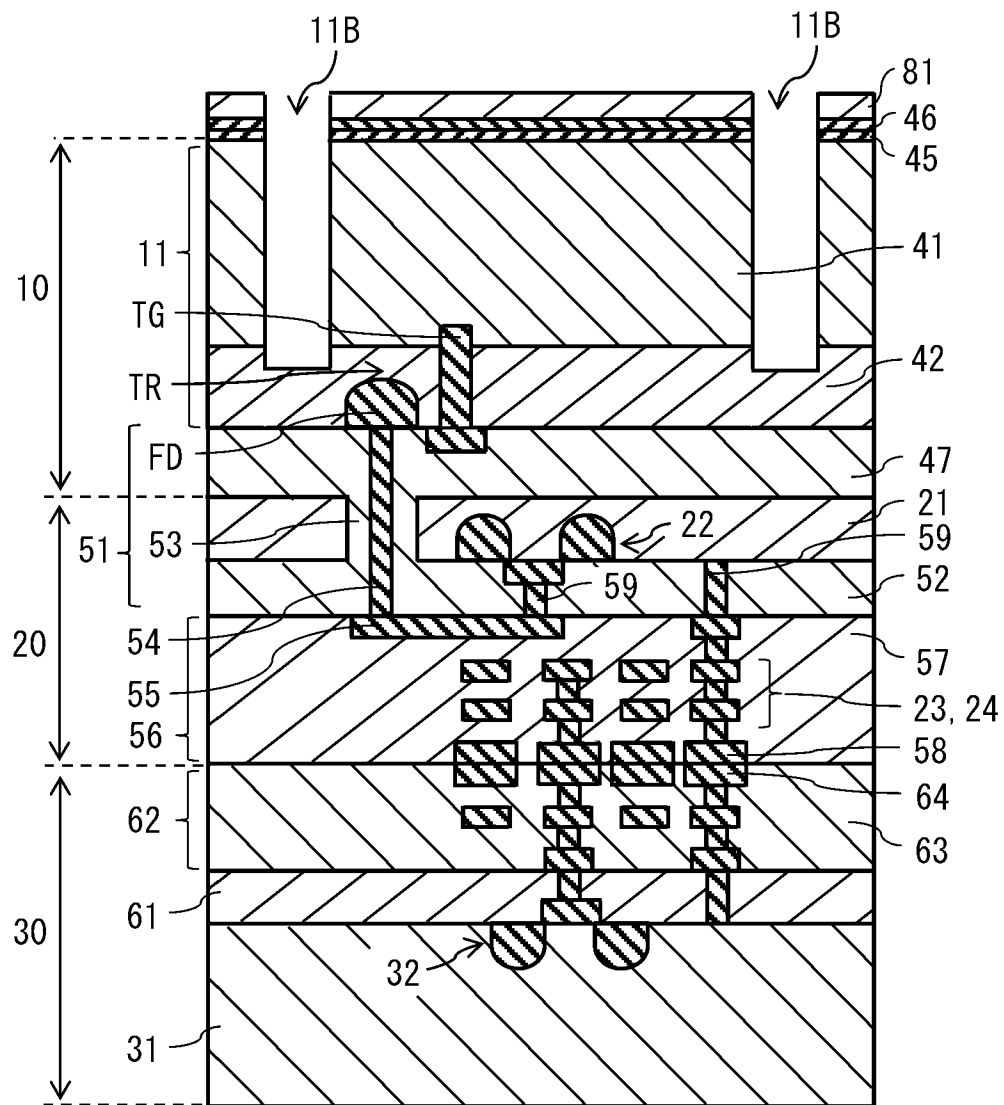
[図31]



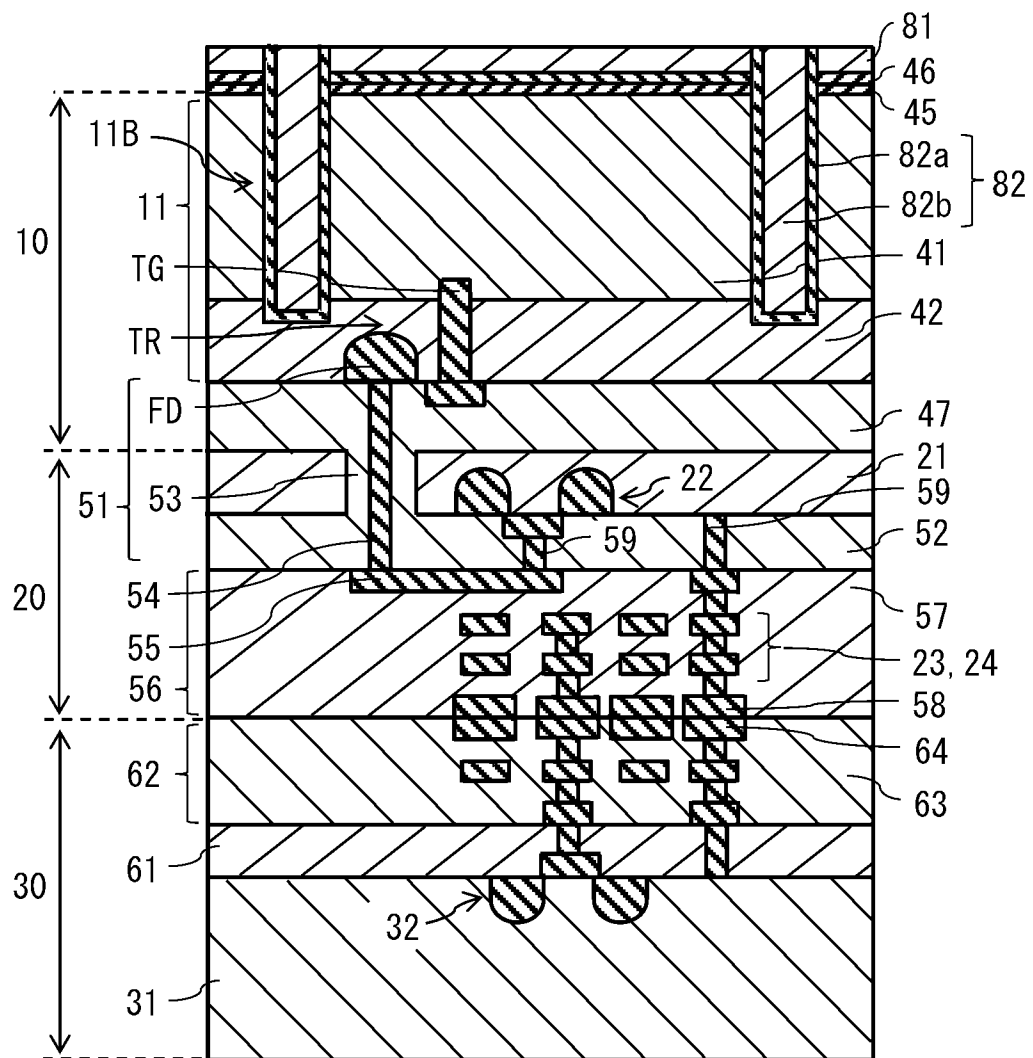
[図32]



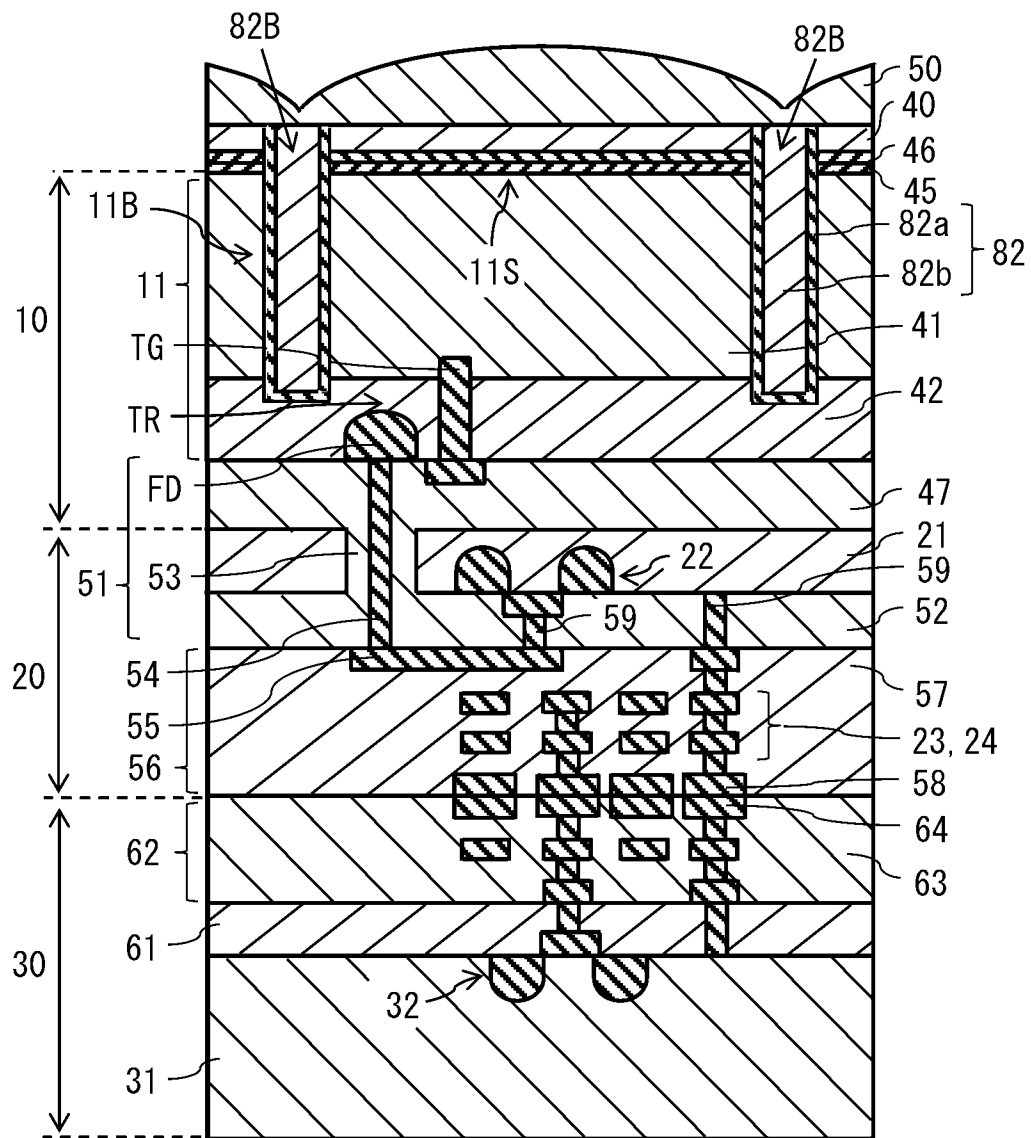
[図33]

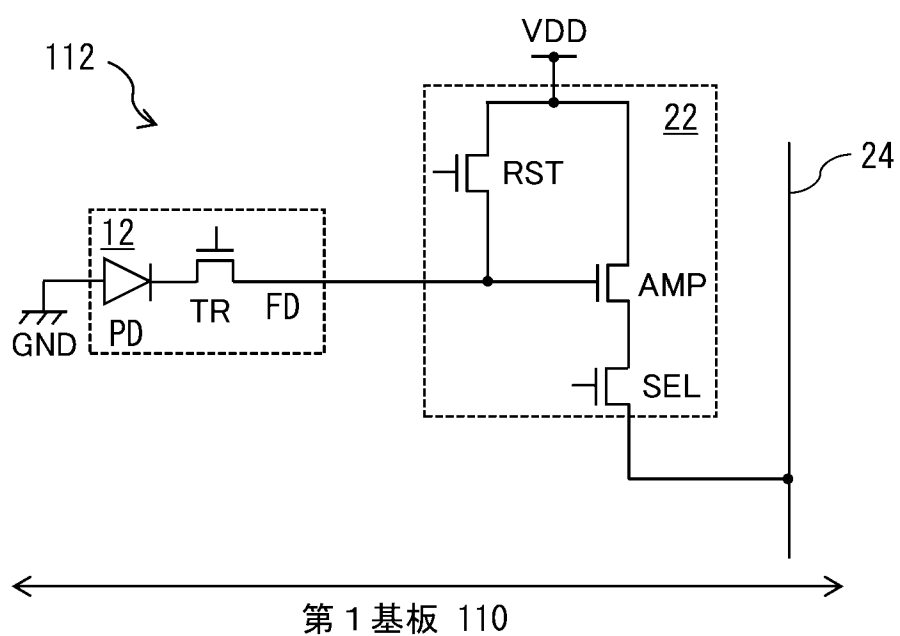
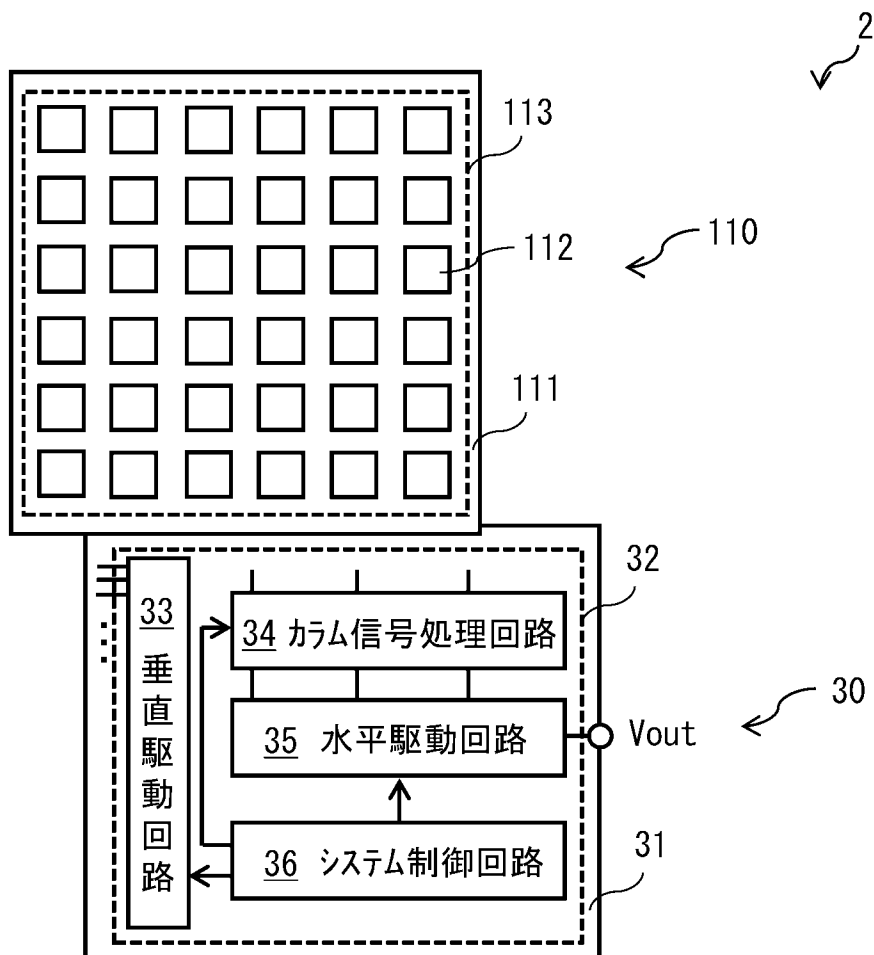


[図34]

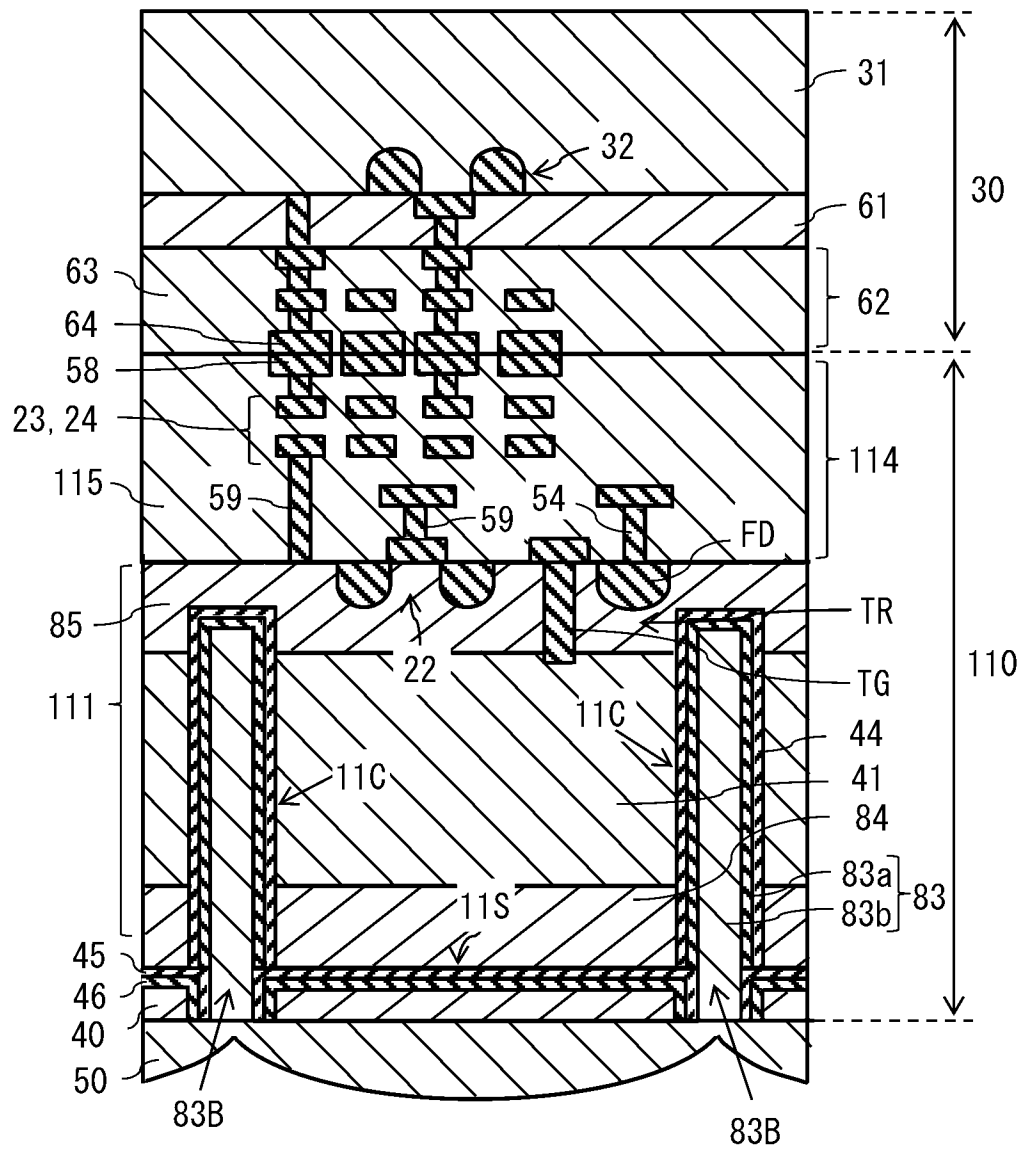


[図36]

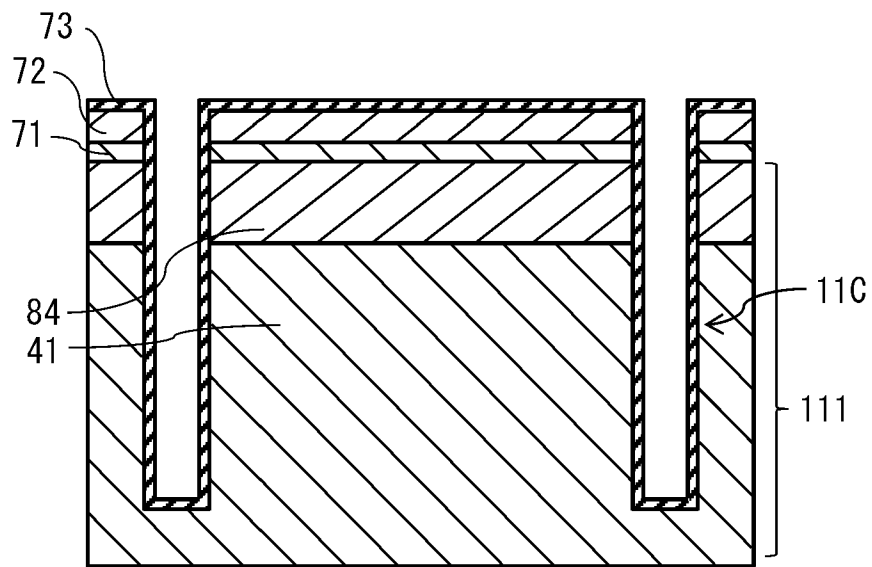




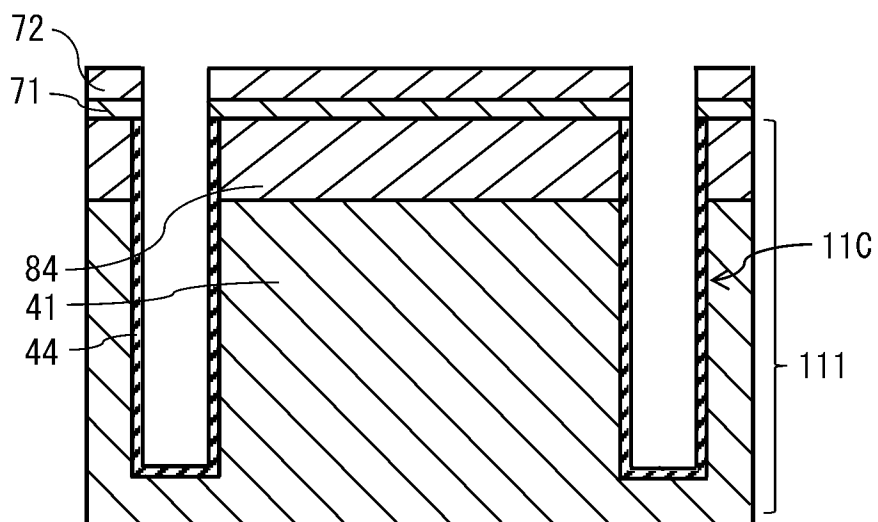
[図39]



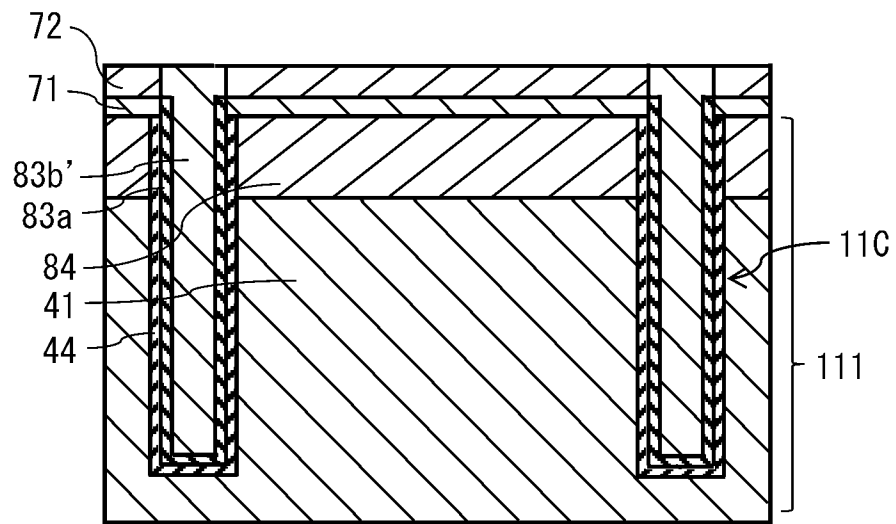
[図40]



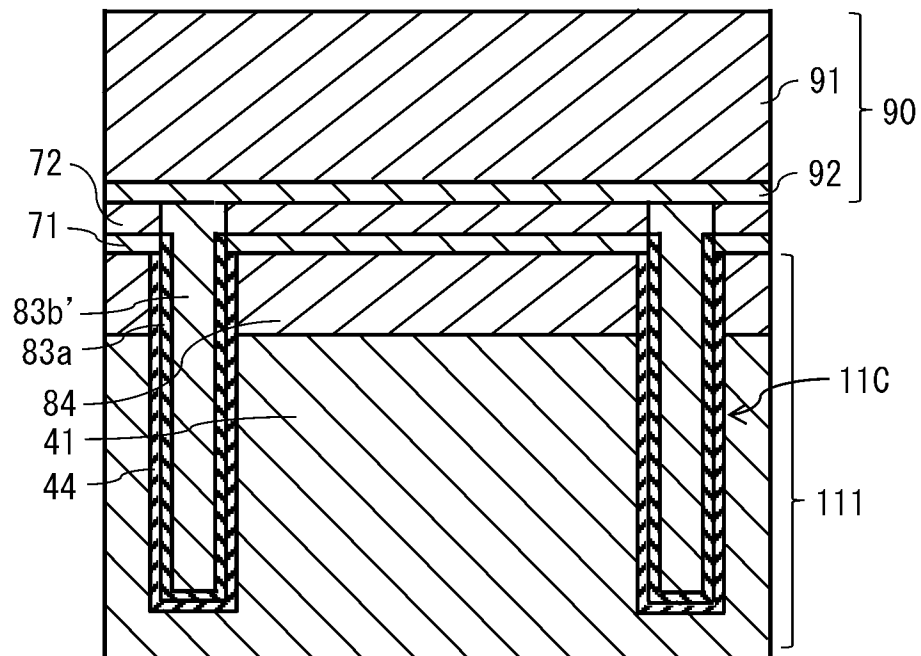
[図41]



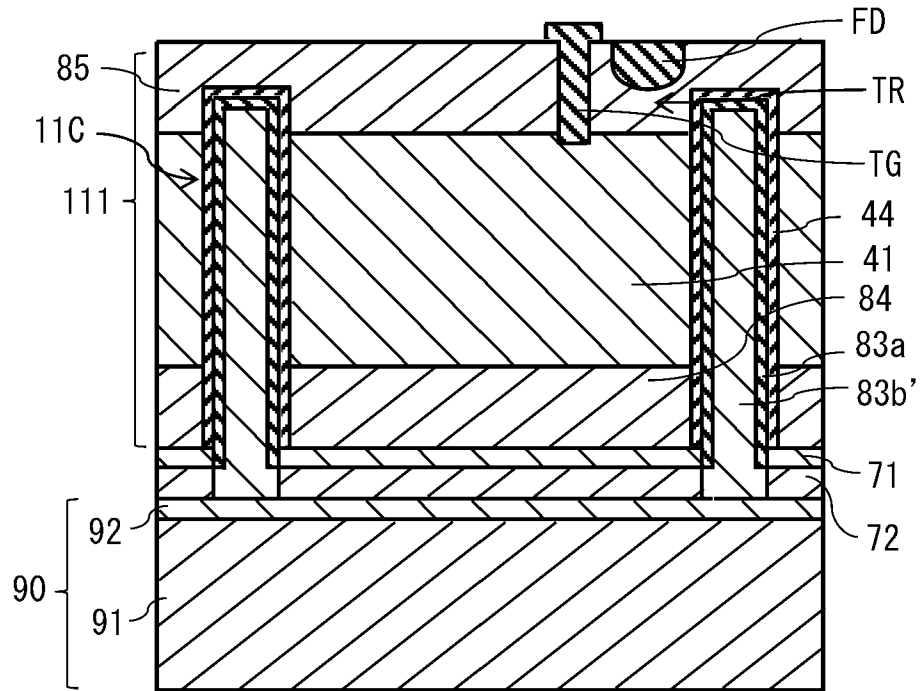
[図42]



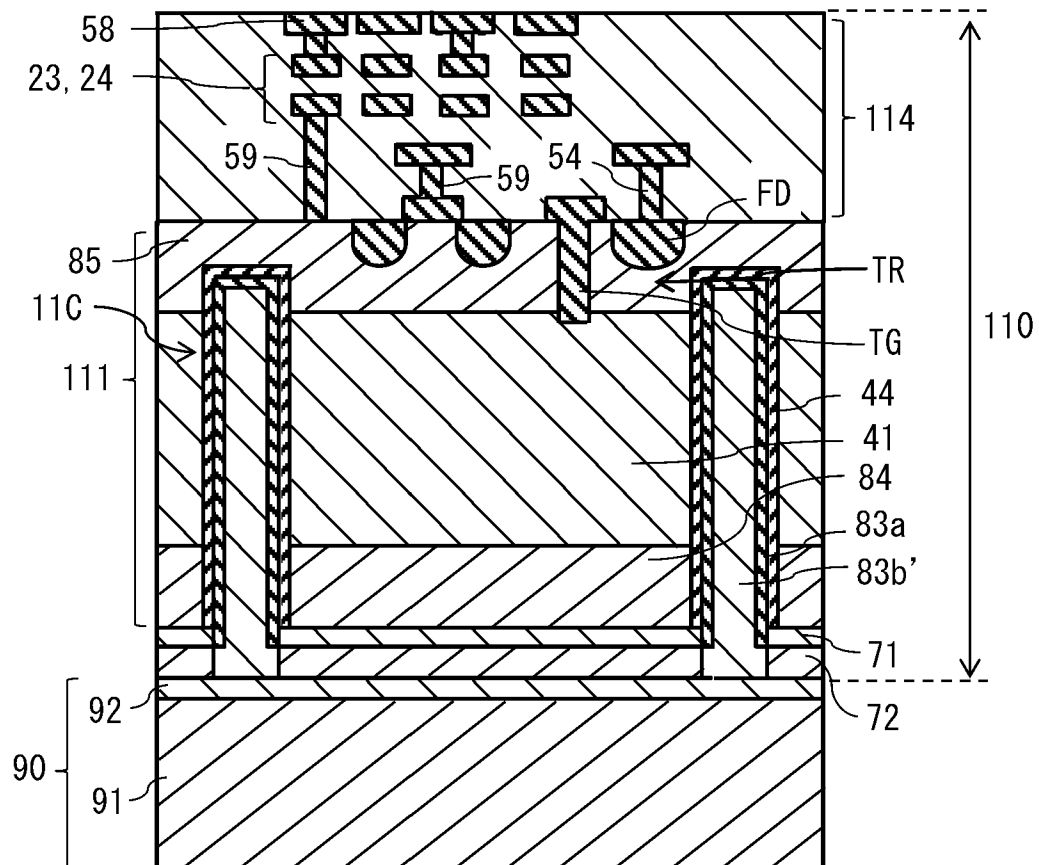
[図43]



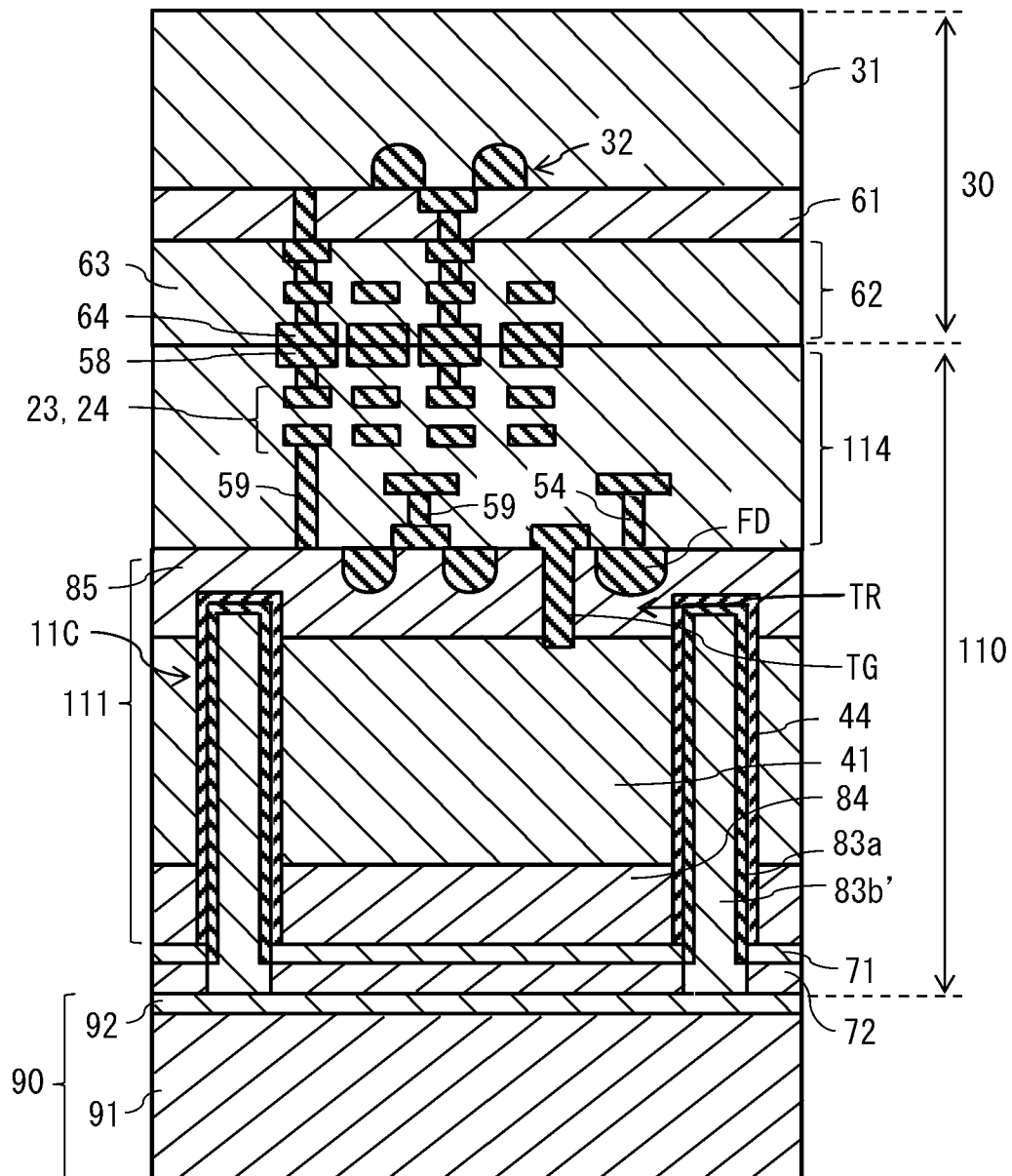
[図44]



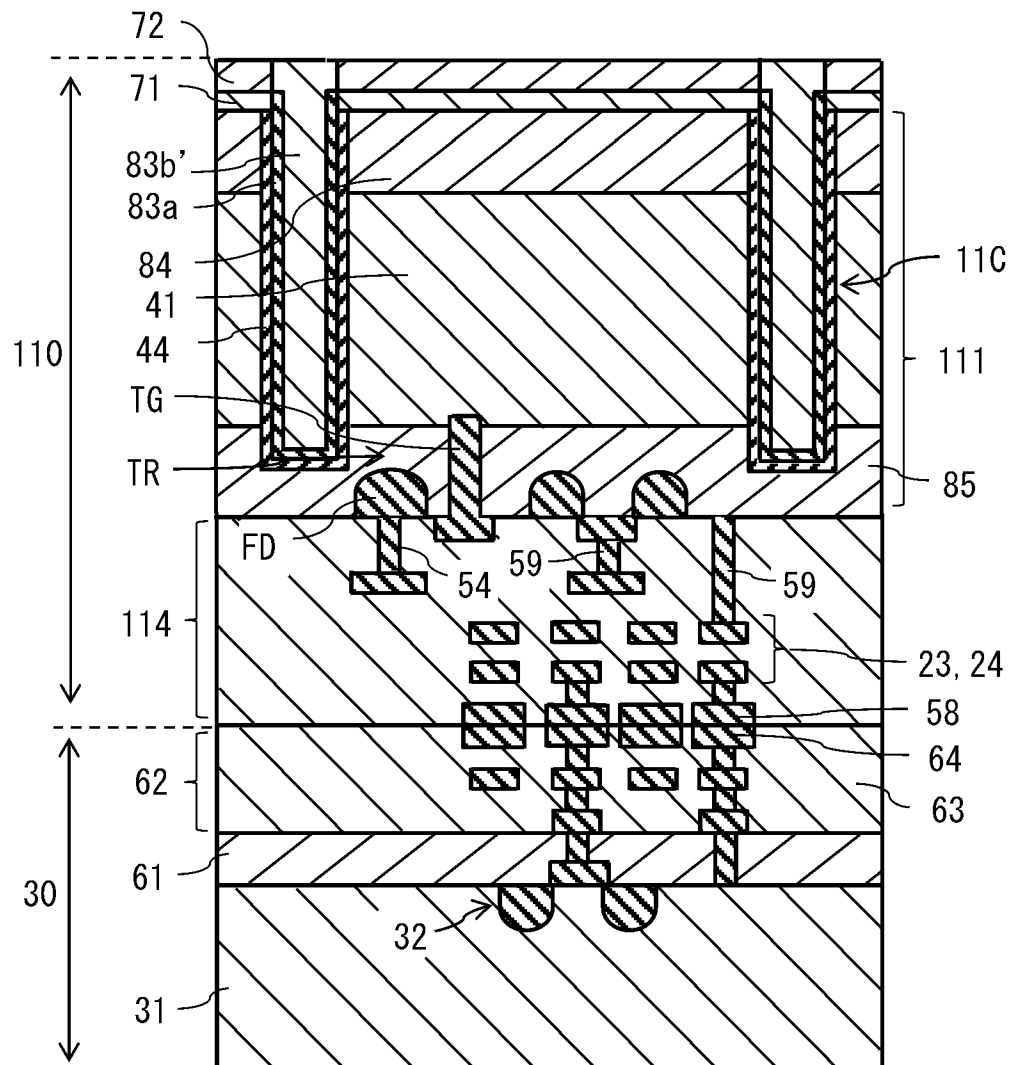
[図45]



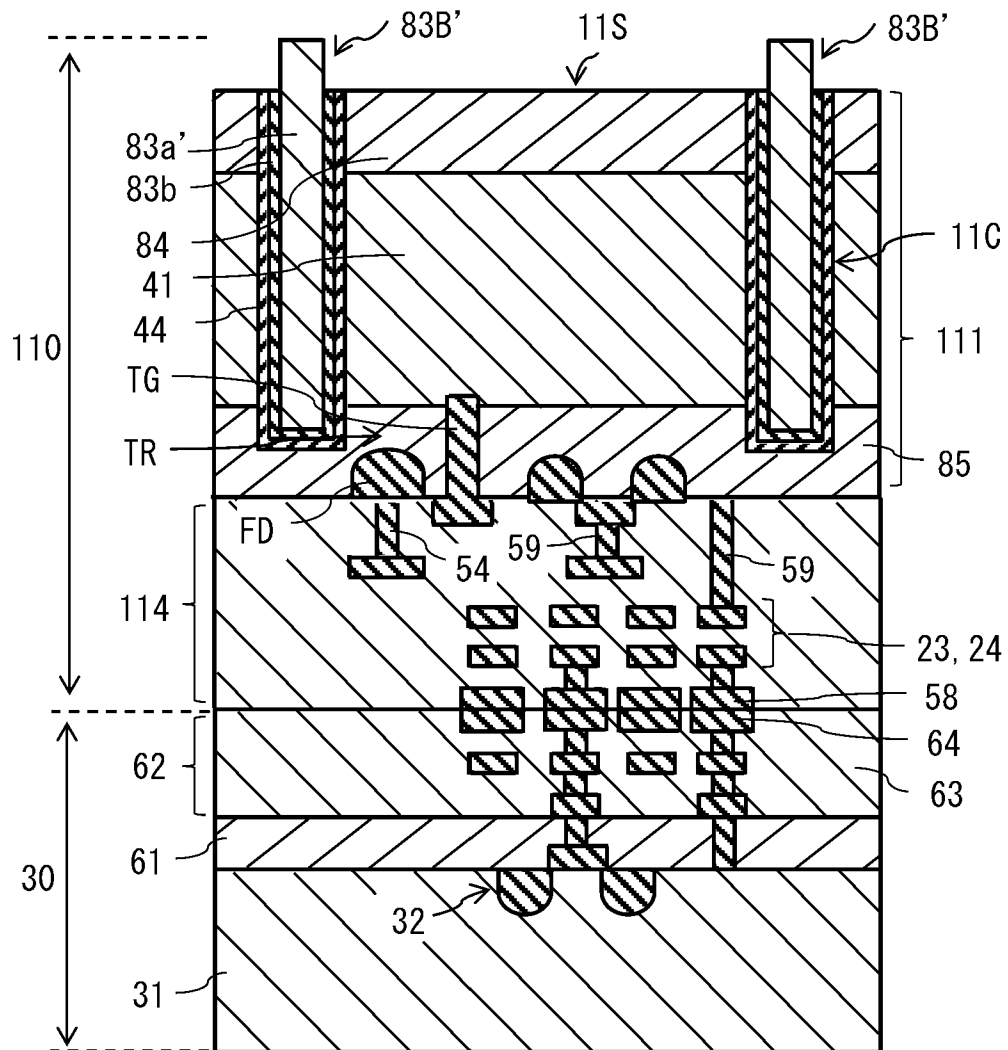
[図46]



[図47]

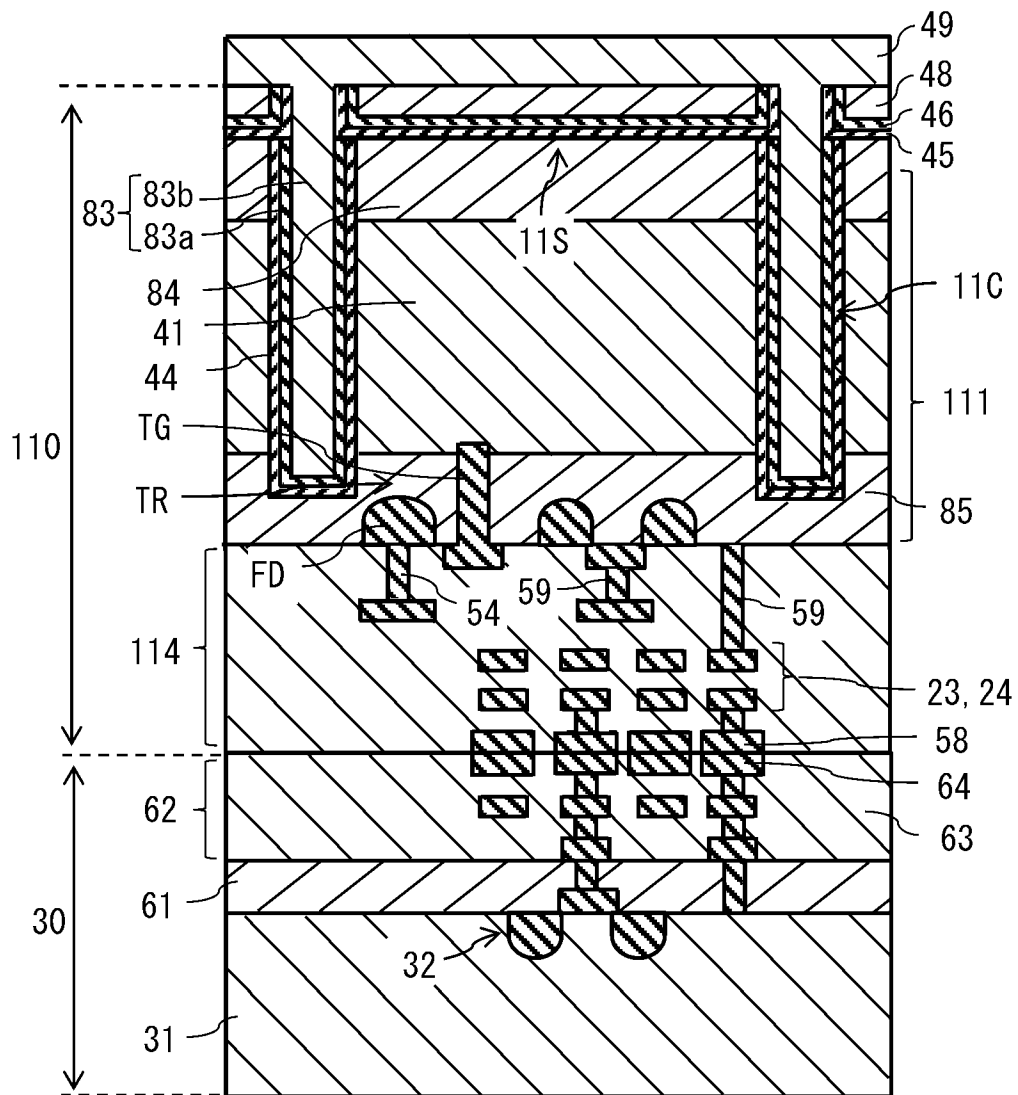


[図48]



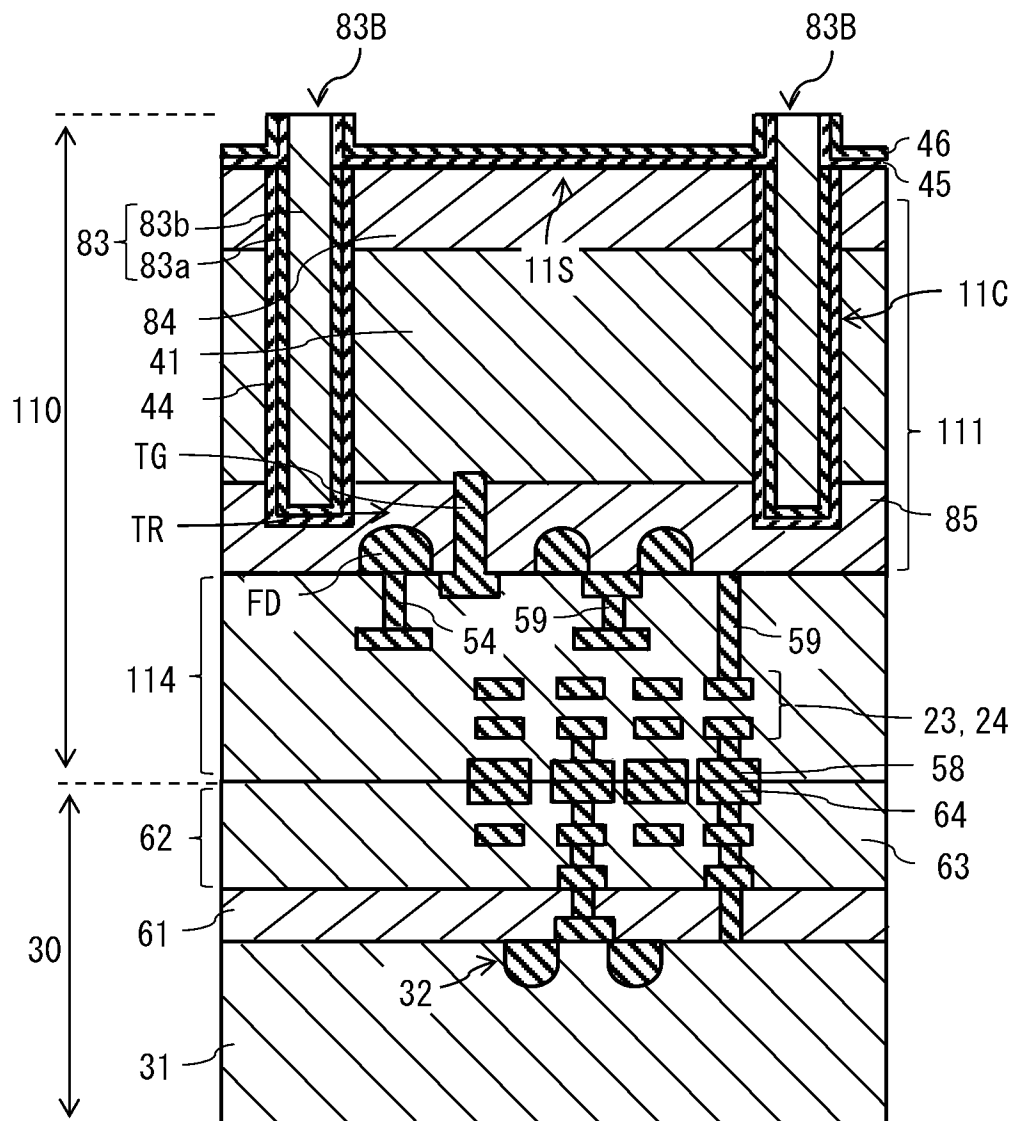
[illegible]

[図51]

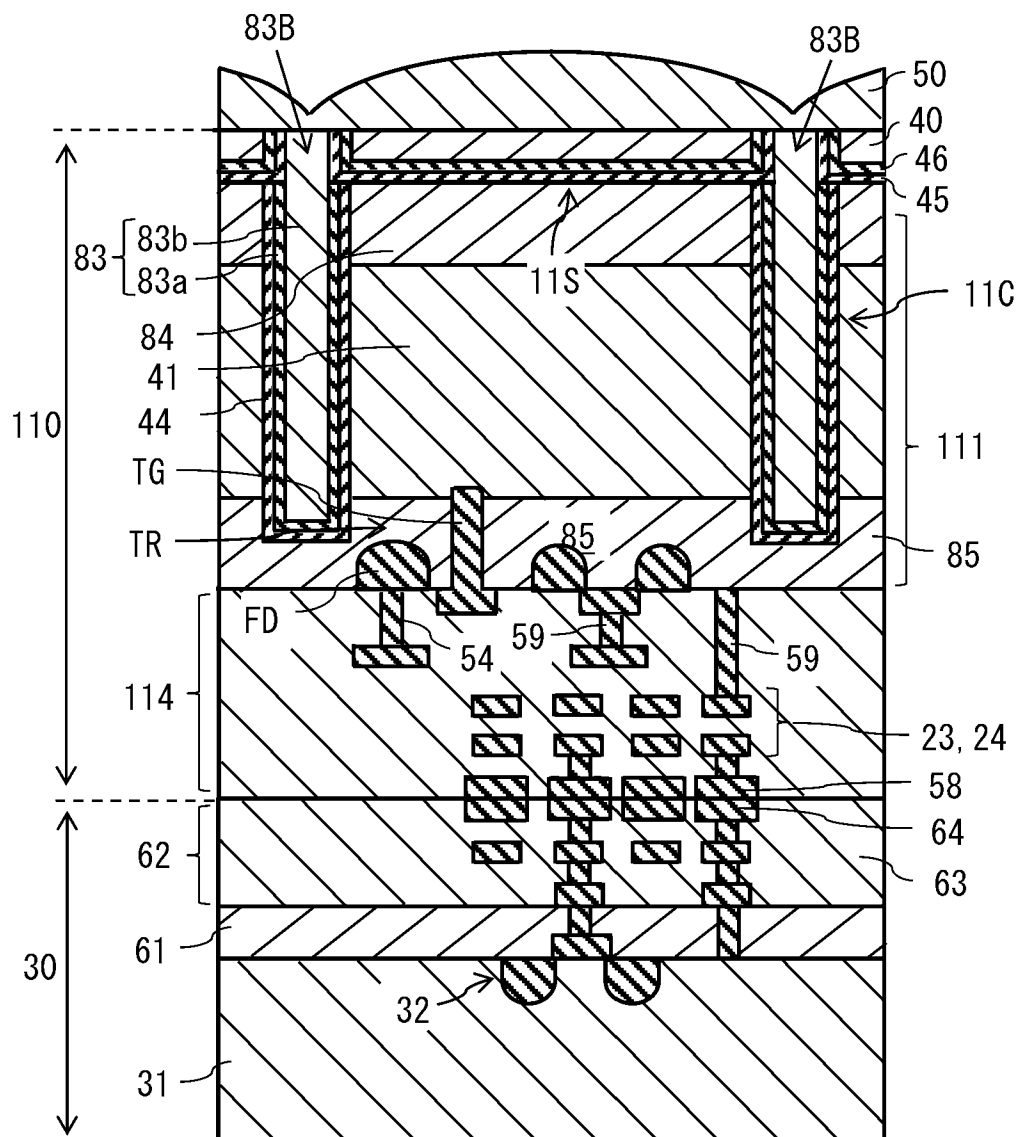


[illegible]

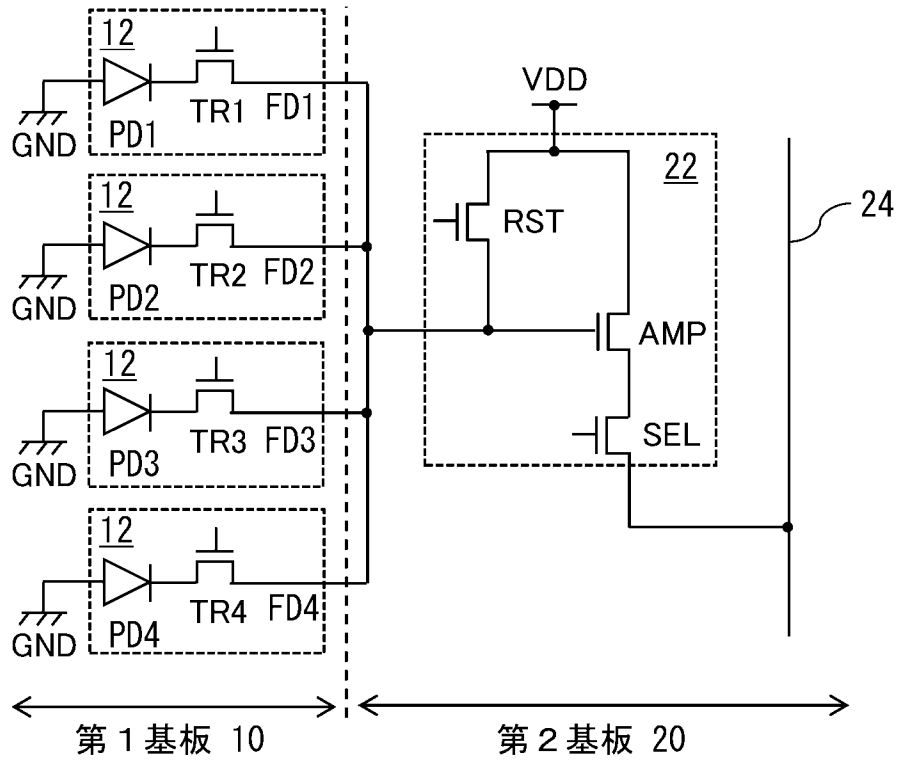
[図53]



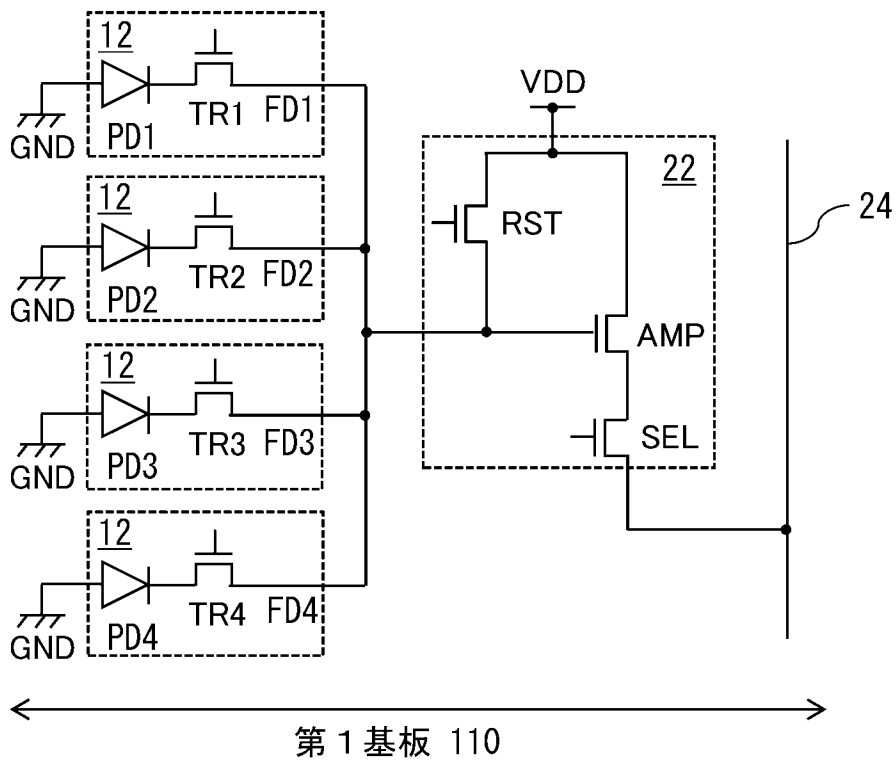
[図54]



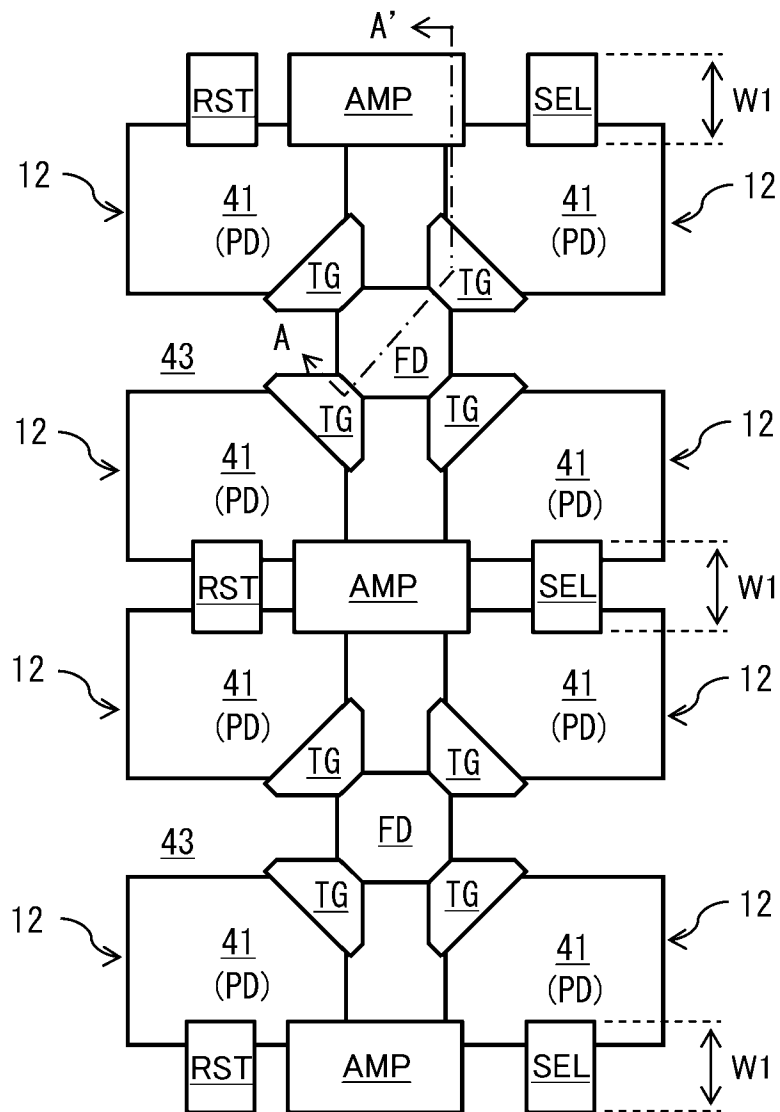
[图55]



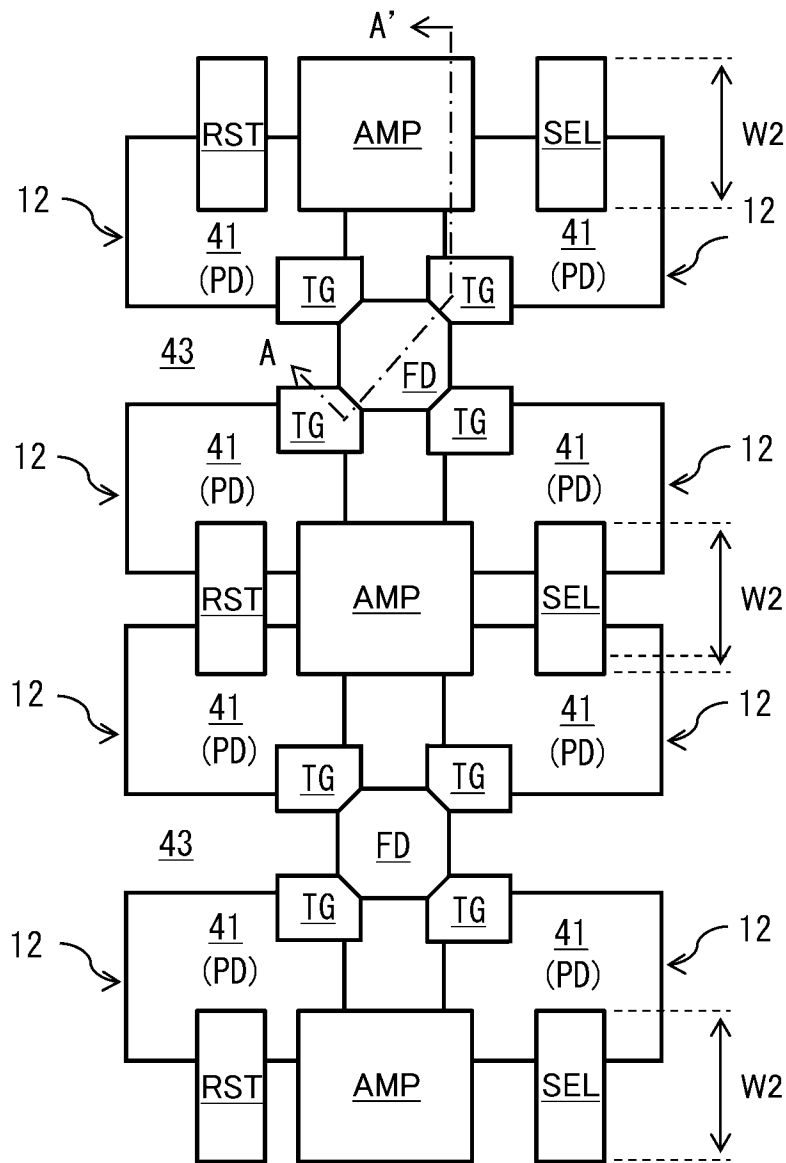
[图56]



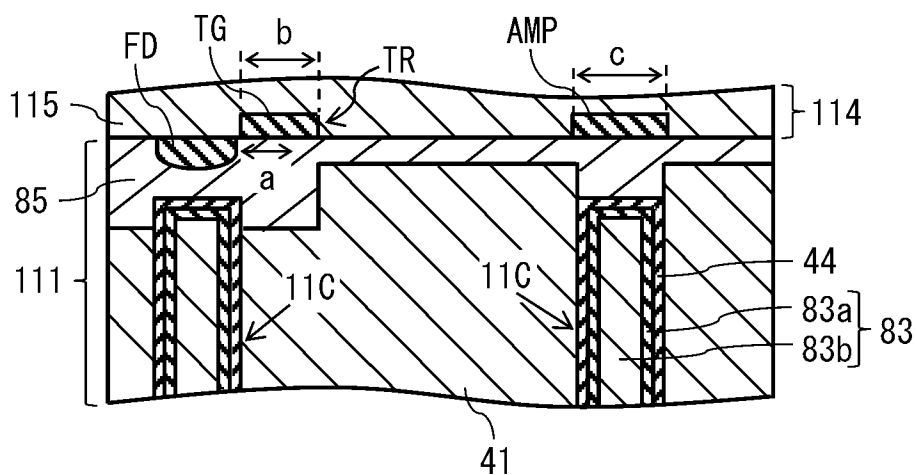
[図57]



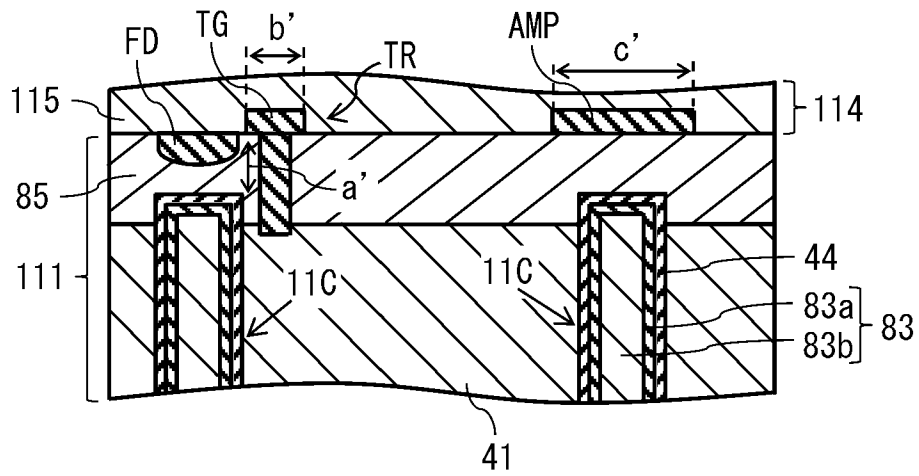
[図58]



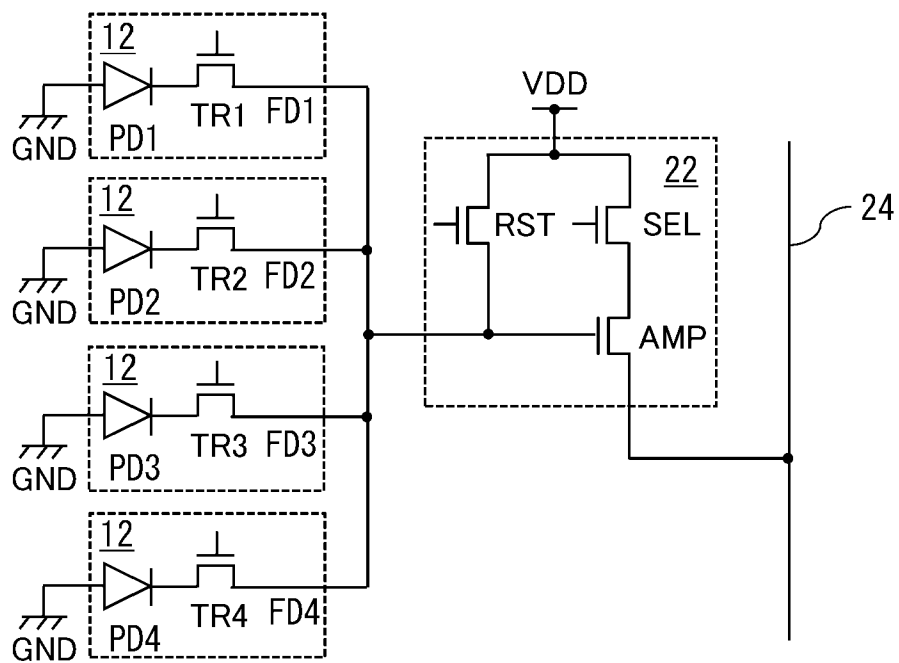
[図59]



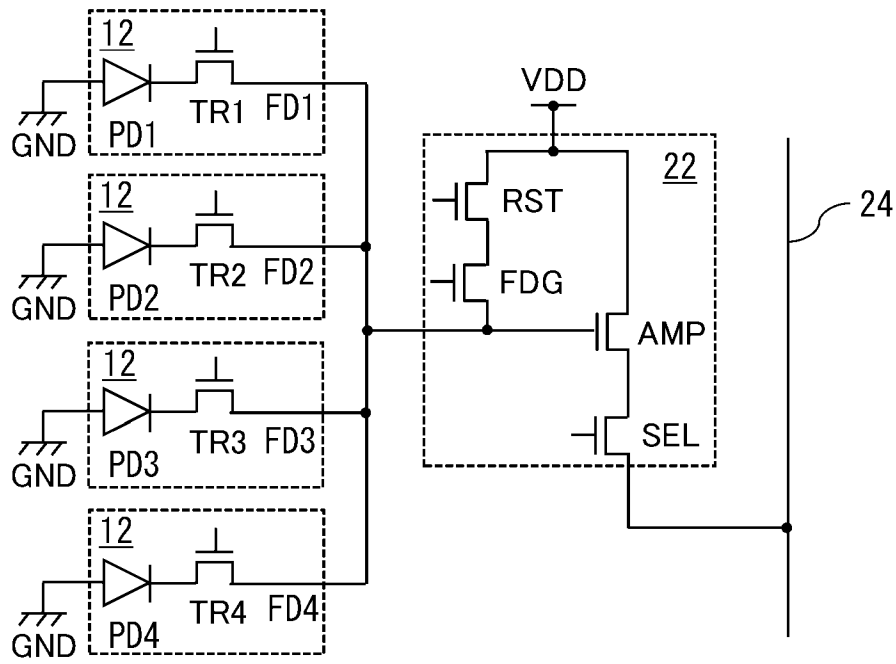
[図60]



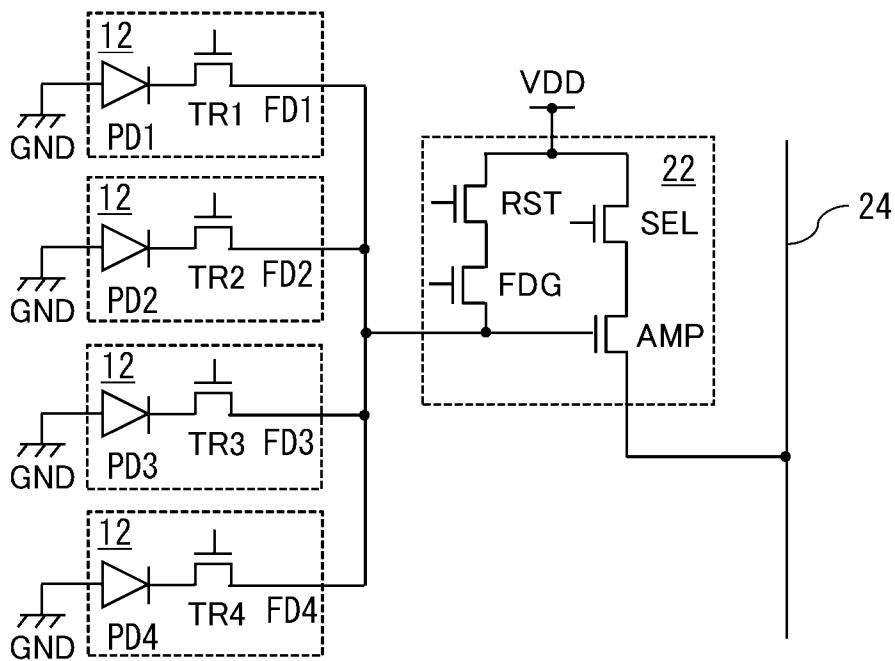
[図61]



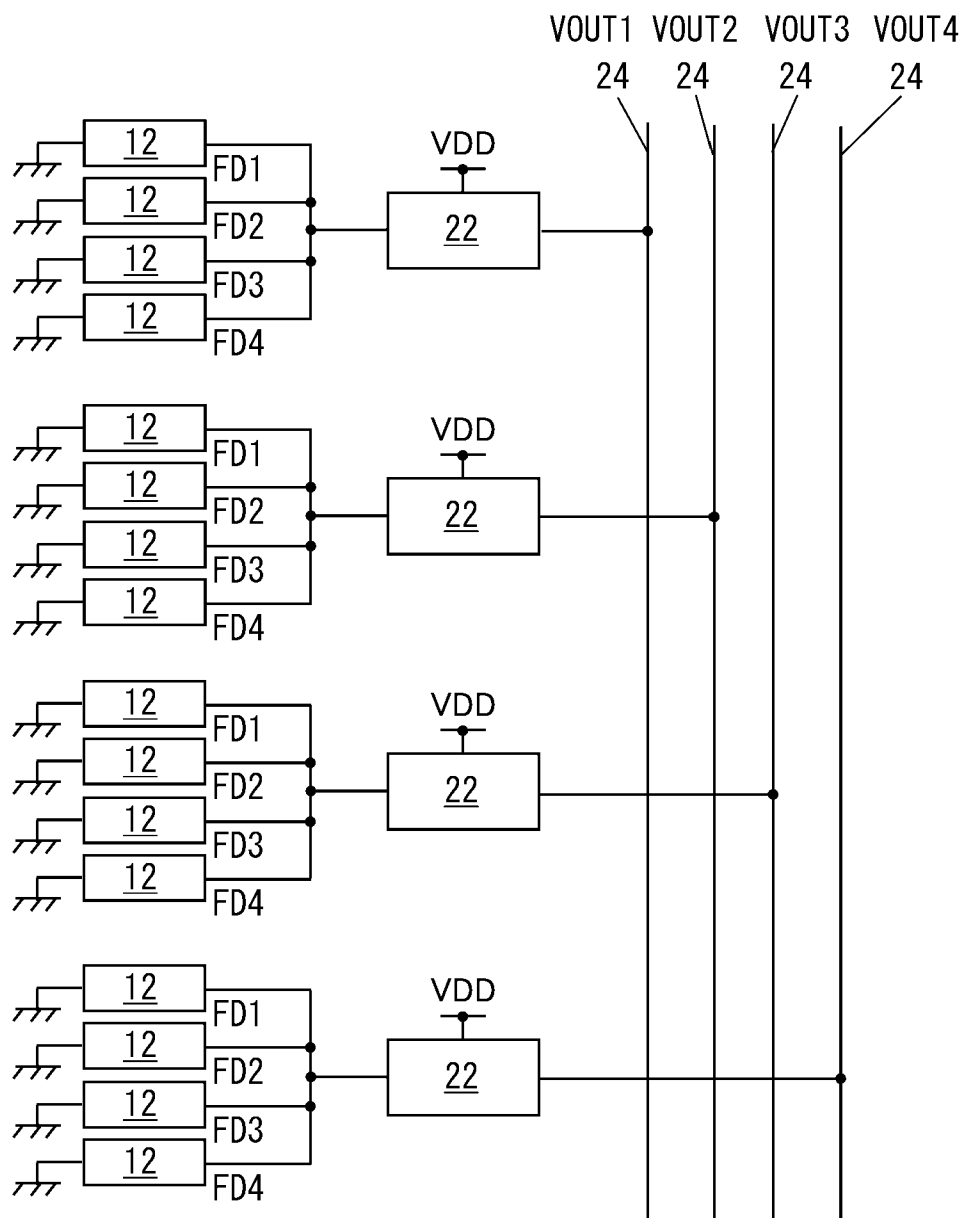
[図62]



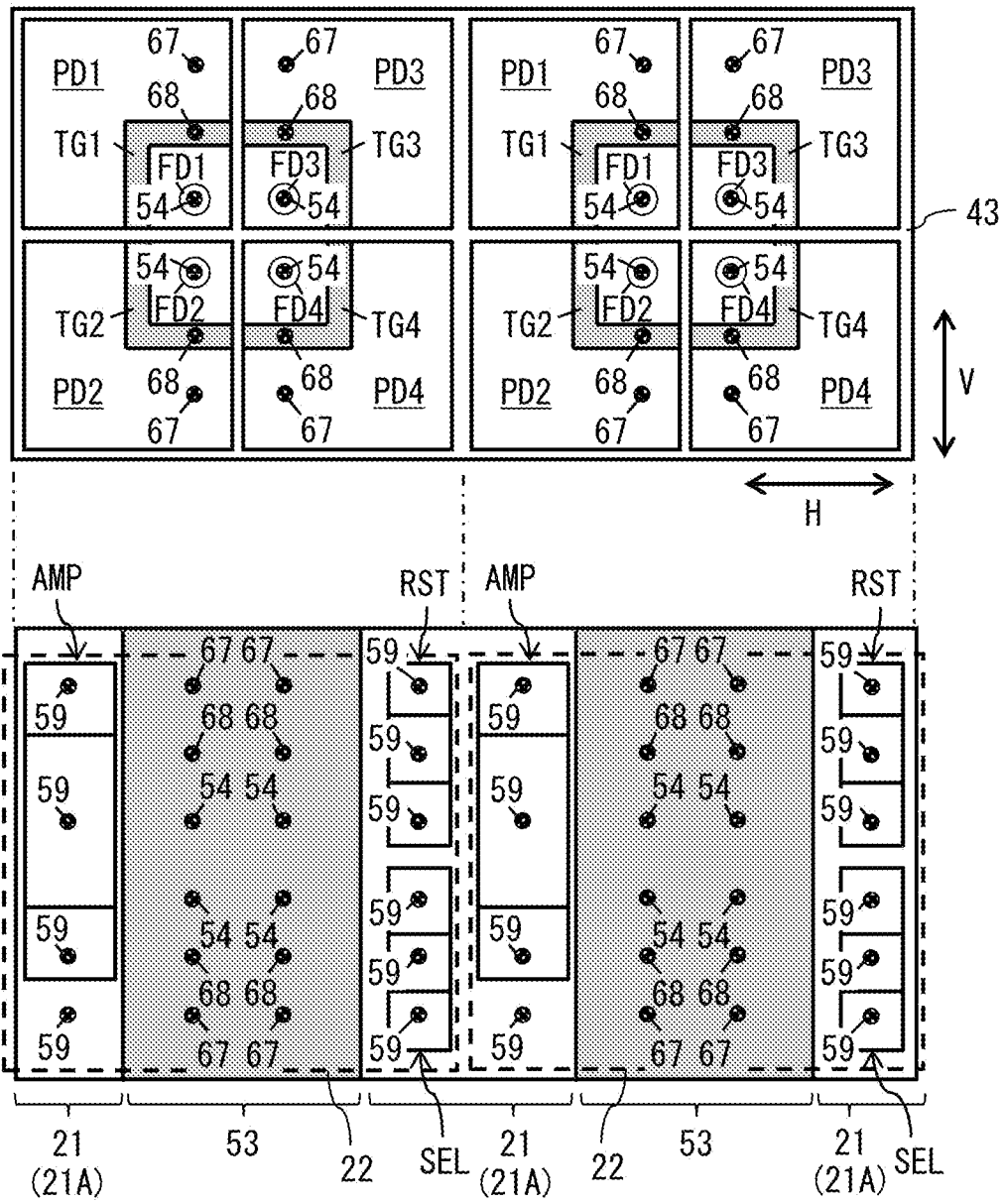
[図63]



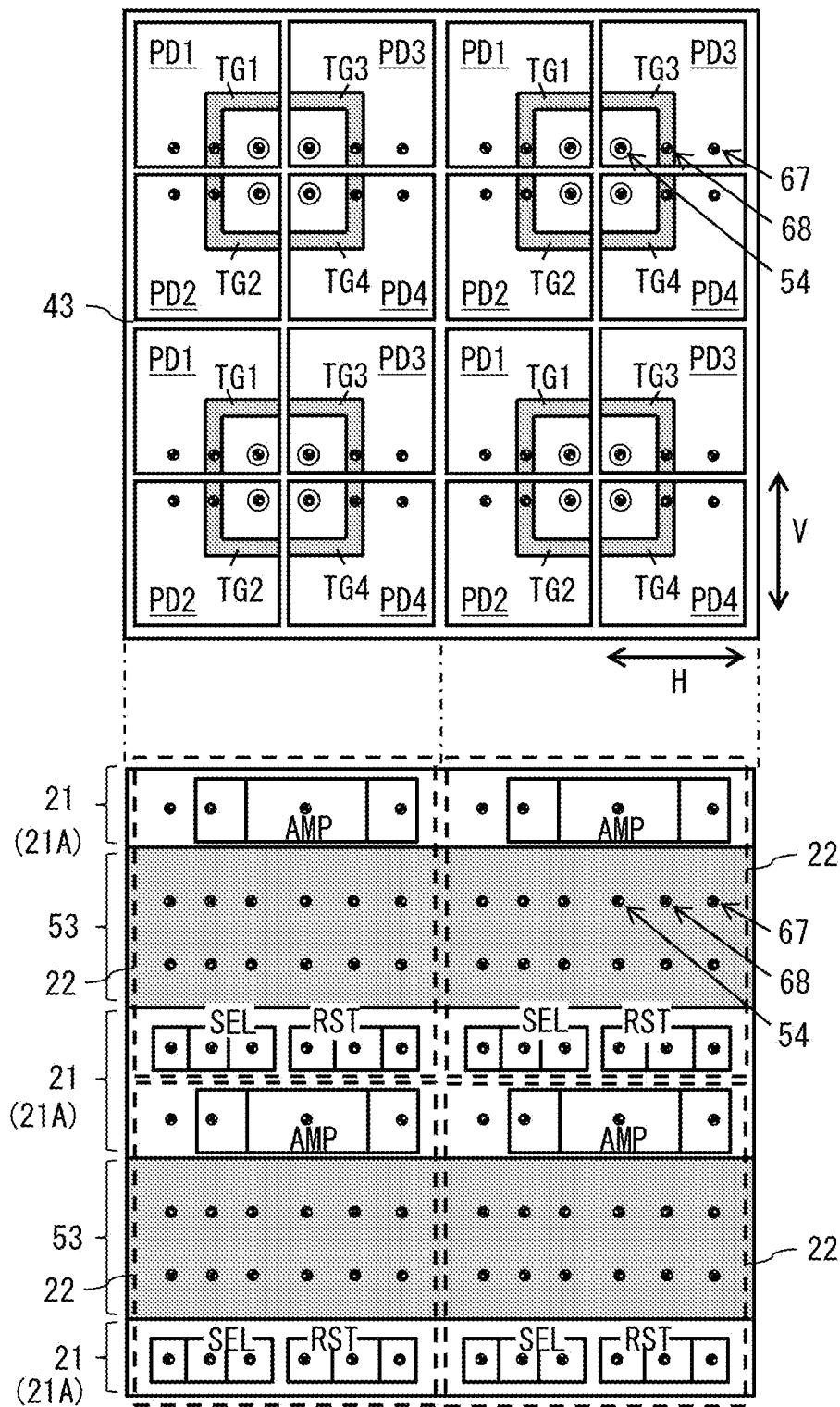
[図64]



[図65]



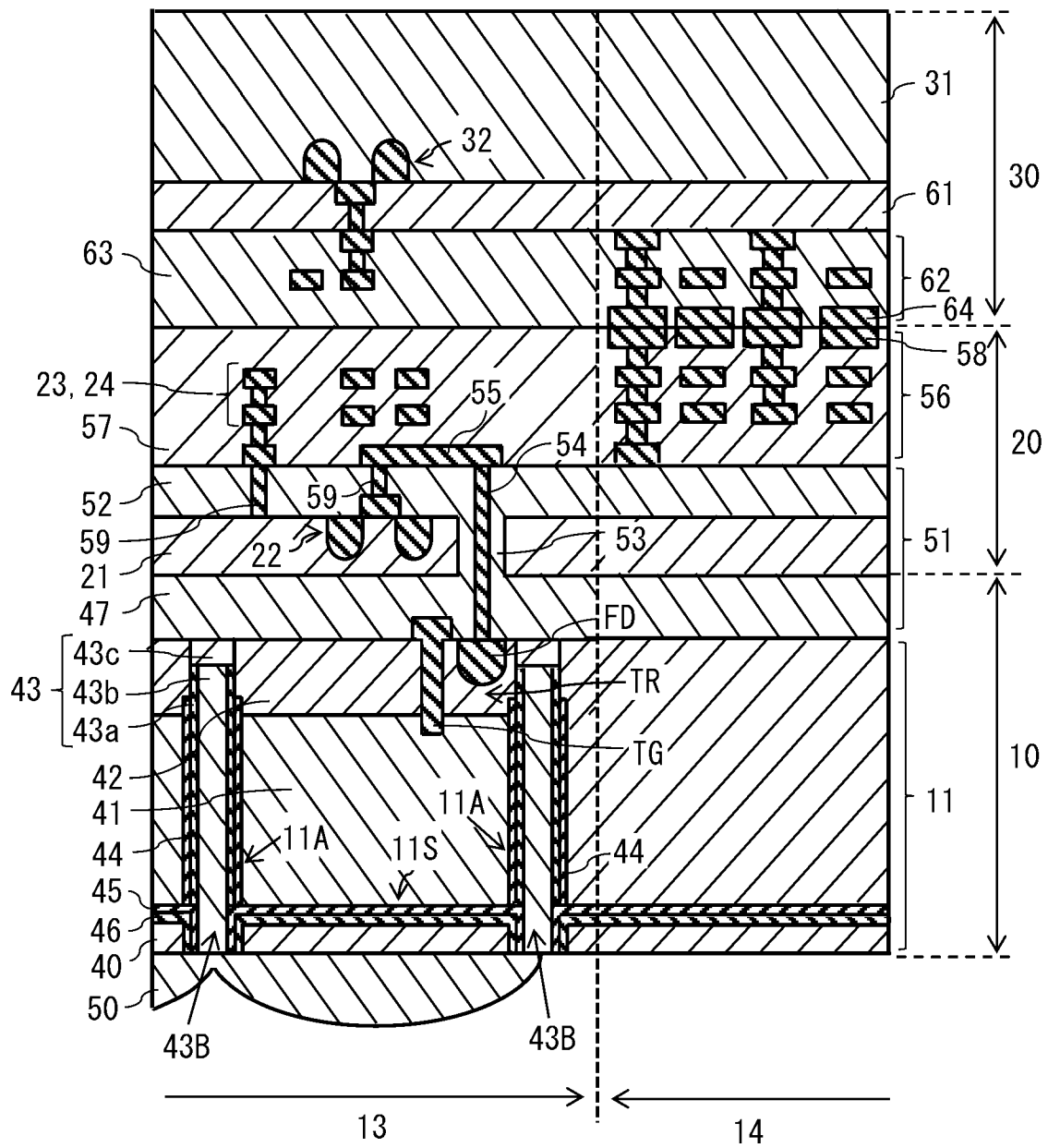
[図66]



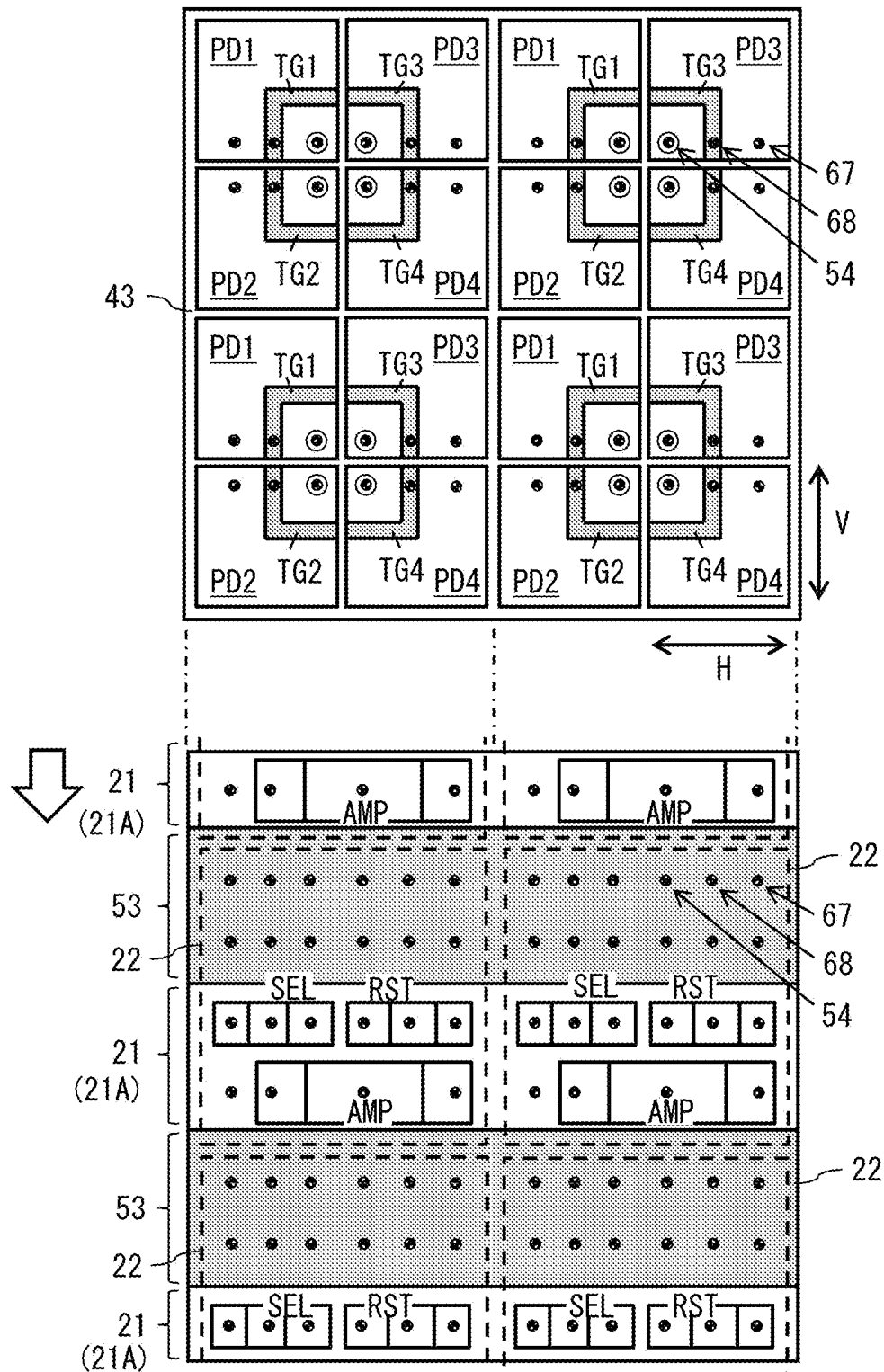
[illegible]

[illegible]

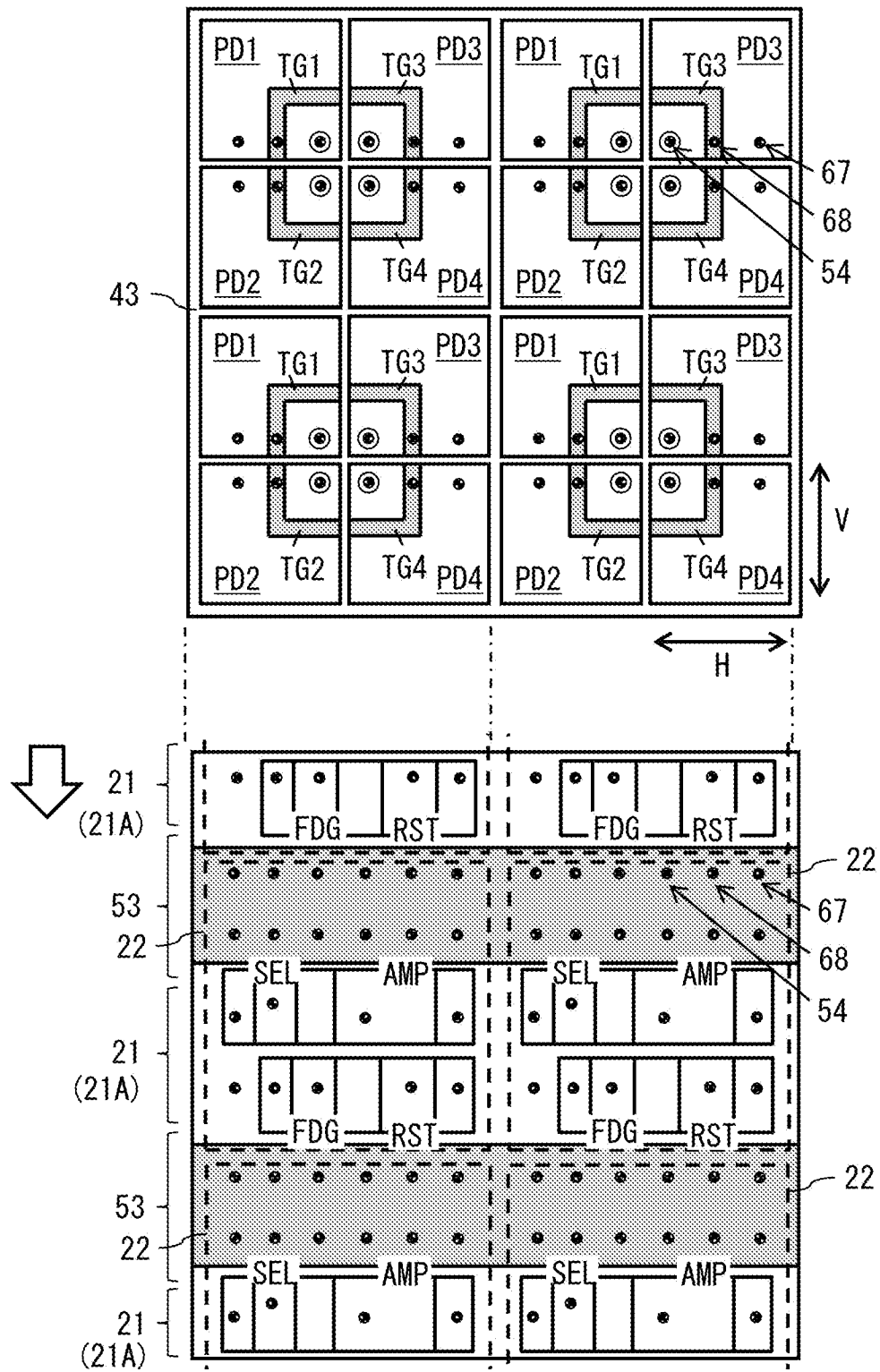
[図71]



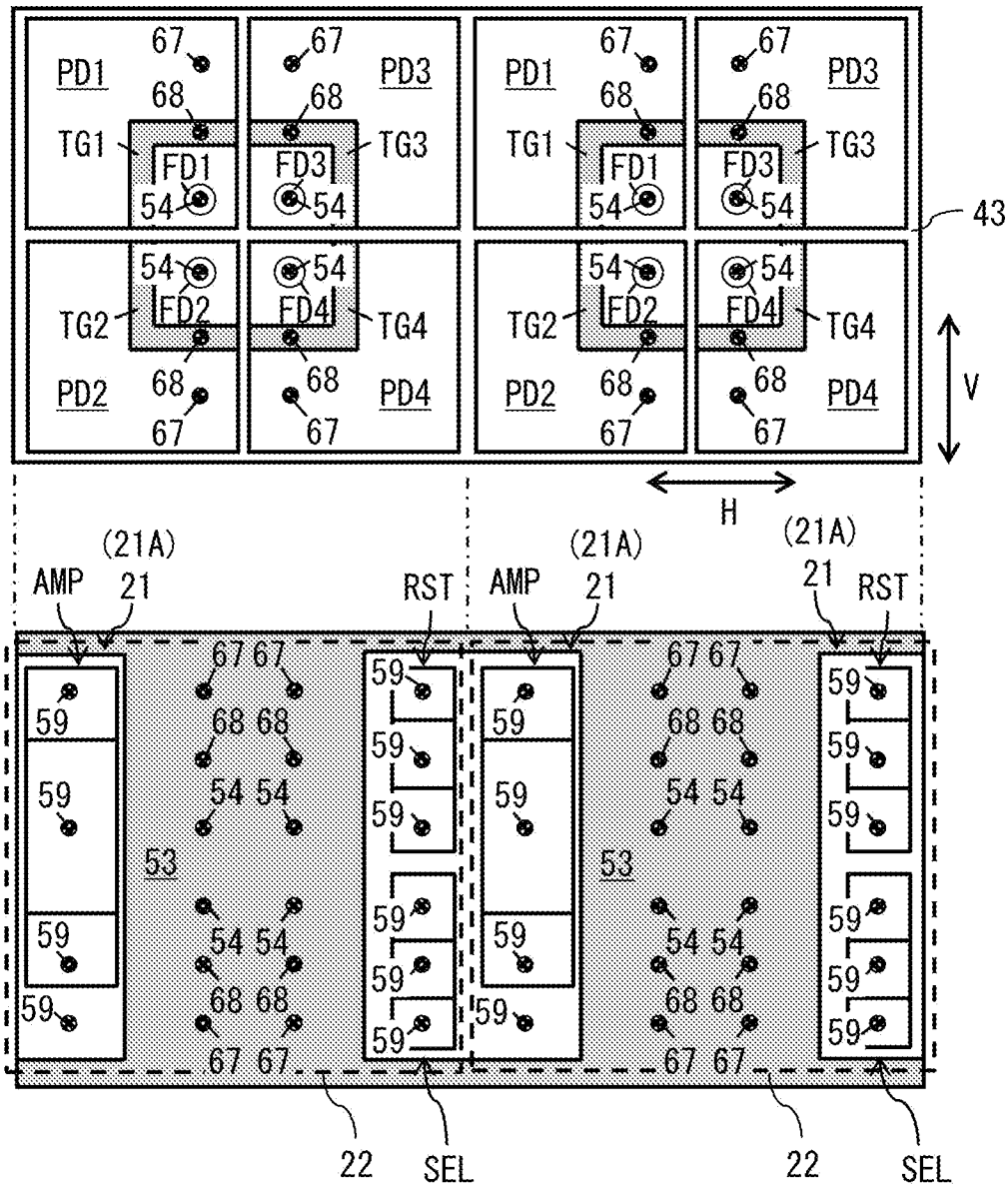
[図72]



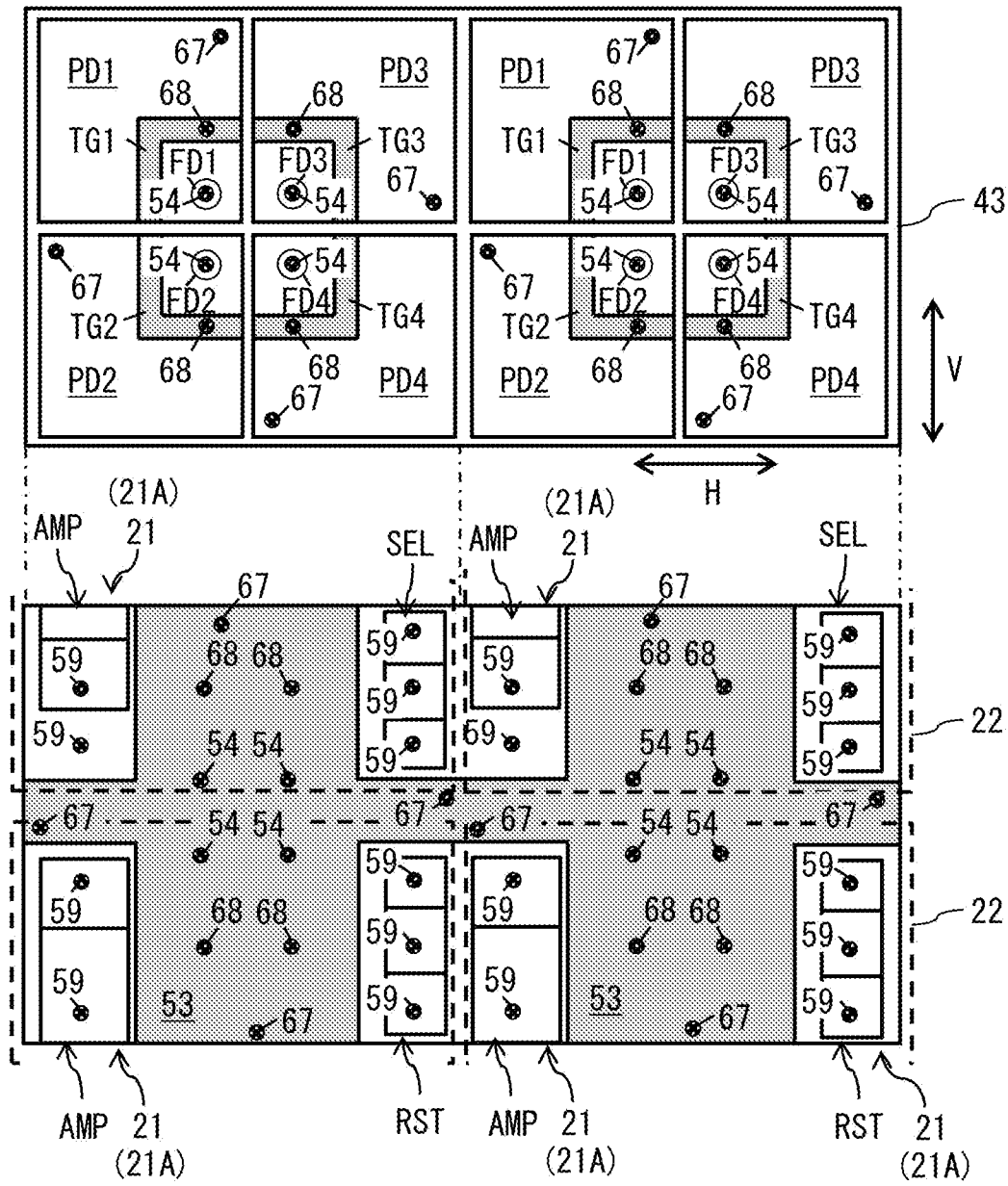
[図73]



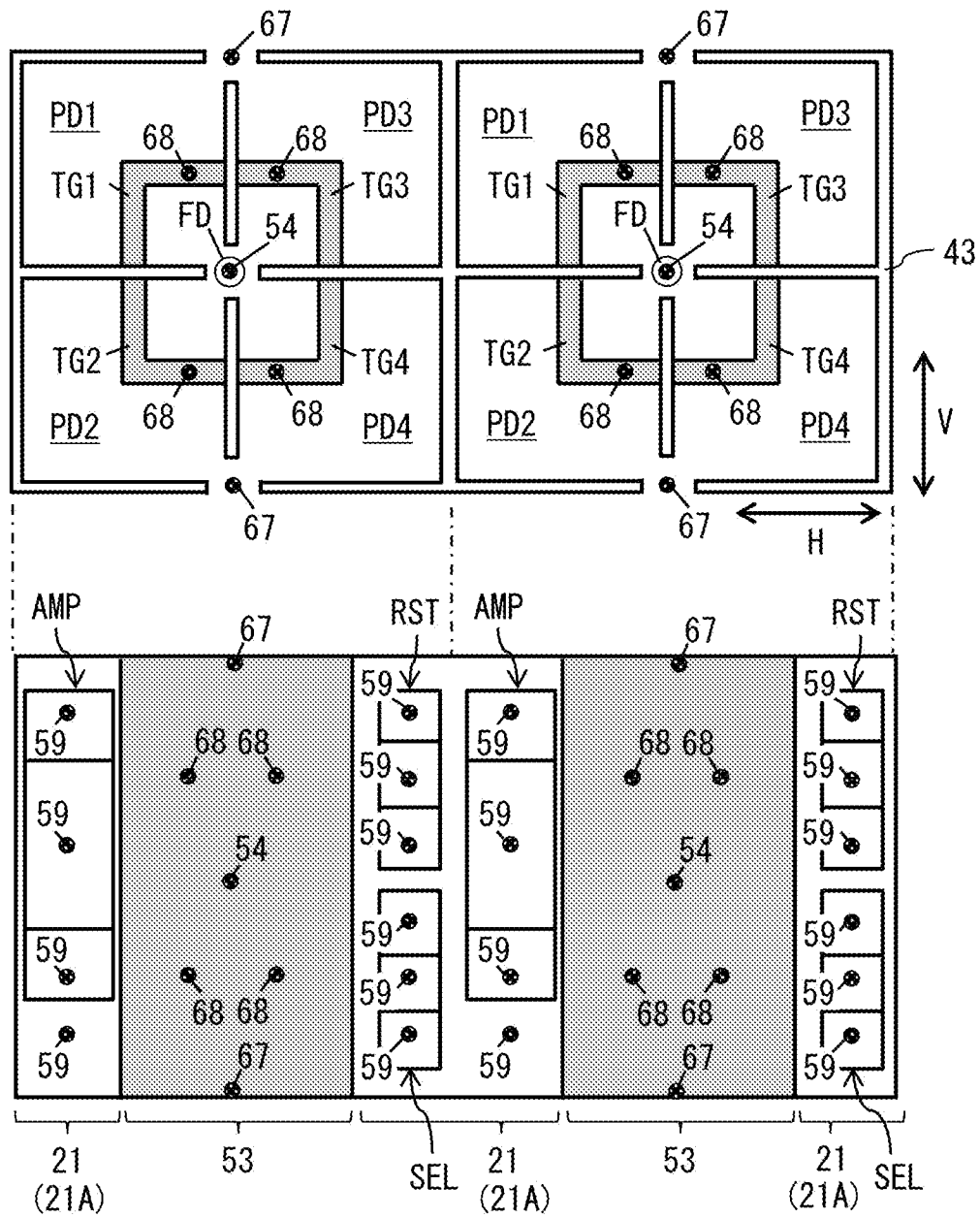
[図74]



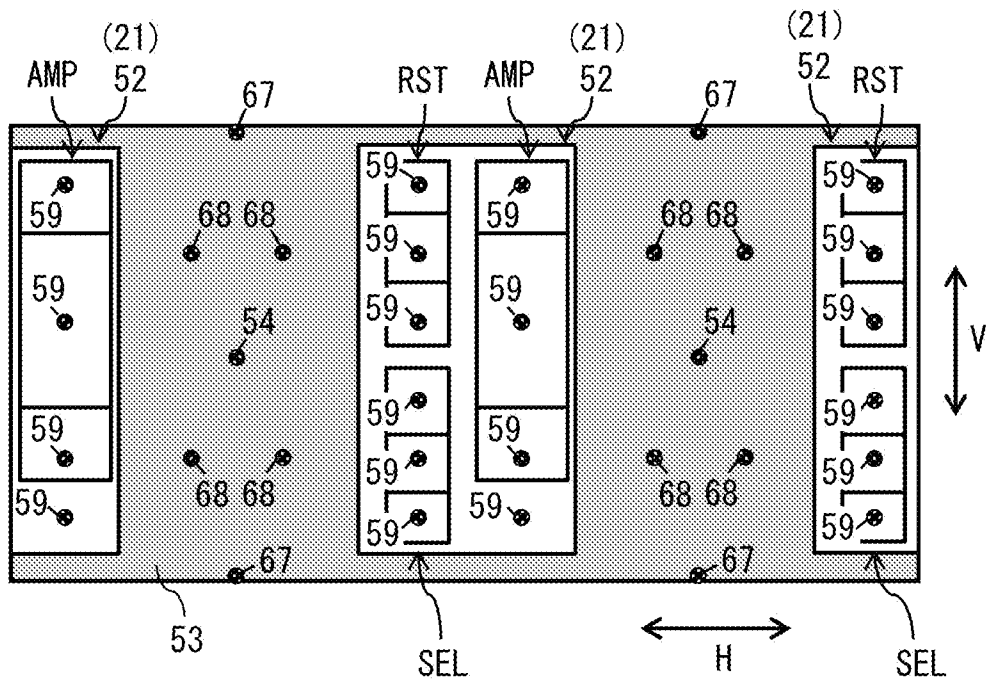
[図75]



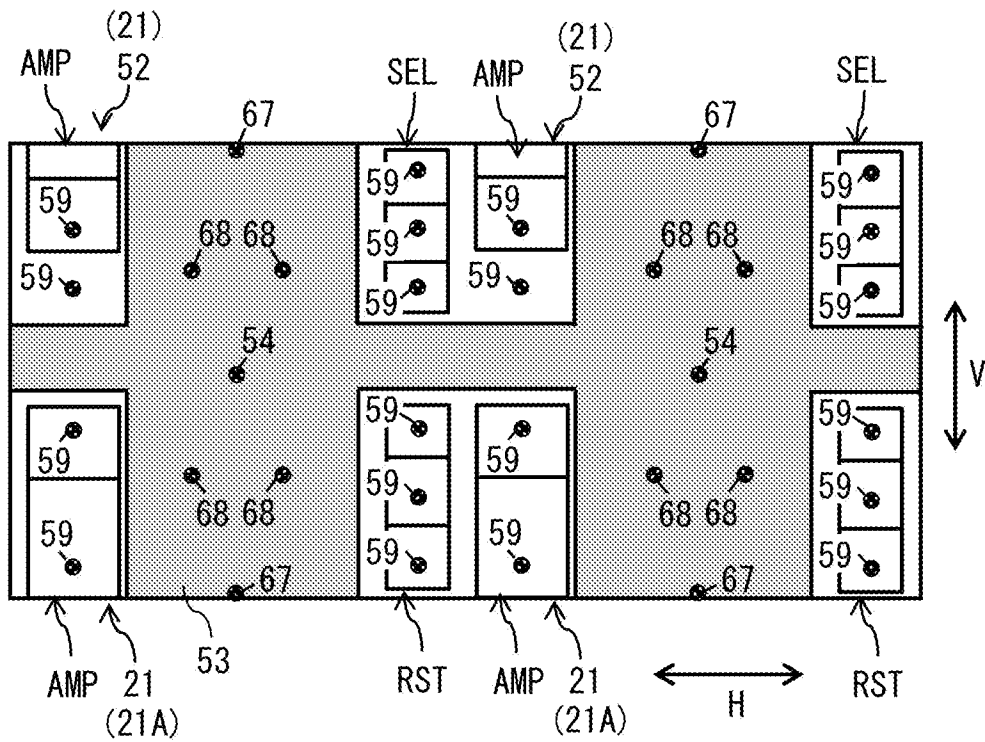
[図76]



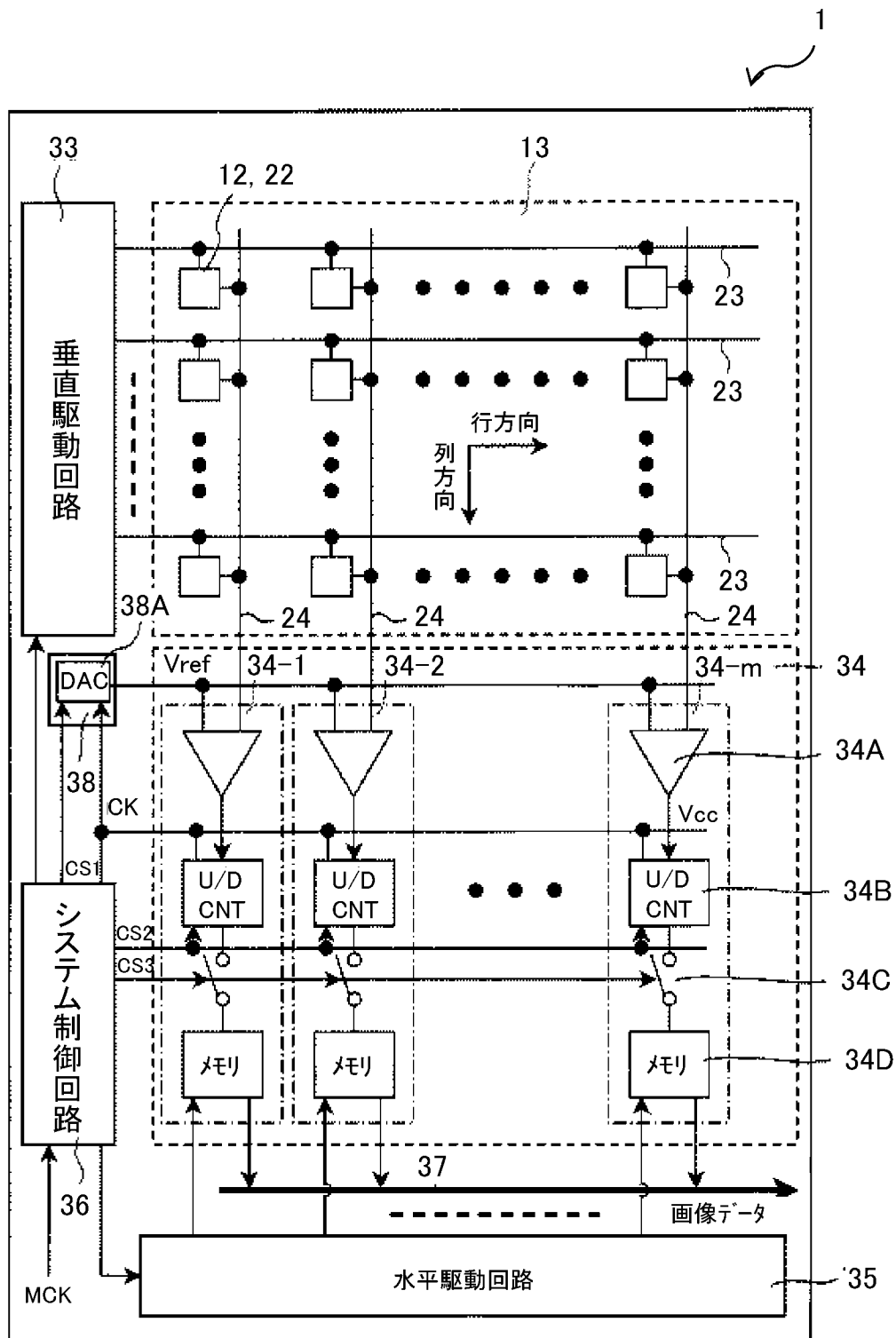
[図77]



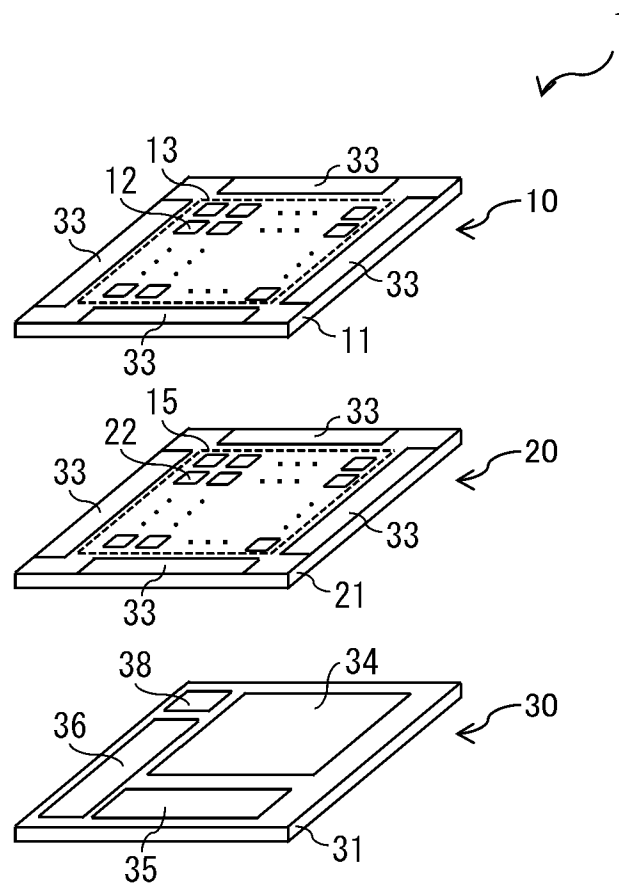
[図78]



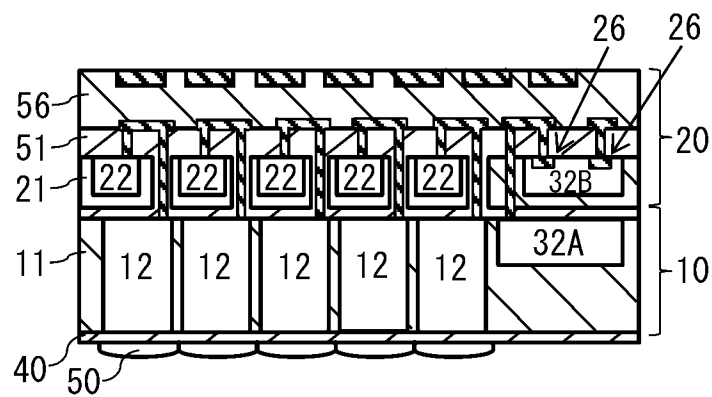
[図79]



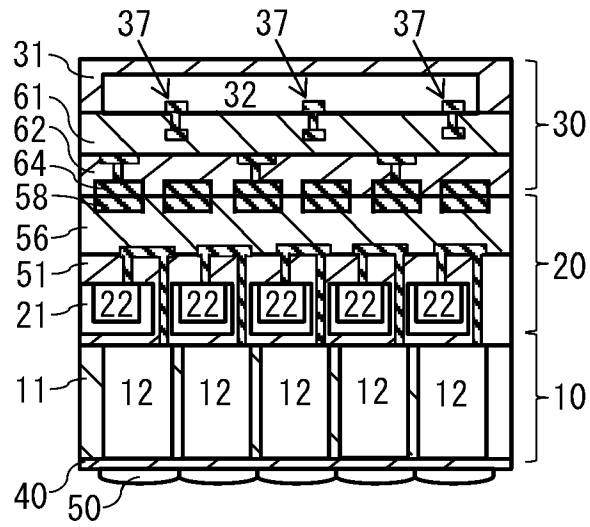
[図80]



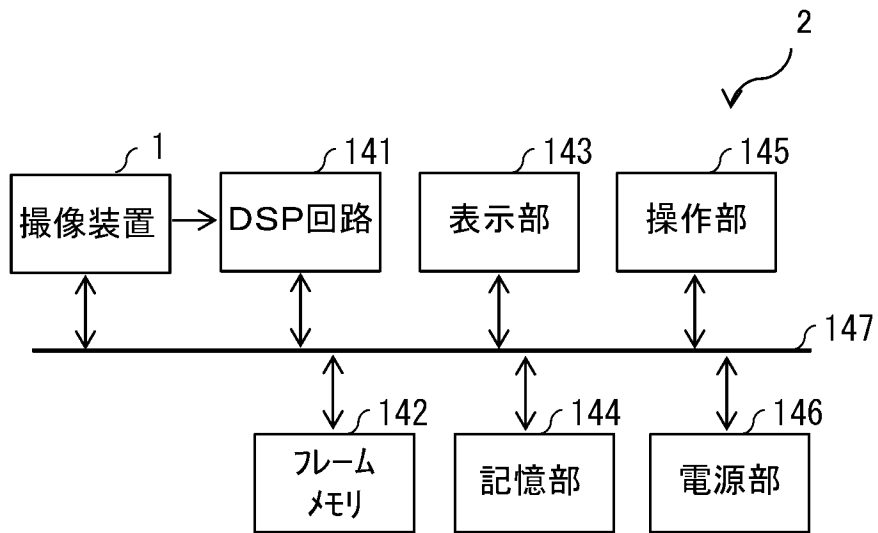
[図81]



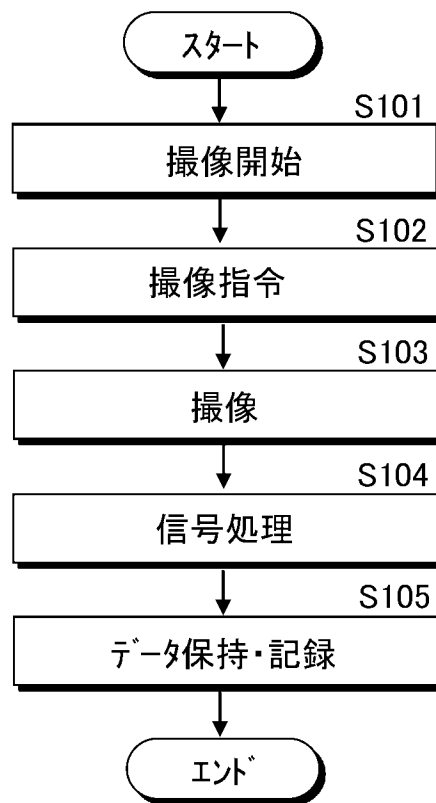
[図82]



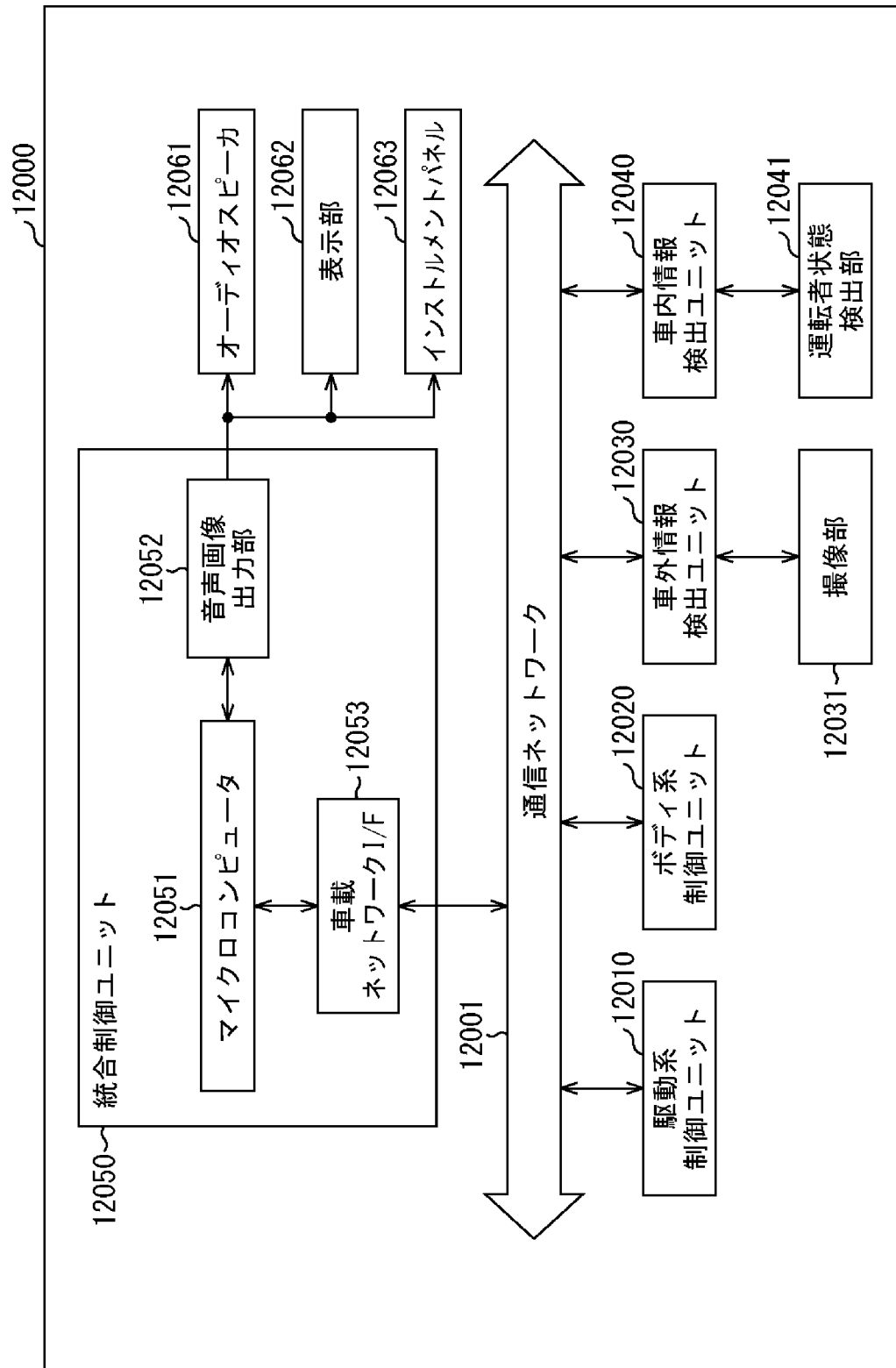
[図83]



[図84]



[図85]



12111

12100

12101

12102

12103

12104

12105

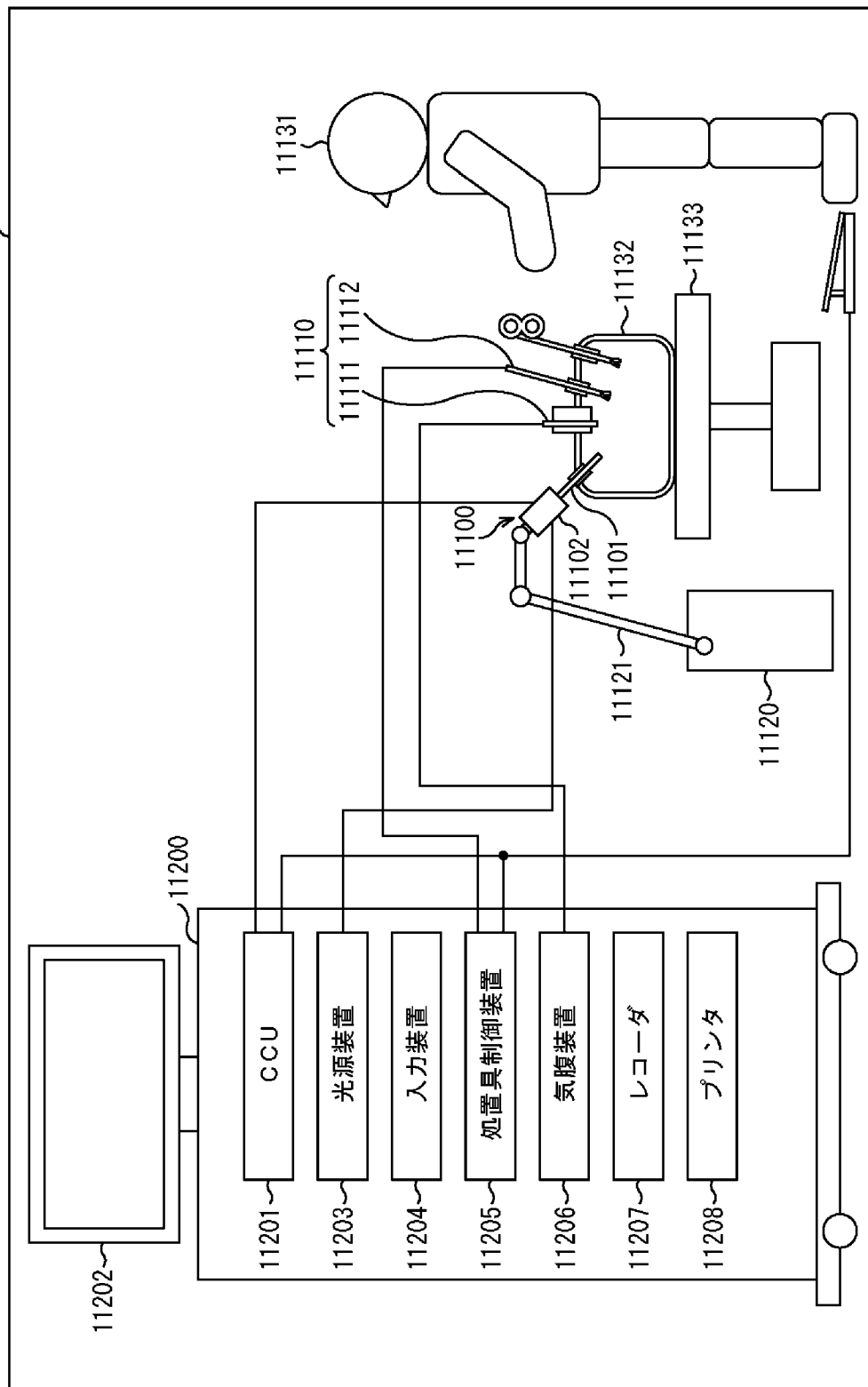
12112

12113

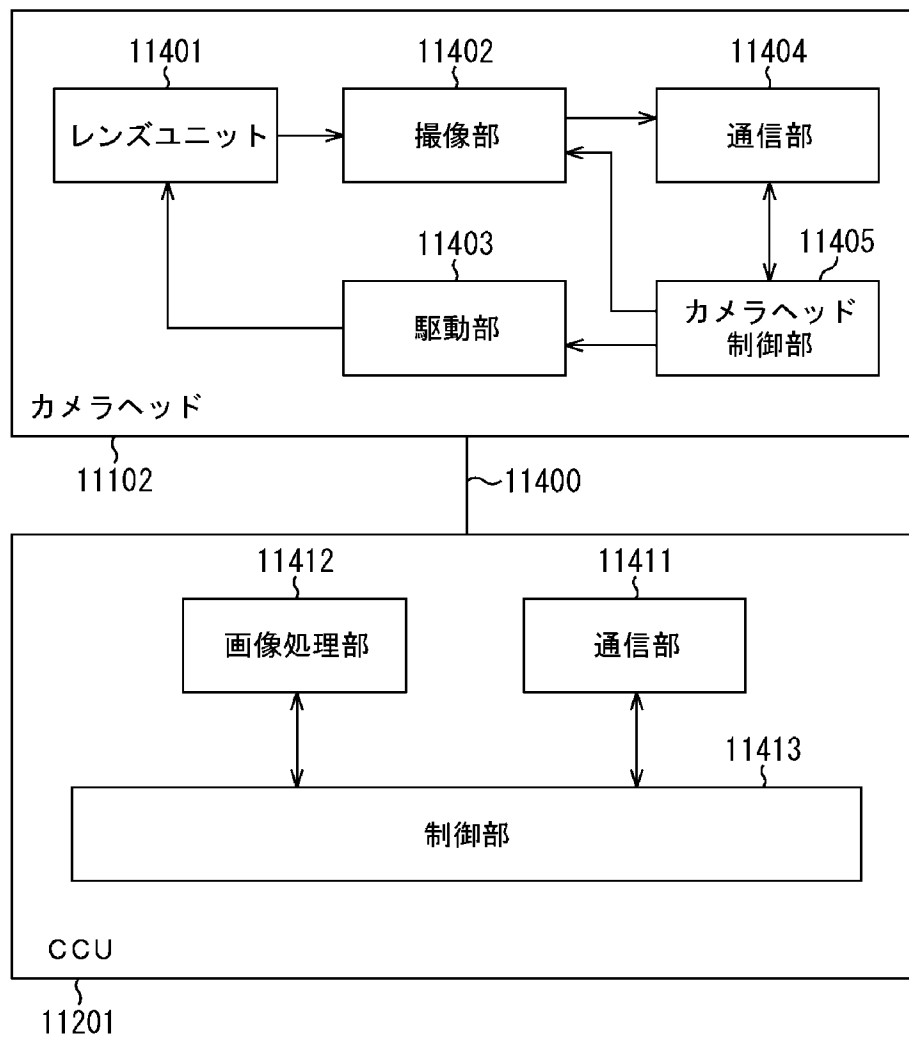
12114

This diagram shows a top-down view of a vehicle seat assembly 12100. The seat is centrally located within a vehicle cabin 12111. The cabin is defined by a dashed line and includes a front windshield area 12112 and a rear window area 12113. The seat assembly 12100 consists of a seat back 12101, a seat cushion 12102, and a seat base 12103. A central console 12104 is positioned between the two seats. A side panel 12105 is located on the right side of the seat. The seat is mounted on a base 12114.

[図87]



[図88]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/042756

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/76(2006.01)i; H01L 27/146(2006.01); H04N 5/369(2011.01)i; H04N 9/07(2006.01)i

FI: H01L27/146 A; H04N5/369; H04N9/07 A; H01L21/76 L; H01L27/146 F

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/76; H01L27/146; H04N5/369; H04N9/07

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	WO 2014/021115 A1 (SONY CORP.) 06.02.2014 (2014-02-06) in particular, paragraphs [0028]-[0038], [0121], fig. 1-16	10, 11 1-9, 12-14
Y	JP 2018-148116 A (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 20.09.2018 (2018-09-20) in particular, paragraphs [0004], [0035], [0036], [0111], fig. 1-3	1-9, 12-14
Y	JP 10-125677 A (FUJITSU LTD.) 15.05.1998 (1998-05-15) in particular, paragraphs [0025]-[0030], fig. 1-8	6
A	JP 2014-22448 A (TOSHIBA CORP.) 03.02.2014 (2014-02-03) in particular, paragraphs [0010]-[0091], fig. 1-12	1-14
A	JP 2015-35555 A (SONY CORP.) 19.02.2015 (2015-02-19) in particular, paragraphs [0015]-[0031], fig. 1-21	1-14

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
08 January 2020 (08.01.2020)

Date of mailing of the international search report
21 January 2020 (21.01.2020)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2019/042756

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
WO 2014/02115 A1	06 Feb. 2014	US 2015/0187826 A1, paragraphs [0062]- [0073], [0154], [0160], fig. 1-16 WO 2018/163838 A1, paragraphs [0005], [0017], [0018], [0093], fig. 1-31 (Family: none) US 2014/0016012 A1, paragraphs [0021]- [0105], fig. 1-12 US 2015/0041942 A1, paragraphs [0034]- [0050], fig. 1-21	
JP 2018-148116 A	20 Sep. 2018		
JP 10-125677 A	15 May. 1998		
JP 2014-22448 A	03 Feb. 2014		
JP 2015-35555 A	19 Feb. 2015		

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 21/76(2006.01)i; H01L 27/146(2006.01)i; H04N 5/369(2011.01)i; H04N 9/07(2006.01)i FI: H01L27/146 A; H04N5/369; H04N9/07 A; H01L21/76 L; H01L27/146 F										
B. 調査を行った分野										
調査を行った最小限資料（国際特許分類（IPC）） H01L21/76; H01L27/146; H04N5/369; H04N9/07										
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2020年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2020年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2020年</td> </tr> </table>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2020年	日本国実用新案登録公報	1996 - 2020年	日本国登録実用新案公報	1994 - 2020年
日本国実用新案公報	1922 - 1996年									
日本国公開実用新案公報	1971 - 2020年									
日本国実用新案登録公報	1996 - 2020年									
日本国登録実用新案公報	1994 - 2020年									
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）										
C. 関連すると認められる文献										
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号								
X	WO 2014/021115 A1（ソニー株式会社）06.02.2014（2014 - 02 - 06） 特に段落0028-0038, 0121, 図1-16	10, 11								
Y		1-9, 12-14								
Y	JP 2018-148116 A（ソニーセミコンダクタソリューションズ株式会社）20.09.2018 （2018 - 09 - 20） 特に段落0004, 0035, 0036, 0111, 図1-31	1-9, 12-14								
Y	JP 10-125677 A（富士通株式会社）15.05.1998（1998 - 05 - 15） 特に段落0025-0030, 図1-8	6								
A	JP 2014-22448 A（株式会社東芝）03.02.2014（2014 - 02 - 03） 特に段落0010-0091, 図1-12	1-14								
A	JP 2015-35555 A（ソニー株式会社）19.02.2015（2015 - 02 - 19） 特に段落0015-0031, 図1-21	1-14								
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。										
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献										
国際調査を完了した日 08.01.2020		国際調査報告の発送日 21.01.2020								
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 小山 満 5F 9458 電話番号 03-3581-1101 内線 3516								

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2019/042756

引用文献			公表日	パテントファミリー文献	公表日
WO	2014/021115	A1	06.02.2014	US 2015/0187826 A1 段落0062-0073, 0154, 0160, 図1-16	
JP	2018-148116	A	20.09.2018	WO 2018/163838 A1 段落0005, 0017, 0018, 0093, 図1-31	
JP	10-125677	A	15.05.1998	(ファミリーなし)	
JP	2014-22448	A	03.02.2014	US 2014/0016012 A1 段落0021-0105, 図1-12	
JP	2015-35555	A	19.02.2015	US 2015/0041942 A1 段落0034-0050, 図1-21	