

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6643382号
(P6643382)

(45) 発行日 令和2年2月12日(2020.2.12)

(24) 登録日 令和2年1月8日(2020.1.8)

(51) Int.Cl.	F I
HO 1 L 21/329 (2006.01)	HO 1 L 29/90 S
HO 1 L 29/866 (2006.01)	HO 1 L 29/78 6 5 7 C
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 5 3 C
HO 1 L 29/739 (2006.01)	HO 1 L 29/78 6 5 5 F
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 5 8 H

請求項の数 20 外国語出願 (全 53 頁) 最終頁に続く

(21) 出願番号	特願2018-51006 (P2018-51006)	(73) 特許権者	516153409
(22) 出願日	平成30年3月19日 (2018.3.19)		インフィニオン テクノロジーズ オース
(65) 公開番号	特開2018-157211 (P2018-157211A)		トリア アーゲー
(43) 公開日	平成30年10月4日 (2018.10.4)		Infineon Technolog
審査請求日	平成30年3月19日 (2018.3.19)		ies Austria AG
(31) 優先権主張番号	10 2017 105 895.8		オーストリア共和国 9500 フィラッ
(32) 優先日	平成29年3月20日 (2017.3.20)		ハ ジーメンスストラッセ 2
(33) 優先権主張国・地域又は機関	ドイツ (DE)		Siemensstr. 2, A-95
(31) 優先権主張番号	10 2017 118 863.0	(74) 代理人	100114890
(32) 優先日	平成29年8月18日 (2017.8.18)		弁理士 アインゼル・フェリックス＝ライ
(33) 優先権主張国・地域又は機関	ドイツ (DE)	(74) 代理人	100098501
			弁理士 森田 拓

最終頁に続く

(54) 【発明の名称】 パワー半導体デバイス

(57) 【特許請求の範囲】

【請求項 1】

第1の負荷端子(11)および第2の負荷端子(12)に結合された半導体本体(10)を含むパワー半導体デバイス(1)において、

ー前記第1の負荷端子(11)に電氣的に接続された、第2の導電型の第1のドープ領域(102)と、

ー前記第2の負荷端子(12)に電氣的に接続された、前記第2の導電型のエミッタ領域(1091)と、

ー前記第1のドープ領域(102)と前記エミッタ領域(1091)との間に配置された、第1の導電型のドリフト領域(100)と、

ー少なくとも前記第1のドープ領域(102)内に配置された再結合領域(159)と、
を含み、

前記ドリフト領域(100)および前記第1のドープ領域(102)によって、

ー前記負荷端子(11、12)間の負荷電流が順方向に沿って導通される導通状態、

ー前記負荷端子(11、12)間に印加される順方向電圧が阻止される順方向阻止状態、
および

ー前記負荷端子(11、12)間に印加される逆方向電圧が阻止される逆方向阻止状態、
において前記パワー半導体デバイス(1)を動作させることができ、

前記パワー半導体デバイス(1)は、

ー前記第1のドープ領域(102)および絶縁構造(16、142)の両方に接触して配

10

20

置された、前記第1のドーピング領域(102)よりも低いドーピング濃度の前記第2の導電型の第1のバリア領域(152)と、

—前記第1のドーピング領域(102)および前記第1のバリア領域(152)の少なくとも一部の両方を前記ドリフト領域(100)から離隔させる、前記ドリフト領域(100)よりも高いドーピング濃度の前記第1の導電型の第2のバリア領域(153)と、
をさらに含む、

パワー半導体デバイス(1)。

【請求項2】

—前記第1のドーピング領域(102)から前記ドリフト領域(100)への移行部は、第1のダイオード(51)を形成しており、

10

—前記エミッタ領域(1091)から前記ドリフト領域(100)への移行部は、第2のダイオード(52)を形成しており、

—前記第1のダイオード(51)および前記第2のダイオード(52)は、相互に逆直列に接続されている、

請求項1記載のパワー半導体デバイス(1)。

【請求項3】

—前記第1のダイオード(51)は、第1のブレイクスルー電圧を示し、

—前記第2のダイオード(52)は、第2のブレイクスルー電圧を示し、

—前記第1のブレイクスルー電圧は、前記第2のブレイクスルー電圧よりも少なくとも5倍高い、

20

請求項2記載のパワー半導体デバイス(1)。

【請求項4】

前記第1の負荷端子(11)、前記第1のドーピング領域(102)、前記再結合領域(159)、前記ドリフト領域(100)、前記エミッタ領域(1091)および前記第2の負荷端子(12)それぞれが、共通の横方向の広がり範囲を示す、

請求項1から3までのいずれか1項記載のパワー半導体デバイス(1)。

【請求項5】

前記再結合領域(159)内に存在する電荷担体の寿命および移動度のうちの少なくとも1つを低減するように前記再結合領域(159)が構成されている、

請求項1から4までのいずれか1項記載のパワー半導体デバイス(1)。

30

【請求項6】

前記再結合領域(159)は、横方向に構造化されている、

請求項1から5までのいずれか1項記載のパワー半導体デバイス(1)。

【請求項7】

前記パワー半導体デバイス(1)は、前記導通状態の間の前記負荷電流の少なくとも一部の導通のために、前記第1のドーピング領域(102)内に導通チャネル(103)を誘導するようにさらに構成されており、

前記誘導された導通チャネル(103)と前記再結合領域(159)とは、相互に空間的に離隔されている、

請求項1から6までのいずれか1項記載のパワー半導体デバイス(1)。

40

【請求項8】

前記再結合領域(159)と前記誘導された導通チャネル(103)との間の最短距離は、少なくとも50nmである、

請求項7記載のパワー半導体デバイス(1)。

【請求項9】

前記再結合領域(159)は、前記ドリフト領域(100)内の結晶欠陥濃度よりも少なくとも1,000倍高い結晶欠陥濃度を示す、

請求項1から8までのいずれか1項記載のパワー半導体デバイス(1)。

【請求項10】

前記第1のドーピング領域(102)は、前記半導体本体(10)内で、前記再結合領域(

50

159) よりも深い位置まで広がっている、
請求項1から9までのいずれか1項記載のパワー半導体デバイス(1)。

【請求項11】

前記第1の負荷端子(11)は、接触溝(111、161)を含み、前記接触溝(111、161)は、前記第1のドーピング領域(102)と相互作用し、

前記再結合領域(159)は、横方向において、前記接触溝(111、161)と重なり合い、かつ前記接触溝(111、161)の横方向の寸法の60%~200%の範囲内の横方向の寸法を示す、

請求項1から10までのいずれか1項記載のパワー半導体デバイス(1)。

【請求項12】

前記導通状態、前記順方向阻止状態および前記逆方向阻止状態において動作するようにそれぞれ構成された複数のセル(14、15)を含む、

請求項1から11までのいずれか1項記載のパワー半導体デバイス(1)。

【請求項13】

前記第1のドーピング領域(102)は、第1のサブセクション(1023)および第2のサブセクション(1022)を示し、

前記第1のサブセクション(1023)は、前記第1の負荷端子(11)と相互作用し、かつ前記第2のサブセクション(1022)よりも高いドーパント濃度を有しており、

前記第2のサブセクション(1022)は、前記ドリフト領域(100)と相互作用し、

前記再結合領域(159)は、前記第1のサブセクション(1023)内および前記第2のサブセクション(1022)内それぞれに広がっている、

請求項1から12までのいずれか1項記載のパワー半導体デバイス(1)。

【請求項14】

前記パワー半導体デバイス(1)は、パワー半導体スイッチであり、さらに、前記第1の負荷端子(11)に電氣的に接続された、前記第1の導電型のソース領域(101)を含み、

前記第1のドーピング領域(102)は、前記ソース領域(101)を前記ドリフト領域(100)から離隔させ、

前記再結合領域(159)は、前記ソース領域(101)内に広がっている、

請求項1から13までのいずれか1項記載のパワー半導体デバイス(1)。

【請求項15】

活性領域(1-1)と、前記活性領域(1-1)を包囲する不活性エッジ領域(1-2)と、を含む、

請求項1から14までのいずれか1項記載のパワー半導体デバイス(1)。

【請求項16】

前記活性領域(1-1)は、複数のセル(14、15)を含み、

前記再結合領域(159)は、

一、所定の割合の前記複数のセル(14、15)の各々のみが前記再結合領域(159)を含むように、かつ/または

一、前記再結合領域(159)が、前記複数のセル(14、15)のうちの少なくとも1つの水平方向の横断面内で横方向に構造化されているように、横方向に構造化されている、

請求項15記載のパワー半導体デバイス(1)。

【請求項17】

前記第1のバリア領域(152)および前記第2のバリア領域(153)のうちの少なくとも1つは、前記活性領域(1-1)内の連続する半導体層を形成する、

請求項15記載のパワー半導体デバイス(1)。

【請求項18】

パワー半導体トランジスタ(2)および過電圧保護パワー半導体チップ(1)を含む集

10

20

30

40

50

積パワー半導体モジュール（３）において、

前記過電圧保護パワー半導体チップ（１）は、前記過電圧保護パワー半導体チップ（１）の前面側に配置された第１の負荷端子（１１）および前記過電圧保護パワー半導体チップ（１）の背面側に配置された第２の負荷端子（１２）に結合された半導体本体（１０）を含み、

前記半導体本体（１０）は、活性領域（１－１）と、前記活性領域（１－１）を包囲する不活性エッジ領域（１－２）と、をそれぞれ含み、

前記活性領域（１－１）は、複数のブレークスルーセル（１５）を含み、

前記ブレークスルーセル（１５）の各々は、

－前記第１の負荷端子（１１）が内部まで広がっており、かつ前記半導体本体（１０）と相互作用する凹部（１６１）を有している、前記前面側に配置された絶縁構造（１６）と、

－第１の導電型のドーパントを有しているドリフト領域（１００）と、

－第２の導電型のドーパントを有しており、かつ前記第１の負荷端子（１１）に電氣的に接続されている、アノード領域として形成された第１のドーパ領域（１０２）と、

－前記アノード領域（１０２）よりも低いドーパント濃度の前記第２の導電型のドーパントを有しており、かつ前記アノード領域（１０２）および前記絶縁構造（１６）それぞれに接触して配置された第１のバリア領域（１５２）と、

－前記ドリフト領域（１００）よりも高いドーパント濃度の前記第１の導電型のドーパントを有しており、かつ前記アノード領域（１０２）および前記第１のバリア領域（１５２）の少なくとも一部それぞれを前記ドリフト領域（１００）から離隔させる第２のバリア領域（１５３）と、

－前記第２の負荷端子（１２）に接触して配置されたドーパ接触領域（１０９）と、を含み、

前記ドリフト領域（１００）は、前記第２のバリア領域（１５３）と前記ドーパ接触領域（１０９）との間に位置決めされ、

前記パワー半導体トランジスタ（２）は、エミッタ端子（２１）、コレクタ端子（２２）およびゲート端子（２３）を含み、前記コレクタ端子（２２）は、前記過電圧保護パワー半導体チップ（１）の前記第２の負荷端子（１２）に電氣的に接続されている、集積パワー半導体モジュール（３）。

【請求項１９】

前記過電圧保護パワー半導体チップ（１）の前記第１の負荷端子（１１）は、前記パワー半導体トランジスタ（２）の前記ゲート端子（２３）に接続されている、請求項１８記載の集積パワー半導体モジュール（３）。

【請求項２０】

過電圧保護パワー半導体チップ（１）において、

前記過電圧保護パワー半導体チップ（１）は、前記過電圧保護パワー半導体チップ（１）の前面側に配置された第１の負荷端子（１１）および前記過電圧保護パワー半導体チップ（１）の背面側に配置された第２の負荷端子（１２）に結合された半導体本体（１０）を含み、

前記半導体本体（１０）は、活性領域（１－１）と、前記活性領域（１－１）を包囲する不活性エッジ領域（１－２）と、をそれぞれ含み、

前記活性領域（１－１）は、複数のブレークスルーセル（１５）を含み、

前記ブレークスルーセル（１５）の各々は、

－前記第１の負荷端子（１１）が内部まで広がっており、かつ前記半導体本体（１０）と相互作用する凹部（１６１）を有している、前記前面側に配置された絶縁構造（１６）と、

－第１の導電型のドーパントを有しているドリフト領域（１００）と、

－第２の導電型のドーパントを有しており、かつ前記第１の負荷端子（１１）に電氣的に接続されている、アノード領域として形成された第１のドーパ領域（１０２）と、

ー前記アノード領域（１０２）よりも低いドーパント濃度の前記第２の導電型のドーパントを有しており、かつ前記アノード領域（１０２）および前記絶縁構造（１６）それぞれに接触して配置された第１のバリア領域（１５２）と、

ー前記ドリフト領域（１００）よりも高いドーパント濃度の前記第１の導電型のドーパントを有しており、かつ前記アノード領域（１０２）および前記第１のバリア領域（１５２）の少なくとも一部それぞれを前記ドリフト領域（１００）から離隔させる第２のバリア領域（１５３）と、

ー前記第２の負荷端子（１２）に接触して配置されたドーブ接触領域（１０９）と、
を含み、

前記ドリフト領域（１００）は、前記第２のバリア領域（１５３）と前記ドーブ接触領域（１０９）との間に位置決めされ、 10

前記ブレイクスルーセル（１５）の前記第１のバリア領域（１５２）は、連続する半導体層を形成する、

過電圧保護パワー半導体チップ（１）。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、パワー半導体デバイスの実施の形態、およびパワー半導体デバイスを処理する方法の実施の形態に関する。特に、本発明は、過電圧保護パワー半導体チップの態様、およびパワー半導体デバイススイッチの実施の形態、ならびに相応の処理方法の実施の形態に関する。 20

【背景技術】

【０００２】

自動車用途、民生用途および工業用途における今日のデバイスの多くの機能、例えば電気的なエネルギーの変換および電気モータまたは電気機械の駆動は、パワー半導体スイッチを基礎としている。例えば、少数の例を挙げるならば、絶縁ゲートバイポーラトランジスタ（ＩＧＢＴ）、金属酸化物半導体電界効果トランジスタ（ＭＯＳＦＥＴ）およびダイオードが、限定を意図するものではないが、電源および電力変換器におけるスイッチを含む種々の用途に使用されている。

【０００３】

30

パワー半導体デバイスは、通常の場合、デバイスの２つの負荷端子間の負荷電流経路に沿って負荷電流を流すように構成された半導体本体を含む。さらに、ゲート電極と称されることもある、絶縁電極によって、負荷電流経路を制御することができる。例えば、相応の制御信号、例えばドライバユニットからの相応の制御信号の受信に基づいて、制御電極は、パワー半導体デバイスを導通状態および阻止状態のうちの一方に設定することができる。幾つかのケースでは、ゲート電極が、パワー半導体スイッチのトレンチに含まれる場合がある。トレンチは、例えば帯状の構成または針状の構成を示すと考えられる。

【０００４】

通常の場合、パワー半導体デバイスの損失、例えばスイッチング損失、導通状態の間のオン状態損失、および阻止状態の間のオフ状態損失を低く維持することが望ましい。 40

【０００５】

さらに、定格条件下で連続的に動作するように、パワー半導体デバイスを設計することができ、この定格条件に従えば、例えば、負荷電流は通常、所定の期間を過ぎても定格値を超えず、また２つの負荷端子間に印加される電圧は通常、所定の期間を過ぎても定格値を超えない。

【０００６】

通常の場合、遷移状態（例えば、スイッチング）の状況ならびに連続的な阻止状態の状況に関して設計されている定格阻止電圧よりも著しく大きい電圧がパワー半導体デバイスに印加されることを回避することが試みられる。このために、これまで幾つかの過電圧保護コンセプトが考案されており、そのうちの１つは、「クランピング」として一般的に公 50

知である。例えば、いわゆる過渡電圧サプレッサダイオード（TVSダイオード）を使用して、トランジスタのスイッチング動作中に生じる可能性がある過渡過電圧を低減することができる。

【発明の概要】

【発明が解決しようとする課題】

【0007】

本明細書において説明する態様は、各負荷端子に電氣的に接続されているp型ドーパされたセクションを備えたpnp構成を有している半導体構造に関する（ただしこの半導体構造に限定されるものではない）。負荷端子のうちの第1の負荷端子に電氣的に接続されている、「第1のドーパ領域」とも称するp型ドーパされたセクションは、オプションとして再結合領域の少なくとも一部を含むことができる。例えば、第1のドーパ領域は、アノード領域、例えば過電圧保護パワー半導体チップのアノード領域であってよい。または、第1のドーパ領域は、本体領域、例えばパワー半導体スイッチの本体領域であってよい。

10

【課題を解決するための手段】

【0008】

1つの実施の形態によれば、パワー半導体デバイスは、第1の負荷端子および第2の負荷端子に結合された半導体本体を含む。半導体本体は、第1の負荷端子に電氣的に接続された、第2の導電型の第1のドーパ領域と、第2の負荷端子に電氣的に接続された、第2の導電型のエミッタ領域と、第1のドーパ領域とエミッタ領域との間に配置された、第1の導電型のドリフト領域と、を含む。ドリフト領域および第1のドーパ領域によって、負荷端子間の負荷電流が順方向に沿って導通される導通状態、端子間に印加される順方向電圧が阻止される順方向阻止状態、および端子間に印加される逆方向電圧が阻止される逆方向阻止状態、において、パワー半導体デバイスを動作させることができる。半導体本体は、少なくとも第1のドーパ領域内に配置された再結合領域をさらに含む。

20

【0009】

別の実施の形態によれば、パワー半導体デバイスを処理する方法が開示される。半導体デバイスは、第1の負荷端子および第2の負荷端子に結合された半導体本体を含む。半導体本体は、第1の負荷端子に電氣的に接続された、第2の導電型の第1のドーパ領域と、第2の負荷端子に電氣的に接続された、第2の導電型のエミッタ領域と、第1のドーパ領域とエミッタ領域との間に配置された、第1の導電型のドリフト領域と、を含む。ドリフト領域および第1のドーパ領域によって、負荷端子間の負荷電流が順方向に沿って導通される導通状態、端子間に印加される順方向電圧が阻止される順方向阻止状態、および端子間に印加される逆方向電圧が阻止される逆方向阻止状態、において、パワー半導体デバイスを動作させることができる。方法は、半導体本体において、少なくとも第1のドーパ領域内に配置された再結合領域を形成することを含む。

30

【0010】

実施の形態の第1の例示的なサブグループにおいては、パワー半導体デバイスがパワー半導体スイッチとして実施されている。

【0011】

実施の形態の第2の例示的なサブグループにおいては、パワー半導体デバイスが、過電圧保護パワー半導体チップとして、または集積パワー半導体モジュールとして実施されている。過電圧保護パワー半導体チップ、または集積パワー半導体モジュールに関して、それらのデバイスはオプションとして前述の再結合領域を含むことができると解されるべきである。しかしながら、本明細書に開示するものは、再結合領域を設ける必要がない、過電圧保護パワー半導体チップまたは集積パワー半導体モジュールの実施の形態でもある。

40

【0012】

実施の形態のそれらの例示的な複合形態に関して、幾つかの例を下記に挙げる。

【0013】

パワー半導体デバイスがパワー半導体スイッチとして実施されている、実施の形態の第

50

1 の例示的なサブグループの例、および対応する方法の例

例 1

パワー半導体スイッチにおいて、

第 1 の負荷端子および第 2 の負荷端子に結合された半導体本体を含んでおり、かつ

第 1 の導電型のドーパントを有するドリフト領域と、第 1 の負荷端子に電氣的に接続された、第 1 の導電型のドーパントを有するソース領域と、第 2 の導電型のドーパントを有し、かつソース領域をドリフト領域から離隔させる、本体領域として形成された第 1 のドープ領域と、を含んでおり、

ードリフト領域、ソース領域および本体領域によって、端子間の負荷電流が順方向に沿って導通される導通状態、端子間に印加される順方向電圧が阻止される順方向阻止状態、および端子間に印加される逆方向電圧が阻止される逆方向阻止状態、において、パワー半導体スイッチを動作させることができ、

ーパワー半導体スイッチは、少なくとも本体領域内に配置されたダメージ領域を含む、パワー半導体スイッチ。

10

【0014】

例 2

再結合領域は、再結合領域内に存在する電荷担体の寿命および移動度のうちの少なくとも 1 つを低減するように構成されている、

例 1 のパワー半導体スイッチ。

【0015】

20

例 3

再結合領域は、横方向に構造化されている、

例 1 または 2 のパワー半導体スイッチ。

【0016】

例 4

パワー半導体スイッチは、複数のトランジスタセルを備えた活性領域をさらに含んでおり、

再結合領域は、

ー所定の割合の複数のトランジスタセルの各々のみが再結合領域を含むように、かつ／または

30

ー再結合領域が、複数のトランジスタセルのうちの少なくとも 1 つの水平方向の横断面内で構造化されているように、

横方向に構造化されている、

例 3 のパワー半導体スイッチ。

【0017】

例 5

パワー半導体スイッチは、導通状態の間の負荷電流の少なくとも一部の導通のために、本体領域内に導通チャネルを誘導するようにさらに構成されており、

誘導された導通チャネルと再結合領域とは、相互に空間的に離隔されている、

例 1 から 4 までのいずれか 1 つのパワー半導体スイッチ。

40

【0018】

例 6

再結合領域と誘導された導通チャネルとの間の最短距離は、少なくとも 50 nm である、

、

例 5 のパワー半導体スイッチ。

【0019】

例 7

再結合領域は、ソース領域内に広がっている、

例 1 から 6 までのいずれか 1 つのパワー半導体スイッチ。

【0020】

50

例 8

再結合領域は、ドリフト領域内には広がっていない、
例 1 から 7 までのいずれか 1 つのパワー半導体スイッチ。

【0 0 2 1】

例 9

再結合領域は、ドリフト領域内の結晶欠陥濃度よりも少なくとも 1, 0 0 0 倍高い結晶欠陥濃度を示す、

例 8 のパワー半導体スイッチ。

【0 0 2 2】

例 1 0

本体領域は、半導体本体内で、再結合領域よりも深い位置まで広がっている、
例 1 から 9 までのいずれか 1 つのパワー半導体スイッチ。

【0 0 2 3】

例 1 1

第 1 の負荷端子は、接触溝を含み、接触溝は、ソース領域および本体領域それぞれと相互作用し、

再結合領域は横方向において、接触溝と重なり合い、かつ接触溝の横方向の寸法の 6 0 % ~ 2 0 0 % の範囲内の横方向の寸法を示す、

例 1 から 1 0 までのいずれか 1 つのパワー半導体スイッチ。

【0 0 2 4】

例 1 2

前述の導通状態、前述の順方向阻止状態および前述の逆方向阻止状態において動作するようにそれぞれ構成された複数のトランジスタセルを備えた活性領域と、活性領域を包囲する不活性エッジ領域と、を含んでおり、

再結合領域は、不活性エッジ領域内には広がっていない、
例 1 から 1 1 までのいずれか 1 つのパワー半導体スイッチ。

【0 0 2 5】

例 1 3

再結合領域は、順方向阻止状態の間の電界のピーク場所から空間的に離れている、
例 1 から 1 2 までのいずれか 1 つのパワー半導体スイッチ。

【0 0 2 6】

例 1 4

再結合領域は、再結合領域内の複数の再結合中心を形成する結晶欠陥を示す、
例 1 から 1 3 までのいずれか 1 つのパワー半導体スイッチ。

【0 0 2 7】

例 1 5

結晶欠陥は、少なくとも 3 6 0 °C の温度までは温度安定性を有する、
例 1 4 のパワー半導体スイッチ。

【0 0 2 8】

例 1 6

再結合領域は、少なくとも横方向に沿って、少なくとも 2 倍変化する結晶欠陥濃度を示す、

例 1 から 1 5 までのいずれか 1 つのパワー半導体スイッチ。

【0 0 2 9】

例 1 7

再結合領域は、少なくとも垂直方向に沿って、少なくとも 2 倍変化する結晶欠陥濃度を示す、

例 1 から 1 6 までのいずれか 1 つのパワー半導体スイッチ。

【0 0 3 0】

例 1 8

10

20

30

40

50

本体領域は、第1のサブセクションおよび第2のサブセクションを示し、
第1のサブセクションは、第1の負荷端子と相互作用し、かつ第2のサブセクションよりも高いドーパント濃度を有しており、
第2のサブセクションは、ドリフト領域と相互作用し、
再結合領域は、第1のサブセクション内および第2のサブセクション内それぞれに広がっている、

例1から17までのいずれか1つのパワー半導体スイッチ。

【0031】

例19

結晶欠陥濃度のピークは、第2のサブセクションの上側半分に配置されているか、または本体領域の第1のサブセクションの下側半分

10

に配置されている、

例13および14のパワー半導体スイッチ。

【0032】

例20

半導体本体は、第2の導電型のドーパントでドーピングされており、かつ第2の負荷端子に電氣的に接続されているエミッタ領域を含み、

半導体本体は、専らエミッタ領域を介して、第2の負荷端子と相互作用する、

例1から19までのいずれか1つのパワー半導体スイッチ。

【0033】

例21

20

半導体本体は、フィールドストップ領域をさらに含み、

フィールドストップ領域は、ドリフト領域を終端させ、かつドリフト領域のドーパント濃度よりも高い、第1の導電型のドーパントの、陽子照射誘導型のドーパント濃度を示す、

例1から20までのいずれか1つのパワー半導体スイッチ。

【0034】

例22

逆方向阻止IGBTにおいて、少なくとも、逆方向阻止IGBTの本体領域として形成された第1のドーピング領域内に形成された、横方向に構造化された再結合領域を含む、
逆方向阻止IGBT。

30

【0035】

例23

パワー半導体スイッチを処理する方法において、
—第1の負荷端子および第2の負荷端子に結合されるべき半導体本体であって、第1の導電型のドーパントを有するドリフト領域と、第1の負荷端子に電氣的に接続された、第1の導電型のドーパントを有するソース領域と、第2の導電型のドーパントを有し、かつソース領域をドリフト領域から離隔させる、本体領域として形成された第1のドーピング領域と、を含む半導体本体を設けること、

—本体領域内に再結合領域を設けること、を含んでおり、

ドリフト領域、ソース領域および本体領域によって、端子間の負荷電流が順方向に沿って導通される導通状態、端子間に印加される順方向電圧が阻止される順方向阻止状態、および端子間に印加される逆方向電圧が阻止される逆方向阻止状態、において、パワー半導体スイッチを動作させることができる、

40

パワー半導体スイッチを処理する方法。

【0036】

例24

再結合領域を設けることは、注入処理ステップおよび拡散処理ステップのうちの少なくとも1つによって、結晶欠陥を半導体本体内に導入することを含む、

例23の方法。

【0037】

50

例 2 5

再結合領域を設けることは、ソース領域および本体領域それぞれが第 1 の負荷端子によって接触されることになる溝を使用して、自己整合処理ステップを実行することを含む、例 2 3 または 2 4 の方法。

【0038】

パワー半導体デバイスが、過電圧保護パワー半導体チップとして、または集積パワー半導体モジュールとして実施されている、実施の形態の第 2 の例示的なサブグループの例、および対応する方法の例

上記において示唆したように、実施の形態の第 2 の例示的なサブグループに関して、再結合領域を設けるか、または設けないかは任意であってよい。

10

【0039】

例 1

過電圧保護パワー半導体チップにおいて、

過電圧保護パワー半導体チップは、チップの前面側に配置された第 1 の負荷端子およびチップの背面側に配置された第 2 の負荷端子に結合された半導体本体を含み、

半導体本体は、活性領域と、活性領域を包囲する不活性エッジ領域と、をそれぞれ含み、

活性領域は、複数のブレークスルーセルを含み、

各ブレークスルーセルは、

—第 1 の負荷端子が内部まで広がっており、かつ半導体本体と相互作用する凹部を有している、前面側に配置された絶縁構造と、

20

—第 1 の導電型のドーパントを有しているドリフト領域と、

—第 2 の導電型のドーパントを有しており、かつ第 1 の負荷端子に電氣的に接続されている、アノード領域として形成された第 1 のドーブ領域と、

—アノード領域よりも低いドーパント濃度の第 2 の導電型のドーパントを有しており、かつアノード領域および絶縁構造それぞれに接触して配置された第 1 のバリア領域と、

—ドリフト領域よりも高いドーパント濃度の第 1 の導電型のドーパントを有しており、かつアノード領域および第 1 のバリア領域の少なくとも一部それぞれをドリフト領域から隔離させる第 2 のバリア領域と、

—第 2 の負荷端子に接触して配置されたドーブ接触領域と、を含み、

30

ドリフト領域は、第 2 のバリア領域とドーブ接触領域との間に位置決めされている、過電圧保護パワー半導体チップ。

【0040】

例 2

各ブレークスルーセルは、

—負荷端子間の電圧が定格チップ阻止電圧を下回る場合に非導通状態に留まるように、

—負荷端子間の電圧が定格チップ阻止電圧を上回る場合に導通ブレークスルー状態を取るように、構成されている、

例 1 のチップ。

【0041】

40

例 3

チップがパワー半導体トランジスタに結合されており、

各ブレークスルーセルが、トランジスタの定格阻止電圧に依存して定められた、定格チップ阻止電圧に関して構成されている、

例 2 のチップ。

【0042】

例 4

各ブレークスルーセルは、少なくとも第 1 のドーブ領域内に広がっている再結合領域を含む、

例 1 から 3 までのいずれか 1 つのチップ。

50

【0043】

例5

再結合領域は、局所的に低下した電荷担体寿命を提供する、

例4のチップ。

【0044】

例6

アノード領域は、半導体本体内の、第1のバリア領域よりも深い位置まで広がっており、

深さレベルの差異に起因して形成された段部が、第2の半導体バリア領域によって覆われている、

10

例1から5までのいずれか1つのチップ。

【0045】

例7

ブレイクスルーセルの第1のバリア領域は、連続する半導体層を形成する、

例1から6までのいずれか1つのチップ。

【0046】

例8

ブレイクスルーセルは、六角形のテッセレーションパターンに従い、活性領域内に配置されている、

例1から7までのいずれか1つのチップ。

20

【0047】

例9

各ブレイクスルーセル内に、アノード領域、第1のバリア領域および第2のバリア領域が、各ブレイクスルーセルを横断する仮想の垂直方向軸線に関して対称的に配置されている、

例1から8までのいずれか1つのチップ。

【0048】

例10

アノード領域、第1のバリア領域および第2のバリア領域それぞれに存在するドーパントは、注入されたドーパントである、

30

例1から9までのいずれか1つのチップ。

【0049】

例11

第2の負荷端子とドーブ接触領域との間の移行部は、ショットキーコンタクトを形成する、

例1から10までのいずれか1つのチップ。

【0050】

例12

ドーブ接触領域は、第2の導電型のドーパントを有するエミッタと、第1の導電型のドーパントを有するフィールドストップ領域と、を含み、

40

エミッタは、第2の負荷端子に電氣的に接続されており、

フィールドストップ領域は、ドリフト領域とエミッタとの間に配置されている、

例1から11までのいずれか1つのチップ。

【0051】

例13

チップは、半導体本体の前面側かつ外部に配置されたダイオード装置をさらに含み、

ダイオード装置は、横方向において不活性エッジ領域と重なり合い、かつ第1の負荷端子および別の端子に接続されている、

例1から12までのいずれか1つのチップ。

【0052】

50

例 1 4

別の端子は、パワー半導体トランジスタのエミッタ端子に電氣的に接続されている、
例 1 3 のチップ。

【0053】

例 1 5

不活性エッジ領域は、各ブレークスルーセルの降伏電圧よりも高い降伏電圧を示す、
例 1 から 1 4 までのいずれか 1 つのチップ。

【0054】

例 1 6

チップは、1 つまたは複数の第 1 のタイプの補助セルをさらに含み、
1 つまたは複数の第 1 のタイプの補助セルはそれぞれ、
—第 1 の負荷端子が内部まで広がっており、かつ半導体本体と相互作用する凹部を有して
いる、前面側に配置された絶縁構造と、
—第 1 の導電型のドーパントを有しているドリフト領域と、
—第 1 の負荷端子に電氣的に接続されており、かつ第 2 の導電型のドーパントを有してい
るアノード領域と、
—アノード領域および絶縁構造それぞれに接触して配置された、アノード領域よりも低い
ドーパント濃度の第 2 の導電型のドーパントを有している第 1 のバリア領域と、
—アノード領域および第 1 のバリア領域の少なくとも一部それぞれをドリフト領域から離
隔させる、ドリフト領域よりも高いドーパント濃度の第 1 の導電型のドーパントを有して
いる第 2 のバリア領域と、
—第 2 の負荷端子に接触して配置されたドーブ接触領域と、を含み、
ドリフト領域は、第 2 のバリア領域とドーブ接触領域との間に位置決めされ、
ドーブ接触領域は、半導体本体の層厚の 50 % までにわたり半導体本体内に広がってい
る、
例 1 から 1 5 までのいずれか 1 つのチップ。

【0055】

例 1 7

チップは、1 つまたは複数の第 2 のタイプの補助セルをさらに含み、
1 つまたは複数の第 2 のタイプの補助セルはそれぞれ、
—第 1 の負荷端子が内部まで広がっており、かつ半導体本体と相互作用する、前面側に配
置された絶縁構造と、
—第 1 の導電型のドーパントを有しているドリフト領域と、
—第 1 の負荷端子に電氣的に接続されており、かつ第 2 の導電型のドーパントを有してい
る第 1 のバリア領域と、
—第 2 の負荷端子に接触して配置されたドーブ接触領域と、を含み、
ドリフト領域は、第 1 のバリア領域とドーブ接触領域との間に位置決めされている、
例 1 から 1 6 までのいずれか 1 つのチップ。

【0056】

例 1 8

チップは、パワー半導体トランジスタに結合されており、
トランジスタは、複数のトランジスタセルを含んでおり、各トランジスタセルはチップ
に集積されている、
例 1 から 1 7 までのいずれか 1 つのチップ。

【0057】

例 1 9

各トランジスタセルは、
—エミッタ端子に電氣的に接続されており、かつ第 1 の導電型のドーパントを有している
ソース領域と、
—第 1 の導電型のドーパントを有しているドリフト領域と、

ーエミッタ端子に電氣的に接続されており、かつソース領域をドリフト領域から絶縁させる、第2の導電型のドーパントを有している本体領域と、
 ートランジスタセルを制御するように構成された絶縁ゲート電極と、
 ー第2の負荷端子に電氣的に接続された、第2の導電型のドーパントを有しているドーブ接触領域と、を含む、
 例18のチップ。

【0058】

例20

ブレークスルーセルのドーブ接触領域およびトランジスタセルのドーブ接触領域は、半導体本体内にドーブ接触層を形成する、
 例18または19のチップ。

【0059】

例21

パワー半導体トランジスタおよび過電圧保護パワー半導体チップを含む集積パワー半導体モジュールにおいて、

過電圧保護パワー半導体チップは、チップの前面側に配置された第1の負荷端子およびチップの背面側に配置された第2の負荷端子に結合された半導体本体を含み、

半導体本体は、活性領域と、活性領域を包囲する不活性エッジ領域と、をそれぞれ含み、

活性領域は、複数のブレークスルーセルを含み、

各ブレークスルーセルは、

ー第1の負荷端子が内部まで広がっており、かつ半導体本体と相互作用する凹部を有している、前面側に配置された絶縁構造と、

ー第1の導電型のドーパントを有しているドリフト領域と、

ー第2の導電型のドーパントを有しており、かつ第1の負荷端子に電氣的に接続されている、アノード領域として形成された第1のドーブ領域と、

ーアノード領域よりも低いドーパント濃度の第2の導電型のドーパントを有しており、かつアノード領域および絶縁構造それぞれに接触して配置された第1のバリア領域と、

ードリフト領域よりも高いドーパント濃度の第1の導電型のドーパントを有しており、かつアノード領域および第1のバリア領域の少なくとも一部それぞれをドリフト領域から隔離させる第2のバリア領域と、

ー第2の負荷端子に接触して配置されたドーブ接触領域と、を含み、

ドリフト領域は、第2のバリア領域とドーブ接触領域との間に位置決めされ、

トランジスタは、エミッタ端子、コレクタ端子およびゲート端子を含み、コレクタ端子は、チップの第2の負荷端子に電氣的に接続されている、

集積パワー半導体モジュール。

【0060】

例22

過電圧保護パワー半導体チップを処理する方法において、

ーチップの前面側に配置されるべき第1の負荷端子およびチップの背面側に配置されるべき第2の負荷端子に結合されるべき半導体本体であって、活性領域と、活性領域を包囲する不活性エッジ領域と、をそれぞれ含む半導体本体を設けること、

ー第1の負荷端子が内部まで広がっており、かつ半導体本体と相互作用する凹部を有している、前面側に配置された絶縁構造をそれぞれが含んでいる複数のブレークスルーセルを活性領域内に、形成すること、

ー以下の領域、すなわち

ー第1の導電型のドーパントを有しているドリフト領域と、

ー第2の導電型のドーパントを有しており、かつ第1の負荷端子に電氣的に接続されている、アノード領域として形成された第1のドーブ領域と、

ーアノード領域よりも低いドーパント濃度の第2の導電型のドーパントを有しており、か

10

20

30

40

50

つアノード領域および絶縁構造それぞれに接触して配置された第1のバリア領域と、ードリフト領域よりも高いドーパント濃度の第1の導電型のドーパントを有しており、かつアノード領域および第1のバリア領域の少なくとも一部それぞれをドリフト領域から隔離させる第2のバリア領域と、
一第2の負荷端子に接触して配置されたドーブ接触領域と、を形成すること、を含み、ドリフト領域は、第2のバリア領域とドーブ接触領域との間に位置決めされている、方法。

【0061】

例23

アノード領域を形成すること、第1のバリア領域を形成すること、および第2のバリア領域を形成することのうちの少なくとも1つは、注入処理ステップを少なくとも1回実行することを含む、

例22の方法。

【0062】

例24

1回または複数回の注入処理ステップのうちの少なくとも1回を、少なくとも1.5 MeVのイオンエネルギーでもって実行する、

例23の方法。

【0063】

例25

絶縁構造をマスクとして使用する自動調整プロセスを実行することによって、少なくともアノード領域内まで広がる再結合領域を形成することをさらに含む、

例22から24までのいずれか1つの方法。

【0064】

当業者であれば、以下の詳細な説明を読み、また添付の図面を見ることによって、付加的な特徴および利点を理解するであろう。

【0065】

図面における各部分は、必ずしも縮尺通りではなく、その代わりに、本発明の原理を説明することに重点を置いて強調されている。さらに、図面において、同様の参照番号は対応する部分を表している。

【図面の簡単な説明】

【0066】

【図1】1つまたは複数の実施の形態によるパワー半導体デバイスの平面図を概略的かつ例示的に示す。

【図2A】1つの実施の形態によるパワー半導体デバイスの縦断面図を概略的かつ例示的に示す。

【図2B】1つの実施の形態によるパワー半導体デバイスの縦断面図を概略的かつ例示的に示す。

【図3】1つまたは複数の実施の形態によるパワー半導体デバイスの縦断面図を概略的かつ例示的に示す。

【図4】1つまたは複数の実施の形態によるパワー半導体デバイスにおけるドーパント濃度の経過および電界の経過それぞれを概略的かつ例示的に示す。

【図5】1つまたは複数の実施の形態によるパワー半導体デバイスの平面図を概略的かつ例示的に示す。

【図6】1つまたは複数の実施の形態によるパワー半導体デバイスおよびパワー半導体トランジスタを含むパワー半導体モジュールの等価回路を概略的かつ例示的に示す。

【図7】1つまたは複数の実施の形態によるパワー半導体デバイスおよびパワー半導体トランジスタを含むパワー半導体モジュールの動作範囲を概略的かつ例示的に示す。

【図8】1つまたは複数の実施の形態によるパワー半導体デバイスの不活性エッジ領域の縦断面図を概略的かつ例示的に示す。

10

20

30

40

50

【図 9】 1 つまたは複数の実施の形態によるパワー半導体デバイスの平面図を概略的かつ例示的に示す。

【図 10】 1 つの実施の形態によるパワー半導体デバイスの縦断面図を概略的かつ例示的に示す。

【図 11】 1 つの実施の形態によるパワー半導体デバイスの縦断面図を概略的かつ例示的に示す。

【図 12】 1 つまたは複数の実施の形態によるパワー半導体デバイスの平面図を概略的かつ例示的に示す。

【図 13】 1 つまたは複数の実施の形態によるパワー半導体トランジスタのトランジスタセルの縦断面図を概略的かつ例示的に示す。

10

【図 14】 1 つまたは複数の実施の形態によるトランジスタセルを含むパワー半導体デバイスの縦断面図を概略的かつ例示的に示す。

【図 15 A】 1 つの実施の形態によるパワー半導体デバイスおよびパワー半導体トランジスタを含む集積パワー半導体モジュールの一部を概略的かつ例示的に示す。

【図 15 B】 1 つの実施の形態によるパワー半導体デバイスおよびパワー半導体トランジスタを含む集積パワー半導体モジュールの一部を概略的かつ例示的に示す。

【図 16】 1 つまたは複数の実施の形態によるパワー半導体デバイスを処理する方法のステップを概略的かつ例示的に示す。

【図 17 A】 1 つの実施の形態によるパワー半導体デバイスの縦断面図を概略的かつ例示的に示す。

20

【図 17 B】 1 つの実施の形態によるパワー半導体デバイスの縦断面図を概略的かつ例示的に示す。

【図 18 A】 1 つの実施の形態によるパワー半導体デバイスの縦断面図を概略的かつ例示的に示す。

【図 18 B】 1 つの実施の形態によるパワー半導体デバイスの縦断面図を概略的かつ例示的に示す。

【図 19 A】 1 つまたは複数の実施の形態によるパワー半導体デバイスの縦断面図を概略的かつ例示的に示す。

【図 19 B】 1 つまたは複数の実施の形態によるパワー半導体デバイスの第 1 のドーブ領域（例えば、本体領域）内での垂直方向に沿った結晶欠陥濃度の経過を概略的かつ例示的に示す。

30

【図 20 A】 1 つまたは複数の実施の形態によるパワー半導体デバイスの半導体本体内での垂直方向に沿ったドーパント濃度の経過および電界の経過を概略的かつ例示的に示す。

【図 20 B】 1 つまたは複数の実施の形態によるパワー半導体デバイスの第 1 のドーブ領域（例えば、本体領域）内での垂直方向に沿った結晶欠陥濃度の経過を概略的かつ例示的に示す。

【図 21】 1 つまたは複数の実施の形態によるパワー半導体デバイスの平面図を概略的かつ例示的に示す。

【図 22】 1 つまたは複数の実施の形態による方法を概略的かつ例示的に示す。

【図 23】 1 つまたは複数の実施の形態による、パワー半導体デバイスの縦断面図を、電氣的な等価回路図と共に、概略的かつ例示的に示す。

40

【図 24】 1 つまたは複数の実施の形態によるパワー半導体デバイスの縦断面図を概略的かつ例示的に示す。

【図 25 A】 1 つまたは複数の実施の形態によるパワー半導体デバイスの半導体本体内での垂直方向に沿ったドーパント濃度の経過および電界の経過を概略的かつ例示的に示す。

【図 25 B】 1 つまたは複数の実施の形態によるパワー半導体デバイスの第 1 のドーブ領域（例えば、本体領域）内での垂直方向に沿った結晶欠陥濃度の経過を概略的かつ例示的に示す。

【発明を実施するための形態】

【0067】

50

以下の詳細な説明においては、本願の一部を成し、かつ本発明を実施することができる特定の実施の形態が図示を目的として示されている添付の図面を参照する。

【0068】

これに関して、方向を表す用語、例えば「上部」、「下部」、「下」、「前」、「奥」、「後ろ」、「前方」、「後方」、「上方」などは、説明される図面の向きに関して使用されていると考えられる。実施の形態の各部分を、種々異なる向きで位置決めすることができるので、方向を表す用語は、図示を目的として使用されているのであって、いずれの限定も意図していない。本発明の範囲から逸脱することなく、他の実施の形態を使用することができ、また構造的または論理的变化を成すことができると解されるべきである。したがって、以下の詳細な説明は、限定的な意味で理解されるべきではなく、本発明の範囲は、添付の特許請求の範囲によって定義される。

10

【0069】

次に、図面に図示した種々の実施の形態、1つまたは複数の実施例を詳細に参照する。各実施例は、説明を目的として提供されており、本発明の限定を意図するものではない。例えば、1つの実施の形態の一部として図示または説明されている特徴を、他の実施の形態において、または他の実施の形態と組み合わせて使用して、別の実施の形態を創作することができる。本発明は、そのような修正および変更を含むことが意図されている。実施例を、添付の特許請求の範囲を限定するものと解されるべきではない特定の言語を用いて説明する。図面は縮尺通りではなく、単に図示を目的としている。分かり易くするために、別個の記載がない限り、同一の構成要素または製造ステップは異なる図面においても同一の参照番号によって表されている。

20

【0070】

本明細書において使用されているような「水平」という用語は、半導体基板または半導体構造の水平な表面に実質的に平行な向きを表すことが意図されている。この水平な表面は、例えば、半導体ウェハまたはダイまたはチップの表面であってよい。例えば、下記において言及する第1の横方向Xおよび第2の横方向Yはいずれも水平な方向であると考えられ、この場合、第1の横方向Xおよび第2の横方向Yは、相互に直交していると考えられる。

【0071】

本明細書において使用されている「垂直」という用語は、水平な表面に対して実質的に直角に、すなわち半導体ウェハ／チップ／ダイの表面の法線方向に実質的に平行に整列されている向きを表すことが意図されている。例えば、下記において言及する伸張方向Zは、第1の横方向Xおよび第2の横方向Yのいずれに対しても垂直な伸張方向であると考えられる。伸張方向Zは、本明細書において、「垂直方向Z」とも称する。

30

【0072】

本明細書において、n型ドーピングとは「第1の導電型」を表し、それに対し、p型ドーピングとは「第2の導電型」を表す。択一的に、逆のドーピングの関係を使用することもできる。つまり、第1の導電型をp型ドーピングにして、第2の導電型をn型ドーピングにすることができる。

【0073】

本明細書のコンテキストにおいて、用語「オーミック接触されている」、「電氣的に接触されている」、「オーミック接続されている」および「電氣的に接続されている」とは、半導体デバイスの2つの領域、セクション、ゾーン、区画または部分間、もしくは1つまたは複数のデバイスの異なる端子間、もしくは端子または金属化部または電極と、半導体デバイスの一区画または一部との間に、低抵抗の電氣的な接続部または低抵抗の電流経路が存在することを表すことが意図されている。さらに、本明細書のコンテキストにおいて、用語「接触している」は、各半導体デバイスの2つの構成要素間の直接的で物理的な接続が存在することを表すことが意図されている。つまり例えば、相互に接触している2つの構成要素間の移行部が、介在する別の構成要素などを含むことはない。

40

【0074】

50

さらに、本明細書のコンテキストにおいて、用語「電氣的な絶縁」は、別個の記載がない限り、その一般的に有効な理解のコンテキストにおいて使用されており、したがって2つまたはそれ以上の構成要素が相互に離隔されて配置されており、かつそれらの構成要素を接続するオーミック接続は存在しないことを表すことが意図されている。しかしながらそれにもかかわらず、相互に電氣的に絶縁されている構成要素を、相互に結合させることができ、例えば機械的に結合させることができる、かつ／または容量性に結合させることができる、かつ／または誘導性に結合させることができる。一例を挙げると、キャパシタの2つの電極を、相互に電氣的に絶縁させることができ、またそれと同時に、機械的かつ容量性に、例えば絶縁体、例えば誘電体によって相互に結合させることができる。

【0075】

10

本明細書において説明する特定の実施の形態は、帯状のセルまたはセルラ状のセルの構成を示すパワー半導体スイッチ、例えば電力変換器または電源において使用することができるパワー半導体デバイスに属するが、これに限定されるわけではない。したがって、1つの実施の形態においては、負荷に供給されるべき負荷電流、および／または電源から供給される負荷電流を流すように、そのようなデバイスを構成することができる。例えば、パワー半導体デバイスは、1つまたは複数のアクティブな電力半導体セル、例えばモノリシックに集積されたダイオードセル、例えばモノリシックに集積された、逆直列に接続された2つのダイオードから成るセル、モノリシックに集積されたトランジスタセル、例えばモノリシックに集積されたIGBTセルおよび／またはそれらの派生物を含むことができる。そのようなダイオード／トランジスタセルを、パワー半導体モジュールに集積することができる。そのような複数のセルは、パワー半導体デバイスの活性領域も一緒に配置されるセルフフィールドを構成することができる。

20

【0076】

本明細書において使用されているような「パワー半導体デバイス」という用語は、高電圧阻止能力および／または大電流通電能力を備えた単一のチップにおける半導体デバイスを表すことが意図されている。換言すれば、そのようなパワー半導体デバイスは、典型的には、例えば数10～数100アンペアまでのアンペア範囲の大電流のために、かつ／または典型的には15Vを上回る、より典型的には100V以上、例えば少なくとも400Vまで、さらには例えば少なくとも3kVまでの高電圧のために使用されることが意図されている。

30

【0077】

例えば、下記に説明するパワー半導体デバイスは、帯状のセル構成またはセルラ状（柱状）のセル構成を示す半導体デバイスであってよく、また低電圧、中電圧および／または高電圧の用途におけるパワーコンポーネントとして使用されるように構成することができる。

【0078】

例えば、本明細書において使用されているような「パワー半導体デバイス」という用語は、例えばデータの記憶、データの計算、かつ／または他のタイプの半導体ベースのデータ処理に使用されるロジック半導体デバイスを指すものではない。

【0079】

40

図23は、幾つかの実施の形態によるパワー半導体デバイス1を、電氣的な等価回路図と共に、概略的かつ例示的に示す。パワー半導体デバイス1を、例えば、（図17A～図22に関連させて例示的に説明するような）パワー半導体スイッチとして、または（図1～図16に関連させて例示的に説明するような）過電圧保護パワー半導体チップとして実施することができる。

【0080】

したがって、以下において図23に関連させて説明するすべての事項は、別の図面に関連させて説明するすべての実施の形態に等しく適用されると解されるべきである。

【0081】

パワー半導体デバイス1は、第1の負荷端子11（例えば、エミッタ端子、アノード端

50

子またはソース端子) および第2の負荷端子12 (例えば、コレクタ端子またはドレイン端子) に結合された半導体本体10を含む。半導体本体10は、

- 第1の負荷端子11に電氣的に接続された、第2の導電型の第1のドーピング領域102 (本明細書においては、本体領域102またはアノード領域102とも称する) と、
- 第2の負荷端子12に電氣的に接続された、第2の導電型のエミッタ領域1091と、
- 第1のドーピング領域102とエミッタ領域1091との間に配置された、第1の導電型のドリフト領域100と、を含む、

ここで、ドリフト領域100および第1のドーピング領域102によって、

- 負荷端子11、12間の負荷電流が順方向に沿って導通される導通状態、
- 端子11、12間に印加された順方向電圧が阻止される順方向阻止状態、および
- 端子11、12間に印加された逆方向電圧が阻止される逆方向阻止状態、においてパワー半導体デバイスを動作させることができる。

10

【0082】

半導体本体10は、オプションとして、少なくとも第1のドーピング領域102内に配置された再結合領域159をさらに含むことができる。

【0083】

例えば、等価回路図に図示したように、第1のドーピング領域102からドリフト領域100への移行部は、第1のダイオード51を形成しており、またエミッタ領域1091からドリフト領域100への移行部は、第2のダイオード52を形成している。第1のダイオード51および第2のダイオード52は、相互に逆直列に接続されている。

20

【0084】

例えば、第1のダイオード51は第1のブレークスルー電圧を示し、また第2のダイオード52は第2のブレークスルー電圧を示し、ここで第1のブレークスルー電圧は、第2のブレークスルー電圧よりも少なくとも5倍高い。この倍率は、それどころか5より大きくてもよく、例えば、少なくとも10、または100、またはそれどころか1,000を上回ってもよい。例えば、第2のブレークスルー電圧は、10Vより高くてもよい、または50Vより高くてもよい、例えば10Vより高く、かつ100V未満であってよい。例えば、第1のブレークスルー電圧は、第2のブレークスルー電圧よりも約80倍高く、したがって、例えば上述の値に基づき、800Vから8kVの範囲内にある。典型的な例は、第2のブレークスルー電圧に関しては20Vであり、また第1のブレークスルー電圧に関しては1,600Vである。

30

【0085】

例えば、第1の負荷端子11、第1のドーピング領域102、再結合領域159、ドリフト領域100、エミッタ領域1091および第2の負荷端子12はそれぞれ、例えば第1の横方向Xに沿って、例えば少なくとも500nmの、または少なくとも2,000nmの、またはそれどころか6,000nmを上回る、共通の横方向の広がり範囲を示す。

【0086】

さらに、再結合領域159内に存在する電荷担体の寿命および移動度のうちの少なくとも1つを低減するように、再結合領域159を構成することができる。

【0087】

40

下記においてより詳細に説明するように、再結合領域159を横方向に構造化することができる。

【0088】

また下記においてより詳細に説明するように、導通状態の間の負荷電流の少なくとも一部の導通のために、第1のドーピング領域102内に導通チャネル103を誘導するように、パワー半導体デバイス1を構成することができ、この場合、誘導された導通チャネル103と再結合領域159とは、相互に空間的に離隔されている。例えば、再結合領域と誘導された導通チャネルとの間の最短距離は、少なくとも50nmである。

【0089】

さらに、再結合領域159がドリフト領域100内に広がらないように、再結合領域1

50

59を配置することができる。

【0090】

1つの実施の形態においては、再結合領域159が、ドリフト領域100内の結晶欠陥濃度よりも少なくとも1,000倍高い結晶欠陥濃度を示す。

【0091】

1つの実施の形態においては、第1のドーパ領域102が、半導体本体10内で、再結合領域159よりも深い位置まで広がっている。

【0092】

下記のさらなる説明からより明らかになるように、第1の負荷端子11は、接触溝（図2における参照番号161および図19Aにおける参照番号111を参照されたい）を含むことができ、この接触溝は、第1のドーパ領域102と相互作用し、この場合、再結合領域159は横方向において、接触溝と重なり合っており、かつ接触溝の横方向の寸法の60%～200%の範囲内の横方向の寸法を示す。

10

【0093】

さらに、パワー半導体デバイス1は、複数のセル（例えば、トランジスタセル（図12および図13の参照番号14を参照されたい））を含むことができ、各セルは、前述の導通状態、前述の順方向阻止状態および前述の逆方向阻止状態において動作するように構成されている。

【0094】

再結合領域159は、順方向阻止状態の間の電界のピークのところから空間的に離れているように、再結合領域159を設計することができる。

20

【0095】

1つの実施の形態においては、再結合領域159が、その再結合領域159内で複数の再結合中心を形成する結晶欠陥を示すことができる。例えば、結晶欠陥は、少なくとも360℃の温度までは温度安定性を有している。再結合領域の結晶欠陥濃度を、少なくとも第1の横方向Xに沿って、少なくとも2倍変化させることができる。

【0096】

図19Aの説明からより明らかになるように、第1のドーパ領域102は、第1のサブセクション（図19Aの参照番号1023を参照されたい）および第2のサブセクション（図19Aの参照番号1022を参照されたい）を示すことができ、第1のサブセクションは、第1の負荷端子11と相互作用し、かつ第2のサブセクションよりも高いドーパント濃度を有しており、また第2のサブセクションは、ドリフト領域100と相互作用し、再結合領域159は、第1のサブセクション内および第2のサブセクション内それぞれに広がっている。さらに、結晶欠陥濃度のピークを、第2のサブセクションの上側半分に配置することができるか、または第1のドーパ領域102の第1のサブセクションの下側半分に配置することができる。

30

【0097】

1つの実施の形態においては、半導体本体10が、専らエミッタ領域1091を介して、第2の負荷端子12と相互作用する。

【0098】

下記の説明からより明らかになるように、半導体本体10は、フィールドストップ領域1092をさらに含むことができ（図17B、図18B参照）、このフィールドストップ領域1092は、ドリフト領域100を終端させ、かつドリフト領域のドーパント濃度よりも高い、第1の導電型のドーパントの、陽子照射誘導型のドーパント濃度を示す。

40

【0099】

パワー半導体デバイス1は、パワー半導体スイッチであってよく、また上記において示唆したように、第1の負荷端子11に電氣的に接続された、第1の導電型のソース領域（図17Aにおける参照番号101を参照されたい）を含むことができ、この場合、第1のドーパ領域102によって、ソース領域101がドリフト領域100から離隔される。例えば、再結合領域159が、ソース領域101内に広がっている。

50

【0100】

1つの実施の形態においては、パワー半導体デバイス1が、活性領域（図1における参照番号1-1）と、その活性領域1-1を包囲する不活性エッジ領域1-2と、を含む。例えば、再結合領域159は、不活性エッジ領域1-2内には広がらない。

【0101】

さらに、1つの例においては、活性領域1-1が、複数のセル（例えば、トランジスタセル14）を含むことができ、この場合、再結合領域159は、以下のように横方向に構造化されている。つまり、所定の割合の複数のセル（例えば、トランジスタセル14）の各々のみが再結合領域159を含むように、かつ／または再結合領域159が複数のセル（例えば、トランジスタセル）のうちの少なくとも1つの水平方向の横断面内で構造化されているように、構造化されている。

10

【0102】

下記の説明からより明らかになるように、パワー半導体デバイス1は、第1のドープ領域102および絶縁構造16、142の両方に接触して配置された、第1のドープ領域102よりも低いドーパント濃度の第2の導電型の第1のバリア領域152（図2Aを参照されたい）と、第1のドープ領域102および第1のバリア領域152の少なくとも一部の両方をドリフト領域100から離隔させる、ドリフト領域100よりも高いドーパント濃度の第1の導電型の第2のバリア領域153と、をさらに含むことができる。例えば、第1のバリア領域152および第2のバリア領域153のうちの少なくとも1つは、活性領域1-1内の連続する半導体層を形成する（図24を参照されたい）。

20

【0103】

本明細書においては、パワー半導体デバイスを処理する方法も開示される。半導体デバイスは、第1の負荷端子および第2の負荷端子に結合された半導体本体を含む。半導体本体は、第1の負荷端子に電氣的に接続された、第2の導電型の第1のドープ領域と、第2の負荷端子に電氣的に接続された、第2の導電型のエミッタ領域と、第1のドープ領域とエミッタ領域との間に配置された、第1の導電型のドリフト領域と、を含む。ドリフト領域および第1のドープ領域によって、負荷端子間の負荷電流が順方向に沿って導通される導通状態、端子間に印加される順方向電圧が阻止される順方向阻止状態、および端子間に印加される逆方向電圧が阻止される逆方向阻止状態、において、パワー半導体デバイスを動作させることができる。方法は、半導体本体において、少なくとも第1のドープ領域内に配置された再結合領域を形成することを含む。

30

【0104】

方法の実施例は、上記において説明したデバイスの実施例に対応すると考えられる。方法のさらなるオプションとしての態様を、下記においてより詳細に説明する。

【0105】

冒頭で説明したように、本明細書において説明するパワー半導体デバイス1、例えば上記において図23に関連させて説明したパワー半導体デバイス1を、例えば、パワー半導体スイッチとして、または過電圧保護パワー半導体チップとして実施することができる。

【0106】

図1～図16の下記の説明ならびに図24、図25Aおよび図25Bの下記の説明は、主に、パワー半導体デバイス1が過電圧保護パワー半導体チップ（冒頭で言及した「実施の形態の第1の例示的なサブグループ」）として実施されている場合に関し、また図17A～図22の下記の説明は、パワー半導体デバイス1がパワー半導体スイッチ（冒頭で言及した「実施の形態の第2の例示的なサブグループ」）として実施されている場合に関する。

40

【0107】

図1～図22、図24、図25Aおよび図25Bの説明においては、パワー半導体デバイス1の構成要素のオプションとしての特徴を、特に第1のドープ領域102のオプションとしての特徴を説明する。それらのオプションとしての特徴は、（a）各デバイスがパワー半導体スイッチとして実施されているか、または過電圧保護パワー半導体チップとし

50

て実施されているかに関係なく、図 1～図 2 2、図 2 4、図 2 5 A および図 2 5 B に等しく適用することができ、(b) 上記において説明した図 2 3 によるデバイスに等しく適用することができる、と解されるべきである。

【0108】

パワー半導体スイッチ

以下の説明は、パワー半導体デバイス 1 がパワー半導体スイッチとして実施されている、上記において言及した実施の形態の第 1 の例示的なサブグループの例、および対応する方法の例に関する。

【0109】

図 2 1 は、1 つまたは複数の実施の形態によるパワー半導体スイッチ 1 の平面図を概略的かつ例示的に示す。図 1 7 A～図 1 8 B それぞれは、1 つまたは複数の実施の形態によるパワー半導体スイッチ 1 の実施の形態の縦断面図を概略的かつ例示的に示す。以下では、図 2 1 および図 1 7 A～図 1 8 B それぞれを参照する。

10

【0110】

例えば、パワー半導体スイッチ 1 は、第 1 の負荷端子 1 1 (例えば、エミッタ端子 1 1) および第 2 の端子 (例えば、コレクタ端子 1 2) に結合された半導体本体 1 0 を含む。

【0111】

本明細書に開示する図 1 7 A～図 2 2 のすべての実施の形態に関して、パワー半導体スイッチ 1 は、逆方向阻止 (RB: reverse blocking) IGBT であってよい。例えば、図 1 7 A～図 2 2 それぞれは、RB IGBT を実現するように実施することができるパワー半導体スイッチの態様を示す。

20

【0112】

半導体本体 1 0 は、第 1 の導電型のドーパントを有するドリフト領域 1 0 0 を含むことができる。例えば、伸張方向 Z に沿ったドリフト領域 1 0 0 の広がりおよびドリフト領域 1 0 0 のドーパント濃度が、設計されるべきパワー半導体スイッチ 1 のための定格阻止電圧に依存して、例えば当業者には公知であるようなやり方で選択される。

【0113】

さらに、エミッタ端子 1 1 を、パワー半導体スイッチ 1 の前面側に配置することができ、また前面側金属化部を含むことができる。コレクタ端子 1 2 を、パワー半導体スイッチ 1 の前面側とは反対側、例えば背面側に配置することができ、また例えば、背面側金属化部を含むことができる。したがって、パワー半導体スイッチ 1 は、垂直方向の構成を示すことができ、この場合、負荷電流は、垂直方向に実質的に平行な方向に流れる。別の実施の形態においては、エミッタ端子 1 1 およびコレクタ端子 1 2 の両方を、パワー半導体スイッチ 1 の共通の側に配置することができ、例えば両方の端子をパワー半導体スイッチ 1 の前面に配置することができる。

30

【0114】

パワー半導体スイッチ 1 は、活性領域 1-1、不活性エッジ領域 1-2 (本明細書においては「終端構造」または「不活性終端構造」とも称する)、およびチップエッジ 1-2 1 (図 2 1 を参照されたい) をさらに含むことができる。半導体本体 1 0 は、活性領域 1-1 および不活性エッジ領域 1-2 それぞれの一部を形成することができ、この場合、チップエッジ 1-2 1 は、横方向において半導体本体 1 0 を終端させることができる。チップエッジ 1-2 1 を、例えばウェハダイシングによって形成することができ、また垂直方向 Z に沿って広げることができる。図 2 1 に図示したように、不活性エッジ領域 1-2 1 を、活性領域 1-1 とチップエッジ 1-2 との間に配置することができる。

40

【0115】

本明細書において、用語「活性領域」および「不活性エッジ領域／(不活性)終端構造」は、共通して用いられる。つまり、活性領域 1-1 および不活性エッジ領域 1-2 を、一般的にそれらに関連付けられた技術的な機能原理を提供するように構成することができる。例えば、パワー半導体スイッチ 1 の活性領域 1-1 を、端子 1 1、1 2 間で負荷電流が導通されるように構成することができ、それに対して、不活性エッジ領域 1-2 を、負

50

荷電流は導通させないが、しかしながら電界の方向に関する機能を満たすように構成することができ、これによって、実施の形態に応じて、阻止能力の保証、活性領域 1-1 の安全な終端、などを実現することができる。例えば、図 21 に図示したように、不活性エッジ領域 1-2 は、活性領域 1-1 全体を包囲することができる。

【0116】

1 つの実施の形態においては、活性領域 1-1 および不活性エッジ領域 1-2 それぞれが、下記においてより詳細に説明するように、パワー半導体スイッチの逆方向阻止能力を提供するように構成されている。

【0117】

活性領域 1-1 は、少なくとも 1 つのトランジスタセル 14 (図 21 を参照されたい) を含むことができる。1 つの実施の形態においては、そのようなトランジスタセル 14 が活性領域 1-1 内に複数含まれている。トランジスタセル 14 の数は、100 より多くてよく、または 1,000 より多くてよい、またはそれどころか 10,000 より多くてよい。トランジスタセル 14 は、それぞれ同一の構成を示すことができる。したがって、1 つの実施の形態においては、各トランジスタセル 14 が、例えば図 17A~図 19A に図示したように、パワーユニットセルの構成を示すことができる。以下では、特定のトランジスタセル 14 の例示的な構成に関して説明する場合 (例えば、「トランジスタセル 14 は...を含む」または「トランジスタセル 14 の構成要素は...である／を有する」など)、この説明は、別個の記載がない限り、パワー半導体スイッチ 1 に含めることができるすべてのトランジスタセル 14 に等しく適用できると考えられる。

【0118】

各トランジスタセル 14 は、図 21 に概略的に図示したように、帯状の構成を示すことができ、この場合、各トランジスタセル 14 およびその構成要素の一方の横方向における、例えば第 2 の横方向 Y に沿った全体の横方向の広がり、他方の横方向における、例えば第 1 の横方向 X に沿った全体の横方向の広がりよりも遙かに大きいと考えられる。例えば、図 21 に図示したように、各帯状のトランジスタセル 14 の第 2 の横方向 Y における、より長い全体の横方向の広がり、この横方向に沿った活性領域 1-1 の全体の広がりにはほぼ一致すると考えられる。

【0119】

別の実施の形態においては、各トランジスタセル 14 が、セルラ状の構成を示すことができ、この場合、各トランジスタセル 14 の横方向の広がり、活性領域 1-1 の全体の横方向の広がりよりも遙かに短いと考えられる。

【0120】

本明細書に開示するすべての実施の形態に関して、各トランジスタセル 14 は、帯状の構成を示すことができ、また R B I G B T 機能を提供するように、各トランジスタセル 14 を構成することができる。

【0121】

各トランジスタセル 14 は、エミッタ端子 11 に電氣的に接続された、第 1 の導電型のドーパントを有するソース領域 101 を含むことができる。ソース領域 101 において示されるドーパント濃度は、ドリフト領域 100 のドーパント濃度よりも遙かに高くてもよい。

【0122】

各トランジスタセル 14 は、第 2 の導電型のドーパントを有する半導体スイッチ本体領域 102 (「チャネル領域」とも称するが、しかしながら本明細書においては、用語「チャネル領域」は異なるように用いられる、下記参照) として実施された第 1 のドープ領域 102 をさらに含むことができ、この場合、第 1 のドープ領域 102 は、ソース領域 101 をドリフト領域 100 から離隔させることができ、例えば、第 1 のドープ領域 102 は、ソース領域 101 をドリフト領域 100 から絶縁させることができる。第 1 のドープ領域 102 も、エミッタ端子 11 に電氣的に接続することができる。第 1 のドープ領域 102 とドリフト領域 100 との間の移行部は p n 接合部 1021 を形成することができる。

【0123】

図17Aおよび図17Bに図示した実施の形態によれば、ドリフト領域100は、コレクタ端子12に電氣的に接触して配置されたドーパ接触領域109と相互作用するまで、垂直方向Zに沿って広がることができる。ドーパ接触領域109を、パワー半導体スイッチ1の構成に応じて形成することができる。例えば、ドーパ接触領域109は、第2の導電型のドーパントを有するエミッタ領域1091、例えばp型エミッタ領域1091を含むことができる。

【0124】

1つの実施の形態においては、エミッタ領域1091は、コレクタ端子12とも電氣的に接続された、第1の導電型のドーパントを有するセクションを含まない。したがって、例えば、本明細書において説明する実施の形態は、逆導通(RC: reverse conducting) IGBTに関するものではない。むしろ、半導体本体10は、1つの実施の形態によれば、専らエミッタ領域1091を介して、例えばp型エミッタ領域1091全体を介して、コレクタ端子12と相互作用する。

【0125】

ドーパ接触領域109は、図17Bおよび図18Bそれぞれに図示したように、フィールドストップ領域1092を含むこともできる。フィールドストップ領域1092は、ドリフト領域100をエミッタ領域1091に結合させることができる。例えば、フィールドストップ領域1092は、ドリフト領域100のドーパント濃度よりも遙かに高いドーパント濃度の第1の導電型のドーパントを含むことができる。さらに、フィールドストップ領域1092は、ドリフト領域100を終端させることができる。

【0126】

1つの実施の形態においては、フィールドストップ領域1092が、ドリフト領域のドーパント濃度よりも高い、第1の導電型のドーパントの、陽子照射誘導型のドーパント濃度を示す。そのような陽子照射誘導型のフィールドストップを、30分～5時間の範囲の期間にわたる370℃～430℃の範囲の比較的低い温度での後続のアニーリングステップによる陽子放射でもって実現することができる。例えば、これによって薄いウェハの処理を、例えばウェハ寸法が大きい場合であっても、例えばウェハ寸法が8インチ以上であっても実現することができる。

【0127】

各トランジスタセル14は、絶縁制御端子131、例えばゲート端子をさらに含むことができ、この絶縁制御端子131を(図17Aおよび図17Bに図示したように)平面電極として実施することができるか、または(図18Aおよび図18Bに図示したように)トレンチ電極として実施することができる。例えば、各トランジスタセル14は、少なくとも1つのトレンチ143を含むことができ、このトレンチ143は、半導体本体10内に広がっており、かつトレンチ電極として実施されており、かつ絶縁体142によって半導体本体10から絶縁された制御端子131を収容している。平面電極の場合、絶縁構造142は、制御端子131を半導体本体10から絶縁することができる。

【0128】

1つの実施の形態においては、ドリフト領域100、ソース領域101および第1のドーパ領域102によって、負荷端子11、12間の負荷電流が順方向(例えば、技術的な電流方向の意味において垂直方向Zとは反対方向)に沿って(半導体本体10内で)導通される導通状態、端子11、12間に印加される順方向電圧が阻止される順方向阻止状態、および端子11、12間に印加される逆方向電圧が阻止される逆方向阻止状態、において、パワー半導体スイッチ1を動作させることができる。

【0129】

例えば、順方向電圧とは、コレクタ端子12の電位が、エミッタ端子11の電位よりも高いことを意味する。例えば、逆方向電圧とは、コレクタ端子12の電位が、エミッタ端子11の電位よりも低いことを意味する。

【0130】

1つの実施の形態においては、負荷端子11、12間に印加される電圧がどの極性を示すかにかかわらず、パワー半導体スイッチ1が、半導体本体10における逆方向負荷電流の流れを許可しないように構成されている。したがって、例えば、ただ1つの導通状態、つまり順方向における負荷電流（すなわち、順方向負荷電流）が導通される順方向導通状態のみが存在する。しかしながらそれにもかかわらず、逆方向阻止電圧が存在し、かつ阻止される場合には、僅かな漏れ電流が逆方向（例えば、技術的な電流方向の意味において垂直方向Zに平行な方向）に流れる可能性がある。

【0131】

例えば、制御端子131に制御信号を供給することによって、例えばエミッタ端子11と制御端子131との間に制御電圧を生成することによって、パワー半導体スイッチ1を、導通状態と順方向阻止状態との間で切り替えることができる。

10

【0132】

例えば、端子11、12間に印加される逆方向電圧が阻止される逆方向阻止状態を、エミッタ端子11と制御端子131との間の制御電圧から独立して達成することができる。

【0133】

例えば（図19Aを参照されたい）、導通状態の間に、（破線の矩形によって示唆されている）チャンネル領域103を、第1のドープ領域102内に誘導させることができる。導通チャンネル、例えば順方向における負荷電流の流れを許容する反転チャンネルを、誘導されたチャンネル領域103内に広げることができる。例えば、誘導されたチャンネル領域103、例えば誘導された反転チャンネルを、図19Aに図示したように、制御電極131を収容しているトレンチ143の側壁144に沿って広げることができる。

20

【0134】

さらに、順方向阻止状態の間は、チャンネル領域103の誘導を抑制することができる。むしろ、順方向阻止能力を提供するために、空間電荷領域が維持される。

【0135】

1つの実施の形態においては、パワー半導体スイッチ1が、例えば各トランジスタセル14が、少なくとも第1のドープ領域102内に配置された再結合領域159を含む。再結合領域159内に存在する電荷の寿命および移動度のうちの少なくとも1つを低減するように、再結合領域159を構成することができる。例えば、再結合領域159は、この再結合領域159外の電荷担体再結合率よりも高い、再結合領域159内の電荷再結合率を提供するように構成されている。

30

【0136】

例えば、再結合領域159は、結晶欠陥を含むことができ、例えば二重空格子点または空格子点酸素複合体、および／または再結合中心として機能する原子、例えば白金原子または金原子を含むことができる。

【0137】

1つの実施の形態においては、再結合領域159が、横方向に、例えば第1の横方向Xおよび第2の横方向Yのうちの少なくとも1つに沿って構造化されている。例えば、各トランジスタセル14に関して、再結合領域159は、各トランジスタセル14の半導体本体10のセクションの水平方向の横断面内全体に広がっていないが、しかしながら各トランジスタセル14の水平方向の横断面内で横方向に構造化することができ、例えばトランジスタセル14内で局所的にのみ実施することができる。

40

【0138】

例えば、1つの実施の形態においては、例えば図17A～図19Aそれぞれに例示的に図示したように、再結合領域159が、ドリフト領域100内にまで広がらないように構造化されている。そのように再結合領域159がドリフト領域100内に広がらないことは、ドリフト領域100内の結晶欠陥濃度が、再結合領域159における結晶欠陥濃度の1/10の閾値レベルを下回することを保証することによって実現することができる。換言すれば、再結合領域159は、ドリフト領域100内の結晶欠陥濃度よりも少なくとも10倍高い結晶欠陥濃度を示すことを特徴とすることができる。別の実施の形態においては

50

、ドリフト領域100内の結晶欠陥濃度が再結合領域159内の結晶欠陥濃度を下回る倍率は、10より大きく、または例えば100より大きく、またはそれどころか1,000より大きい。例えば、再結合領域159は、ドリフト領域100内の結晶欠陥濃度よりも少なくとも1,000倍高い結晶欠陥濃度を示すことを特徴とすることができる。

【0139】

別の実施の形態においては、すべてのトランジスタセル14が再結合領域159を含むものではないが、しかしながら例えば、特定の割合のトランジスタセル14のみが再結合領域159を含むように、再結合領域159が横方向に構造化されている。例えば、複数あるトランジスタセルの50%以下（例えば、2つに1つのトランジスタセル14）だけが、再結合領域159をそれぞれ含むか、または複数あるトランジスタセルの33.33%以下（例えば、3つに1つのトランジスタセル14）だけが、再結合領域159をそれぞれ含むか、または25%以下（例えば、4つに1つのトランジスタセル14）だけが、再結合領域159をそれぞれ含む。

10

【0140】

さらに、再結合領域159内で示される可能性がある結晶欠陥の濃度は、第1の横方向Xおよび第2の横方向Yのうちの少なくとも一方に沿って、または第1の横方向Xおよび第2の横方向Yの線形の組み合わせに対応する方向に沿って変化してよい。別の実施の形態においては、再結合領域159内で示される可能性がある結晶欠陥の濃度は、横方向XおよびYに沿って実質的に一定であってよい。

【0141】

20

1つの実施の形態においては、再結合領域159を、ソース領域101内に広げることができる。1つの実施の形態によれば、これによって、ソース領域によって放出される可能性がある電子を再結合領域159内で再結合することができるので、パワー半導体スイッチ1の不所望なラッチアップの危険を低減することができる。

【0142】

さらに、誘導された導通チャネル、すなわち誘導された導通チャネルが広がることのできるチャネル領域103、および再結合領域159を、相互に空間的に離隔させることができる。例えば、誘導されたチャネル領域103および再結合領域159は、相互に空間的に重なり合わない。これによって、スイッチ1のオン状態電圧の低下への負の影響を回避することができ、例えばオン状態電圧の低下が増大することを回避することができる。例えば、再結合領域159と（導通チャネル内に）誘導されたチャネル領域103との間の最短距離、例えば図19Aに示唆した横方向の距離 ΔX は、少なくとも50nmである。この最短距離は、50nmよりも大きくてよい、または例えば100nmよりも大きくてよい、またはそれどころか200nmよりも大きくてよい。例えば、再結合領域159および誘導されたチャネル領域103は、第1の横方向Xに沿って、横方向において重なり合わない。例えば、制御電極131がトレンチ電極として実施されている場合には、再結合領域159および制御電極131は、第1の横方向Xに沿って重なり合わず、また制御電極131が平面電極として実施されている場合には、再結合領域159および制御電極131は垂直方向Zに沿って重なり合わない。

30

【0143】

40

1つの実施の形態によれば、第1のドープ領域102が、半導体本体10内で、例えば垂直方向Zに沿って、再結合領域159よりも深い位置まで広がっている。例えば、pn接合部1021と再結合領域159の最深点との間の垂直方向Zに沿った距離は、例えば図17A～図20Aそれぞれに示唆した距離 ΔZ は、少なくとも0.5 μm 、または少なくとも5 μm である。1つの実施の形態においては、距離 ΔZ が、1 μm ～3 μm の範囲内である。例えば、距離 ΔZ によって、高い電界強度が再結合領域159内では発生しないこと、例えばパワー半導体スイッチ1の阻止状態のうち的一方または両方の間に発生しないことを保証することができる。

【0144】

さらに、再結合領域159を、エミッタ端子11に接触させて配置することができるか

50

、または垂直方向Zに沿ってエミッタ端子11から離して配置することができ、例えば30nm～4,000nmの範囲内の距離だけ、または50nm～2,000nmの範囲内の距離だけ、または100nm～1,000nmの範囲の距離だけ離して配置することができる。

【0145】

1つの実施の形態においては、垂直方向Zに沿った再結合領域159の全体の広がり、トランジスタセル14間で変化してもよい。例えば、第1の割合のトランジスタセル14は、垂直方向Zに沿った第1の全体の広がりを有する再結合領域159をそれぞれ含み、第2の割合のトランジスタセル14は、垂直方向Zに沿った、第1の全体の広がりとは異なる第2の全体の広がりを有する再結合領域159をそれぞれ含み、また第3の割合のトランジスタセル14は、再結合領域159を含まない。

10

【0146】

1つの実施の形態においては、エミッタ端子11が接触溝111を含み、この接触溝111は、ソース領域101および第1のドープ領域102それぞれと相互作用し、この場合、再結合領域159は横方向において、接触溝111（図19Aを参照されたい）と重なり合っており、かつ接触溝111の横方向の寸法の60%～200%の範囲内の横方向の寸法、または80%～120%の範囲内の横方向の寸法を示す。例えば、再結合領域159は、接触溝の第1の横方向Xにおける全体の横方向の広がりの実質的に100%になる、第1の横方向Xにおける全体の横方向の広がりを示す。処理（図22に示した方法200を参照されたい）に関して、接触溝111を絶縁構造142内に形成することができ、また再結合領域159を、注入処理ステップの実行によって生じさせることができる。

20

【0147】

前述の接触溝111によって、自己整合処理ステップとしての注入処理ステップを実行することができる。例えば、1つの実施の形態によれば、再結合領域159を生じさせるために別個のマスクを設ける必要はない。後に、例えばソース領域101および第1のドープ領域102をエミッタ端子11に電氣的に接続するために、接触溝111を、エミッタ端子11に接続されるべき導電性材料によって充填することができる。付加的または択一的に、再結合領域159をさらに横方向に構造化するために、例えばレジスト材料を堆積させることによって、またリソグラフィ処理ステップを実行することによって、またすべてのトランジスタセル14のうちの特定の割合のトランジスタセル14内のみ、例えば上記において説明したように2つに1つ、または3つに1つ、または4つに1つのトランジスタセル14内のみ再結合領域159を生じさせるために、例えば陽子、ヘリウム、アルゴン、シリコン、酸素、モリブデン、白金、金および／またはホウ素の注入を後に実行することによって、マスク（図示せず）を使用することができる。

30

【0148】

1つの実施の形態においては、活性領域1-1が、上記において説明したように、複数のトランジスタセル14を含み、各トランジスタセル14を、前述の導通状態、前述の順方向阻止状態および前述の逆方向阻止状態において動作させるように構成することができる。さらに、再結合領域159は、活性領域1-1を包囲する不活性エッジ領域1-2内には広がらない。

40

【0149】

次に、図19Aおよび図19Bをより詳細に参照すると、第1のドープ領域102は、第1のサブセクション1023および第2のサブセクション1022を示すことができる。第1のサブセクション1023は、エミッタ端子11（すなわち、第1の負荷端子）と相互作用することができ、また第2のサブセクション1022よりも高いドーパント濃度を有することができる。第2のサブセクション1022は、ドリフト領域100と相互作用することができ、また例えば、ドリフト領域100と共に前述のpn接合部1021を形成することができる。例えば、第1のドープ領域102を、それら2つのサブセクション1022および1023から形成することができ、この場合、それら2つのサブセクション1022および1023におけるそれぞれの最大ドーパント濃度間の倍率は、2より大

50

きくてよく、または10より大きくてよく、またはそれどころか100より大きくてよく、また第2のサブセクション1022は、図19Aに図示したように、第1のドーピング領域102の（空間に関して）主要部分を形成することができる。第1のサブセクション1023は、第1のドーピング領域102のより高いドーピング接触セクションを形成することができる。

【0150】

例えば、再結合領域159は、第1のサブセクション1023内および第2のサブセクション1022内それぞれに、つまりより高いドーパントの第1のサブセクション1023内にも広がっている。

【0151】

本明細書において説明するすべての実施の形態に関して、再結合領域159は、その再結合領域159内で複数の再結合中心を形成することができる結晶欠陥を示すことができる。

【0152】

再結合領域159の結晶欠陥濃度を、少なくとも第1の横方向Xおよび／または第2の横方向Yに沿って、少なくとも2倍変化させることができる。例えば、第1のドーピング領域102において示される再結合中心の濃度を、水平方向における特定のプロファイルを示すように設定することができる。

【0153】

さらに、付加的または代替的に、再結合領域159の結晶欠陥濃度は、垂直方向Zに沿って少なくとも2倍変化してよい。前述の変化倍率（横方向／垂直方向）は、確実に2よりも大きくてよく、例えば5よりも大きくてよい、または10よりも大きくてよい。垂直方向Zに沿った結晶欠陥濃度の変化は、図19Bおよび図20Bそれぞれに概略的かつ例示的に示されており、結晶欠陥濃度は、再結合率 N_{recomb} に比例すると考えられる。したがって、結晶欠陥濃度、または再結合率 N_{recomb} は、最初に、垂直方向Zに沿ってピークまで上昇し、その後は低下すると考えられる。例えば、結晶欠陥濃度の低下は、図示されているように線形ではない。例えば、電荷担体寿命の低下は、再結合領域159の結晶欠陥濃度に起因して、垂直方向Zに沿って不均一である。

【0154】

1つの実施の形態においては、再結合領域159の結晶欠陥濃度のピーク、または再結合率 N_{recomb} のピークが、第2のサブセクション1022の上側半分に配置されているか、または第1のドーピング領域102の第1のサブセクション1023の下側半分に配置されている。1つの実施の形態においては、図20Bを参照すると、再結合領域159の結晶欠陥濃度のピークが、順方向阻止状態の間の電界Eのピークから垂直方向Zに沿って離隔されており、例えば少なくとも100nmまたは少なくとも1 μ m離隔されている。例えば、電界のピークは再結合領域159内に広がらないことが保証される。このために、例えば上記において言及した前述の最短距離 ΔZ を、pn接合部1021と再結合領域159の最低点との間に維持することができる。

【0155】

図20Aおよび図20Bを参照して、ドーパント濃度 N_A （アクセプタドーパント濃度／p型ドーパント濃度）および N_D （ドナドーパント濃度／n型ドーパント濃度）の例示的な経過を、それぞれが垂直方向Zに沿った、再結合領域159の結晶欠陥濃度の例示的な経過および電界Eの例示的な経過と関連させて説明する。例えば、そのような経過は、図17A～図19Aのうちの1つまたは複数による実施例において見て取ることができる。

【0156】

IGBTにとって一般的であるように、ソース領域101において示されるドーパント濃度、例えばn型ドーパント濃度は比較的高いと考えられる。第1のドーピング領域102のドーパント濃度プロファイル、例えばp型ドーパント濃度を、3つの部分に、すなわち、

10

20

30

40

50

例えば前述の第1のサブセクション1023において示される、最も高いドーパント濃度を有する、例えばエミッタ端子11との低オーミックコンタクトを確立するための上側部分、中間のドーパント濃度を有する、例えば前述の第2のサブセクション1022に含まれる中間部分、より低い平均濃度を有するが、しかしながらオプションとして1つの極大値を有している下側部分に分割することができ、例えばその結果、第1のドーブ領域102がフィールドストップ機能またはバリア機能、例えばp型バリア機能を提供する。第1のドーブ領域102に隣接して、ドリフト領域100は、垂直方向に沿って広がっており、またより低いドーパント濃度、例えばn型ドーパント濃度を示す。フィールドストップ領域1092は、ドリフト領域100よりも遙かに高い、例えばn型のドーパント濃度を示す。上記において説明したように、フィールドストップ領域1092のドーパント濃度は、陽子誘導型のドーパント濃度であってよい。最後に、エミッタ領域1091、例えばp型エミッタは、比較的高いドーパント濃度を示す。

10

【0157】

電界Eは、順方向阻止状態の間は、第1のドーブ領域102の近くでピークを示すが、しかしながら、1つの実施の形態によれば、そのピークは、少なくとも第1のドーブ領域102内で形成される再結合領域159内には広がらない。むしろ、再結合領域159は、1つの実施の形態によれば、順方向阻止状態の間の電界のピークの場所から空間的に離隔されている。

【0158】

上記において示唆したように、再結合領域159は、前述の結晶欠陥を含むことができる。結晶欠陥を、第1のドーブ領域102内へのイオンの注入によって形成することができる。例えば、注入されるイオンは、ヘリウム、アルゴン、シリコン、酸素、モリブデン、白金、金およびホウ素のうちの少なくとも1つを含む。別の実施の形態においては、陽子が注入される。

20

【0159】

1つの実施の形態においては、結晶欠陥が少なくとも360℃の温度まで、または少なくとも390℃の温度まで、または少なくとも420℃の温度まで温度安定性を有する。さらに、結晶欠陥は、少なくとも1時間にわたり、または少なくとも2時間にわたり、またはそれどころか4時間を超える長さにもわたり、そのような温度安定性を示すことができる。そのような温度範囲および時間範囲は、例えば薄いウェハの処理の間に生じると考えられる。例えば、イオンの場合には、それによって、前述のイオン注入によってもたらされたダメージ、例えば欠陥を、温度アニーリング処理ステップ後でさえも実質的に維持することができることが保証される。

30

【0160】

最後に、図22に概略的かつ例示的に示した方法200に関して、方法200を種々の実施の形態において実施することができ、例えば、前述の図面に関連させて説明したパワー半導体スイッチ1の実施例に対応する実施の形態において実施することができる。その点については、上記を参照されたい。

【0161】

一般的に、方法200は、第1の負荷端子および第2の負荷端子に結合されるべき半導体本体を設ける第1のステップ2000を含むことができ、この半導体本体は、第1の導電型のドーパントを有する第1の導電型のドリフト領域と、第1の負荷端子に電気的に接続された、第1の導電型のドーパントを有するソース領域と、ソース領域をドリフト領域から離隔させる、第2の導電型のドーパントを有する第1のドーブ領域と、を含む。ドリフト領域、ソース領域および第1のドーブ領域によって、端子間の負荷電流が順方向に沿って導通される導通状態、端子間に印加される順方向電圧が阻止される順方向阻止状態、および端子間に印加される逆方向電圧が阻止される逆方向阻止状態、において、パワー半導体スイッチを動作させることができる。

40

【0162】

方法200は、再結合領域を第1のドーブ領域内に設けるステップ2200をさらに含

50

むことができる。

【0163】

例えば、(ステップ2200において)再結合領域を設けることは、注入処理ステップおよび拡散処理ステップのうちの少なくとも1つによって、結晶欠陥を半導体本体内に導入することを含むことができる。例えば、注入を $10^{13} \sim 10^{14}$ 原子/cm²の範囲内の注入量でもって実行することができる。注入に続いて、温度アニーリングステップを実行することができ、このステップにおいては、上記において示唆したように、結晶欠陥が少なくとも360℃の温度まで、または少なくとも390℃の温度まで、または少なくとも420℃の温度まで温度安定性を有するように、結晶欠陥を選択することができる。したがって、前述の温度は、温度アニーリングステップの最大温度であると考えられる。注入の代わりに、再結合領域を生じさせるために、制御された拡散を実行することができる。例えば、重金属、例えば白金、パラジウム、モリブデン、などを半導体本体に拡散させることができる。例えば、マスクを使用して拡散を制御および/または実行することができ、このマスクによって、例えば図19Bおよび図20Bに図示したように、横方向および垂直方向のうちの少なくとも一方において変化する結晶欠陥の濃度を生じさせることができる。さらに、再結合領域159がパワー半導体スイッチの終端構造内には設けられないように、例えば、前述の注入処理ステップも前述の拡散処理ステップも終端構造においては実行されないように、方法200を実行することができる。

10

【0164】

さらに、(ステップ2200において)再結合領域を設けることは、図19Bに関連させて例示的に説明したように、ソース領域および第1のドープ領域それぞれが第1の負荷端子によって接触されることになる溝を使用して、自己整合処理ステップを実行することを含むことができる。

20

【0165】

本明細書において説明するパワー半導体スイッチの実施の形態は、RB IGBTおよび対応する処理方法を構成することができる。RB IGBTは、活性領域内にあり、かつ第1のドープ領域(例えば、半導体スイッチ本体領域)において、例えばRB IGBTの前面側の近傍において形成された、前述の再結合領域を含むことができる。再結合領域を、少なくとも横方向において構造化することができる。さらに、結晶欠陥濃度を、第1の横方向、第2の横方向および垂直方向のうちの少なくとも1つに沿って変化させることができる。1つまたは複数の実施の形態によれば、そのような変化によって、RB IGBTの前面側の近傍における電荷担体寿命の低下を制御することができる。例えば、再結合領域によって、前面側の部分トランジスタ増幅率(α_{pnp} として公知である)を低く維持することができ、したがってそれと同時に逆方向漏れ電流を低く維持することができる。1つの実施の形態においては、そのようなRB IGBTを、マルチレベル電力変換器内で、例えば3レベル構成(例えば、NPC2またはT型構成)を示す電力変換器において、またはマトリクスインバータにおいて使用することができる。

30

【0166】

過電圧保護パワー半導体チップ

以下の説明は、パワー半導体デバイス1が過電圧保護パワー半導体チップとして、または集積パワー半導体モジュールとして実施されている、上記において言及した実施の形態の第2の例示的なサブグループの例、および対応する方法の例に関する。

40

【0167】

図17~図22Aに関連させて上記において説明した実施例によれば、順方向負荷電流を導通させるように構成されたパワー半導体スイッチ(例えば、逆方向阻止IGBT)のトランジスタセル14には、第1のドープ領域102(すなわち、本体領域)が設けられており、この第1のドープ領域102は、再結合領域159を含む。そのようなコンテキストにおいては、提案されるpnp構造(102→100/1092→109)によって、上記において説明したように、前面側の部分トランジスタ増幅率(α_{pnp} として公知である)を低く維持することができ、またそれと同時に、逆方向漏れ電流も低く維持するこ

50

とができる。

【0168】

図1～図16に関連させて説明する以下の実施の形態のうちの一部によれば、第1のドープ領域102および再結合領域159（のセクション）を、別のコンテキストにおいて、すなわち負荷電流を運ぶために使用されるセルとは異なる半導体セルにおいて、例えば負荷端子11、12に印加される電圧が過電圧保護閾値を超えた場合にのみ導通状態にある、専用のブレイクスルー半導体セルにおいて使用することができる。例えば、専用のブレイクスルー半導体セルが、（定格）負荷電流を運ぶために使用されるパワー半導体デバイスとは別個の、専用の過電圧保護パワー半導体チップ内に集積される。

【0169】

したがって、本発明は、パワー半導体ダイを過電圧から、例えばスイッチング動作の間に生じる可能性がある過渡過電圧から保護するための過電圧保護チップを基礎としたパワー半導体にも関する。本明細書において説明する過電圧保護チップは、パワー半導体デバイスを構成することもできる。何故ならば、この過電圧保護チップは、保護されるべきパワー半導体デバイスにおいて生じる過電圧を低減するために、例えば少なくとも1A～30Aの、または例えば少なくとも2Aの、または例えば少なくとも5Aの、または少なくとも10Aの、またはそれどころか20Aの負荷電流を一時的に運ぶように構成することができ、また電圧を阻止する能力を示すことができるからである。

【0170】

図1は、1つまたは複数の実施の形態による、過電圧保護パワー半導体チップ（以下では単に「チップ」とも記す）1の平面図を概略的かつ例示的に示す。

【0171】

チップ1は、半導体本体10を有し、この半導体本体10は、チップ1の活性領域1-1および不活性エッジ領域1-2それぞれを含む。半導体本体10を、第1の負荷端子および第2の負荷端子（図1には図示せず；他の図、例えば図2Aおよび図2Bにおける参照番号11および12を参照されたい）それぞれに結合させることができ、第1の負荷端子を、チップ1の前面側に配置することができ、また第2の負荷端子を、チップ1の背面側に配置することができる。チップ前面およびチップ背面を相互に背中合わせに配置することができ、したがってチップ1は、垂直方向Zに沿って広がる垂直方向の構成を示すことができる。

【0172】

不活性エッジ領域1-2は、例えばパワー半導体デバイスには一般的なやり方で、活性領域1-1を包囲することができる。不活性エッジ領域1-2を、エッジ1-21によって終端させることができ、このエッジ1-21を、例えばウェハダイシングによって形成することができる。

【0173】

活性領域1-1は、複数のブレイクスルーセル15を含むことができ、それらのブレイクスルーセル15は、活性領域1-1のセルフフィールドを構成することができる。ブレイクスルーセル15を、数 μm の範囲内、例えば10 μm ～30 μm の範囲内のピッチP（図24を参照されたい）で、第1の横方向Xに沿って配置することができる。

【0174】

例えば、不活性エッジ領域1-2は、各ブレイクスルーセル15の降伏電圧よりも高い降伏電圧を示す。したがって、1つの実施の形態によれば、例えば負荷端子において示される過電圧に起因する降伏が活性領域1-1内で発生し、不活性エッジ領域1-2内では発生しないことを保証するように、チップ1を構成することができる。この態様は、下記においてより詳細に明らかになるであろう。

【0175】

図示したように、ブレイクスルーセル15は、例えば円形の周縁を備えたセルラ状の構成を示すことができる。別の実施の形態においては、セル15が方形の周縁を示すことができ、また長円状の周縁または他の幾何学形状の横断面を示すことができる。

【0176】

例えば、各ブレークスルーセル15が、セルラ状の構成を示し、かつブレークスルーセル15が、六角形のテッセレーションパターンに従い、活性領域1-1内に配置されている。

【0177】

さらに別の実施の形態においては、セル15が、例えば活性領域1-1の横方向の広がりにはほぼ対応する横方向の広がりを持っている、帯状のセル構成を示すことができる。

【0178】

図2Aおよび図2Bそれぞれは、1つまたは複数の実施の形態による過電圧保護パワー半導体チップ1の縦断面図を概略的かつ例示的に示す。上記において言及したように、チップ1は、活性領域1-1内に配置された、前述の複数のブレークスルーセル15を含むことができる。以下において参照する図2A、図2Bおよび図3は、そのようなブレークスルーセル15の例示的な構成を示す。

【0179】

ブレークスルーセル15は、凹部161を有している、チップ前面に配置された絶縁構造16（例えば、図19Aに示したような）絶縁構造142および上記において言及したような接触溝111に対応する）を含むことができ、第1の負荷端子11は、この凹部161内に広がっており、かつ半導体本体10と相互作用する。既にこの時点において、凹部161は、図2Aおよび図2Bに図示したような深さを有している必要はないことを強調しておく。むしろ、絶縁構造16は、第1の負荷端子11と半導体本体10の1つのセクションとの間の電氣的な絶縁を提供することができ、またそれと同時に、例えば前述の凹部161を用いて、第1の負荷端子11を半導体本体10の別のセクションと相互作用させることができる。

【0180】

1つの実施の形態においては、凹部161が、第1の横方向に沿って、ピッチPの50%までの範囲内の幅を有することができる。例えば、凹部161の幅は、 $0.5\mu\text{m}$ ~ $12\mu\text{m}$ の値である。凹部161を形成する絶縁構造16の（垂直方向Zに沿った）厚さは、少なくとも数100ナノメートルであると考えられる。

【0181】

ブレークスルーセル15は、さらに、例えば半導体本体10にそれぞれ形成される以下の領域、つまり、第1の導電型、例えばn型ドーパントのドリフト領域100と、第1の負荷端子11に電氣的に接続された、第2の導電型、例えばp型ドーパントの第1のドープ領域102（例えばアノード領域102）と、第1のドープ領域102および絶縁構造16それぞれに接触して配置された、第1のドープ領域102よりも低いドーパント濃度の第2の導電型の第1のバリア領域152と、第1のドープ領域102および第1のバリア領域152の少なくとも一部の両方をドリフト領域100から離隔させる、ドリフト領域100よりも高いドーパント濃度の第1の導電型の第2のバリア領域153と、第2の負荷端子12に接触して配置されたドープ接触領域109と、を含むことができ、この場合、ドリフト領域100は、第2のバリア領域153とドープ接触領域109との間に位置決めされている。

【0182】

機能に関して、負荷端子11、12間の電圧が、例えば第2の負荷端子12においてより高い電位が示されている状態で、定格チップ阻止電圧を下回る場合には、非導通状態（本明細書においては、順方向阻止状態とも称する）に留まるように、各ブレークスルーセル15を構成することができる。しかしながら、負荷端子11、12間の電圧が上昇して定格チップ阻止電圧を上回った場合には、ブレークスルーセル15は、例えば第2の負荷端子12においてより高い電位が示される状態で、導通ブレークスルー状態を取ることができる。例えば、非導通状態の間に、ブレークスルーセル15は、第1の負荷端子11と第2の負荷端子12との間に、負荷電流を導通させない。むしろ、負荷端子11、12間に印加される電圧は、例えば第2の負荷端子12においてより高い電位が示されている状

10

20

30

40

50

態で阻止される。さらに、導通ブレイクスルー状態の間に、例えば電圧の値を定格チップ阻止電圧の値以下に低下させるために、負荷電流を負荷端子11、12間に導通させることができる。

【0183】

1つの実施の形態においては、さらに、例えば第1の負荷端子11が第2の負荷端子12よりも高い電位を示す場合には、非導通逆方向阻止状態に留まるように、各ブレイクスルーセル15を構成することができる。

【0184】

本明細書において説明するすべての実施の形態に関して、定格チップ阻止電圧は、600V以上であってよい、または3,000Vを上回ってよい、またはそれどころか8,000Vを上回ってよい。

10

【0185】

例えば、チップ1がパワー半導体トランジスタに結合され、また各ブレイクスルーセル15が、トランジスタ2（図6を参照されたい）の定格阻止電圧に依存して定められた、定格チップ阻止電圧に関して構成されている。したがって、負荷端子11、12間に印加される電圧は、チップ1によって過電圧から、例えば過渡過電圧から保護されるべきパワー半導体トランジスタに印加される実際の電圧に実質的に等しいと考えられる。例えば、第2の負荷端子12に印加される電位は、パワー半導体トランジスタのコレクタ（ドレイン）端子において示される電位に等しいと考えられ、また第1の負荷端子11に印加される電位は、パワー半導体トランジスタのゲート端子、例えば制御端子において示される電位に等しいと考えられる。この態様は、下記においてより詳細に明らかになるであろう。

20

【0186】

以下では、半導体本体10の幾つかの領域の幾つかの例示的な構造的特徴、例えばドーパント濃度および空間的な寸法を説明する。

【0187】

ドリフト領域100は、半導体本体10の主要部分を構成することができ、また $5 \times 10^{12} \text{ cm}^{-3} \sim 2 \times 10^{14} \text{ cm}^{-3}$ の範囲内、または $2 \times 10^{13} \text{ cm}^{-3} \sim 1 \times 10^{14} \text{ cm}^{-3}$ の範囲内、または $3 \times 10^{13} \text{ cm}^{-3} \sim 8 \times 10^{13} \text{ cm}^{-3}$ の範囲内のドーパント濃度を示すことができる。例えば、ドリフト領域100は、伸張方向Zに沿って、少なくとも $40 \mu\text{m}$ 、例えば $40 \mu\text{m} \sim 650 \mu\text{m}$ の範囲、または $60 \mu\text{m} \sim 350 \mu\text{m}$ の範囲、または $100 \mu\text{m} \sim 200 \mu\text{m}$ の範囲にわたり広がることができる。ドリフト領域100の全体の広がり、ならびにそのドーパント濃度を、設計されるべきチップ1のための定格チップ阻止電圧に依存して選択することができる。

30

【0188】

図3は、さらに、1つの実施の形態による過電圧保護パワー半導体チップ1の縦断面図を概略的かつ例示的に示すが、第2の負荷端子12に接触して配置されたドーパント接触領域109は、エミッタ領域1091、例えば背面側エミッタと、オプションとしてのフィールドストップ領域1092と、を含むことができる。エミッタ領域1091は、例えば $1 \times 10^{16} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ の範囲、または $1 \times 10^{17} \text{ cm}^{-3} \sim 1 \times 10^{19} \text{ cm}^{-3}$ の範囲にある最大ドーパント濃度でもって、第2の導電型のドーパントを有することができる。フィールドストップ領域1092は、例えばドリフト領域100のドーパント濃度よりも高い最大ドーパント濃度でもって、例えば $5 \times 10^{13} \text{ cm}^{-3} \sim 1 \times 10^{16} \text{ cm}^{-3}$ の範囲、または $1 \times 10^{14} \text{ cm}^{-3} \sim 2 \times 10^{15} \text{ cm}^{-3}$ の範囲にある最大ドーパント濃度でもって、第1の導電型のドーパントを有することができる。例えば、エミッタ領域1091は、第2の負荷端子12に電氣的に接続されており、またフィールドストップ領域1092は、ドリフト領域100とエミッタ1091との間に配置されている。ドーパント接触領域109は、伸張方向Zに沿って、ドリフト領域100の全体の広がり比べて遙かに小さい全体の広がりを示すことができる。1つの実施の形態においては、トランジスタ、例えばIGBTの半導体本体の背面構造に類似するやり方で、ドーパント接触領域109を構成することができる。

40

【0189】

50

1つの実施の形態によれば、第2の負荷端子12とドープ接触領域109との間の移行部は、ショットキーコンタクトを形成することができる。例えば、これによって逆方向低電圧阻止能力／構造を実現することができる。このために、さらに、ドープ接触領域109が、第2の負荷端子12との接合部において、 $1 \times 10^{19} \text{ cm}^{-3}$ の値を超えないn型ドーパント濃度を示すことが適切であると考えられる。

【0190】

次に、半導体本体10の前面の構造を参照すると、1つの実施の形態においては、半導体本体10の前面と第1の負荷端子11との間の電気的な接続は、第1のドープ領域102と第1の負荷端子11との間の移行部のみによって確立されている。例えば、第1のバリア領域152、第2のバリア領域153およびドリフト領域100のいずれも、第1の負荷端子11に接触して配置されていない。

10

【0191】

さらに、第1のドープ領域102全体および第1のバリア領域152全体の両方をドリフト領域100から離隔させるように、第2のバリア領域153を配置することができる。

【0192】

1つの実施の形態によれば、ブレイクスルーセル15の第1のバリア領域152および第2のバリア領域153のうちの少なくとも1つが、連続する半導体層を形成している。したがって、活性領域1-1のすべてのブレイクスルーセル15を、各ブレイクスルーセル15のための第1のバリア領域152それぞれを形成している連続する半導体層によって相互に接続することができる。このオプションとしての態様は、図1に示したチップ1の1つの実施の形態の縦断面図を示す図24により詳細に、例示的かつ概略的に図示されている。したがって、チップの複数のブレイクスルーセル15の一部、またはそれどころかすべてのブレイクスルーセル15の一部を形成するために、第1のバリア領域152および第2のバリア領域153の両方を、活性領域1-1内に連続的に広げることができる。

20

【0193】

絶縁構造16を過度に高い電界強度から保護するように、各第1のバリア領域152を配置することができる。

【0194】

例えば、図24にも示唆したように、第1のドープ領域102を、半導体本体10内の、第1のバリア領域152よりも深い位置まで広げることができ、この場合、深さレベルの差異に起因して形成された段部154を、第2の半導体バリア領域153によって覆うことができる。換言すれば、第1のドープ領域102と第2のバリア領域153との間の移行部に段部154が形成されることが考えられる。さらに、上記において言及したように、第1のドープ領域102のドーパント濃度は、第1のバリア領域152のドーパント濃度に比べて高くてもよい。

30

【0195】

例えば、段部154は、負荷端子11、12間に印加される電圧がチップ定格阻止電圧を超えた際の初期降伏の場所を規定する。この態様は、下記において図4を参照することによってより詳細に明らかになるであろう。

40

【0196】

例えば、前述の段部154を、伸張方向Zに沿って、少なくとも $1 \mu\text{m}$ にわたり、または少なくとも $3 \mu\text{m}$ にわたり、またはそれどころか $4 \mu\text{m}$ を超える長さの範囲にわたって広げることができる。このプロセスに応じて、段部154は図示されたものとは僅かに異なる経過を示すことができると解されるべきである。段部154は、およそ、第1のドープ領域102の底部と第1のドープ領域102の側壁との間に形成された角に位置している。前述の角は、丸みを有する角であってよい。

【0197】

例えば、絶縁構造16およびその複数の凹部161をマスクとして使用して、すなわち

50

自動調整（自己整合）プロセスを使用して、注入処理ステップを実行することによって、第1のドーピング領域102を形成するためのドーパントを供給することができる。

【0198】

例えば、第1のドーピング領域102、第1のバリア領域152および第2のバリア領域153それぞれに存在するドーパントは、注入されたドーパントであってよい。これによって、伸張方向Zに沿って、正確なドーパント濃度プロファイルを生じさせることができる。

【0199】

図4は、次に、ドーパント注入量 CC_{ND} 、 CC_{NA} の各経過および電界Eの経過を（それぞれ任意単位（arb. unit）で）概略的かつ例示的に示すが、過電圧保護パワー半導体チップ1の1つの実施の形態、例えば図3に例示的に図示したような実施の形態においては、中心位置において凹部161と交差する伸張方向Zに平行な軸線に沿って、以下の事項が該当すると考えられる。

【0200】

第1のドーピング領域102のドーパント注入量（ CC_{NA} ）は、 $1e13\text{ cm}^{-2} \sim 5e14\text{ cm}^{-2}$ の範囲内、または $5e14\text{ cm}^{-2} \sim 1e15\text{ cm}^{-2}$ の範囲内であってよい。いずれの場合にも、第1のドーピング領域102のドーパント注入量は、第1のバリア領域152のドーパント濃度よりも大きくてよく、例えば少なくとも10倍大きくてよい、または少なくとも50倍大きくてよい、またはそれどころか100倍より大きくてよい。例えば、第1のドーピング領域102は、伸張方向Zに沿って、少なくとも $1\text{ }\mu\text{m}$ 、例えば $1\text{ }\mu\text{m} \sim 3\text{ }\mu\text{m}$ の範囲、または $3\text{ }\mu\text{m} \sim 6\text{ }\mu\text{m}$ の範囲にわたり広がることができる。

【0201】

第1のバリア領域152（図4には図示せず）のドーパント注入量は、 $1e11\text{ cm}^{-2} \sim 1e14\text{ cm}^{-2}$ の範囲内、または $5e11\text{ cm}^{-2} \sim 1e13\text{ cm}^{-2}$ の範囲内、または $1e12\text{ cm}^{-2} \sim 8e12\text{ cm}^{-2}$ の範囲内であってよい。例えば、第1のバリア領域152は、伸張方向Zに沿って、少なくとも $1\text{ }\mu\text{m}$ にわたり広がることができる。

【0202】

第1のドーピング領域102に隣接して配置された第2のバリア領域153のドーパント注入量（ CC_{ND} ）は、 $1e12\text{ cm}^{-2} \sim 1e14\text{ cm}^{-2}$ の範囲内、または $5e12\text{ cm}^{-2} \sim 5e13\text{ cm}^{-2}$ の範囲内、または $1e12\text{ cm}^{-2} \sim 1e13\text{ cm}^{-2}$ の範囲内であってよい。いずれの場合にも、第2のバリア領域153のドーパント濃度は、ドリフト領域100のドーパント濃度よりも高くてもよく、例えば少なくとも1.5倍高くてもよい、または少なくとも4倍高くてもよい、またはそれどころか6倍より高くてもよい。例えば、第2のバリア領域153は、伸張方向Zに沿って、少なくとも $3\text{ }\mu\text{m}$ にわたり広がることができる。

【0203】

上記において既に示唆したように、もし存在する場合には、エミッタ1091は、 $1e12\text{ cm}^{-2} \sim 1e14\text{ cm}^{-2}$ の範囲の積分ドーパント濃度（ CC_{NA} ）を有することができる、またフィールドストップ領域1092は、 $5e13\text{ cm}^{-3} \sim 1e16\text{ cm}^{-3}$ の範囲、または $1e14\text{ cm}^{-3} \sim 2e15\text{ cm}^{-3}$ の範囲の体積ピークドーパント濃度（ CC_{ND} ）を有することができる。

【0204】

例えば、ブレークスルーセル15の非導通状態における電界の変化率が高まるように、第2のバリア領域153を構成することができる。図4に示唆したように、ブレークスルーセル15の非導通（すなわち阻止）状態の間に、電界Eは、第1のドーピング領域102が第2のバリア領域153と相互作用する領域、例えば段部154において最大値を示すことができる。したがって、1つの実施の形態によれば、負荷端子11、12間に印加される電圧を超過している間の初期降伏は、この領域、例えば第1のドーピング領域102と第2のバリア領域153との間の移行部に形成された段部154に位置することになる。したがって、1つの実施の形態においては、ブレークスルーセル15の提案される構造によって、チップ1における初期ブレークスルーの場所を正確に位置決めすることができる。

【0205】

図5は、さらに、1つの実施の形態による、各ブレークスルーセル15の平面図を概略的かつ例示的に示すが、第1のドープ領域102、第1のバリア領域152および第2のバリア領域153を、各ブレークスルーセル15を横断する仮想の垂直方向軸線に関して対称的に配置することができる。仮想の垂直方向軸線を、伸張方向Zに平行に配置することができる。したがって、上記において言及したように、各ブレークスルーセル15は、例えば水平方向において円形の横断面を示すことができる。例えば、そのような構成は、ブレークスルーの場所の正確な位置決めに寄与することもでき、またさらに、ブレークスルーの移動を阻止することができる。

【0206】

10

1つの実施の形態によれば、例えば図2Bおよび図24の両方に概略的かつ例示的に図示したように、ブレークスルーセル15は、少なくとも第1のドープ領域102内に広がる再結合領域159をさらに含むことができる。

【0207】

例えば、再結合領域159は、局所的に低下した電荷担体寿命を提供する。例えば、それによって、再結合領域159内、すなわち第1のドープ領域102内の再結合率を高めることができる。

【0208】

再結合領域159に起因して、ブレークスルーセル15は、少なくとも第1の負荷端子11の近傍において、伸張方向Zに沿って、不均一な電荷担体寿命を提供することができる。例えば、再結合領域159に起因して、第1のドープ領域102における電荷担体寿命は、伸張方向Zに沿って、少なくとも10倍、またはそれどころか少なくとも1つの100倍変化する。

20

【0209】

1つの実施の形態においては、再結合領域159によって、例えば、増幅強化型の電荷担体生成に起因する、場合によっては生じる逆方向電流（「逆方向漏れ電流」とも称することができる）の温度依存性を低減することができるか、またはそれどころか排除することができる。そのような逆方向電流は、第1の負荷端子11の電位が第2の負荷端子12の電位よりも高くなった場合に、例えばブレークスルーセル15の逆方向阻止状態の間に生じる可能性がある。

30

【0210】

さらに、上記において説明したように、エミッタ領域1091を含むことができるドープ接触領域109の増幅率(α)を調整するために、再結合領域159を、すなわち伸張方向Zに沿った再結合領域159の広がりおよび再結合領域159において示される電荷担体寿命を選択することができる。

【0211】

1つの実施の形態（図示せず）によれば、第1のドープ領域102の下に配置されている第2のバリア領域153のセクション内に、またオプションとして、それどころか僅かにドリフト領域100内に、再結合領域159を広げることができる。

【0212】

40

例えば、ダメージ注入(damage implantation)処理ステップを、例えば絶縁構造16およびその凹部161をマスクとして使用して実行することによって、再結合領域159を生じさせることができる。したがって、1つの実施の形態においては、例えば再結合領域159を正確に位置決めするために別個のマスクを必要としない自動調整(自己整合)プロセスを使用して、再結合領域159を生じさせることができる。所定の注入エネルギーおよび所定の注入量および注入時間でもって注入処理ステップを実行することによって、伸張方向Zに沿った再結合領域159の全体の広がり、および再結合領域159において示される電荷担体寿命を正確に調整することができる。

【0213】

1つの実施の形態においては、アルゴン(Ar)、シリコン(Si)、酸素(O)、ヘ

50

リウム (He)、モリブデン (Mo) およびホウ素 (B) のうちの少なくとも1つが、再結合領域159を形成するための注入材料として使用される。別の実施の形態においては、陽子が、再結合領域159を形成するために注入される。

【0214】

注入処理ステップを、例えば、 5×10^{13} 原子/cm² ~ 1×10^{15} 原子/cm² の範囲内の注入量、および/または150 keV ~ 1.5 MeV の範囲内の注入エネルギーでもって行うことができる。

【0215】

注入処理ステップ後に、例えば注入によってもたらされたダメージを維持するために、高温アニーリング処理ステップを、例えば450℃を下回る温度で行うことができる。

10

【0216】

別の実施の形態においては、再結合領域159が、拡散処理ステップを実行することによって生じる。例えば、伸張方向Zに沿って不均一な電荷担体寿命プロファイルを生じさせるために、白金 (Pt)、パラジウム (Pd) および/またはモリブデン (Mo) のような重金属を使用することができる。

【0217】

1つの実施の形態においては、電荷担体寿命が、伸張方向Zに沿ってのみ変化するのではなく、付加的または代替的に、横方向XおよびYのうちの少なくとも一方に沿っても変化する。

【0218】

20

1つの実施の形態においては、再結合領域159を形成するために使用される材料、例えばダメージ材料の濃度は、伸張方向Zに沿った再結合領域159の中央の位置においてその最大値を示すことができる。さらに、電荷担体寿命は、上記の濃度に反比例すると考えられる。したがって、例えば、伸張方向Zに沿った再結合領域159の中央の位置においては（ここでは、上記の位置が第1のドーパ領域102内に位置していると考えられる）、電荷担体寿命が最小値を示すと考えられる。

【0219】

さらに、再結合領域159を形成するために使用される材料の濃度を、横方向XおよびYに沿って、またそれらの方向の任意の線形の組み合わせに沿って、例えば指数関数的に低下させることができる。

30

【0220】

図25Aおよび図25Bを参照して、ドーパント濃度 N_A （アクセプタドーパント濃度/p型ドーパント濃度）および N_D （ドナドーパント濃度/n型ドーパント濃度）の例示的な経過を、それぞれが垂直方向Zに沿った、再結合領域159の結晶欠陥濃度の例示的な経過および電界Eの例示的な経過と関連させて説明する。例えば、そのような経過を、図1～図16のうちの1つまたは複数による実施の形態において見て取ることができ、ここで図25Aは、第2のバリア領域153に関する（第1のバリア領域152は存在する場合もあるし、存在しない場合もある。つまり例えば、図3を参照すると、凹部161を通る垂直方向Zに沿った横断面は、第1のバリア領域152とは交差しない）。

【0221】

40

第1のドーパ領域102のドーパント濃度プロファイル、例えばp型ドーパント濃度を、2つまたはそれ以上の部分に分割することができる。つまり例えば、最も高いドーパント濃度を有する、例えばエミッタ端子11との低オーミックコンタクトを確立するための上側部分、中間のドーパント濃度を有する中間部分、またオプションとしての、より低い平均濃度を有するが、しかしながら1つの極大値（図25Aには図示せず）を有している下側部分に分割することができ、例えばその結果、第1のドーパ領域102がフィールドストップ機能またはバリア機能、例えばp型バリア機能を提供する。第1のドーパ領域102に隣接して、または第1のドーパ領域102に結合されて、ドリフト領域100は、垂直方向に沿って広がっており、またより低いドーパント濃度、例えばn型ドーパント濃度を示す。上記において説明したように、第2のバリア領域153を、第1のドーパ領域

50

102とドリフト領域100との間に形成することができ、この場合、第2のバリア領域153は、第1のドープ領域102と共にpn接合部1021を形成し、またドリフト領域100よりも著しく高いドーパント濃度を示す。フィールドストップ領域1092は、ドリフト領域100よりも遙かに高い、例えばn型のドーパント濃度を示す。上記において説明したように、フィールドストップ領域1092のドーパント濃度は、陽子誘導型のドーパント濃度であってよい。最後に、エミッタ領域1091、例えばp型エミッタは、比較的高いドーパント濃度を示す。

【0222】

電界Eは、順方向阻止状態の間は、第1のドープ領域102の近くでピークを示すが、しかしながら、1つの実施の形態によれば、そのピークは、少なくとも第1のドープ領域102内で形成される再結合領域159内には広がらない。むしろ、再結合領域159は、1つの実施の形態によれば、順方向阻止状態の間の電界のピークの場所から空間的に離隔されている（距離 ΔZ を参照されたい）。例えば、pn接合部1021と再結合領域159の最深点との間の垂直方向Zに沿った距離は、例えば図25Aに示唆した距離 ΔZ は、少なくとも0.5 μm 、または少なくとも5 μm である。1つの実施の形態においては、距離 ΔZ は、1 μm ～3 μm の範囲内である。

【0223】

上記において示唆したように、再結合領域159は、前述の結晶欠陥を含むことができる。結晶欠陥を、第1のドープ領域102内へのイオンの注入によって形成することができる。例えば、注入されるイオンは、ヘリウム、アルゴン、シリコン、酸素、モリブデン、白金、金およびホウ素のうちの少なくとも1つを含む。別の実施の形態においては、陽子が注入される。

【0224】

1つの実施の形態においては、結晶欠陥が少なくとも360℃の温度まで、または少なくとも390℃の温度まで、または少なくとも420℃の温度まで温度安定性を有する。さらに、結晶欠陥は、少なくとも1時間にわたり、または少なくとも2時間にわたり、またはそれどころか4時間を超える長さにわたり、そのような温度安定性を示すことができる。そのような温度範囲および時間範囲は、例えば薄いウェハの処理の間に生じると考えられる。例えば、イオンの場合には、それによって、前述のイオン注入によってもたらされたダメージ、例えば欠陥を、温度アニーリング処理ステップ後でさえも実質的に維持することができることが保証される。

【0225】

図25Aに示したような再結合領域159のさらなる態様、例えば再結合領域159の位置、再結合領域159の再結合中心などに関しては、上述のスイッチ1の説明、例えば図20Aおよび図20Bの説明を参照されたい。

【0226】

図6は、パワー半導体トランジスタ2および過電圧保護パワー半導体チップ1の1つの実施の形態を含むパワー半導体モジュール3の等価回路を概略的かつ例示的に示す。過電圧保護パワー半導体チップ1は、前述の図面に関して上記において説明した構成のうちの1つを示すことができる。

【0227】

したがって、等価回路においては、チップ1を相互に逆直列に接続された2つのダイオード（図23も参照されたい）として表すことができ、この場合、ダイオードの2つのカソード領域を、ドリフト領域100によって形成することができる。例えば、過電圧から保護されるべきパワー半導体トランジスタ2は、IGBTの構成を示すことができる。例えば、トランジスタ2は、エミッタ端子（ソース端子とも称する）21、コレクタ端子（ドレイン端子とも称する）22、および例えば制御端子を形成することができるゲート端子23を有する。

【0228】

図6に図示したように、コレクタ端子22を、チップ1の第2の負荷端子12に電氣的

10

20

30

40

50

に接続することができ、またチップ1の第1の負荷端子11を、トランジスタ2の制御端子23に電氣的に接続することができる。したがって、第1の負荷端子11およびゲート端子23の両端子は、同一の制御信号を「識別する」ことができる。別の実施の形態においては、チップ1の第1の負荷端子11が、ゲート端子とは異なる電位を示す別の端子に接続され、これによってチップ1をトランジスタ2から独立して制御することができる。例えば、トランジスタ2を通常のやり方で、例えば制御電圧をゲート端子23とエミッタ端子21との間に印加することによって、例えばトランジスタ2の制御スイッチング動作を制御するために、例えばトランジスタ2を導通状態および阻止状態のうちの一方に選択的に設定するために制御することができる。

【0229】

図7は、図6に示したパワー半導体モジュール3の動作範囲を概略的かつ例示的に示す。例えば、コレクタ端子22とエミッタ端子21との間の電圧 V_{CE} が第1の閾値 $V_{th,1}$ を下回る場合、トランジスタ2は通常動作することができ、例えば降伏状況は生じない。電圧 V_{CE} が第3の閾値 $V_{th,3}$ を超えると、トランジスタ2は降伏する可能性があり、例えば $V_{th,3}$ を上回る電圧 V_{CE} が、図7において第2の閾値 $V_{th,2}$ によって示唆されているトランジスタ2の定格電圧を遙かに上回る電圧を成す可能性がある。電圧 V_{CE} が第1の閾値 $V_{th,1}$ および第3の閾値 $V_{th,3}$ によって定義される範囲内にある場合には、クランプ動作、例えば能動的なクランプ動作または条件付きの能動的なクランプ動作を実施することができる。1つの実施の形態においては、チップ1がそのようなクランプ動作中に使用されるように構成される。

【0230】

例えば、第1の閾値 $V_{th,1}$ は、チップ1の定格チップ阻止電圧を表す。したがって、上記において説明したように、負荷端子12、11間の電圧が値 $V_{th,1}$ を超えると、チップ1のブレークスルーセル15は、導通ブレークスルー状態を取ることができる。第2の閾値 $V_{th,2}$ は、トランジスタ2が定格された、阻止電圧を示すことができる。例えば、 $V_{th,1}$ は約1,500Vであり、また $V_{th,2}$ は約1,600Vである。第3の閾値 $V_{th,3}$ は、トランジスタ2が降伏する電圧を示すことができる。例えば、第3の値 $V_{th,3}$ は約1,900Vであってよい。

【0231】

例えば、 $V_{th,1}$ を下回る V_{CE} の電圧範囲内でのトランジスタ2のスイッチング動作の間は、チップ1は完全に休止した状態に留まる。つまり、各ブレークスルーセル15は、非導通状態に留まる。 V_{CE} が $V_{th,1}$ を超えるスイッチング動作の間は、ブレークスルーセル15が導通ブレークスルー状態を取ることに起因して、この電圧 V_{CE} を低減するように、チップ1を構成することができる。

【0232】

したがって、1つの例においては、過電圧がコレクタ端子22において生じると、チップ1のブレークスルーセル15は、導通ブレークスルー状態を取ることができ、この導通ブレークスルー状態は、トランジスタ2における再ターンオン動作をもたらすことができる。そのような再ターンオン動作は、コレクタ端子22とエミッタ端子21との間の電圧 V_{CE} を安全な値に、例えば1つの実施の形態によれば $V_{th,1}$ と $V_{th,3}$ との間の値に低減する。トランジスタ2がオン状態で動作する場合、すなわち負荷電流が導通される場合、チップ1のブレークスルーセル15は、例えば前述の逆方向阻止状態が維持されることによって、休止状態に留まる。

【0233】

以下では、別の例示的なオプションとしての態様を説明する。

【0234】

図8は、過電圧保護パワー半導体チップ1の1つの実施の形態の不活性エッジ領域1-2の縦断面図を概略的かつ例示的に示す。チップ1は、半導体本体10の前面側かつ外部に配置されたダイオード装置17を含むことができ、このダイオード装置17は、横方向において不活性エッジ領域1-2と重なり合い、かつ第1の負荷端子11および別の端子

10

20

30

40

50

18に接続されている。両方向において、例えば少なくとも20Vの大きさまで、電圧を阻止するように、ダイオード構造17を構成することができる。

【0235】

例えば、別の端子18は、パワー半導体トランジスタ2のエミッタ端子21に電氣的に接続されている。この場合、ゲート端子23を過度に高い電圧、例えばダイオード構造17の阻止能力を上回る電圧、例えば20Vの電圧から保護するように、ダイオード構造17を構成することができる。図6に概略的に図示した等価回路に関して、ダイオード構造17を端子11、21間に配置することができる。したがって、ダイオード構造17によって、チップ1は、トランジスタ2に拡張された保護を提供することができる。つまり、トランジスタは、1つの実施の形態によれば、 V_{CE} の過度に高い値から保護されるだけでなく、 V_{GE} （図6における端子21、11間の電圧）の過度に高い値からも保護される。

10

【0236】

不活性エッジ領域1-2を、第2の負荷端子12に電氣的に接続することができる、チャネルストップリング121によって終端させることができる。ダイオード構造は、相互に直列に接続された1つまたは複数のダイオード171を含むことができる。例えば、ダイオード171は多結晶のダイオードであってよい。さらに、第1の負荷端子11をダイオード構造17のカソード部分に電氣的に接続することができ、また別の端子18をダイオード構造17のアノード部分に電氣的に接続することができる。

【0237】

さらに、半導体本体10は、ドーピングされており、かつ横方向において第1の負荷端子11およびダイオード構造17それぞれと重なり合う半導体構造108を含むことができる。例えば、ドーピングされた半導体構造108は、VLD（横方向ドーピングの変化：variation of lateral doping）構成を示す。

20

【0238】

図9は、過電圧保護パワー半導体チップ1の1つの実施の形態の平面図を概略的かつ例示的に示し、また図10および図11は、幾つかの実施の形態による、過電圧保護パワー半導体チップ1の縦断面図をそれぞれ概略的かつ例示的に示す。

【0239】

例えば、チップ1は、ブレイクスルーセル15を含むだけでなく、1つまたは複数の第1のタイプの補助セル191および／または1つまたは複数の第2のタイプの補助セル192も含むことができる。第1のタイプの補助セル191の一例は、図10に概略的に示されており、また第2のタイプの補助セル192の一例は、図11に概略的に示されている。

30

【0240】

例えば、チップ1は、複数の第2のタイプの補助セル192を含むことができる。図9に概略的に示したように、例えば活性領域1-1を包囲するために、活性領域1-1と不活性エッジ領域1-2との間の移行部領域に、第2のタイプの補助セル192を配置することができる。さらに、第2のタイプの補助セル192を、活性領域1-1内に含めることもできる。例えば、活性領域1-1内に含まれる第2のタイプの補助セル192の数は、0からブレイクスルーセル15の数までの範囲であってよい。例えば、活性領域1-1内では、ブレイクスルーセル15の数は、第2のタイプの補助セル192の数よりも多い。

40

【0241】

さらに、1つの実施の形態によれば、活性領域1-1内に1つまたは複数の第1のタイプの補助セル191を含ませることができる。

【0242】

第1のタイプの補助セル191は、ブレイクスルーセル15と類似する構成を示すことができるが、ドーピングされた接触領域（図10における参照番号109'）のオプションとしてのより大きい広がりを含む点で異なっている。図10に示した実施の形態によれば、第1のタイプの補助セル191は、第1の負荷端子11が内部まで広がっており、かつ半

50

導体本体10と相互作用する凹部161'を有している、前面側に配置された絶縁構造16'と、第1の導電型のドーパントを有するドリフト領域100'と、第1の負荷端子11に電氣的に接続されており、かつ第2の導電型のドーパントを有するアノード領域151'と、アノード領域151'および絶縁構造16'それぞれに接触して配置された、アノード領域151'よりも低いドーパント濃度の第2の導電型のドーパントを有する第1のバリア領域152'と、アノード領域151'および第1のバリア領域152'の少なくとも一部の両方をドリフト領域100'から離隔させる、ドリフト領域100'よりも高いドーパント濃度の第1の導電型のドーパントを有する第2のバリア領域153'と、第2の負荷端子12に接触して配置されたドーパント接触領域109'と、を含むことができ、この場合、ドリフト領域100'は、第2のバリア領域153'とドーパント接触領域109'との間に位置決めされており、またドーパント接触領域109'は、半導体本体10の層厚の50%までにわたり、例えばその層厚の少なくとも20%にわたり半導体本体10内に広がる。例えば、ドーパント接触領域109'のそのような大きい広がり、を、図10に概略的に図示したように、拡張されたフィールドストップ領域1092'によって、実質的に形成することができる。

10

【0243】

例えば、ブレークスルーセル15のフィールドストップ領域1092の広がりと比較した場合の、第1のタイプの補助セル191のフィールドストップ領域1092'の伸張方向Zにおけるさらなる広がりによって、上記において説明したように、第1の負荷端子11の電位が第2の負荷端子12の電位よりも高い場合に生じる可能性がある逆方向電流をより低くすることができる。

20

【0244】

図11を次に参照して、第2のタイプの補助セル192の例示的な構成を説明する。1つまたは複数の第2のタイプの補助セル192それぞれは、第1の負荷端子11が内部まで広がっており、かつ半導体本体10と相互作用する凹部161'を有している、前面側に配置された絶縁構造16''と、第1の導電型のドーパントを有するドリフト領域100''と、第1の負荷端子11に電氣的に接続されており、かつ第2の導電型のドーパントを有するドリフト領域100''と、第1の負荷端子11に電氣的に接続されている、第2の導電型のドーパントを有する第1のバリア領域152''と、第2の負荷端子12に接触して配置されたドーパント接触領域109''と、を含むことができ、この場合、ドリフト領域100''は、第1のバリア領域152''とドーパント接触領域109''との間に位置決めされている。

30

【0245】

したがって、ブレークスルーセル15と比較すると、第2のタイプの補助セル192は、アノード領域も、第2のバリア領域も含まない。むしろ、第2のタイプの補助セル192の第1のバリア領域152''は、第1の負荷端子11と直接的に相互作用し、つまり第1のバリア領域よりも高いドーパント濃度を有するアノード領域を介さずに相互作用する。他方、第2のタイプの補助セル192の第1のバリア領域152''は、ドリフト領域100''と直接的に相互作用し、つまりブレークスルーセル15に含まれているような第2のバリア領域を介さずに相互作用する。

40

【0246】

1つの実施の形態によれば、電荷担体排出セルとして動作するように、1つまたは複数の第2のタイプの補助セル192それぞれを構成することができる。これによって、1つの実施の形態によれば、正孔を排出する、より低い逆方向電流を提供することができる。

【0247】

1つの実施の形態においては、チップ1が、第2の負荷端子12の電位よりも高い、第1の負荷端子11における電位で動作する場合に、すなわち逆方向阻止状態の間に、そのような逆方向電流が生じると考えられる。

【0248】

3つすべてのタイプのセル15、191、192に関して、それらのセルが共通のドリ

50

フト領域（１００、１００'、１００''）、共通のドープ接触領域（１０９、１０９'、１０９''）および共通の第１のバリア領域（１０２、１５１'、１５１''）を共有できることを言及しておく。

【０２４９】

上記において既に説明したように、パワー半導体トランジスタ２を過電圧から、例えばトランジスタ２のスイッチング動作中に生じる可能性がある過渡過電圧から保護するために、例えば図６の等価回路を用いて概略的かつ例示的に説明したようにして、チップ１をパワー半導体トランジスタ２に結合させることができる。当業者には公知であるように、パワー半導体トランジスタは、１つの共通のダイに集積させることができる複数のトランジスタセルを含むことができる。

10

【０２５０】

図１２は、次に、過電圧保護パワー半導体チップ１の１つの実施の形態の平面図を概略的かつ例示的に示すが、例えば、トランジスタは、チップ１に集積させることができる複数のトランジスタセル１４を含むことができる。

【０２５１】

参照番号１４が図１２のチップ１のトランジスタセル１４に対して使用されているにもかかわらず、（図１３にも示したような）それらのトランジスタセル１４は、典型的には、図１７Ａ～図１９Ａに図示したように再結合領域１５９を含まない。しかしながらこのオプションは排他的ではなく、図１２のチップ１の再結合領域１５９は、前述のブレイクスルーセル１５には含まれる。

20

【０２５２】

図１３に、パワー半導体トランジスタ２の１つの実施の形態のトランジスタセル１４の縦断面図が概略的かつ例示的に示されている。したがって、各トランジスタセル１４は、エミッタ端子２１に電氣的に接続されており、かつ第１の導電型のドーパントを有するソース領域１０１と、第１の導電型のドーパントを有するドリフト領域１００'、'、'と、エミッタ端子２１に電氣的に接続されており、かつソース領域１０１をドリフト領域１００から絶縁させる、第２の導電型のドーパントを有する本体領域１０２０と、トランジスタセル１４を制御するように構成された絶縁ゲート電極１３１と、コレクタ端子２２に電氣的に接続された、第２の導電型のドーパントを有するドープ接触領域１０９'、'、'と、を含むことができる。トランジスタセル１４のドープ接触領域１０９'、'、'は、例えば上記においてエミッタ領域１０９１およびフィールドストップ領域１０９２に関して例示的に説明したように構成された、コレクタ端子２２に電氣的に接続されたエミッタ（図示せず）およびフィールドストップ領域（図示せず）を含むことができる。

30

【０２５３】

しかしながら、本発明は、トランジスタセル１４の任意の特定の種類の構成に限定されるものではないと解されるべきである。例えば、図１３においては、トランジスタセル１４は、トレンチゲートＩＧＢＴ構成を示し、このトレンチゲートＩＧＢＴ構成では、ゲート電極１３１がトレンチに含まれ、かつトレンチ絶縁体１４２によって絶縁されるが、しかしながら別の実施の形態においては、トランジスタセル１４が、例えば平面ゲート電極を示すこともできる。

40

【０２５４】

図１４は、例えば図１２にも示したような、１つまたは複数のトランジスタセル１４を含む過電圧保護パワー半導体チップ１の１つの実施の形態の縦断面図を概略的かつ例示的に示す。したがって、ブレイクスルーセル１５およびトランジスタセル１４それぞれが、半導体本体１０、例えばモノリシック半導体本体１０を共有している。ブレイクスルーセル１５およびトランジスタセル１４それぞれを、チップ１の活性領域１－１内に配置することができる、またさらに、不活性領域１－２は、定格チップ阻止電圧に比べて高いブレイクスルー電圧を示すことができ、これによって、上記において既に説明したように、場合によっては生じるブレイクスルーが活性領域１－１内で行われ、不活性領域１－２内では行われないことを保証することができる。

50

【0255】

1つの実施の形態においては、ブレイクスルーセル15の第1の負荷端子11およびエミッタ端子21を、例えば共通の前面側金属化部によって、相互に電氣的に接続することができる。例えば、これによって直接的なクランプ機能を、例えばブレイクスルーセル15によってコレクタ端子22をエミッタ端子21に一時的な短絡させることによって実現することができる。

【0256】

さらに、チップ1の背面金属化部は、ブレイクスルーセル15のための第2の負荷端子12およびトランジスタセル14のためのコレクタ端子22それぞれを形成することができる。前述のエミッタ1091および前述のフィールドストップ領域1092を含むことができるドープ接触領域109を、ブレイクスルーセル15およびドープ接触領域109それぞれによって共有することができる。換言すれば、ブレイクスルーセル15のドープ接触領域109およびトランジスタセル14のドープ接触領域109'''は、半導体本体10内に連続する接触層を形成することができる。したがって、ブレイクスルーセル15およびトランジスタセル14は、同様に構成された背面側構造を示すことができる。さらに、1つの実施の形態においては、ブレイクスルーセル15のドリフト領域100およびトランジスタセル14のドリフト領域100'''が、半導体本体10内に連続するドリフト層を形成することができる。図6に既に概略的に示したように、チップの前面側において、端子を相互に結合させることができる。したがって、エミッタ端子21および第1の負荷端子11を相互に電氣的に絶縁させることができるか、または別の実施の形態においては、図8に関連させて説明したように、前述のダイオード構造17を設けることができる。しかしながら、第1の負荷端子11をチップ1のゲート端子に電氣的に接続することができ、したがって、ゲート電極131に電氣的に接続することができる。別の実施の形態においては、上記において既に説明したように、チップ1の第1の負荷端子11およびゲート電極131に電氣的に接続されたゲート端子23を相互に離隔させて電氣的に絶縁させることができる。したがって、ブレイクスルーセル15のアノード領域102に電氣的に接続された第1の負荷端子11は、ゲート端子（図6における参照番号23を参照されたい）に必ずしも電氣的に接続または電氣的に結合されている必要はないが、しかしながらその代わりに、1つの実施の形態によれば、別の電位に電氣的に接続できることを再度強調しておく。

【0257】

図15Aおよび図15Bは、パワー半導体トランジスタ2の1つの実施の形態および過電圧保護パワー半導体チップ1の1つの実施の形態を含む集積パワー半導体モジュール3の一部をそれぞれ概略的かつ例示的に示す。チップ1およびトランジスタ2の例示的な構成に関しては、上記を参照されたい。

【0258】

図12および図14に概略的に図示した実施の形態とは異なり、図15Aおよび図15Bに図示した実施の形態によれば、トランジスタ2およびチップ1は、1つのモノリシックなダイに集積されておらず、少なくとも2つの別個のダイに集積されている。それにもかかわらず、チップ1およびトランジスタ2を、共有パッケージ35内に一緒にパッケージングすることができる。したがって、1つの実施の形態によれば、トランジスタ2およびチップ1を含む集積パワー半導体モジュール3を一体成形デバイスとして提供することができる。

【0259】

共有パッケージ35内では、背面側負荷端子（図15Aおよび図15Bにおいては見て取れない）を設けることができ、この背面側負荷端子は、チップ1の第2の負荷端子12およびトランジスタ2のコレクタ端子22それぞれを形成することができる。したがって、それら2つの端子12および22は、同一の電位を示すことができる。さらに、パッケージ35は、前面側負荷端子31を含むことができ、この前面側負荷端子31を、トランジスタ2のエミッタ端子21に電氣的に接続することができる。さらに、例えばゲート端

子 2 3 に制御信号を供給するために、トランジスタ 2 のゲート端子 2 3 に電氣的に接続されたパッケージ制御端子 3 3 を設けることができる。

【0260】

図 1 5 A に図示した実施の形態によれば、パッケージ制御端子 3 3 を、それと同時に、チップ 1 の第 1 の負荷端子 1 1 に電氣的に接続することができる。つまり、ゲート端子 2 3 および第 1 の負荷端子 1 1 は、同一の電位を示すことができる。したがって、チップ 1 の第 1 の端子 1 1 は、トランジスタ 2 のゲート端子 2 3 と同一のゲート信号を「識別する」ことになる。

【0261】

図 1 5 B に概略的に図示した実施の形態によれば、それら 2 つの電位は短絡されないが、しかしながらパッケージ制御端子 3 3 は、トランジスタ 2 のゲート端子 2 3 にのみ電氣的に接続され、また例えばチップ 1 の、すなわちチップ 1 に含まれるブレイクスルーセル 1 5 の動作をトランジスタ 2 の制御から独立して制御するために、第 1 の負荷端子 1 1 に電氣的に接続された別個のパッケージ端子 3 6 が設けられる。

10

【0262】

モジュール 3 の 1 つの実施の形態においては、負荷端子 1 1、1 2 間の電圧が定格チップ阻止電圧を下回る場合に非導通状態に留まるように、また負荷端子 1 1、1 2 間の電圧が定格チップ阻止電圧を上回る場合に導通ブレイクスルー状態を取るように、チップ 1 の各ブレイクスルーセル 1 5 を構成することができ、この場合、定格チップ阻止電圧は、定格トランジスタ素子電圧よりも低くてよい。例えば、トランジスタ 2 のスイッチング動作中に、能動的なクランプ機能または条件付きの能動的なクランプ機能のうちの少なくとも 1 つを実施するように、チップ 1 を構成することができる。

20

【0263】

本明細書において説明するすべての実施の形態に関して、定格チップ阻止電圧は、6 0 0 V 以上であってよい、または 3, 0 0 0 V を上回ってよい、またはそれどころか 8, 0 0 0 V を上回ってよい。

【0264】

図 1 6 は、1 つまたは複数の実施の形態による過電圧保護パワー半導体チップ 1 を処理する方法 4 のステップを概略的かつ例示的に示す。

【0265】

30

例えば、方法 4 は、ステップ 4 1 において、チップ 1 の前面側に配置されるべき第 1 の負荷端子 1 1 およびチップ 1 の背面側に配置されるべき第 2 の負荷端子 1 2 に結合されるべき半導体本体 1 0 であって、活性領域 1-1 と、その活性領域 1-1 を包囲する不活性エッジ領域 1-2 と、をそれぞれ含む半導体本体 1 0 を設けること、を含む。

【0266】

方法 4 は、ステップ 4 2 において、第 1 の負荷端子 1 1 が内部まで広がっており、かつ半導体本体 1 0 と相互作用する凹部 1 6 1 を有している、前面側に配置された絶縁構造 1 6 をそれぞれが含んでいる複数のブレイクスルーセル 1 5 を活性領域 1-1 内に形成すること、をさらに含むことができる。

【0267】

40

方法 4 は、第 1 の導電型のドーパントを有するドリフト領域 1 0 0 と、第 1 の負荷端子 1 1 に電氣的に接続された、第 2 の導電型のドーパントを有する第 1 のドープ領域 1 0 2 と、第 1 のドープ領域 1 0 2 および絶縁構造 1 6 それぞれに接触して配置された、第 1 のドープ領域 1 0 2 よりも低いドーパント濃度の第 2 の導電型のドーパントを有する第 1 のバリア領域 1 5 2 と、第 1 のドープ領域 1 0 2 および第 1 のバリア領域 1 5 2 の少なくとも一部の両方をドリフト領域 1 0 0 から離隔させる、ドリフト領域 1 0 0 よりも高いドーパント濃度の第 1 の導電型のドーパントを有する第 2 のバリア領域 1 5 3 と、第 2 の負荷端子 1 2 に接触して配置されたドープ接触領域 1 0 9 と、を形成することをさらに含むことができ、この場合、ドリフト領域 1 0 0 は、第 2 のバリア領域 1 5 3 とドープ接触領域 1 0 9 との間に位置決めされている。

50

【0268】

方法4の実施例は、上記において説明したチップ1の実施例に対応することができると解されるべきである。

【0269】

例えば、第1のドーブ領域102を形成すること、第1のバリア領域152を形成すること、および第2のバリア領域153を形成することのうちの少なくとも1つは、注入処理ステップを少なくとも1回実行することを含む。1つの実施の形態においては、第1のドーブ領域102、第1のバリア領域152および第2のバリア領域153それぞれが、各注入処理ステップによって形成される。さらに、1回または複数回の注入処理ステップのうちの少なくとも1回を、少なくとも1.5 MeVのイオンエネルギーをもって実行する

10

【0270】

1つの別の実施の形態においては、方法4は、絶縁構造16をマスクとして使用する自動調整プロセスを実行することによって、少なくとも第1のドーブ領域102内に広がる再結合領域159を形成することを含むことができる。この態様に関しては、例えば再結合領域159について、またそのような再結合領域159がどのように形成されるかも説明した図2に関連させて上記において記載した説明を参照されたい。

【0271】

上記においては、パワー半導体スイッチおよび対応する処理方法に関する実施の形態を説明した。例えば、それらの半導体デバイスは、シリコン(Si)を基礎としている。したがって、単結晶の半導体領域または半導体層、例えば半導体本体10およびその領域／ゾーン、例えば複数の領域などは、単結晶のSi領域またはSi層であってよい。別の実施形態においては、多結晶シリコンまたは非晶質シリコンを使用することができる。

20

【0272】

しかしながら、半導体本体10およびその領域／ゾーンを、半導体デバイスの製造に適したあらゆる半導体材料から形成できると解されるべきである。そのような材料の例には、一部を列挙すると、シリコン(Si)またはゲルマニウム(Ge)のような基本半導体材料、炭化シリコン(SiC)またはシリコンゲルマニウム(SiGe)のようなIV族化合物半導体材料、窒化ガリウム(GaN)、ヒ化ガリウム(GaAs)、リン化ガリウム(GaP)、リン化インジウム(InP)、リン化インジウムガリウム(InGaP)、窒化アルミニウムガリウム(AlGaN)、窒化アルミニウムインジウム(AlInN)、窒化インジウムガリウム(InGaN)、窒化アルミニウムガリウムインジウム(AlGaInN)またはヒ化リン化インジウムガリウム(InGaAsP)のような2元、3元または4元のIII-V族半導体材料、およびテルル化カドミウム(CdTe)およびテルル化水銀カドミウム(HgCdTe)のような2元または3元のII-VI族半導体材料が含まれるが、材料はこれらに限定されるものではない。上述の半導体材料は、「ホモ接合型半導体材料」とも称される。2つの異なる半導体材料が組み合わされる場合、ヘテロ接合型半導体材料が形成される。ヘテロ接合型半導体材料の例には、窒化アルミニウムガリウム(AlGaN)－窒化アルミニウムガリウムインジウム(AlGaInN)、窒化インジウムガリウム(InGaN)－窒化アルミニウムガリウムインジウム(AlGaInN)、窒化インジウムガリウム(InGaN)－窒化ガリウム(GaN)、窒化アルミニウムガリウム(AlGaN)－窒化ガリウム(GaN)、窒化インジウムガリウム(InGaN)－窒化アルミニウムガリウム(AlGaN)、シリコン－炭化シリコン(Si_{1-x}C_{1-x})、およびシリコン－SiGeのヘテロ接合型半導体材料が含まれるが、材料はこれらに限定されるものではない。パワー半導体スイッチの用途に関しては、現在のところ、主にSi、SiC、GaAsおよびGaN材料が使用されている。

30

40

【0273】

「下方に」、「下に」、「より低い」、「上方に」、「上に」などの位置関係に関する用語は、一方の要素に対する他方の要素の位置決めを説明するための記述をより容易にするために使用される。それらの用語は、各デバイスの種々の異なる向きを含み、さらには

50

図面に示した向きとは異なる向きも含むことが意図されている。さらに「第1の」、「第2の」などの用語は、種々の要素、領域、区画などを表すためにも使用され、限定を意図したものではない。類似の用語は、明細書全体を通して類似の要素を表す。

【0274】

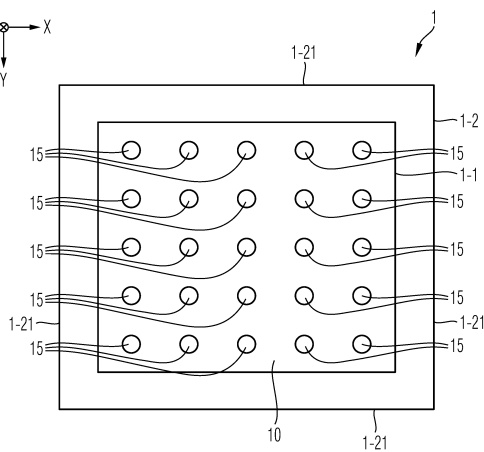
本明細書において使用されているように、「有している」、「含んでいる」、「包含している」、「含有している」、「示している」などの用語はオープンエンドの用語であり、言及する要素または特徴の存在を示すが、付加的な要素または特徴を排除するものではない。

【0275】

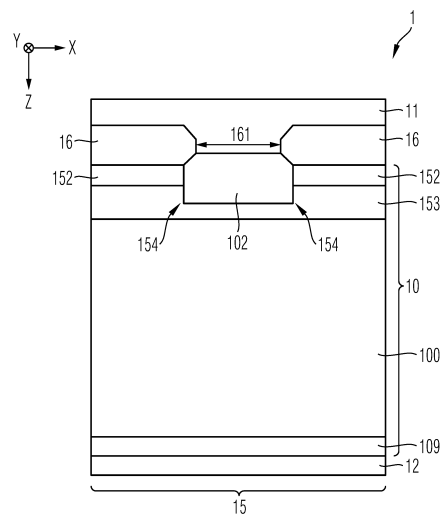
ヴァリエーションおよび用途の上述の範囲を考慮して、本発明は上記の説明によって限定されることもなければ、添付の図面によって限定されることもないと解されるべきである。その代わりに、本発明は、添付の特許請求の範囲およびそれらの法律上等価のものによってのみ限定される。

10

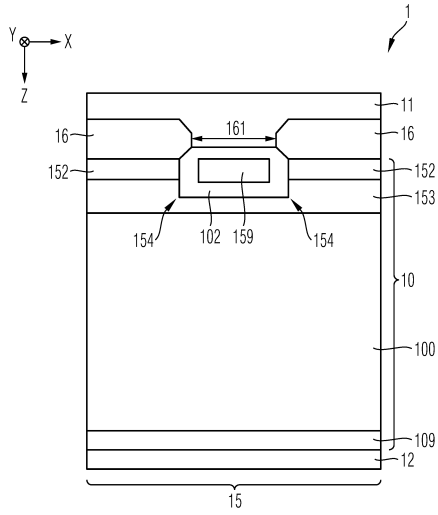
【図1】



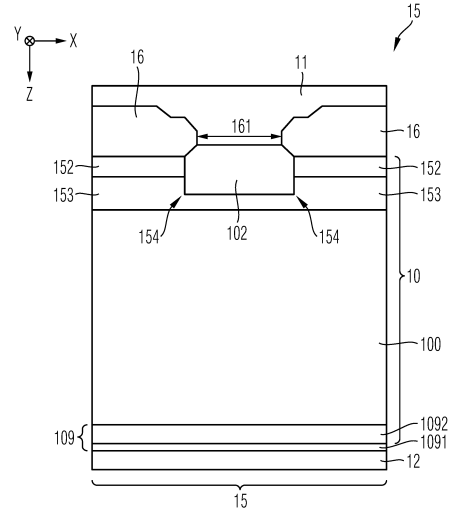
【図2A】



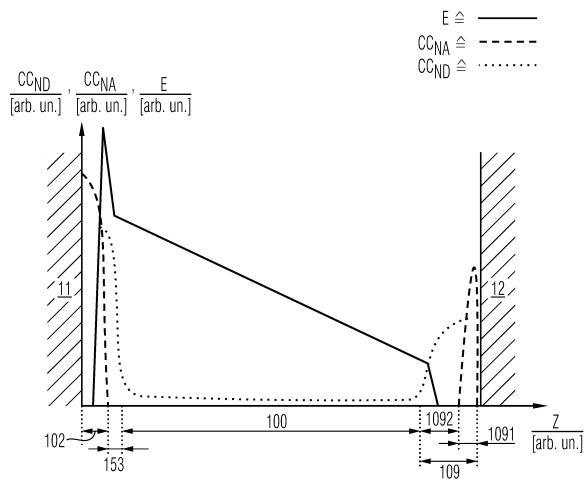
【図 2 B】



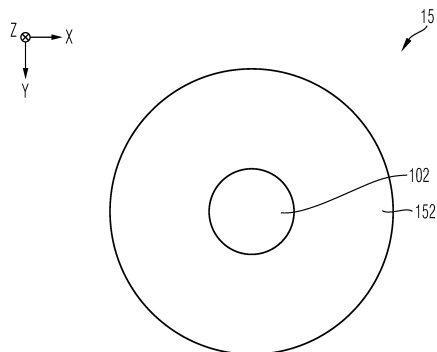
【図 3】



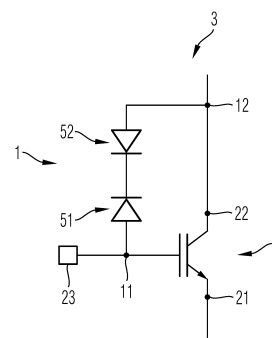
【図 4】



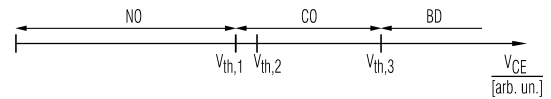
【図 5】



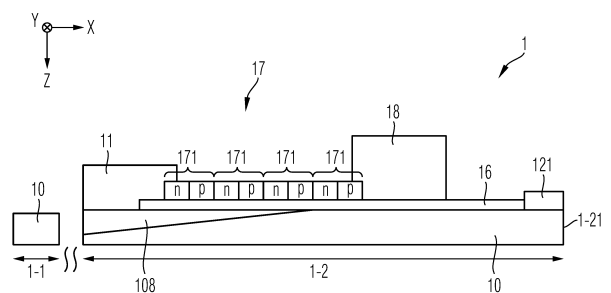
【図 6】



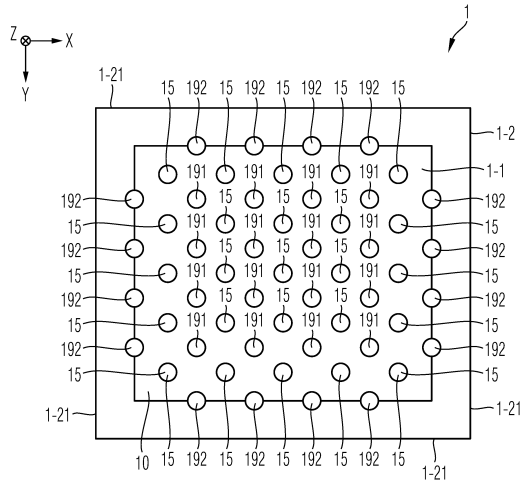
【図 7】



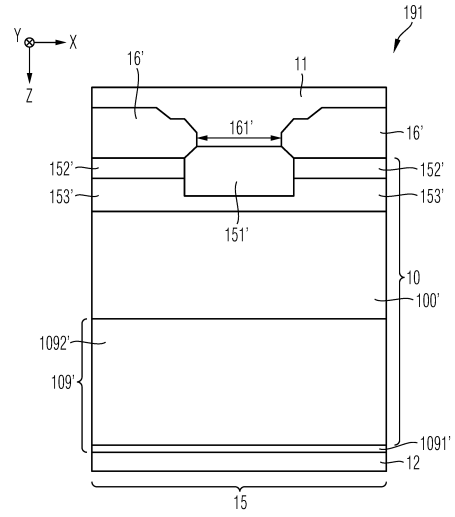
【図 8】



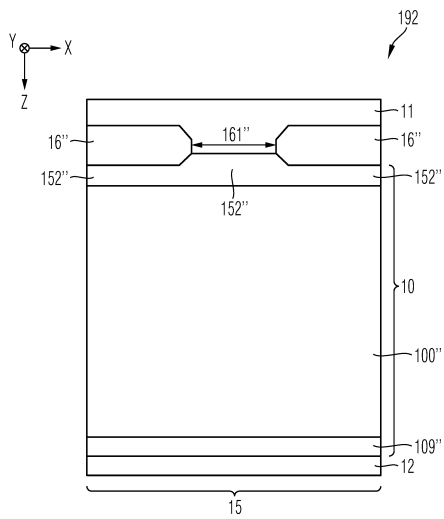
【図 9】



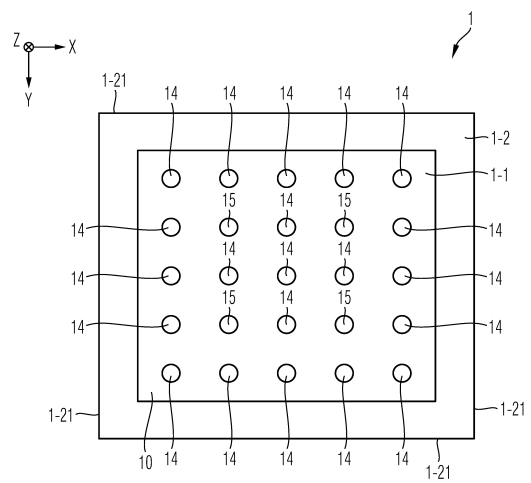
【図 10】



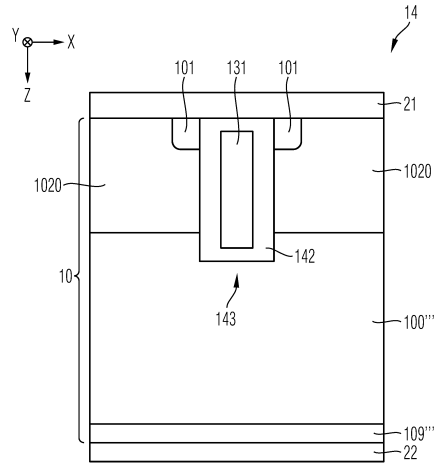
【図 11】



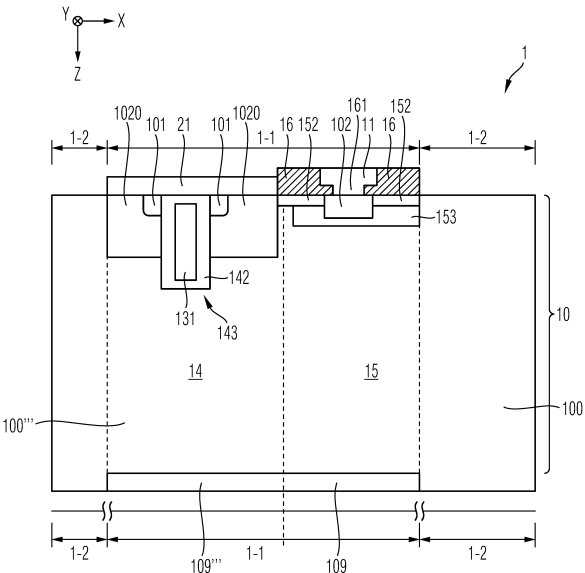
【図 12】



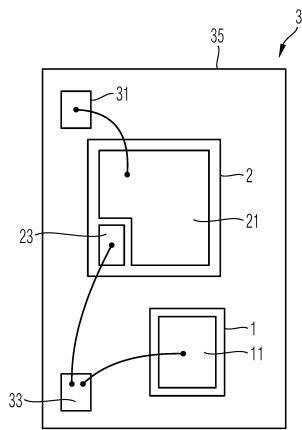
【図 1 3】



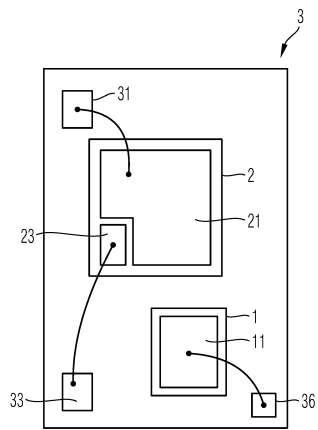
【図 1 4】



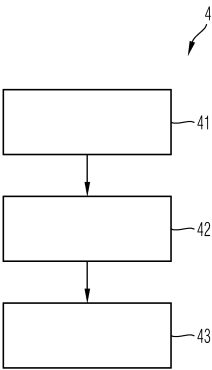
【図 1 5 A】



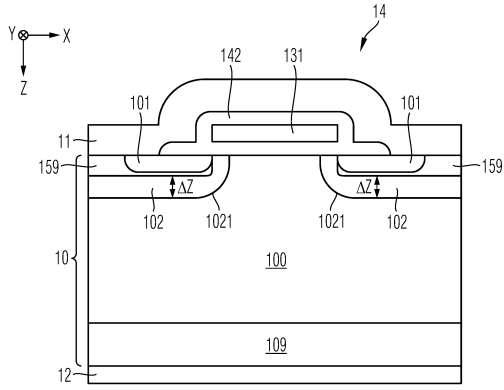
【図 1 5 B】



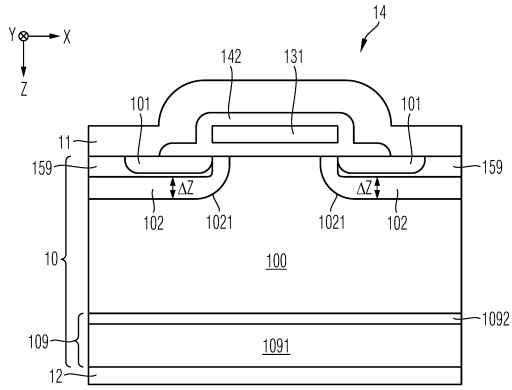
【図 1 6】



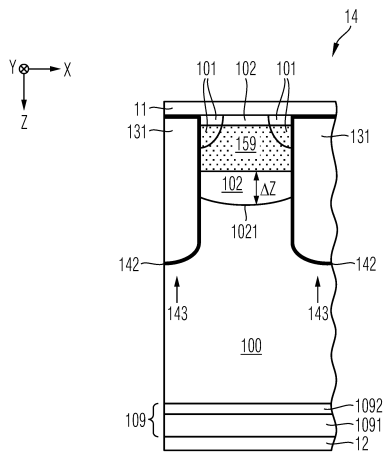
【図 17 A】



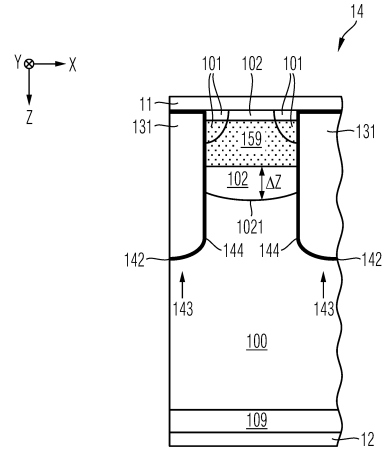
【図 17 B】



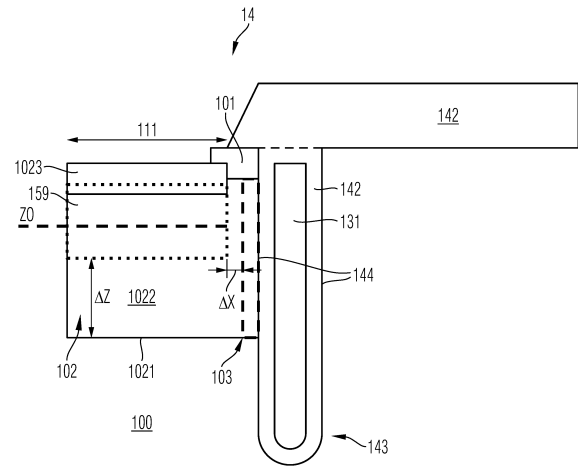
【図 18 B】



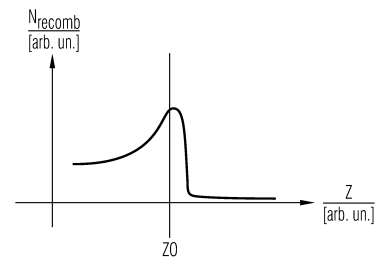
【図 18 A】



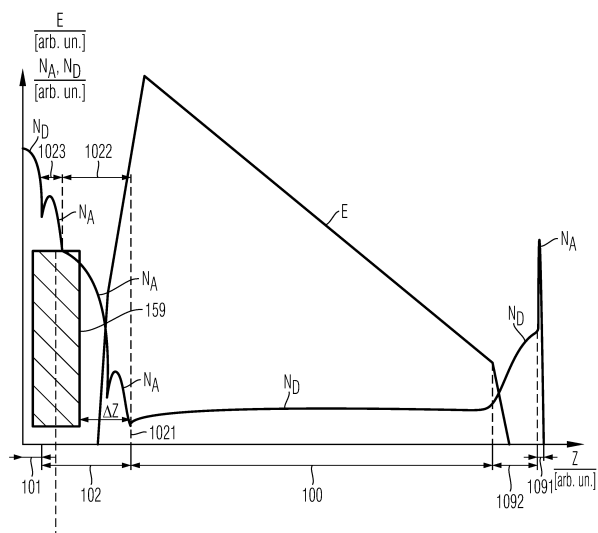
【図 19 A】



【図 19 B】



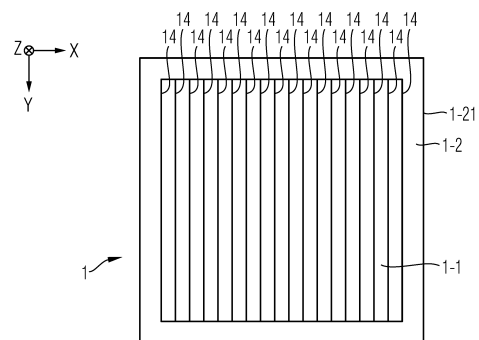
【図 20 A】



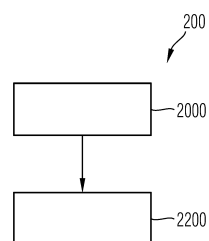
【図 20 B】



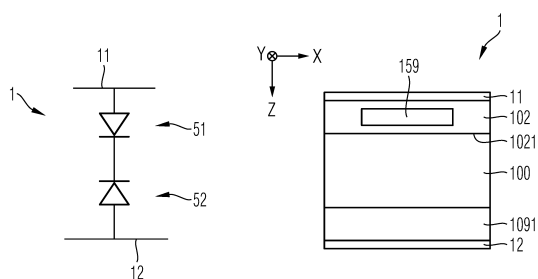
【図 2 1】



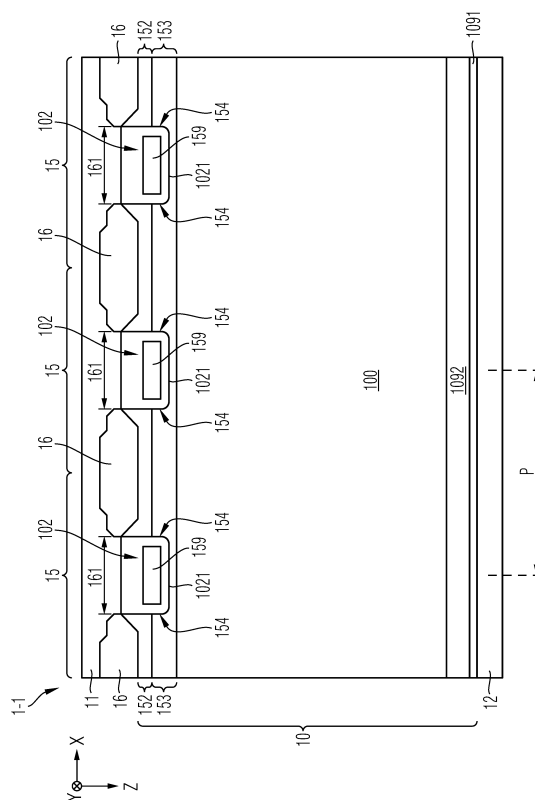
【图 2 2】



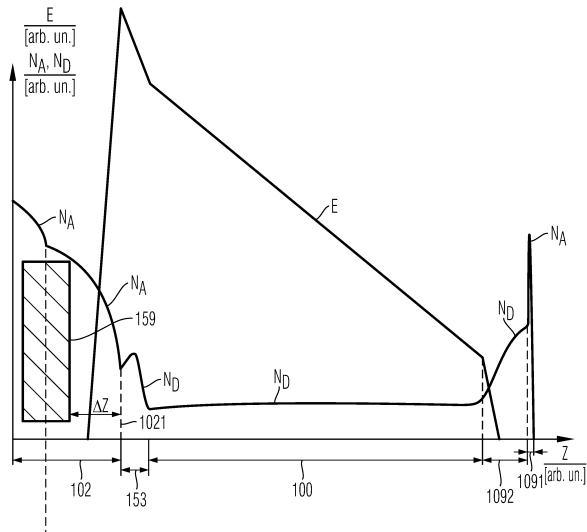
【图 2 3】



【図 24】



【図 2 5 A】



【図 2 5 B】



フロントページの続き

(51)Int.Cl.		F I			
H 0 1 L	29/861	(2006.01)	H 0 1 L	29/78	6 5 2 C
H 0 1 L	29/868	(2006.01)	H 0 1 L	29/91	J
H 0 1 L	29/872	(2006.01)	H 0 1 L	29/78	6 5 5 B
H 0 1 L	29/06	(2006.01)	H 0 1 L	29/91	K
H 0 1 L	29/12	(2006.01)	H 0 1 L	29/86	3 0 1 F
H 0 1 L	21/822	(2006.01)	H 0 1 L	29/91	D
H 0 1 L	27/04	(2006.01)	H 0 1 L	29/06	3 0 1 G
H 0 1 L	27/06	(2006.01)	H 0 1 L	29/06	3 0 1 V
H 0 1 L	21/8234	(2006.01)	H 0 1 L	29/78	6 5 2 P
H 0 1 L	27/088	(2006.01)	H 0 1 L	29/78	6 5 2 T
			H 0 1 L	29/91	F
			H 0 1 L	29/86	3 0 1 D
			H 0 1 L	27/04	H
			H 0 1 L	27/06	3 1 1 B
			H 0 1 L	27/088	F
			H 0 1 L	27/088	E

(74)代理人 100116403
弁理士 前川 純一

(74)代理人 100135633
弁理士 二宮 浩康

(74)代理人 100162880
弁理士 上島 類

(72)発明者 トーマス バスラー
ドイツ連邦共和国 リーマーリング フォアストシュトラッセ 7

(72)発明者 マークス ビーナ
ドイツ連邦共和国 グロスヘルフェンドアフ キアヒェンシュトラッセ 6

(72)発明者 マッテオ ダイネーゼ
オーストリア国 フィラッハ リッツェルホーフエンシュトラッセ 8

(72)発明者 ハンスーヨアヒム シュルツェ
ドイツ連邦共和国 タウフキアヒェン フィンケンシュトラッセ 21

審査官 恩田 和彦

(56)参考文献 特表2011-503889 (JP, A)
米国特許第04620211 (US, A)
特開昭63-177473 (JP, A)
特開2010-004003 (JP, A)
国際公開第2016/010097 (WO, A1)
米国特許第02895109 (US, A)
特開2000-091596 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 21/329
H 0 1 L 21/336
H 0 1 L 21/822
H 0 1 L 21/8234

H01L	27/04
H01L	27/06
H01L	27/088
H01L	29/06
H01L	29/12
H01L	29/739
H01L	29/78
H01L	29/861
H01L	29/866
H01L	29/868
H01L	29/872