(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3637210号
(P3637210)
(45)発行日　平成17年4月13日(2005.4.13)　(24)登録日　平成17年1月14日(2005.1.14)

(51)Int.Cl.[7]	F I	
H01L 21/027	H01L 21/30	502V
H01L 21/66	H01L 21/66	A
H01L 21/76	H01L 21/30	502M
	H01L 21/76	L

請求項の数 6　(全 8 頁)

(21)出願番号　特願平10-201399
(22)出願日　平成10年7月16日(1998.7.16)
(65)公開番号　特開2000-31026(P2000-31026A)
(43)公開日　平成12年1月28日(2000.1.28)
審査請求日　平成15年3月6日(2003.3.6)

(73)特許権者　503121103
株式会社ルネサステクノロジ
東京都千代田区丸の内二丁目４番１号
(74)代理人　100080001
弁理士　筒井　大和
(72)発明者　和田　真一郎
東京都青梅市新町六丁目１６番地の３　株式会社日立製作所　デバイス開発センタ内
(72)発明者　大西　良史
東京都青梅市新町六丁目１６番地の３　株式会社日立製作所　デバイス開発センタ内
(72)発明者　菊池　俊之
東京都青梅市新町六丁目１６番地の３　株式会社日立製作所　デバイス開発センタ内

最終頁に続く

(54)【発明の名称】半導体集積回路装置の製造方法

(57)【特許請求の範囲】
【請求項１】
半導体基板の素子分離領域に埋め込み型浅溝アイソレーションを形成し、前記半導体基板の検査パターン領域にリソグラフィ工程で用いられるターゲットマークおよび合わせ検査マークを形成する半導体集積回路装置の製造方法であって、
(a).前記半導体基板上に第１の膜を堆積する工程と、
(b).レジストパターンをマスクにして前記第１の膜および前記半導体基板を順次エッチングし、前記素子分離領域および前記検査パターン領域に、複数の溝をそれぞれ形成する工程と、
(c).前記半導体基板上に絶縁膜を堆積して、前記素子分離領域に形成された溝に埋め込まれた前記絶縁膜の表面と前記半導体基板の表面とをほぼ同一面とする工程と、
(d).前記半導体基板上に前記第１の膜と同一材料の第２の膜を堆積する工程と、
(e).前記素子分離領域に形成された溝に埋め込まれた前記絶縁膜を覆うレジストを形成する工程と、
(f).前記レジストで覆われない前記第２の膜を除去する工程と、
(g).前記第１の膜をストッパ層として、前記第１の膜の表面が露出するまで前記絶縁膜の表面に平坦化処理を施す工程と、
(h).前記第１の膜および前記第２の膜を除去する工程とを有することを特徴とする半導体集積回路装置の製造方法。
【請求項２】

請求項１記載の半導体集積回路装置の製造方法において、前記絶縁膜は、ＥＣＲ放電を用いたプラズマＣＶＤ法によって堆積されることを特徴とする半導体集積回路装置の製造方法。

【請求項３】

請求項１記載の半導体集積回路装置の製造方法において、前記第１の膜および前記第２の膜は窒化シリコン膜であることを特徴とする半導体集積回路装置の製造方法。

【請求項４】

請求項１記載の半導体集積回路装置の製造方法において、前記絶縁膜の表面の平坦化処理は化学的機械研磨法によって行われることを特徴とする半導体集積回路装置の製造方法。

【請求項５】

請求項１記載の半導体集積回路装置の製造方法において、前記検査パターン領域に形成された溝に埋め込まれた前記絶縁膜は凹形状であることを特徴とする半導体集積回路装置の製造方法。

【請求項６】

第１の膜が形成された半導体基板を準備する工程と、

前記第１の膜が形成された前記半導体基板の素子分離領域および検査パターン領域に溝を形成する工程と、

前記溝が形成された前記半導体基板上に絶縁膜を形成する工程と、

前記絶縁膜が形成された前記半導体基板上に前記第１の膜と同じ材料からなる第２の膜を形成する工程と、

前記素子分離領域の前記溝に形成された前記絶縁膜上の前記第２の膜を残し、前記検査パターン領域の前記溝に形成された前記絶縁膜上の前記第２の膜を除去する工程と、

前記半導体基板を化学的機械研磨法により平坦化する工程と、

前記検査パターン領域の前記溝をターゲットマークとしてマーク検出をする工程とを有することを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、半導体集積回路装置の製造技術に関し、特に、隣接する半導体素子を互いに電気的に分離する素子分離領域に形成された埋め込み型浅溝アイソレーション（Shallow Groove Isolation；ＳＧＩ）を有する半導体集積回路装置に適用して有効な技術に関するものである。

【０００２】

【従来の技術】

隣接する半導体素子を互いに電気的に分離するアイソレーションの一つに、素子分離領域となる半導体基板に、例えば０．４μｍ程度の浅い溝を設け、これに絶縁材料を埋め込むことによって形成される浅溝アイソレーションがある。この浅溝アイソレーションは、代表的なアイソレーションであるＬＯＣＯＳ（Local Oxidation of Silicon）アイソレーションと比べて、平坦性がよく、半導体素子を形成する活性領域の面積の減少を防ぐことができるなどの利点がある。

【０００３】

なお、浅溝型アイソレーションを述べてある例として、シンポジウム・オン・ブイ・エル・エス・アイ・テクノロジー・ダイジェスト・オブ・テクノロジー・ペーパ（1996 Symposium on VLSI Technology Digest of Technology Paper, pp.156, A.Chatterjee et. al. A shallow Trebch Isolation Study for 0.25/0.18 μm CMOS Technology and Beyoud）がある。

【０００４】

【発明が解決しようとする課題】

しかしながら、本発明者は、前記浅溝アイソレーションを開発するにあたり、以下の問題

点を見いだした。

【０００５】

半導体基板に浅溝アイソレーションを形成した後、例えば半導体基板の一部にウエル領域を形成する場合、まず、レジストパターンを半導体基板上に形成してウエル領域を形成しない領域をレジストで覆った後、上記レジストパターンをマスクにして不純物イオンを半導体基板へ注入することにより、上記ウエル領域は形成される。

【０００６】

上記レジストパターンは、半導体基板上に塗布されたレジストに露光、現像処理を施すことによって形成されるが、このリソグラフィ工程における露光用マスクと半導体基板との位置合わせには、浅溝アイソレーションと同時に半導体基板の検査パターン領域に形成されたターゲットマークおよび合わせ検査マークが用いられる。露光用マスクと半導体基板との位置合わせは、半導体基板に形成されたターゲットマークおよび合わせ検査マークを構成する溝の数十ｎｍ以上の段差の存在を露光装置が感知することによって行われる。

【０００７】

ところが、浅溝アイソレーションでは、溝に埋め込まれた絶縁材料の表面と半導体基板の表面とがほぼ一致するように、半導体基板の素子分離領域に形成された溝に絶縁材料を埋め込んだ後、絶縁材料の表面を平坦化している。このため、検査パターン領域に明確な段差がなく、上記レジストパターンを形成するリソグラフィ工程において、露光用マスクと半導体基板との位置合わせを精度よく行うことができない。

【０００８】

本発明の目的は、ＳＧＩが形成された半導体基板上にレジストパターンを形成するリソグラフィ工程において、露光用マスクと半導体基板との位置合わせを精度よく行うことのできる技術を提供することにある。

【０００９】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【００１０】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【００１１】

本発明の半導体集積回路装置の製造方法は、半導体基板の素子分離領域にＳＧＩを形成し、半導体基板の検査パターン領域にリソグラフィ工程で用いられるターゲットマークおよび合わせ検査マークを形成する際、まず、半導体基板上に第１の窒化シリコン膜を堆積した後、レジストパターンをマスクにして第１の窒化シリコン膜および半導体基板を順次エッチングし、素子分離領域および検査パターン領域に、複数の溝をそれぞれ形成する。次に、半導体基板上にＥＣＲ（Electron Cyclotron Resonance）放電を用いたプラズマＣＶＤ（Chemical Vapor Deposition）法によって酸化シリコン膜を堆積して、素子分離領域に形成された溝に埋め込まれた上記酸化シリコン膜の表面と半導体基板の表面とをほぼ同一面とした後、半導体基板上に第２の窒化シリコン膜を堆積し、次いで、素子分離領域に形成された溝に埋め込まれた酸化シリコン膜を覆うレジストを形成する。次に、レジストで覆われない第２の窒化シリコン膜を除去した後、第１の窒化シリコン膜をストッパ層として、この第１の窒化シリコン膜の表面が露出するまで上記酸化シリコン膜の表面に平坦化処理を施し、次いで、第１の窒化シリコン膜および第２の窒化シリコン膜を除去することによって、検査パターン領域に凹形状の酸化シリコン膜が埋め込まれた溝を形成するものである。

【００１２】

上記した手段によれば、素子分離領域にＳＧＩが形成された半導体基板上にレジストパターンを形成するリソグラフィ工程において、半導体基板の検査パターン領域に形成されているターゲットマークおよび合わせ検査マークが明確な段差を有する浅い溝によって構成

されるので、ターゲットマークの検出および合わせ検査マークの検出が容易となる。

【００１３】

【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【００１４】

なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

【００１５】

（実施の形態１）

本発明の一実施の形態であるＳＧＩの製造方法を図１～図４を用いて説明する。

【００１６】

まず、図１に示すように、パターニングされたレジストをマスクにしてシリコン単結晶で構成された半導体基板１をエッチングして、半導体基板１の素子分離領域および検査パターン領域に深さ約０．３～０．４μｍの浅い溝２ａ，２ｂを形成する。

【００１７】

次に、図２に示すように、半導体基板１に熱処理を施し、浅い溝２ａ，２ｂが形成された半導体基板１の表面に１０～２０ｎｍ程度の厚さの酸化シリコン膜（図示せず）を形成した後、ＴＥＯＳ（Tetra Ethyl Ortho Silicate ; $Si(OC_2H_5)_4$ ）ガスを原料に用いたＥＣＲ放電を用いたプラズマＣＶＤ法によって、半導体基板１上に酸化シリコン膜３を堆積する。ここで、浅い溝２ａ，２ｂに埋め込まれた酸化シリコン膜３の表面が、半導体基板１の表面とほぼ同一面となるように酸化シリコン膜３は堆積される。

【００１８】

次に、図３に示すように、素子分離領域の浅い溝２ａの上にレジストパターン４を形成する。レジストパターン４は浅い溝２ａの上部を完全に覆っており、例えば浅い溝２ａの端部から約２～３μｍ程度大きくなるようにレジストパターン４は形成される。

【００１９】

次いで、図４に示すように、レジストパターン４をマスクにして酸化シリコン膜３をエッチングすることによって酸化シリコン膜３を除去し、検査パターン領域の浅い溝２ｂを再生する。この後、レジストパターン４を除去することにより、素子分離領域には、浅い溝２ａに埋め込まれた酸化シリコン膜３によって構成されるＳＧＩが形成され、検査パターン領域には、酸化シリコン膜３が埋め込まれない段差を有する浅い溝２ｂが形成される。

【００２０】

このように、本実施の形態１によれば、素子分離領域にＳＧＩが形成された半導体基板１上にレジストパターンを形成するリソグラフィ工程において、半導体基板１の検査パターン領域に形成されているターゲットマークおよび合わせ検査マークが酸化シリコン膜３が埋め込まれていない浅い溝２ｂによって構成されるので、ターゲットマークの検出および合わせ検査マークの検出が容易となる。

【００２１】

（実施の形態２）

本発明の一実施の形態であるＳＧＩの製造方法を図５～図１０を用いて説明する。

【００２２】

まず、図５に示すように、シリコン単結晶で構成された半導体基板１の表面に第１の窒化シリコン膜５を堆積した後、パターニングされたレジストをマスクにして第１の窒化シリコン膜５および半導体基板１を順次エッチングして、半導体基板１の素子分離領域および検査パターン領域に深さ約０．３～０．４μｍの浅い溝６ａ，６ｂを形成する。

【００２３】

次に、図６に示すように、半導体基板１に熱処理を施し、浅い溝６ａ，６ｂが形成された半導体基板１の表面に１０～２０ｎｍの酸化シリコン膜（図示せず）を形成した後、ＴＥＯＳガスを原料に用いたＥＣＲ放電を用いたプラズマＣＶＤ法によって、半導体基板１上に酸化シリコン膜７を堆積する。ここで、浅い溝６ａ，６ｂに埋め込まれた酸化シリコン

膜７の表面が、半導体基板１の表面とほぼ同一面となるように酸化シリコン膜７は堆積される。

【００２４】

次いで、図７に示すように、半導体基板１上に第２の窒化シリコン膜８をＣＶＤ法によって堆積する。

【００２５】

次に、図８に示すように、素子分離領域の浅い溝６ａの上にレジストパターン９を形成した後、レジストパターン９をマスクにして窒化シリコン膜８をエッチングし、浅い溝６ａの上部のみに第２の窒化シリコン膜８を残す。

【００２６】

次いで、図９に示すように、レジストパターン９を除去した後、酸化シリコン膜７の表面をＣＭＰ（Chemical Mechanical Polishing ）法によって平坦化する。この際、第１の窒化シリコン膜５をストッパ層としてＣＭＰを行うので、第２の窒化シリコン膜８が形成された素子分離領域においても、第２の窒化シリコン膜８がＣＭＰのストッパ層となり、浅い溝６ａに埋め込まれた酸化シリコン膜７が過剰に研磨されることはない。一方、第２の窒化シリコン膜８が形成されていない検査パターン領域においては、ＣＭＰのストッパ層がないため、浅い溝６ｂに埋め込まれた酸化シリコン膜７が過剰に研磨されて、酸化シリコン膜７は凹形状となる。

【００２７】

この後、図１０に示すように、第１の窒化シリコン膜５および第２の窒化シリコン膜８を除去することにより、素子分離領域には、浅い溝６ａに埋め込まれた酸化シリコン膜７によって構成されるＳＧＩが形成され、検査パターン領域には、凹形状に酸化シリコン膜７が埋め込まれた浅い溝６ｂが形成される。

【００２８】

このように、本実施の形態２によれば、素子分離領域にＳＧＩが形成された半導体基板１上にレジストパターンを形成するリソグラフィ工程において、半導体基板１の検査パターン領域に形成されているターゲットマークおよび合わせ検査マークが凹状に酸化シリコン膜７が埋め込まれた浅い溝６ｂによって構成されるので、ターゲットマークの検出および合わせ検査マークの検出が容易となる。

【００２９】

以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【００３０】

【発明の効果】

本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【００３１】

本発明によれば、ＳＧＩが形成された半導体基板上にレジストパターンを形成するリソグラフィ工程において、ターゲットマークの検出および合わせ検査マークの検出が容易にできるので、露光用マスクと半導体基板との位置合わせを精度よく行うことができる。

【図面の簡単な説明】

【図１】本発明の一実施の形態であるＳＧＩと同時に形成されるターゲットマークまたは合わせ検査マークの製造方法を示す半導体基板の要部断面図である。

【図２】本発明の一実施の形態であるＳＧＩと同時に形成されるターゲットマークまたは合わせ検査マークの製造方法を示す半導体基板の要部断面図である。

【図３】本発明の一実施の形態であるＳＧＩと同時に形成されるターゲットマークまたは合わせ検査マークの製造方法を示す半導体基板の要部断面図である。

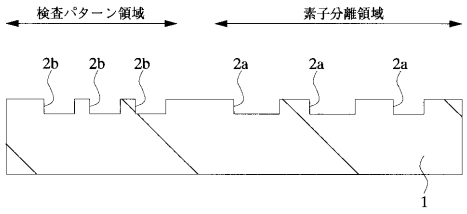
【図４】本発明の一実施の形態であるＳＧＩと同時に形成されるターゲットマークまたは合わせ検査マークの製造方法を示す半導体基板の要部断面図である。

【図５】本発明の他の実施の形態であるＳＧＩと同時に形成されるターゲットマークまたは合わせ検査マークの製造方法を示す半導体基板の要部断面図である。
【図６】本発明の他の実施の形態であるＳＧＩと同時に形成されるターゲットマークまたは合わせ検査マークの製造方法を示す半導体基板の要部断面図である。
【図７】本発明の他の実施の形態であるＳＧＩと同時に形成されるターゲットマークまたは合わせ検査マークの製造方法を示す半導体基板の要部断面図である。
【図８】本発明の他の実施の形態であるＳＧＩと同時に形成されるターゲットマークまたは合わせ検査マークの製造方法を示す半導体基板の要部断面図である。
【図９】本発明の他の実施の形態であるＳＧＩと同時に形成されるターゲットマークまたは合わせ検査マークの製造方法を示す半導体基板の要部断面図である。
【図１０】本発明の他の実施の形態であるＳＧＩと同時に形成されるターゲットマークまたは合わせ検査マークの製造方法を示す半導体基板の要部断面図である。

【符号の説明】
１　半導体基板
２ａ　浅い溝
２ｂ　浅い溝
３　酸化シリコン膜
４　レジストパターン
５　第１の窒化シリコン膜
６ａ　浅い溝
６ｂ　浅い溝
７　酸化シリコン膜
８　第２の窒化シリコン膜
９　レジストパターン

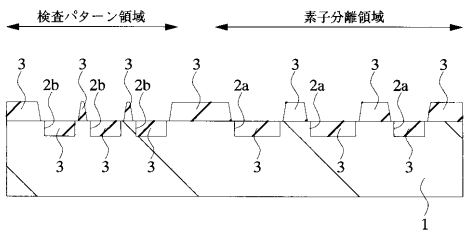
【図１】

図　1



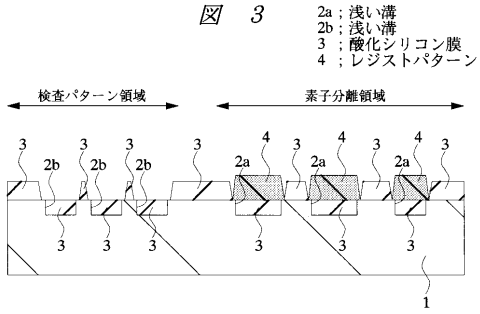
【図２】

図　2



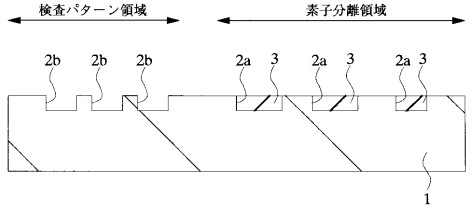
【図３】

図　3



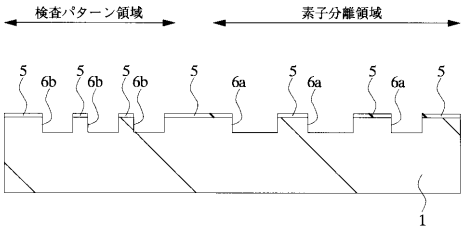
【図４】

図　4



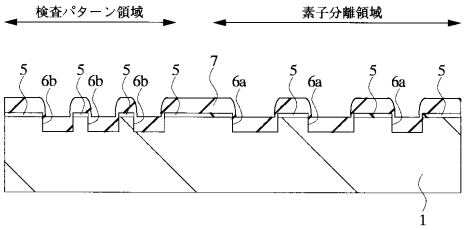
【図５】

図 5



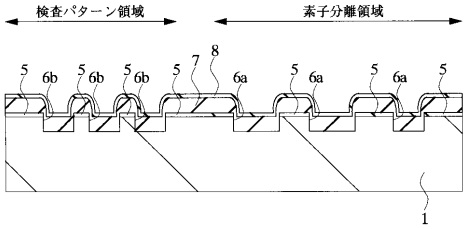
【図６】

図 6



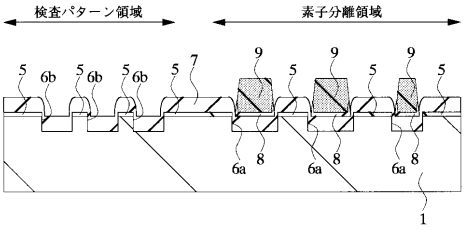
【図７】

図 7



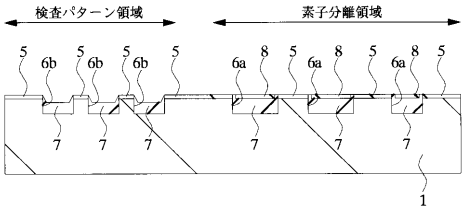
【図８】

図 8



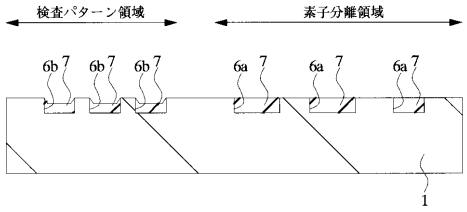
【図９】

図 9



【図１０】

図 10



フロントページの続き

審査官　南　宏輔

(56)参考文献　特開平０７－０７８８６６（ＪＰ，Ａ）
特開平０２－１６４０１８（ＪＰ，Ａ）
特開平０３－１３９８５９（ＪＰ，Ａ）
特開平０４－１０６９２３（ＪＰ，Ａ）
特開平０５－２７５５２７（ＪＰ，Ａ）
特開平０７－１８３３６９（ＪＰ，Ａ）
特開平１０－２８４７０４（ＪＰ，Ａ）
特開平１１－０６７８９４（ＪＰ，Ａ）
特開平０８－２０３９９６（ＪＰ，Ａ）
特開平１０－１９９７８３（ＪＰ，Ａ）
特開平１１－０８７４８８（ＪＰ，Ａ）
特開平１１－０５４６０７（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
H01L 21/027
H01L 21/70-76