



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년07월27일
(11) 등록번호 10-1762363
(24) 등록일자 2017년07월21일

- (51) 국제특허분류(Int. Cl.)
H03F 1/30 (2006.01) H03F 3/193 (2006.01)
H04B 1/16 (2006.01)
- (52) CPC특허분류
H03F 1/301 (2013.01)
H03F 3/193 (2013.01)
- (21) 출원번호 10-2016-7000143
- (22) 출원일자(국제) 2014년06월13일
심사청구일자 2016년12월19일
- (85) 번역문제출일자 2016년01월05일
- (65) 공개번호 10-2016-0020469
- (43) 공개일자 2016년02월23일
- (86) 국제출원번호 PCT/US2014/042259
- (87) 국제공개번호 WO 2014/201323
국제공개일자 2014년12월18일
- (30) 우선권주장
13/918,771 2013년06월14일 미국(US)
- (56) 선행기술조사문헌
KR1020060004260 A*
KR1020100132065 A*
*는 심사관에 의하여 인용된 문헌

- (73) 특허권자
퀄컴 인코포레이티드
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
- (72) 발명자
후양, 유
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775 퀄컴 인코포레이티드 (내)
브라이언, 토마스 클라크
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775 퀄컴 인코포레이티드 (내)
웨이랜드, 마크
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775 퀄컴 인코포레이티드 (내)
- (74) 대리인
특허법인 남앤드남

전체 청구항 수 : 총 13 항

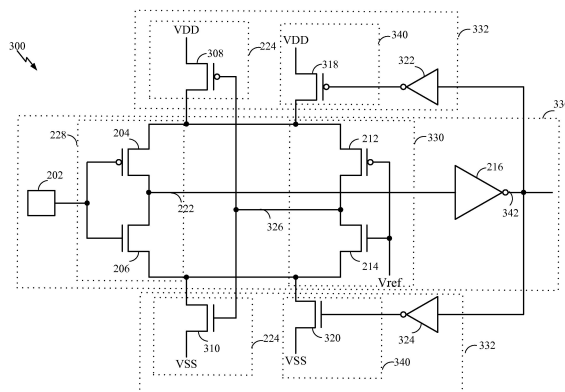
심사관 : 박정근

(54) 발명의 명칭 셀프-바이어싱된 수신기

(57) 요약

수신기가 기재된다. 수신기는 증폭기 및 증폭기에 바이어스 전류를 제공하도록 구성되는 바이어스 회로를 포함한다. 바이어스 회로는 셀프 바이어싱이다. 바이어스 회로는 또한, 증폭기로부터의 피드백 및 바이어스 전류를 추가로 조정하기 위한 제 2 부가적인 피드백 경로를 사용하여 바이어스 전류를 조정하도록 구성된다.

대표도 - 도3



(52) CPC특허분류
HO4B 1/16 (2013.01)

명세서

청구범위

청구항 1

신호를 수신하는 방법(400)으로서,

증폭기(102)에 의해 생성되는 바이어스 전압에 응답하여 바이어스 회로(104)로부터 상기 증폭기에 바이어스 전류를 제공하는 단계(404)를 포함하고,

상기 바이어스 회로는,

상기 증폭기로부터의 피드백을 사용하여 상기 바이어스 전류를 조정함으로써 수신기의 셀프 바이어싱을 제공하도록 구성되는 제 1 회로, 및

인버터를 포함하고 상기 증폭기의 출력으로부터 상기 인버터를 통해 수신되는 추가적인 피드백을 사용하여 상기 바이어스 전류를 추가로 조정하도록 구성되는 제 2 회로를 포함하는, 신호를 수신하는 방법(400).

청구항 2

제 1 항에 있어서,

상기 증폭기로부터의 네거티브 피드백을 사용하여 상기 바이어스 전류를 조정하는 단계를 더 포함하는, 신호를 수신하는 방법(400).

청구항 3

제 2 항에 있어서,

상기 제 2 회로는, 상기 바이어스 전류에 대한 소스(source)를 제공하도록 구성되는 제 1 트랜지스터 및 상기 바이어스 전류에 대한 싱크(sink)를 제공하도록 구성되는 제 2 트랜지스터를 더 포함하는, 신호를 수신하는 방법(400).

청구항 4

제 3 항에 있어서,

상기 증폭기의 출력이 제 1 상태에 있는 경우, 상기 제 1 트랜지스터를 턴 온(turn on)하고 상기 제 2 트랜지스터를 턴 오프(turn off)하는 단계; 및

상기 증폭기의 출력이 상기 제 1 상태와 상이한 제 2 상태에 있는 경우, 상기 제 1 트랜지스터를 턴 오프하고 상기 제 2 트랜지스터를 턴 온하는 단계를 더 포함하는, 신호를 수신하는 방법(400).

청구항 5

제 2 항에 있어서,

상기 증폭기는 제 1 증폭기 및 제 2 증폭기를 포함하며, 상기 제 1 증폭기는 상기 제 2 회로에 커플링되는 출력을 갖고, 상기 제 2 증폭기는 상기 제 1 회로에 커플링되는 출력을 갖는, 신호를 수신하는 방법(400).

청구항 6

제 5 항에 있어서,

상기 증폭기는 상기 제 2 회로에 커플링되는 출력을 포함하는 싱글-엔드형(single-ended) 출력을 갖는, 신호를 수신하는 방법(400).

청구항 7

수신기(100)로서,

신호를 증폭하기 위한 증폭 수단(102); 및

상기 증폭 수단에 의해 생성되는 바이어스 전압에 응답하여 상기 증폭 수단에 바이어스 전류를 제공하기 위한 바이어싱 수단(104)을 포함하고,

상기 바이어싱 수단은,

상기 증폭 수단으로부터의 피드백을 사용하여 상기 바이어스 전류를 조정함으로써 상기 수신기의 셀프 바이어싱을 제공하기 위한 제 1 회로 수단, 및

상기 증폭 수단의 출력으로부터 수신되는 부가적인 피드백을 사용하여 상기 바이어스 전류를 조정하기 위한 제 2 회로 수단을 포함하고,

상기 부가적인 피드백은 상기 제 2 회로 수단의 인버터를 통해 수신되는, 수신기(100).

청구항 8

제 7 항에 있어서,

상기 제 1 회로 수단은 추가로, 상기 증폭 수단으로부터의 네거티브 피드백을 사용하여 상기 바이어스 전류를 조정하도록 구성되는, 수신기(100).

청구항 9

제 8 항에 있어서,

상기 제 2 회로 수단은, 상기 바이어스 전류에 대한 소스를 제공하도록 구성되는 제 1 트랜지스터 및 상기 바이어스 전류에 대한 싱크를 제공하도록 구성되는 제 2 트랜지스터를 포함하는, 수신기(100).

청구항 10

제 9 항에 있어서,

상기 제 2 회로 수단은 추가로, 상기 증폭 수단의 출력이 제 1 상태에 있는 경우 상기 제 1 트랜지스터를 턴 온하고 상기 제 2 트랜지스터를 턴 오프하고, 그리고 상기 증폭 수단의 출력이 상기 제 1 상태와 상이한 제 2 상태에 있는 경우 상기 제 1 트랜지스터를 턴 오프하고 상기 제 2 트랜지스터를 턴 온하도록 구성되는, 수신기(100).

청구항 11

제 9 항에 있어서,

상기 제 1 회로 수단은 제 1 트랜지스터 및 제 2 트랜지스터를 포함하고,

상기 제 2 회로 수단의 제 1 트랜지스터 및 제 2 트랜지스터의 사이즈 비는 상기 제 1 회로 수단의 제 1 트랜지스터 및 제 2 트랜지스터의 사이즈 비보다 더 작은, 수신기(100).

청구항 12

제 8 항에 있어서,

상기 증폭 수단은 제 1 증폭기 및 제 2 증폭기를 포함하며, 상기 제 1 증폭기는 상기 제 2 회로 수단에 커플링되는 출력을 갖고, 상기 제 2 증폭기는 상기 제 1 회로 수단에 커플링되는 출력을 갖는, 수신기(100).

청구항 13

제 12 항에 있어서,

상기 증폭 수단은 상기 제 2 회로 수단에 커플링되는 출력을 포함하는 싱글-엔드형 출력을 갖는, 수신기(100).

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

발명의 설명

기술 분야

[0001] 관련 출원(들)에 대한 상호-참조

[0002] [0001] 본 출원은 발명의 명칭이 "SELF-BIASED RECEIVER"로 2013년 6월 14일자로 출원된 미국 정규출원 일련번호 제 13/918,771호를 우선권으로 주장하며, 상기 정규출원은 그 전체가 본 명세서에 인용에 의해 명백히 포함된다.

[0003] [0002] 본 개시는 일반적으로 전자 회로들에 관한 것으로, 더 상세하게는, 셀프-바이어싱된(self-biased) 수신기에 관한 것이다.

배경 기술

[0004] 집적 회로들 또는 "칩(chip)들"의 더 많은 프로세싱 능력에 대한 요구가 계속 증가함에 따라, 저 전력 소모는 핵심 설계 요건이 되었다. 그러한 디바이스들에서 전력 소모를 감소시키기 위해 다양한 기술들이 현재 이용되고 있다. 하나의 그러한 기술은, 특정한 동작 모드들 동안 "칩" 상에서 동작하는 특정한 회로들의 동작 전압을 감소시키는 것을 수반한다.

[0005] [0004] 집적 회로는 일반적으로, 칩의 "코어"에 걸쳐 분포되는 많은 개수의 표준 셀들로 설계된다. 각각의 셀은, 기능 유닛을 제공하도록 함께 동작하는 임의의 개수의 트랜지스터들로 형성된다. 이들 셀들은 함께 상호접속되어 동작 디바이스를 형성한다. 코어는 칩의 둘레를 따라 배열된 다수의 더 큰 셀들로 둘러싸인다. 더 큰 셀들은, 더 넓은 채널 길이들, 더 두꺼운 산화물 층들, 및 더 높은 전압 오프-칩 디바이스들과 인터페이싱(interface)하기 위해 더 높은 임계 전압들을 갖는 트랜지스터들로 형성된 입력/출력(I/O) 드라이버들을 포함한다. I/O 드라이버의 일 예는 셀프-바이어싱된 차동 수신기이다. 셀프-바이어싱된 수신기는 프로세스, 전압, 및 온도("PVT") 변동들이 존재할 시 양호하게 수행하지만, 전력 절감 모드에서 동작 전압이 감소된 경우 심볼-간 간섭(inter-symbol interference)("ISI") 지터(jitter) 및 듀티 사이클 왜곡(duty cycle distortion)("DCD")을 나타낼 수도 있다. ISI 지터 및 DCD는 셀프-바이어싱된 차동 수신기에 대한 사용가능한 데이터 레이트를 감소시킬 수 있다.

선행기술문헌

특허문헌

(특허문헌 0001) 미국 등록특허공보 제6,563,384호 (2003.05.13.)

(특허문헌 0002) 미국 등록특허공보 제7,176,720호 (2007.02.13.)

(특허문헌 0003) 미국 특허출원공개공보 제2009/0322420호 (2009.12.31.)

(특허문헌 0004) 미국 특허출원공개공보 제2012/0193519 (2012.08.02.)

(특허문헌 0005) 미국 특허출원공개공보 제2012/0206198 (2012.08.16.)

발명의 내용

- [0006] [0005] 수신기의 일 양상은, 증폭기 및 증폭기에 의해 생성된 바이어스 전압에 응답하여 증폭기에 바이어스 전류를 제공하도록 구성되는 바이어스 회로를 포함하며, 여기서, 바이어스 회로는, 증폭기로부터의 피드백을 사용하여 바이어스 전류를 조정함으로써 수신기의 셀프 바이어싱을 제공하도록 구성되는 제 1 회로, 및 증폭기로부터의 부가적인 피드백을 사용하여 바이어스 전류를 추가로 조정하도록 구성되는 제 2 회로를 포함한다.
- [0007] [0006] 신호를 수신하는 방법의 일 양상은, 증폭기에 의해 생성된 바이어스 전압에 응답하여 바이어스 회로로부터 증폭기에 바이어스 전류를 제공하는 단계를 포함하며, 여기서, 바이어스 회로는, 증폭기로부터의 피드백을 사용하여 바이어스 전류를 조정함으로써 수신기의 셀프 바이어싱을 제공하도록 구성되는 제 1 회로, 및 증폭기로부터의 부가적인 피드백을 사용하여 바이어스 전류를 추가로 조정하도록 구성되는 제 2 회로를 포함한다.
- [0008] [0007] 수신기의 다른 양상은, 신호를 증폭하기 위한 증폭 수단, 및 증폭기에 의해 생성된 바이어스 전압에 응답하여 증폭 수단에 바이어스 전류를 제공하기 위한 바이어싱 수단을 포함하며, 여기서, 바이어싱 수단은, 증폭기로부터의 피드백을 사용하여 바이어스 전류를 조정함으로써 수신기의 셀프 바이어싱을 제공하기 위한 제 1 회로 수단, 및 증폭 수단으로부터의 부가적인 피드백을 사용하여 바이어스 전류를 조정하기 위한 제 2 회로 수단을 포함한다.
- [0009] [0008] 예시로서 장치들, 방법들, 및 제조 물품들의 다양한 양상들이 도시되고 설명되는 다음의 상세한 설명으로부터 장치들 및 방법들의 다른 양상들이 당업자들에게 용이하게 명백해질 것임이 이해된다. 인식될 바와 같이, 이들 양상들은 다른 형태들 및 상이한 형태들로 구현될 수도 있으며, 이들 양상들의 수 개의 세부사항들은 다양한 다른 세목(respect)들로 변형이 가능하다. 따라서, 도면들 및 상세한 설명은 제한적인 것으로서가 아닌 속성상 예시적인 것으로서 간주되어야 한다.
- [0010] [0009] 첨부된 도면들을 참조하여 장치들 및 방법들의 다양한 양상들이 제한으로서가 아닌 예로서 상세한 설명에 이제 제시될 것이다.

도면의 간단한 설명

- [0011] [0010] 도 1은 수신기의 일 예를 예시하는 기능 블록도이다.
- [0011] [0011] 도 2는 증폭기 및 바이어스 회로를 갖는 수신기의 예를 예시하는 개략도이다.
- [0012] [0012] 도 3은 증폭기 및 변형된 바이어스 회로를 갖는 수신기의 예를 예시하는 개략도이다.
- [0013] [0013] 도 4는 증폭기 및 바이어스 회로의 동작의 예를 예시하는 흐름도이다.

발명을 실시하기 위한 구체적인 내용

- [0012] [0014] 본 개시의 다양한 양상들이 첨부된 도면들을 참조하여 아래에서 더 완전히 설명될 것이다. 그러나 본 개시는 당업자들에 의해 많은 상이한 형태들로 구현될 수도 있으며, 본 명세서에서 제시된 임의의 특정한 구조 또는 기능으로 제한되는 것으로 해석되지는 않아야 한다. 오히려, 이들 양상들은, 본 개시가 철저하고 완전하며, 당업자들에게 본 개시의 범위를 완전히 전달하기 위해 제공된다. 본 명세서에서의 교시들에 기초하여, 당업자는, 본 개시의 임의의 다른 양상과 독립적으로 구현되든지 또는 그 양상과 결합되든지에 관계없이, 본 개시의 범위는 본 개시의 임의의 양상을 커버하도록 의도됨을 인식해야 한다. 예를 들어, 본 명세서에 기재된 임의의 수의 양상들을 사용하여 장치가 구현될 수도 있거나 방법이 실시될 수도 있다. 부가적으로, 본 개시의 범위는, 본 개시의 다른 양상들에 부가하여 또는 본 개시의 다른 양상들 외에, 다른 구조, 기능, 또는 구조 및 기능을 사용하여 실시되는 그러한 장치 또는 방법을 커버하도록 의도된다. 본 명세서에 기재된 본 개시의 임의의 양상이 청구항의 하나 또는 그 초과와 엘리먼트들에 의해 구현될 수도 있음이 이해되어야 한다.

- [0013] [0015] 특정한 양상들이 본 명세서에 설명될 것이지만, 이들 양상들의 많은 변경들 및 치환들이 본 개시의 범위 내에 속한다. 바람직한 양상들의 몇몇 이득들 및 이점들이 언급되지만, 본 개시의 범위가 특정한 이득들, 사용들, 또는 목적들로 제한되는 것으로 의도되지 않는다. 오히려, 본 개시의 양상들은, 상이한 회로들, 기술들, 시스템들, 네트워크들, 및 방법들에 광범위하게 적용가능한 것으로 의도되며, 이들 중 몇몇은 도면들 및 다음의 설명에서 예로서 예시된다. 상세한 설명 및 도면들은, 첨부된 청구항들 및 그들의 등가물들에 의해 정의되는 본 개시의 범위를 제한하기 보다는 단지 본 개시의 예시이다.
- [0014] [0016] 본 개시에 전체에 걸쳐 설명되는 다양한 회로들은 다양한 형태들의 하드웨어로 구현될 수도 있다. 예로서, 이들 회로들 중 임의의 회로는, 단독 또는 결합으로, 집적 회로로서 또는 집적 회로 설계의 일부로서 구현될 수도 있다. 집적 회로는 마이크로프로세서, 디지털 신호 프로세서(DSP), 주문형 집적 회로(ASIC), 프로그래밍가능 로직, 메모리, 또는 임의의 다른 적절한 집적 회로와 같은 최종 생성물일 수도 있다. 대안적으로, 집적 회로는, 개재(intermediate) 생성물, 예컨대 마더보드, 또는 최종 생성물 중 어느 하나의 일부로서 다른 칩들, 이산 회로 엘리먼트들, 및/또는 다른 컴포넌트들로 집적될 수도 있다. 최종 생성물은 집적 회로들을 포함하는 임의의 적절한 생성물일 수 있으며, 셀룰러 폰, 개인 휴대 정보 단말(PDA), 랩톱 컴퓨터, 데스크톱 컴퓨터(PC), 컴퓨터 주변기기 디바이스, 멀티미디어 디바이스, 비디오 디바이스, 오디오 디바이스, GPS(global positioning system), 무선 센서, 또는 임의의 다른 적절한 디바이스를 예로서 포함한다.
- [0015] [0017] 도 1을 참조하여 수신기의 다양한 양상들이 이제 제시될 것이다. 이들 양상들은 I/O 디바이스로서 칩 상에서 동작하는 수신기에 대해 양호하게 적절하지만, 당업자들에게 용이하게 인식될 바와 같이, 이들 양상들은 다른 수신기들 및 적절한 회로들로 확장될 수도 있다. 도 1을 참조하면, 수신기의 일 예를 예시하는 기능 블록도가 도시된다. 수신기(100)는 증폭기(102)를 포함한다. 증폭기(102)는 신호를 증폭하기 위한 수단을 제공한다. I/O 드라이버의 경우에서, 증폭기(102)는 CMRR(common mode rejection ratio)을 증가시키기 위한 차동 증폭기로서 구현될 수도 있지만, 다른 애플리케이션들에 대해 상이하게 구현될 수도 있다. 차동 증폭기는, 특정한 애플리케이션 및 전체 설계 제약들에 의존하여 차동 또는 싱글-엔드형(single-ended) 출력 중 어느 하나를 갖도록 구성될 수도 있다. 수신기(100)는 또한 바이어스 회로(104)를 포함한다. 바이어스 회로(104)는 증폭기(102)에 바이어스 전류를 제공하기 위한 수단을 제공한다. 수신기(100)는 셀프-바이어싱될 수도 있다. 즉, 바이어스 회로(104)는 네거티브(negative) 피드백의 형태로 차동 증폭기(102)로부터 자신의 바이어스 전압을 수신한다. 대안적으로, 차동 증폭기에 독립적인 전압 소스로부터 자신의 바이어스 전압을 수신하는 수신기(100)는 고정 바이어스 전류를 가질 수도 있다. 바이어스 회로(104)는 또한, 증폭기(102)에 제공되는 바이어스 전류를 증가시키기 위해 증폭기(102)의 출력으로부터의 피드백을 사용할 수도 있다. 증가된 바이어스 전류는, 전력 절감 모드에서 동작 전압이 감소된 경우 ISI 지터 및 DCD를 감소시키는 경향이 있을 수 있다.
- [0016] [0018] 도 2는 증폭기(226) 및 바이어스 회로(224)를 갖는 수신기(200)의 예를 예시하는 개략도이다. 증폭기(226)는, 이러한 예에서는 차동 증폭기로서 구현되지만, 다른 실시예들에서는 상이하게 구현될 수도 있다. 차동 증폭기(226)는, 입력 신호(202)의 전압과 기준 전압 V_{ref} 사이의 차이를 증폭하도록 함께 동작하는 제 1 증폭기(228) 및 제 2 증폭기(230)를 포함한다. 제 1 증폭기(228)는, PMOS 트랜지스터(204), NMOS 트랜지스터(206), 신호 입력(202), 및 인버터(216)에 제공되는 출력(222)을 갖는 CMOS 증폭기로서 도시된다. 인버터(216)는 싱글-엔드형 출력을 원격 회로 또는 로드(load)에 제공한다. 제 2 증폭기(230)는 또한, PMOS 트랜지스터(212), NMOS 트랜지스터(214), 및 기준 전압 V_{ref} 에 결속(tie)된 입력을 갖는 CMOS 증폭기로서 도시된다. 제 2 증폭기(230)로부터의 출력은 바이어스 회로(224)에 인가되는 바이어스 전압(220)을 제공한다.
- [0017] [0019] 바이어스 회로(224)는 PMOS 트랜지스터(208) 및 NMOS 트랜지스터(210)를 포함하는 회로를 포함한다. PMOS 트랜지스터(208)는 포지티브(positive) 공급 레일 V_{DD} 와 증폭기(226) 사이에 커플링되고, NMOS 트랜지스터(210)는 증폭기(226)와 네거티브 공급 레일 V_{SS} 사이에 커플링된다. 증폭기(226)로부터의 바이어스 전압(220)은, 증폭기(226) 내의 트랜지스터들(204, 206, 212, 214)에 대한 바이어싱을 위해 PMOS 트랜지스터(208) 및 NMOS 트랜지스터(210)의 게이트들에 피드백된다. 예를 들어, 전압 V_{ref} 는 VDD의 절반으로 바이어싱될 수도 있다.
- [0018] [0020] 바이어스 전압(220)을 PMOS 트랜지스터(208) 및 NMOS 트랜지스터(210)의 게이트들에 커플링시킴으로써, 바이어스 전압(220)을 안정화시키는 네거티브 피드백 루프가 생성된다. PVT 효과들로 인한 바이어스 전압(220)에서의 임의의 증가는, NMOS 트랜지스터(210)의 게이트-투-소스(gate-to-source) 전압 V_{GS} 를 증가시킬 것이다. 이것은 NMOS 트랜지스터(210)의 "온(on)" 저항을 감소시킬 것이고, 이는 차례로, 바이어스 전압(220)

을 네거티브 공급 레일 V_{SS} 쪽으로 풀 다운(pull down)시킬 것이다. 반대로, PVT 효과들로 인해 바이어스 전압 (220)이 감소되면, PMOS 트랜지스터(208)의 게이트-투-소스 전압 V_{GS} 의 크기는 증가할 것이다. 이것은 PMOS 트랜지스터(208)의 "온" 저항을 감소시킬 것이고, 이는 차례로, 바이어스 전압(220)을 포지티브 공급 레일 V_{DD} 쪽으로 풀 업(pull up)시킬 것이다.

[0019] [0021] 앞서 설명된 바와 같이, 저 전력 모드에서 수신기(200)의 동작 전압(VDD)이 감소된 경우, 성능이 악화(suffer)될 수 있다. 예로서, 집적 회로에 대한 I/O 드라이버로서 구성된 수신기 내의 트랜지스터들은, 자신의 두꺼운 산화물 층으로 인해 600 mV보다 더 큰 임계 전압 V_{TH} 를 가질 수도 있다. 이것은, 저 전력 모드에서의 동작 전압을 1.2 V로 제한할 것이다. 동작 전압(VDD)이 1.1 V였다면, 예를 들어, 각각의 트랜지스터(208, 210)에 대한 게이트-투-소스 전압 V_{GS} 는 대략적으로 550 mV일 것이고, 이는 임계 전압 V_T 보다 작다. 결과적으로, 트랜지스터들(208, 210) 둘 모두가 오프일 것이기 때문에, 매우 작은 양의 바이어스 전류가 증폭기(226)에 제공될 것이다. 이러한 조건 하에서, 수신기(200)는 ISI 지터 및 DCD로부터 어려움을 겪을 수도 있고, 이는 수신기(200)의 최대 사용가능한 데이터 레이트를 감소시킬 수 있다. 트랜지스터들(208 및 210)이 오프인 경우, 증폭기(226)에 통하는 어떠한 전류도 존재하지 않거나 또는 매우 작은 전류가 존재한다. 결과적으로, 증폭기(226)는 전혀 기능할 수 없거나, 또는 지터 및 DCD를 야기하는 낮은 대역폭 및 매우 낮은 이득을 갖는다.

[0020] [0022] 도 3은 증폭기(330) 및 변형된 바이어스 회로(332)를 갖는 수신기(300)의 예시이다. 변형된 바이어스 회로(332)는 도 2와 관련하여 앞서 설명된 것(바이어스 회로(224))과 동일한 회로(224)를 포함하며, 이는 바이어스 전압(326)을 안정화시키기 위해 네거티브 피드백을 사용하여 바이어스 전류를 조정하기 위한 수단을 제공한다. 변형된 바이어스 회로는 또한, PMOS 트랜지스터(318) 및 NMOS 트랜지스터(320)를 포함하는 부가적인 회로(340)를 포함하며, 이는 피드백을 사용하여 바이어스 전류를 조정하기 위한 수단을 제공한다. PMOS 트랜지스터(318)는 포지티브 공급 레일 V_{DD} 와 증폭기(330) 사이에 커플링되고, NMOS 트랜지스터(320)는 증폭기(330)와 네거티브 공급 레일 V_{SS} 사이에 커플링된다. 변형된 바이어스 회로(332)는 또한, 증폭기(330)로부터의 출력을 트랜지스터들(318 및 320)의 게이트들에 각각 피드백하기 위해 사용되는 2개의 인버터들(322 및 324)을 포함한다.

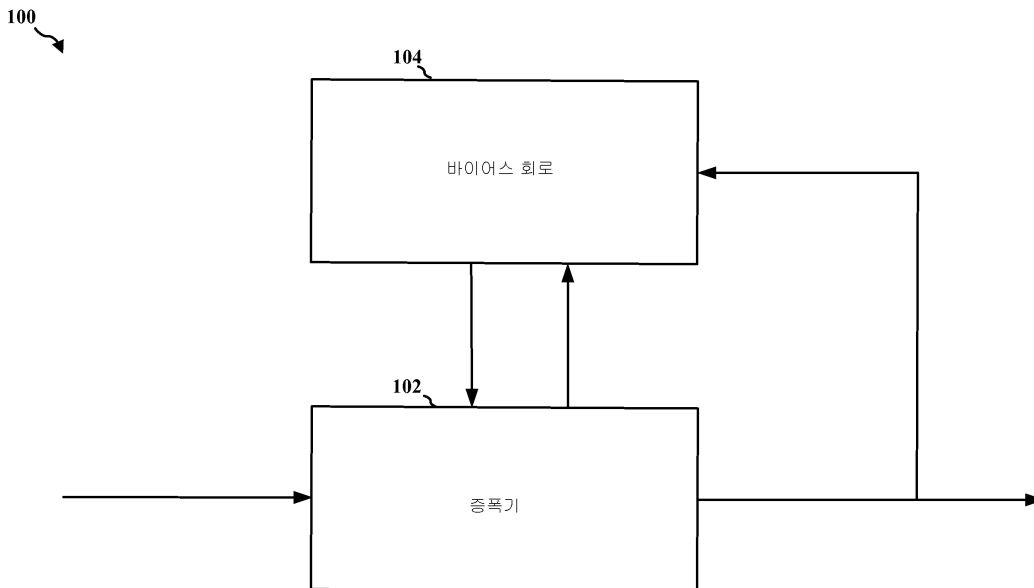
[0021] [0023] 변형된 바이어스 회로(332)는 증폭기(330)로부터의 피드백을 사용하여 부가적인 바이어스 전류를 제공한다. 부가적인 바이어스 전류는 저 전력 모드에서 수신기(300)가 더 양호하게 수행되는 것을 가능하게 할 수도 있다. 예로서, 1.1 V의 동작 전압은 대략적으로 550 mV의 PMOS 및 NMOS 트랜지스터들(308, 310)의 게이트들에 인가되는 바이어스 전압(326)을 초래할 것이다. 이것은 트랜지스터들 둘 모두의 임계 전압 V_T 보다 작으며, 증폭기(330)에 대한 매우 작은 바이어스 전류를 초래한다. 그러나, 증폭기(330)로부터의 싱글-엔드형 출력(342)이 하이(high)인 경우, PMOS 트랜지스터(318)는 턴 온되고 NMOS 트랜지스터(320)는 오프이다. PMOS 트랜지스터(318)의 게이트-투-소스 전압 V_{GS} 가 (트랜지스터(318)의 임계 전압 V_T 보다 훨씬 더 큰) V_{DD} (예를 들어, 1.1V)이므로, 트랜지스터(318)는 완전히 온이며, 포지티브 공급 레일로부터 더 많은 바이어스 전류를 부가한다. 증폭기(330)의 네거티브 피드백은 NMOS 트랜지스터(310)에 대한 입력에서의 게이트 전압을 자동적으로 증가시킨다. 더 큰 게이트-투-소스 전압 V_{GS} 에 대해, 트랜지스터(310)는 턴 온되기 시작하고, 트랜지스터(310)에 통하는 전류가 PMOS 트랜지스터(318)에 통하는 전류와 동일할 때까지 더 많은 전류를 도통한다. 이것은, 트랜지스터들(310 및 318) 둘 모두가 온이고 트랜지스터들(310 및 318)에 통하는 전류가 동일해지는 안정 상태에서 종료된다. 반대로, 증폭기(330)로부터의 싱글-엔드형 출력(342)이 로우(low)인 경우, NMOS 트랜지스터(320)는 턴 온되고 PMOS 트랜지스터(318)는 오프이다. NMOS 트랜지스터(320)의 V_{GS} 가 (트랜지스터(320)의 임계 전압 V_T 보다 훨씬 더 큰) V_{DD} (예를 들어, 최소로 1.1V)이므로, 트랜지스터(320)는 완전히 온이며, 네거티브 공급 레일을 통해 더 많은 전류가 싱킹(sinking)된다. 증폭기(330)의 네거티브 피드백은 PMOS 트랜지스터(308)의 게이트 전압을 자동적으로 감소시킨다. 더 큰 게이트-투-소스 전압 V_{GS} 에 대해, PMOS 트랜지스터(308)는 턴 온되기 시작하고, 트랜지스터(308)에 통하는 전류가 NMOS 트랜지스터(320)에 통하는 전류와 동일할 때까지 더 많은 전류를 도통한다. 이것은, 트랜지스터들(308 및 320) 둘 모두가 온이고 트랜지스터들에 통하는 전류가 동일해지는 안정 상태에서 종료된다. 또한, 트랜지스터들(318 및 320)의 사이즈 비(size ratio)는 트랜지스터들(308 및 310)의 사이즈 비보다 작을 수도 있다. 사이즈 비는 제 1 트랜지스터 나누기 제 2 트랜지스터의 사이즈로 정의된다. 예를 들어, 트랜지스터들(318 및 320)의 사이즈 비는 트랜지스터(318)의 사이즈 나누기 트랜지스터(320)의 사이즈일 것이다.

[0022] [0024] 도 4는 증폭기 및 바이어스 회로의 동작의 예를 예시하는 흐름도(400)이다. 블록(402)에서, 바이어스 회로는 바이어스 전류를 증폭기에 제공한다. 블록(404)에서, 바이어스 회로는 증폭기에 의해 생성된 바이어스 전압에 응답하여 바이어스 전류를 증폭기에 제공한다. 바이어스 회로는, PVT 변동들로부터 초래하는 바이어스 전압에서의 변동들에 응답하여, 증폭기로부터의 네거티브 피드백을 사용하여 바이어스 전류를 조절할 수도 있다. 대안적으로 또는 그에 부가하여, 바이어스 회로는, 저 전력 모드에서 수신기가 더 양호하게 수행되게 하도록 더 많은 바이어스 전류를 부가하기 위해, 증폭기로부터의 피드백을 사용하여 바이어스 전류를 조절할 수도 있다. 블록(406)에서, 바이어스 전류는 증폭기로부터의 피드백을 사용하여 조절될 수도 있고, 블록(408)에서, 바이어스 전류는 증폭기로부터의 부가적인 피드백을 사용하여 추가로 조절될 수도 있다.

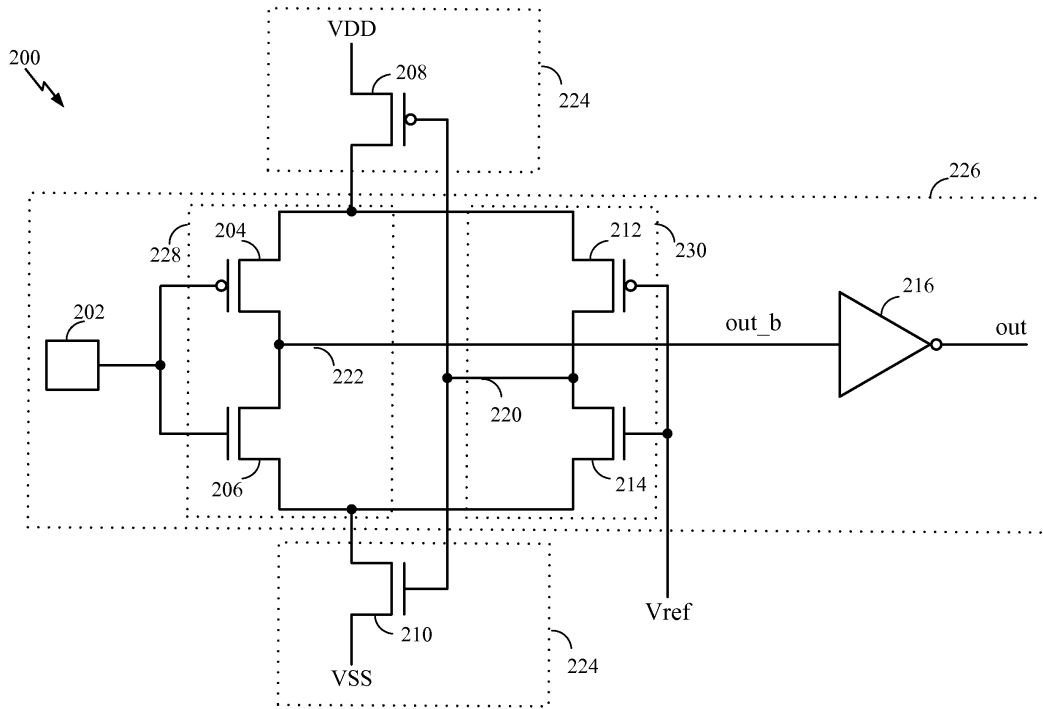
[0023] [0025] 본 개시의 다양한 양상들은 당업자가 본 발명을 실시할 수 있도록 제공된다. 본 개시 전반에 걸쳐 제시되는 예시적인 실시예들에 대한 다양한 변형들은 당업자들에게 용이하게 명백할 것이며, 본 명세서에 기재된 개념들은 다른 자기 저장 디바이스들로 확장될 수도 있다. 따라서, 청구항들은 본 개시의 다양한 양상들로 제한되도록 의도되는 것이 아니라, 청구항들의 문언에 부합하는 최대 범위를 부여하려는 것이다. 당업자들에게 알려졌거나 추후에 알려지게 될 본 개시 전반에 걸쳐 설명된 예시적인 실시예들의 다양한 컴포넌트들에 대한 모든 구조적 및 기능적 균등물들은, 인용에 의해 본 명세서에 명백히 포함되고, 청구항들에 의해 포함되도록 의도된다. 또한, 본 명세서에 개시된 내용은, 청구항들에 이러한 개시 내용이 명시적으로 기재되어 있는지 여부와 관계없이, 공중이 사용하도록 의도되는 것은 아니다. 어떤 청구항 엘리먼트도, 그 엘리먼트가 어구 "하기 위한 수단" 을 사용하여 명백하게 언급되거나, 방법 청구항의 경우에는 그 엘리먼트가 어구 "하는 단계" 를 사용하여 언급되지 않는한, 35 U.S.C. § 112(f)의 규정들 하에서 해석되지 않을 것이다.

도면

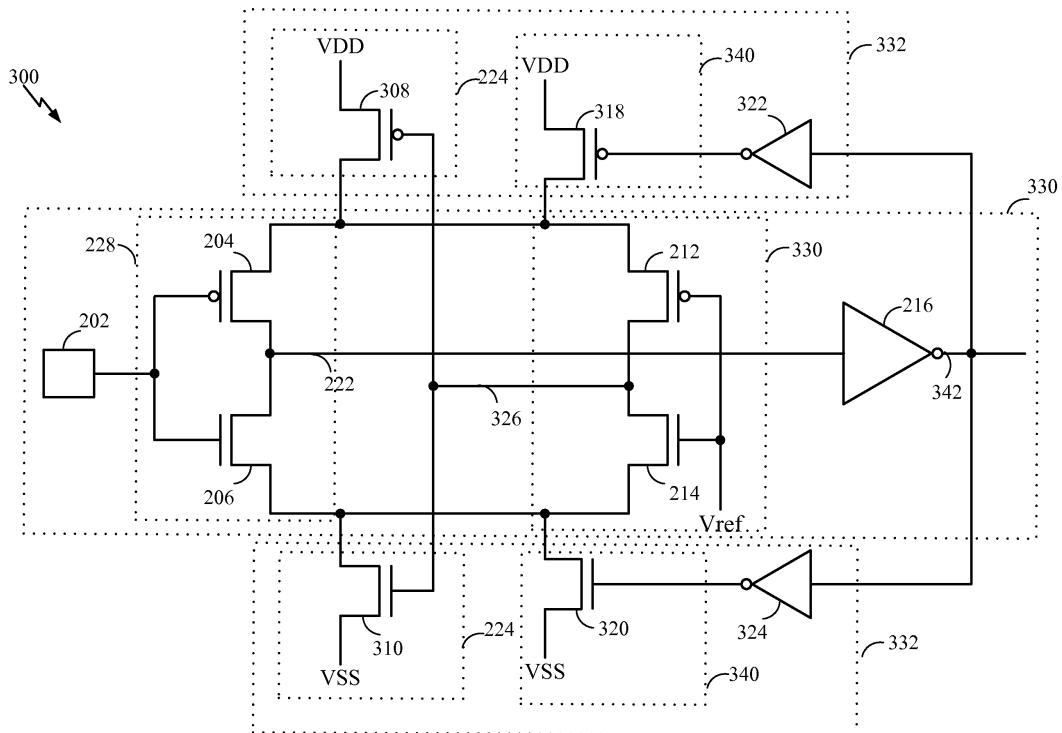
도면1



도면2



도면3



도면4

400 ↘

