

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6370929号
(P6370929)

(45) 発行日 平成30年8月8日(2018.8.8)

(24) 登録日 平成30年7月20日(2018.7.20)

(51) Int.Cl.

H02M 3/155 (2006.01)

F I

H02M 3/155

N

請求項の数 20 (全 20 頁)

(21) 出願番号 特願2016-568905 (P2016-568905)
 (86) (22) 出願日 平成26年5月22日 (2014.5.22)
 (65) 公表番号 特表2017-517235 (P2017-517235A)
 (43) 公表日 平成29年6月22日 (2017.6.22)
 (86) 国際出願番号 PCT/CN2014/078117
 (87) 国際公開番号 WO2015/176269
 (87) 国際公開日 平成27年11月26日 (2015.11.26)
 審査請求日 平成29年5月12日 (2017.5.12)

(73) 特許権者 507107291
 テキサス インストルメンツ インコーポ
 レイテッド
 アメリカ合衆国 テキサス州 75265
 -5474 ダラス メール ステイショ
 ン 3999 ビーオーボックス 655
 474
 (74) 代理人 100098497
 弁理士 片寄 恭三
 (72) 発明者 ジミン フー
 中華人民共和国 広東省 シェンゼン、
 トウエルフス ナンシャן ディストリク
 ト、 ケジ サウス ロード ナンバー2
 8、 コンカ アールアンドディー ビル
 ディング 9階

最終頁に続く

(54) 【発明の名称】 デュアルカウンタデジタル積分器を備えるDC-DCコンバータコントローラ装置

(57) 【特許請求の範囲】

【請求項1】

DC-DCコンバータであって、

スイッチングノードに接続される少なくとも1つのスイッチを含むスイッチング回路と

、
コンバータ出力ノードの出力電圧を制御するように前記少なくとも1つのスイッチを選
択的に作動および停止させるためにスイッチング制御信号を提供する変調器回路と、前記出力電圧に少なくとも部分的に基づいてフィードバック電圧信号を提供するため
前記コンバータ出力ノードと結合されるフィードバック回路と、前記フィードバック電圧信号を受信するように接続される第1のコンパレータ入力と、
補償された基準信号を受信するように接続される第2のコンパレータ入力と、前記フィー
ドバック電圧信号と前記補償された基準信号とに基づいて前記出力電圧をレギュレートす
るためにループコンパレータ出力信号を前記変調器回路に提供するループコンパレータ出
力とを備えるループ比較器回路と、

デジタル積分器回路であって、

基準電圧に少なくとも部分的に基づいて積分器基準電圧信号を提供する基準回路と、

前記積分器基準電圧信号を受信するように前記基準回路に結合される第1の入力と、前
記フィードバック電圧信号を受信するように前記フィードバック回路に結合される第2の
入力と、前記基準電圧信号が前記フィードバック電圧信号よりも大きいかどうかを示すバ
イナリ比較器出力信号を提供するコンパレータ出力とを含む比較器回路と、

10

20

デュアルカウンタ回路と、
を含み、

前記デュアルカウンタ回路が、

積分器回路クロックソースに結合される第1のクロック入力と、前記比較器回路から前記コンパレータ出力信号を受信するように結合される第1のアップ/ダウンカウント入力と、マルチビットの第1のカウント出力値を示す信号を提供する複数の第1のカウントビット出力とを含むマルチビットの第1のカウントと、

第2のクロック入力と、第2のアップ/ダウンカウント入力と、マルチビットの第2のカウント出力値を示す信号を提供する複数の第2のカウントビット出力とを含むマルチビットの第2のカウントと、

10

前記第1のカウントビット出力が初期に前記第1のカウントの所定の値を示すことに応答して前記第2のカウントを初期にインクリメントまたはデクリメントし、その後、前記第1のカウントビット出力が前記第1のカウントの全値範囲にわたって一方向に遷移した後に前記第1のカウントビット出力が再び前記所定の値を示すことに応答して前記第2のカウントをインクリメントまたはデクリメントするように作用する、論理回路と、

を含む、

前記デジタル積分器回路と、

前記第2のカウントビット出力に接続される複数の入力と、前記第2のカウントビット出力と前記基準電圧とに少なくとも部分的に基づいて前記第2のコンパレータ入力に提供される前記補償された基準信号を制御する出力とを備えるデジタル アナログコンバータと、

20

を含む、D C D C コンバータ。

【請求項2】

請求項1に記載のD C D C コンバータであって、

前記論理回路が、前記第1のカウントに結合される複数の入力と、前記第2のクロック入力に結合される第1の論理出力と、前記第2のアップ/ダウンカウント入力に結合される第2の論理出力とを含み、

前記論理回路が、

前記第1のカウントビット出力が前記第1のカウントの第1の所定の値を示すことに応答して前記第1の論理出力を第1のバイナリクロック入力状態に設定し、

30

前記第1のカウントビット出力が前記第1のカウントの第2の所定の値を示すことに応答して前記第1の論理出力を第2のバイナリクロック入力状態に設定し、

前記第1のカウントビット出力が前記第1のカウントの前記第2の所定の値へ第1の方向に遷移することに応答して前記第2の論理出力を第1のバイナリカウンタ状態に設定し、

前記第1のカウントビット出力が前記第1のカウントの前記第2の所定の値へ第2の方向に遷移することに応答して前記第2の論理出力を第2のバイナリカウンタ状態に設定するように、

作用する、D C D C コンバータ。

【請求項3】

40

請求項2に記載のD C D C コンバータであって、

前記デュアルカウンタ回路が、

第1の状態において前記第2のカウントの前記第2のクロック入力を前記論理回路の前記第1の論理出力に接続するために、第2の状態において前記第2のカウントの前記第2のクロック入力を前記積分器回路クロックソースに接続するために、制御入力に従って作用する第1のスイッチと、

前記第1の状態において前記第2のカウントの前記第2のアップ/ダウンカウント入力を前記論理回路の前記第2の論理出力に接続するために、前記第2の状態において前記第2のカウントの前記第2のアップ/ダウンカウント入力を前記コンパレータ出力に接続するために、前記制御入力に従って作用する第2のスイッチと、

50

を更に含む、D C D C コンバータ。

【請求項 4】

請求項 3 に記載の D C D C コンバータであって、

前記第 1 および第 2 のカウンタが、第 1 のモードにおいて対応するクロック入力と対応するアップ / ダウンカウント入力とに従ってそれらのそれぞれのカウンタビット出力を選択的に更新するために、第 2 のモードにおいてそれらのそれぞれのカウンタビット出力の更新を控えるために、保留制御入力信号に従って個別に動作可能である、D C D C コンバータ。

【請求項 5】

請求項 2 に記載の D C D C コンバータであって、

前記第 1 および第 2 のカウンタが、第 1 のモードにおいて対応するクロック入力と対応するアップ / ダウンカウント入力とに従ってそれらのそれぞれのカウンタビット出力を選択的に更新するために、第 2 のモードにおいてそれらのそれぞれのカウンタビット出力の更新を控えるために、保留制御入力信号に従って個別に動作可能である、D C D C コンバータ。

【請求項 6】

請求項 1 に記載の D C D C コンバータであって、

前記デュアルカウンタ回路が、

第 1 の状態において前記第 2 のカウンタの前記第 2 のクロック入力を前記論理回路に接続するために、第 2 の状態において前記第 2 のカウンタの前記第 2 のクロック入力を前記積分器回路クロックソースに接続するために、制御入力に従って作用する第 1 のスイッチと、

前記第 1 の状態において前記第 2 のカウンタの前記第 2 のアップ / ダウンカウント入力を前記論理回路に接続するために、前記第 2 の状態において前記第 2 のカウンタの前記第 2 のアップ / ダウンカウント入力を前記コンパレータ出力に接続するために、前記制御入力に従って作用する第 2 のスイッチと、

を更に含む、D C D C コンバータ。

【請求項 7】

請求項 6 に記載の D C D C コンバータであって、

前記第 1 および第 2 のカウンタが、第 1 のモードにおいて対応するクロック入力と対応するアップ / ダウンカウント入力とに従ってそれらのそれぞれのカウンタビット出力を選択的に更新するために、第 2 のモードにおいてそれらのそれぞれのカウンタビット出力の更新を控えるために、保留制御入力信号に従って個別に動作可能である、D C D C コンバータ。

【請求項 8】

請求項 1 に記載の D C D C コンバータであって、

前記第 1 および第 2 のカウンタが、第 1 のモードにおいて対応するクロック入力と対応するアップ / ダウンカウント入力とに従ってそれらのそれぞれのカウンタビット出力を選択的に更新するために、第 2 のモードにおいてそれらのそれぞれのカウンタビット出力の更新を控えるために、保留制御入力信号に従って個別に動作可能である、D C D C コンバータ。

【請求項 9】

パルス幅変調 (P W M) コントローラであって、

マルチビットデジタル入力と基準電圧とに少なくとも部分的に従って補償された基準信号を提供する基準補償回路と、

フィードバック電圧信号と前記補償された基準信号とに基づいて電力コンバータ出力電圧を制御するためにループコンパレータ出力信号を変調器回路に提供するループ比較器回路と、

基準電圧に少なくとも部分的に基づいて積分器基準電圧信号を提供する基準回路と、基準電圧信号が前記フィードバック電圧信号よりも大きいかどうかを示すバイナリ比較器出

10

20

30

40

50

力信号を提供する比較器回路と、デュアルカウンタ回路とを含む、デジタル積分器回路と、

を含み、

前記デュアルカウンタ回路が、

前記コンパレータ出力信号と積分器クロック入力信号とを受信し、マルチビットの第1のカウンタ値を提供する、第1のカウンタと、

第2のクロック入力と第2のアップ/ダウンカウント入力とを含み、前記マルチビットデジタル入力を前記基準補償回路に提供する、第2のカウンタと、

前記第1のカウンタ値が所定の値を示すことに基づいて前記第2のカウンタを初期にインクリメントまたはデクリメントし、その後、前記第1のカウンタ値が所定のマルチビットカウンタ範囲にわたってインクリメントまたはデクリメントすることに応答して第2のカウンタを選択的にインクリメントまたはデクリメントする、論理回路と、

を含む、パルス幅変調コントローラ。

【請求項10】

請求項9に記載のPWMコントローラであって、

前記所定のマルチビットカウンタ範囲が前記第1のカウンタの全範囲である、PWMコントローラ。

【請求項11】

請求項10に記載のPWMコントローラであって、

第1の状態において前記第2のクロック入力を前記論理回路に接続するために、第2の状態において前記第2のクロック入力を前記積分器クロック入力信号に接続するために、制御入力に従って作用する第1のスイッチと、

前記第1の状態において前記第2のアップ/ダウンカウント入力を前記論理回路に接続するために、前記第2の状態において前記第2のアップ/ダウンカウント入力を前記コンパレータ出力に接続するために、前記制御入力に従って作用する第2のスイッチと、

を更に含む、PWMコントローラ。

【請求項12】

請求項11に記載のPWMコントローラであって、

前記第2のカウンタが、前記基準補償回路に提供される前記マルチビットデジタル入力をフリーズするための保留制御入力を更に含む、PWMコントローラ。

【請求項13】

請求項12に記載のPWMコントローラであって、

過電流制限状況が検出されるときに前記基準補償回路に提供される前記マルチビットデジタル入力をフリーズするために前記第2のカウンタの前記保留制御入力に保留信号を選択的に提供するように作用する過電流制限回路を更に含む、PWMコントローラ。

【請求項14】

請求項9に記載のPWMコントローラであって、

第1の状態において前記第2のクロック入力を前記論理回路に接続するために、第2の状態において前記第2のクロック入力を前記積分器クロック入力信号に接続するために、制御入力に従って作用する第1のスイッチと、

前記第1の状態において前記第2のアップ/ダウンカウント入力を前記論理回路に接続するために、前記第2の状態において前記第2のアップ/ダウンカウント入力を前記コンパレータ出力に接続するために、前記制御入力に従って作用する第2のスイッチと、

を更に含む、PWMコントローラ。

【請求項15】

請求項14に記載のPWMコントローラであって、

前記第2のカウンタが、前記基準補償回路に提供される前記マルチビットデジタル入力をフリーズするための保留制御入力を更に含む、PWMコントローラ。

【請求項16】

請求項15に記載のPWMコントローラであって、

過電流制限状況が検出されるときに前記基準補償回路に提供される前記マルチビットデジタル入力をフリーズするために前記第2のカウンタの前記保留制御入力に保留信号を選択的に提供するように作用する過電流制限回路を更に含む、PWMコントローラ。

【請求項17】

請求項9に記載のPWMコントローラであって、

前記第2のカウンタが、前記基準補償回路に提供される前記マルチビットデジタル入力をフリーズするための保留制御入力を更に含む、PWMコントローラ。

【請求項18】

請求項17に記載のPWMコントローラであって、

過電流制限状況が検出されるときに前記基準補償回路に提供される前記マルチビットデジタル入力をフリーズするために前記第2のカウンタの前記保留制御入力に保留信号を選択的に提供するように作用する過電流制限回路を更に含む、PWMコントローラ。

10

【請求項19】

請求項9に記載のPWMコントローラであって、

前記基準補償回路が、前記マルチビットデジタル入力と前記基準電圧とに少なくとも部分的に従って前記補償された基準信号を提供するために、前記マルチビットデジタル入力に従って動作されるスイッチを備える、スイッチングされる抵抗ディバイダ回路を含む、PWMコントローラ。

【請求項20】

基準電圧信号とフィードバック電圧信号との間の誤差を積分するためのデジタル積分器回路であって、

20

前記基準電圧信号が前記フィードバック電圧信号よりも大きいかどうかを示すバイナリ比較器出力信号を提供するコンパレータ出力を含む、比較器回路と、

積分器回路クロックソースに結合される第1のクロック入力と、前記コンパレータ出力信号を受信するように結合される第1のアップ/ダウncount入力と、マルチビットの第1のカウンタ出力値を示す信号を提供する複数の第1のカウンタビット出力とを含む、第1のカウンタと、

第2のクロック入力と、第2のアップ/ダウncount入力と、マルチビットの第2のカウンタ出力値を示す信号を提供する複数の第2のカウンタビット出力と、前記第2のカウンタビット出力をフリーズするための保留制御入力とを含む、第2のカウンタと、

30

前記第1のカウンタビット出力が初期に所定の値を示すことに応答して前記第2のカウンタを初期にインクリメントまたはデクリメントし、その後、前記第1のカウンタビット出力が前記第1のカウンタの全値範囲にわたって一方向に遷移した後前記第1のカウンタビット出力が再び前記所定の値を示すことにのみ応答して前記第2のカウンタをインクリメントまたはデクリメントするように作用する、論理回路と、

第1の状態において前記第2のカウンタの前記第2のクロック入力を前記論理回路に接続するために、第2の状態において前記第2のカウンタの前記第2のクロック入力を前記積分器回路クロックソースに接続するために、制御入力に従って作用する、第1のスイッチと、

前記第1の状態において前記第2のカウンタの前記第2のアップ/ダウncount入力を前記論理回路に接続するために、前記第2の状態において前記第2のカウンタの前記第2のアップ/ダウncount入力を前記コンパレータ出力に接続するために、前記制御入力に従って作用する、第2のスイッチと、

40

を含む、デジタル積分器回路。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、DC-DCコンバータの制御に関し、より詳細には、デュアルカウンタデジタル積分器回路要素を備えるDC-DCコンバータコントローラ装置に関する。

【背景技術】

50

【 0 0 0 2 】

電圧レギュレータおよび D C D C コンバータは、典型的に、プロセッサ、A S I C、メモリ、および、当今の電子回路におけるその他の構成要素の適正な動作のために、安定したレギュレートされた供給電圧を提供することが必要とされる。コンピュータ、スマートフォン、タブレット、および、その他の電子製品は特に、プロセッサおよび他の内部回路要素の動作のために、高度に正確な供給電圧を必要とする。D C D C コンバータコントローラは、典型的に、初始動、負荷トランジェント、過電流状況、および定常状態動作の間、概ね一定の出力電圧を維持するために、閉ループコンバータ動作を提供する。スイッチングコンバータは、典型的に、パルス幅変調されたスイッチング制御信号により動作される一つまたは複数のスイッチングデバイスを含み、パルス幅変調 (P W M) の一般的な形態は、概ね固定のスイッチング周波数を用い、コントローラは、フィードバック信号に従って出力電圧をレギュレートするためにスイッチング制御信号パルスの幅または期間を修正する。しかし、固定周波数 D C D C 変換は、負荷電流に突然の変化がある状態で、電圧レギュレーション制限を受ける。定常状態動作においてさえ、供給電圧の正確さは、P W M 比較器回路要素におけるオフセット、電流信号変動、および、基準ディバイダ誤差によって不利に影響され、システムオフセットを補償するためにアナログ積分器回路がしばしば用いられる。しかし、アナログ積分器は、外部コンデンサを必要とし、集積回路ダイの大部分を占有し、また、高電力消費および有限の時定数を受け、負荷トランジェントの間、出力レギュレーションを不十分なものにする。また、不連続導通モード (D C M) と連続導通モード (C C M) との間の遷移の間アナログ積分器をオフにすると、積分器コンデンサ両端の電圧が経時的に放電するので、記憶された積算値としての不安定性がもたらされる。それゆえ、アナログ積分器の解決策は、軽負荷状況におけるアナログ積分器の遮断による負荷効率の犠牲を必要とするか、或いは、システムにおけるその他の機能ブロックからの電力を削減することにより許容可能な軽負荷効率および正確さを提供し得る。デジタル積分器は、アナログ積分器に比べて占有する領域が小さく使用する電力が少ないが、デジタルアップ/ダウンカウンタを用いるデジタル積分器は、特に負荷トランジェント状況の間、ループ安定性問題に悩まされる。従って、従来のアプローチよりも良好なループ安定性を有する、レギュレーション正確さの改善のための、改善されたパルス幅変調コントローラおよび D C D C コンバータに対する需要がある。

【 発明の概要 】

【 0 0 0 3 】

本開示は、ループ比較器およびその他の P W M 制御回路オフセットを補償するために、一体化した、安定した正確な動作を助長するために有利に用いられ得る複数のカウンタを用いる新規のデジタル積分器を備える、D C D C コンバータおよびコントローラの実施形態を提供する。

【 0 0 0 4 】

D C D C コンバータが開示される。D C D C コンバータは、スイッチング回路、変調器、フィードバック回路、および、フィードバック電圧信号および補償された基準信号に基づいて出力電圧をレギュレートするために出力信号を変調器に提供する、ループ比較器回路を含む。D C D C コンバータはまた、デジタル積分器回路を含み、デジタル積分器回路は、積分器基準電圧信号を受信するために結合される第 1 の入力と、フィードバック電圧信号を受信するために結合される第 2 の入力と、基準電圧がフィードバック電圧よりも大きいかどうかを示す出力信号を提供するコンパレータ出力とを含む比較器回路を備える。デジタル積分器は、第 1 および第 2 のマルチビットカウンタを備えるデュアルカウンタ回路を含む。第 1 のカウンタのクロック入力が、積分器回路クロックソースと結合され、第 1 のカウンタのアップ/ダウンカウント入力が、コンパレータ出力を受信するように結合され、第 1 のカウンタは、マルチビットの第 1 のカウンタ出力値を示す信号を提供する複数の第 1 のカウンタビット出力を有する。論理回路が、第 1 のカウンタビット出力が所定の第 1 のカウンタ値を初期に示すことに応答して、第 2 のカウンタを初期にインクリメントまたはデクリメントし、その後、第 1 のカウンタビット出力が、第 1 のカウンタ

の全値範囲にわたって一方向に遷移した後、第1のカウンタビット出力が再び所定の値を示すことに応答して、第2のカウンタをインクリメントまたはデクリメントする。デジタルアナログコンバータ(DAC)が提供される。DACは、第2のカウンタビット出力に接続される複数の入力と、第2のカウンタビット出力および基準電圧に少なくとも部分的に基づいて第2のコンパレータ入力に提供される補償された基準信号を制御する出力とを含む。幾つかの実施形態における、第2のカウンタの制御されたインクリメントおよびデクリメントを有する2つの別個のカウンタの提供が、安定性の向上のために積分器の帯域幅または応答時間を有利に制御するために用いられ得、これにより、安定した正確なDC-DCコンバータ動作が向上される。

【0005】

10

幾つかの実施形態において、通常または定常状態動作にわたり、第2のカウンタのクロックおよびアップ/ダウncount入力を論理回路に選択的に接続するために、および、第2のモードにおいて、第2のカウンタアップ/ダウncount入力をコンパレータ出力に代替的に接続し、第2のカウンタのクロック入力を積分器回路クロックソースに接続するために、スイッチが含まれ得る。幾つかの実施形態のこの更なる態様は、DC-DCコンバータの始動の間、補償された基準信号の、正確な値への迅速な遷移を促進し得る。

【0006】

カウンタの一方または両方が、幾つかの実施形態において、保留制御入力信号を受信するため、ならびに、第1のモードにおいて、対応するクロックおよびアップ/ダウncount入力的に従ってそれらのそれぞれのカウンタ出力を選択的に更新するように、および、第2のモードにおいて、それらのそれぞれのカウンタビット出力の更新を控えるように機能するために、入力を含み得る。このような実施形態は、過電流制限状況、過電圧状況など、フィードバックが不正確であると知られるかまたは考えられる状況において、積算値をフリーズまたは保留するために有利に用いられ得る。

20

【0007】

パルス幅変調(PWM)コントローラ実施形態が、本開示の更なる態様に従って提供される。PWMコントローラ実施形態は、マルチビットデジタル入力および基準電圧に少なくとも部分的に従って、補償された基準信号を提供する基準補償回路、ならびに、フィードバック電圧および補償された基準信号に基づいて電力コンバータ出力電圧を制御するためのループ比較器回路、ならびに、デジタル積分器回路を含む。デジタル積分器回路は、基準電圧信号がフィードバック電圧信号よりも大きいかどうかを示すバイナリ比較器出力信号を提供する比較器回路と、第1および第2のカウンタ及び論理回路を備えるデュアルカウンタ回路とを含む。第1のカウンタは、コンパレータ出力信号および積分器クロック入力信号を受信し、マルチビットの第1のカウンタ値を提供し、第2のカウンタは、マルチビットのデジタル入力を基準補償回路に提供する。論理回路は、第1のカウンタ値が所定の値を示すことに基づいて第2のカウンタを初期にインクリメントまたはデクリメントし、その後、第1のカウンタ値が所定のマルチビットカウンタ範囲にわたってインクリメントまたはデクリメントすることに応答して、第2のカウンタを選択的にインクリメントまたはデクリメントする。

30

【0008】

40

幾つかの実施形態における所定のマルチビットカウンタ範囲は、第1のカウンタの全範囲である。また、幾つかの実施形態において、第1のスイッチが提供され、第1のスイッチは、制御入力に従って、第1の状態において第2のクロック入力を論理回路に接続するように、および、第2の状態において第2のクロック入力を積分器クロック入力信号に接続するように作用し、また、第2のスイッチが提供され、第2のスイッチは、制御入力に従って、第1の状態において第2のアップ/ダウncount入力を論理回路に接続するように、および、第2の状態において第2のアップ/ダウncount入力をコンパレータ出力に接続するように作用する。幾つかの実施形態における第2のカウンタは、基準補償回路に提供されるデジタル入力をフリーズするための保留制御入力を含む。また、幾つかの実施形態は、過電流制限状況が検出されるとき、基準補償回路に提供されるマルチビット

50

デジタル入力をフリーズするために、第2のカウンタの保留制御入力に保留信号を選択的に提供するように作用する、過電流制限回路を含む。幾つかの実施形態における基準補償回路は、マルチビットデジタル入力および基準電圧に少なくとも部分的に従って、補償された基準信号を提供するため、マルチビットデジタル入力に従って動作されるスイッチを備える、スイッチングされる抵抗ディバイダ回路を含む。

【0009】

基準電圧信号とフィードバック電圧信号との間の誤差を積分するために、本開示の更なる態様に従ってデジタル積分器回路が提供される。デジタル積分器は、基準電圧信号がフィードバック電圧信号よりも大きいかどうかを示すバイナリ比較器出力信号を提供する出力を備える比較器回路、第1および第2のカウンタ、ならびに、論理回路を含む。第1のカウンタは、積分器回路クロックソースに結合される第1のクロック入力と、コンパレータ出力信号を受信するために結合される第1のアップ/ダウンカウント入力と、マルチビットの第1のカウンタ出力値を示す信号を提供する複数の第1のカウンタビット出力とを含む。第2のカウンタは、第2のクロック入力と、第2のアップ/ダウンカウント入力と、マルチビットの第2のカウンタ出力値を示す信号を提供する複数の第2のカウンタビット出力と、第2のカウンタビット出力をフリーズするための保留制御入力とを含む。論理回路は、第1のカウンタビット出力が初期に所定の値を示すことに応答して第2のカウンタを初期にインクリメントまたはデクリメントするように作用する。その後、論理回路は、第1のカウンタビット出力が第1のカウンタの全値範囲にわたって一方向に遷移した後、第1のカウンタビット出力が再び所定の値を示すことのみに応答して、第2のカウンタをインクリメントまたはデクリメントする。幾つかの実施形態におけるデジタル積分器は、制御入力に従って、第2のカウンタのクロック入力を論理回路に接続するように第1の状態において、および、第2のカウンタの第2のクロック入力を積分器回路クロックソースに接続するように第2の状態において作用する第1のスイッチと、制御入力に従って、第2のアップ/ダウンカウント入力を論理回路に接続するように第1の状態において、および、第2のアップ/ダウンカウント入力をコンパレータ出力に接続するように第2の状態において作用する第2のスイッチとを含む。

【図面の簡単な説明】

【0010】

以下の説明および図面は、本開示の幾つかの例示的な実装を詳細に述べたものであり、本開示の様々な原理が実施され得る幾つかの方法を示す。しかし、例示される例は、本開示の多くの可能な実施形態を網羅するものでない。本開示のその他の目的、利点、および新規の特徴が、図面と共に検討される際に、以下の詳細な説明において述べられる。

【0011】

【図1】本開示の一つまたは複数の態様に従った、補償された基準電圧を変調器回路ループコントローラに提供するデュアルカウンタデジタル積分器回路を備えるDC-DCコンバータを図示する概略図である。

【0012】

【図2】デジタル積分器におけるデュアルカウンタ回路の更なる詳細を図示する概略図である。

【0013】

【図3】デジタル積分器における論理回路の動作を図示する状態図である。

【0014】

【図4】デジタル積分器におけるスイッチングされる抵抗ディバイダデジタル-アナログコンバータを図示する概略図である。

【0015】

【図5】図1のDC-DCコンバータにおける種々の信号波形を図示する波形図である。

【0016】

【図6】本開示の一つまたは複数の態様に従った、補償された基準電圧を変調器回路ループコントローラに提供するデュアルカウンタデジタル積分器回路を備える、別のDC-D

10

20

30

40

50

Cコンバータを図示する概略図である。

【0017】

【図7】図6のDC-DCコンバータにおける種々の信号波形を図示する波形図である。

【発明を実施するための形態】

【0018】

一つまたは複数の実施形態または実装が、図面と共に以下で説明される。図面において、同様の参照数字は、全体を通して同様の要素を参照するために用いられ、種々の特徴は必ずしも等倍に描かれていない。

【0019】

図1は、コンバータ出力端子および回路接地3の間に接続される関連する負荷2を駆動するように、出力電圧V_{out}を提供するためのDC-DCコンバータ10を図示し、この非限定的な例におけるコンバータ10は、スイッチングノードSWおよび出力端子の間に接続される出力インダクタ4を備えるバックコンバータである。関連する等価直列抵抗(E_{SR})8を有する出力コンデンサ6が、出力端子および回路接地3の間に、駆動負荷2と並列に接続される。図示されるDC-DCコンバータ10は、疑似一定周波数で動作する変調器を提供するが、一定周波数または疑似一定周波数動作は、全ての実施形態の厳格な要件ではない。適切な変調器および関連する回路要素の一般動作は、米国特許番号第6,642,696号、第7,652,461号、および、第8,476,887号において説明されており、これらは参照により全般的に本明細書に組み込まれる。図1におけるDC-DCコンバータ10は、入力供給電圧V_{in}および回路接地3の間に接続される上部および下部電界効果トランジスタ(FET)スイッチングデバイス20および24(この例ではNMOS)を含むスイッチング回路を含み、スイッチ20および24は、スイッチングノードSWで互いに接続される。任意の適切なスイッチング回路要素が、少なくとも一つの対応するスイッチング制御信号に従った選択的動作のためにスイッチングノードに接続される少なくとも一つのスイッチを有して用いられ得る。図示される例において、それぞれ、ハイおよびロードライバ回路22および26が、PWMラッチフリップフロップ64(PWML)からの変調された出力信号65に基づいて、それぞれ、スイッチ20および24にスイッチング制御信号を提供し、ラッチ64は、クロスコンダクション制御回路66に入力信号を提供し、クロスコンダクション制御回路66は、負荷2に提供される出力電圧V_{out}を制御するように、ハイおよびロースイッチングデバイス20および24の相補パルス幅変調動作のためにドライバ22および26に入力を提供する。

【0020】

幾つかの実施形態において、DC-DCコンバータ10のパルス幅変調制御は、PWMコントローラ集積回路(IC)を介して提供される。PWMコントローラ集積回路(IC)は、必ずしもスイッチ20および24を含まなくてもよく、外部出力インダクタ4の接続のため端子18を提供する。電圧感知(V_{SNS})入力端子11が、DC-DCコンバータ出力電圧V_{out}を感知するように、感知された電圧ノード28への接続のために提供され得、入力電圧端子12が、図1に概略的に示されるように、入力電圧V_{in}を受信するために含まれ得る。スイッチングデバイス20および24、ならびに/または、関連するドライバ22および26が、コントローラICの外にあり得、コントローラICが、そのような構成要素を内部変調器回路要素に接続するための適切な端子を含み得る、その他の実施形態が可能である。また、図示される例は、ハイおよびロードライバ22および26ならびに関連するスイッチングデバイス20および24の両方を含むが、或る実装において、ダイオードがスイッチングノードSWおよび回路接地3の間に接続されることによりローサイドスイッチ24および対応するドライバ26は省略され得る。また、図1におけるDC-DCコンバータ10はバックタイプコンバータであるが、本開示の種々の概念は、DC-DCコンバータまたは電圧レギュレータの任意の適切な形態に関して用いられ得、こういった形態には、バックコンバータ、ブーストコンバータ、バックブーストコンバータ、C_{UK}コンバータ等が含まれるが、これらに限定されない。また、図示される実施形態において、外部から制御可能なSTART信号が、対応する端子14を介してコ

10

20

30

40

50

ントローラICに提供され得、または、起動制御信号が、種々の実施形態において、コントローラICにおけるタイマーまたはその他の回路要素（図示せず）を用いて内部に生成され得る。PWM制御回路要素は一般に、基準電圧VREFに従って出力電圧Voutをレギュレートするために通常モードにおいて動作し、基準電圧VREFは、図示される実施形態において、PWMコントローラICに基準電圧端子46を介して提供される外部入力信号である。

【0021】

PWMラッチ64は、ドライバ22、26、任意に含まれるクロスコンダクション制御回路66、およびループ比較器36と共に、PWMコントローラの一部として変調器回路を形成する。ループ比較器36は、ANDゲート62を介してラッチ64のセット入力「S」にループコンパレータ出力37を提供して、以下で更に説明されるように、非反転の第1のコンパレータ入力34に接続されるフィードバック信号（FB）に、および、デジタル積分器40から非反転ループコンパレータ入力38に提供される補償された基準信号VREFoutに基づいて、コンパレータ出力電圧Voutをレギュレートする。この場合のフィードバック信号FBは、ノード28の出力電圧感知信号VSNsと回路接地3との間に接続される上部および下部レジスタ30および32を含む、抵抗ディバイダフィードバック回路によって提供され、ディバイダ30、32のセンターノードは、感知された出力電圧Voutの一部として、ループ比較器回路36およびデジタル積分器40にフィードバック電圧信号FBを提供する。

【0022】

図示される例において、PWMラッチ64の出力65（「Q」）は、入力として、クロスコンダクション制御回路66に、また、最小オフ時間タイマー回路70に、ならびに、ORゲート82および84に提供される。タイマー回路70は、正の供給電圧とオフ時間タイマーコンデンサ74（Coff）の上部端子との間に接続される電流源72（Ioff）を含み、オフ時間タイマーコンデンサ74（Coff）の下部端子は回路接地に接続され、NMOSトランジスタ76が、PWMラッチ出力65を受信し、これに応じてコンデンサ74の両端の電圧を選択的に短絡（例えば、放電）させる。電流源72およびコンデンサ74は、その後、比較器78の非反転入力に立ち上がり電圧信号を提供し、立ち上がり電圧信号は、比較器78がORゲート82の入力に出力信号を提供するように、基準電圧79と比較される。ORゲート82の出力は、PWMラッチ64のS入力を制御するために、第2の入力としてANDゲート62に提供され、これにより、PWMラッチ出力信号65がオフである時間の最小量を制御する。

【0023】

図1に更に示されるように、ゼロ交差比較器回路68が、スイッチノードSWの電圧を回路接地と比較し、ゼロ交差信号69を第2の入力としてORゲート84に提供する。ORゲート82および84は、ANDゲート86に入力を提供し、ANDゲート86の出力が、ゼロ交差ラッチ（ZCL）80へのリセット「R」入力を制御し、図示されるように、ゼロ交差ラッチ（ZCL）80は、ORゲート82の出力によりインバータ88を介して駆動されるセット「S」入力を有する。また、図示される実施形態において、クロスコンダクション制御回路66は、オン時間タイマー回路90を制御する出力信号を提供するため、ドライバ22の出力を基準電圧と比較し、オン時間タイマー回路90は、電流源92（Ion：これは、或る実装において、入力電圧Vin対外部制御レジスタRonの比であるように設定される）、タイミングコンデンサ94（Con）、制御トランジスタ96、および、比較器98を含み、比較器98は、コンデンサ94両端の立ち上がり電圧を、感知された出力電圧28と比較し、ドライバ22および26に提供されるPWMスイッチング信号のオン時間を制御するため、PWMラッチのリセット「R」入力に出力信号99を提供する。このように、PWM制御回路要素は、負荷2に提供されるDC-DCコンバータ出力電圧Voutを制御するため、閉ループ変調器を提供する。

【0024】

次に図1および図2を参照すると、ループ比較器36は、フィードバック電圧信号FB

10

20

30

40

50

を受信するように接続される第1の入力34、および、補償された基準信号VREFoutをデジタル積分器回路40から受信するように接続される第2のコンパレータ入力38を有する。例えば、ループ比較器オフセット、レジスタディバイダオフセット等、変調器回路要素におけるオフセットを補償するため、積分器40は、基準信号VREFおよびフィードバック信号FBを受信し、補償された基準信号VREFoutをループ比較器36に提供する。デジタル積分器40は、基準入力VREFと回路接地3との間に互いに直列に接続される上部レジスタ42および下部レジスタ44を備える抵抗ディバイダ基準回路を含み、積分器比較器48の非反転入力に積分器基準信号を提供する。比較器48の反転入力、図示されるように、レジスタ50およびコンデンサ52を含む任意選択のRCフィルタ回路を介してフィードバック信号FBを受信するように結合される。コンパレータ出力49は、基準電圧信号がフィードバック電圧信号FBよりも大きいかどうかを示すバイナリ比較器出力信号を生成する。コンパレータ出力49は、デュアルカウンタ回路54に入力信号として提供され、デュアルカウンタ回路54は、デジタルアナログコンバータ(DAC)60に、7ビットバイナリコードデジタル出力QH(6:0)を提供する。DAC60は、基準電圧VREFおよびデジタルカウンタ出力を受信し、補償された基準電圧VREFoutをループ比較器36の非反転入力38に提供する。

【0025】

図示される実施形態において、デュアルカウンタ回路54はまた、HOLD制御信号58および積分器クロック信号56(CLK)を受信する。任意の適切なクロックソースが、積分器クロック信号56として用いられ得る。例えば、PWMラッチ64を動作させるために用いられるPWMクロックが用いられ得るが、デジタル積分器40を動作させるために別個のクロックソース56を用いる種々の実装が可能である。一つの可能な実施形態において、HOLD信号58は、図2に示すように、過電流制限(OCCL)検出回路47から出力として提供され、回路47は、スイッチングノードSWの電圧および出力電圧感知信号VSNSに基づいて、DC-DCコンバータ10における過電流状況を検出する。HOLD信号58は、これに限定されないが過電圧状況等を含む、DC-DCコンバータ回路10におけるその他の状況に従って、代替的にまたは組み合わせて提供され得る。特に、HOLD信号58は、有利に、デジタル積分器40の値をフリーズさせ、従って、過電流制限において、および/または、感知された出力電圧及びそれゆえフィードバック信号FBが不正確であると考えられるその他の状況において、有用性を提供する。

【0026】

図2で最もよく分かるように、デュアルカウンタ回路54は、第1のカウンタ100(例えば、この例における低ビットカウンタ)を含み、第1のカウンタ100は、積分器回路クロックソースCLKを受信するクロック入力CLKL、および、比較器48から出力信号49を受信するように結合される第1のアップ/ダウンカウンタ入力UPLを備える。第1のカウンタ100は、6ビット出力QL(5:0)を提供するが、任意のマルチビットの第1のカウンタ100が、マルチビットの第1のカウンタ出力値を示す信号を提供する2またはそれ以上のバイナリ出力を有して用いられ得る。デュアルカウンタ回路54は更に、論理回路102およびマルチビットの第2のカウンタ104(例えば、高ビットカウンタ)を含み、マルチビットの第2のカウンタ104は、第2のクロック入力CLKH、第2のアップ/ダウンカウンタ入力UPH、および、補償された基準電圧VREFoutを生成するために7ビットの第2のカウンタ出力値を示す信号をDAC60に提供する、複数の第2のカウンタビット出力QH(6:0)を備える。図示される実施形態において7ビットの第2のカウンタ104が示されているが、第2のカウンタ104が任意の数のビットのマルチビットカウンタ出力を提供する、その他の実施形態が可能である。

【0027】

また、図3を参照すると、一実施形態における論理回路102は、状態機械を含むか、または、状態機械をその他の方式で実装し、状態機械は、第1のカウンタビット出力QL(5:0)が第1のカウンタ100の所定の値100000を初期に示すことに応答して、第2のカウンタ104を初期にインクリメントまたはデクリメントするように動作する

。任意の適切な所定の値が用いられ得、値 1 0 0 0 0 0 は一つの非限定的な例に過ぎない。また、所定の値（または第 1 および第 2 の所定の値、ならびに、以下で説明される既定の範囲）は、幾つかの実施形態においてプログラム可能とし得る。この点で、論理回路 1 0 2 は、同期回路、フリップフロップ、論理ゲート、レジスタ等、またはそれらの組合せを含む、任意の適切な固定またはプログラム可能な論理回路要素であり得る。論理回路 1 0 2 は、第 1 の（低ビット）カウンタ 1 0 0 からカウンタ出力を受信するように結合される複数の入力、ならびに、第 2 のクロック入力 C L K H と（例えば、直接的に、または、図 2 に示されるようにスイッチ 1 0 6 を介して）結合される第 1 の論理出力（C L K H）、および、第 2 のアップ/ダウンカウンタ入力 U P H と（例えば、直接的に、または、スイッチ 1 0 8 を介して）結合される第 2 の論理出力を有する。以下で更に説明されるように、スイッチ 1 0 6 および 1 0 8 は、図示されるデュアルカウンタ回路実施形態 5 4 において、S T A R T 信号 1 4 に従って通常モードおよび「起動」モードでの選択的動作のために、クロックおよびアップ/ダウンカウンタ入力の、第 2 のカウンタ 1 0 4 への接続を選択的に制御するように提供される。

【 0 0 2 8 】

第 2 のカウンタクロック入力 C L K H がスイッチ 1 0 6 を介して論理回路 1 0 2 の第 1 の論理出力に接続され、U P H カウンタ入力がスイッチ 1 0 8 を介して第 2 の論理出力に接続される通常動作において、且つ、高ビットカウンタ 1 0 4 の第 1 の更新の後、第 1 のカウンタビット出力 Q L (5 : 0) が所定の値範囲にわたってアップまたはダウンのいずれかに一方向に遷移した後、第 1 のカウンタビット出力 Q L (5 : 0) が再び所定の値 1 0 0 0 0 0 を示すことに応答して、論理回路 1 0 2 は、第 2 のカウンタ 1 0 4 を選択的にインクリメントまたはデクリメントする。図示される実施形態において、所定のマルチビットカウンタ範囲は第 1 のカウンタ 1 0 0 の全範囲であるが、論理回路 1 0 2 は、第 1 のカウンタ 1 0 0 の 2 つまたはそれ以上のカウント（アップまたはダウン）を表す任意の所定の範囲を実装するように構成され得る。また、或る実装において、すべての実施形態の厳格な要件ではないが、第 1 のカウンタ 1 0 0 が、方向を変えることなく所定の値範囲にわたって一方向の連続的遷移をすることに応答して、論理回路 1 0 2 は、第 2 のカウンタ 1 0 4 を選択的にインクリメントまたはデクリメントするように作用する。

【 0 0 2 9 】

図 3 は、論理回路 1 0 2 の一実施形態の動作を示す状態図 2 0 0 を図示し、アクティブロー H O L D 信号が、2 0 2 に置かれており、また 2 0 2 でアクティブ「1」状態である。H O L D 信号 5 8 が通常動作を開始するためにいったんローになると、論理回路 1 0 2 は、初期の第 1 のカウンタ値または状態 2 0 4 で、第 1 のカウンタ値またはコード 0 0 0 0 0 0 (図 3 における C O D E 1) で開始する。第 1 のカウンタ値がこの第 1 の所定の値 0 0 0 0 0 0 に達する際、論理回路 1 0 2 は、スイッチ 1 0 6 を介する第 2 のカウンタ 1 0 4 へのクロック入力をリセットするために、状態 2 2 4 で、第 1 の論理出力（C L K H）を、第 1 のバイナリクロック入力状態（L O W）に設定する。初期状態 2 0 4 から、第 1 のカウンタ 1 0 0 は、低ビットクロック C L K L の各アクティブエッジでカウントアップまたはカウントダウンするために、クロック入力 5 6 および積分器回路比較器 4 8 からのアップ/ダウン入力 4 9 に従って動作し、第 1 のカウンタ 1 0 0 は、U P L = 1 では、指定されたクロックエッジでインクリメントまたはカウントアップし（図面では時計回り）、および、U P L = 0 では、デクリメントまたはカウントダウン（反時計回り）する。

【 0 0 3 0 】

初期状態 2 0 4 からのアップカウントにより入力される第 1 の状態 2 0 6 (0 0 0 0 0 1)、次の上方値または状態 2 0 8 (0 0 0 1 0) を含め、多くの可能な第 1 のカウンタ値または状態のほんのいくつかは図 3 に図示されており、連続的なインクリメントは状態 2 1 0 (0 1 1 1 1 1) に至る。この場合、第 1 のカウンタビット出力 Q L (5 : 0) が第 2 の所定の値 1 0 0 0 0 0 まで上方に遷移することに応答して、論理回路 1 0 2 が、状態 2 1 2 で、第 2 の論理出力（U P H）を第 2 のバイナリカウンタ状態（H I G H）に設定することにより、第 1 のカウンタ 1 0 0 (U P L = 1) のそれに続く上方カウントが、

10

20

30

40

50

論理回路102を、状態212を介して第2の所定の値または状態214（カウント値が100000である、図3におけるCODE2）に遷移させる。また、この上方カウントの例における論理回路は、第1のカウンタ100が第2の所定の値100000までカウントすることに応答して、第2のカウンタ104のクロック入力をトリガするために、第1の論理出力（CLKH）を、第2のバイナリクロック入力状態（HIGH）216に設定する。

【0031】

図示されるデジタル積分器40において、第1のカウンタ100のこの上方カウント、及びその後続く、第1のカウンタが所定のカウント値100000に達することに応答した第2のカウンタ104の選択的なトリガが、第2のカウンタ104をインクリメントし、それゆえ、DAC60に提供されるカウント値QH（6：0）をインクリメントし、これにより、補償された基準電圧VREFoutが上昇する。次に、ループ比較器36の閉ループ動作が、VREFoutをフィードバック信号FBと比較し、これに従ってPWM制御回路要素の変調を改変し、これにより、DC-DCコンバータ出力電圧Voutが上昇し、入力としてデジタル積分器40に提供されるフィードバック信号FBの上昇がもたらされる。この補償された基準電圧およびコンバータ出力調整の結果は、積分器比較器48からのコンパレータ出力49を変化させても、変化させなくてもよい。変化させない場合、第1のカウンタ100は、状態214から状態218へ上方（図3において時計回り）にカウントし続け、この上方カウント（UPL=1）が、図示される状態220および222を介して継続し得、カウンタ100は、場合によって、状態204で第1の所定の値000000に再び達し得る。この場合、論理回路102は、状態224で第2のカウンタクロックCLKHをリセットするために、第1の論理出力を再びローに設定し、論理回路102は、第1のカウンタ100の任意の更なる上方カウントのために上述の動作を継続する。

【0032】

積分器比較器48による、基準信号と調整されたフィードバック信号との相対的な比較がコンパレータ出力49の状態を変化させる場合、第1のカウンタ100は、代わりに、下方へカウントし（UPL=0）、このような下方カウントは、図3の状態図200において反時計回りの方向で発生する。この場合、状態218（第1のカウンタ値100001）から第2の所定の値100000への下方遷移が、論理回路102に、状態226で、スイッチ108を介して第2のカウンタ104のUPH入力へ提供されるアップ/ダウン信号（LOW）を変化させ、また、カウンタ100が状態214で下方方向に100000値に達することに応答して、論理回路102に、状態216（ハイに向かうパルスエッジ）で、スイッチ106を介して第2のカウンタ104のクロック入力CLKHを再びトリガさせ、これにより、第2のカウンタ104のカウント値をデクリメントする。この例における下方方向の更なるカウントが、状態図200を、状態210、208、および206を介して後方に遷移させ、場合によって、204での第1の所定の値000000に再び達し、第1のカウンタ100の下方カウント動作が、上述したような論理回路動作となる。それゆえ、第2のカウンタは、所定のカウント範囲（例えば、この例において全範囲）にわたる一方向（または他方）の第1のカウンタ100のカウント動作に応答して、通常モード動作において選択的にインクリメントまたはデクリメントされる。

【0033】

この動作により、論理回路102は、第2の（高ビット）カウンタ104のインクリメントまたはデクリメントを選択的に制御し、このことが、DAC60により提供されるカウント値の調整を制御する。このように、デュアルカウンタ回路54は、デジタル積分器40の応答時間を減少または減速させ、これにより、DC-DCコンバータ10における安定した動作を促進し、一方で、従来のアナログ積分器回路要素と比較して、デジタル積分器の利点（例えば、削減された集積回路ダイスペース、削減された電力消費、デジタル積分器値保持等）を促進する。この点で、第1のカウンタ100が、この場合では第1のカウンタ100の全範囲である既定のカウント範囲にわたって遷移するまで、第2のカウ

10

20

30

40

50

ンタ 104 の出力は変化されないので、補償された基準電圧 V_{REFout} は安定する。例えば、第 2 のカウンタ 104 の応答を設定するために、第 1 のカウンタ 100 のカウント値の異なる既定の範囲を実装することにより、論理回路 102 のその他の実施形態が、デジタル積分器 40 のための異なる応答時定数を提供するように実装され得る。

【0034】

また、カウント値の既定の範囲が第 1 のカウンタ 100 において継続的に達成される場合に限り第 2 のカウンタ 104 がインクリメントまたはデクリメントされる、論理回路 102 の幾つかの実装が可能である。この点で、このような実施形態は、第 1 のカウンタ 100 が、カウント値の所定の範囲にわたって（如何なる下方カウントもなく）上方に継続的にカウントした後にのみ、第 2 のカウンタ 104 をインクリメントし得、また、第 1 のカウンタ 100 が、所定の範囲にわたって（如何なる上方カウントもなく）下方に継続的にカウントした後にのみ、第 2 のカウンタ 104 をデクリメントし得る。また、幾つかの実施形態において、異なる既定の範囲が上方カウントおよび下方カウントに対して実装され得るが、図示される実施形態のような両方向にカウントするために単一の範囲が用いられてもよい。また、論理回路 102 は、既定の値範囲の選択的な調整のために、（例えば、外部通信を通じて、または PWM コントローラ集積回路の入力ピンを介して等）構築可能またはプログラム可能であり得、これにより、デジタル積分器 40 の応答性の動的な調整を可能にし、または、異なる最終用途にいて単一の PWM コントローラ集積回路製品を適応または構築することが可能となる。

【0035】

開示されるデジタル積分器 40 の概念は、このように、アナログ積分器アプローチと比較して、削減された集積回路ダイサイズおよび電力消費を有利に促進し、外部積分器コンデンサの必要性をなくす。加えて、積分器 40 におけるデュアルカウンタ回路要素 54 の使用が、従来のアナログ積分器アプローチにおいて見られるループ安定性問題を軽減または防止し、一方で、ループ補償器オフセット等を含め、変調器回路におけるオフセットに関して、閉ループ DC-DC コンバータ制御を補償する。

【0036】

図 4 は、幾つかの実施形態において用いられ得る抵抗ディバイダ DAC 回路 60 を図示する。この実施形態における DAC 60 は 7 個のスイッチ 61 を含み、スイッチ 61 は、対応するレジスタ分岐を、基準電圧 V_{REF} にまたは回路接地 3 に選択的に接続するため、第 2 のカウンタ 104 のバイナリ出力（QH（6:0））の対応する一つに従って個別に作用する。任意の適切な抵抗値 R および $2R$ が用いられ得、図示される例はバイナリ重み付けを提供するものであり、幾つかの実施形態は更に、信号安定性および補償された基準電圧 V_{REFout} を促進するために、非反転ループコンパレータ入力 38 と回路接地 3 との間に接続される、静電容量（図示せず）を含み得る。図示される例は、7 ビット $R/2R$ ラダー回路であり、バイナリ重み付けによりループ比較器 36 に提供される補償された基準電圧 V_{REFout} のために 2^7 のあり得るアナログ電圧レベルが提供される。また、図示されるスイッチングされる抵抗ディバイダ回路 DAC 60 は一つの可能な実施形態に過ぎず、第 2 のカウンタ 104 からのカウンタ出力（QH（6:0））および基準電圧 V_{REF} に少なくとも部分的に基づいて、補償された基準電圧 V_{REFout} を提供するように動作する、任意の適切な形態のデジタル アナログコンバータ 60 が用いられ得る。

【0037】

図 2 に更に示されるように、デジタル積分器 40 は更に、起動の間、および / または、デジタル積分器 40 を迅速に応答させ得ることが望ましいその他の状況の間の迅速な動的応答のために、スイッチ 106 および 108 を提供する。第 1 のスイッチ 106 は、端子 14 で受信される START 信号に従って、第 2 のカウンタ 104 の第 2 のクロック入力 CLKH を論理回路 102 の第 1 の論理出力に接続するように第 1 の状態（通常動作）において、および、第 2 のカウンタ 104 の第 2 のクロック入力 CLKH を積分器回路クロックソース 56（CLK）に接続するように（START 信号がアクティベートされる）

第2の状態において動作する。また、第2のスイッチ108は、第2のカウンタ104の第2のアップ/ダウncount入力UPHを、論理回路102の第2の論理出力に接続するように通常モードにおいて、および、第2のカウンタ104の第2のアップ/ダウncount入力UPHをコンパレータ出力49に接続するように(START信号がアクティブである)起動モードにおいて動作する。それゆえ、START信号がアクティベートされるとき、第2のカウンタ104は、DAC60を制御するため、7ビット出力QH(6、0)を提供する単一の7ビットバイナリカウンタとして動作し、これにより、抵抗ディバイダ42、44からの基準信号と、積分器比較器48を介するフィードバック信号FBとの間の大きな差に迅速に応答する。START信号は、図示されるように、外部ソースから端子14を介して提供され得、または、種々の実施形態において、(例えば、PWM制御回路要素の起動の際の動作のため、および/または、その他の検出された動作状況等に基づいて)内部で生成され得、または、それらの組合せであり得る。

【0038】

図1および図2を再び参照すると、カウンタ100および104の一方または両方がHOLD入力を含み得、外部ソースから、および/または、図2に示されるOCL検出回路47などの内部ソースから、保留制御入力信号58を提供され得る。HOLD入力が、対応するクロック入力CLKL、CLKH、および対応するアップ/ダウncount入力UPL、UPHに従って、それらのそれぞれのカウンタビット出力を選択的に更新するためにアクティベートされない場合、図示される例におけるカウンタ100および104は、通常または起動モードにおいて上述したように動作する。HOLD信号がアクティベートされる場合(例えば、一例においてアクティブハイ)、カウンタ100および104は、それらのそれぞれのカウンタビット出力を更新するのを控える(それらは、カウントアップまたはカウントダウンしない)。幾つかの動作状況において、特に、感知される出力電圧およびそれゆえフィードバック信号FBが不正確であることが分かっているかまたは想定される場合、デジタル積分器40の値を本質的に保持または「フリーズ」するこの能力は、PWMコントローラの閉ループ動作における不正確さまたは不安定性さを防止または軽減する。例えば、CCMおよびDCM動作間の遷移、(例えば、図2におけるOCL検出回路47により検出される)過電圧状況または過電流制限状況の間、HOLD信号58の作動は、第2のカウンタ104の出力値をフリーズすることによってデジタル積分器40の積分動作を中断し得、これにより、DAC60による補償された基準信号VREFoutの不正確な調整を潜在的に防止し、また、HOLD信号58のディアクティベーションの際のセーブまたはフリーズされたカウンタ値を用いる後続の再開が可能となる。その結果、カウンタ100および104の一方もしくは両方(または少なくとも第2のカウンタ104)の出力値を保持またはフリーズする能力が、システム安定性を向上させる。また、デジタル積分器40を用いることで、アナログ積分器コンデンサの電圧がリークを受けるアナログ積分器回路要素と比較して、より正確な積分器値保持が可能となり、これにより、積分器値は徐々に失われる。通常動作の再開の際、図示される実施形態におけるHOLD信号58は、デジタル積分器40が、積分器出力情報を失うことなく、以前の状態から動作を再開することによって停止され得る。

【0039】

図5は、デジタル積分器140が初期化されるまでシステムソフトスタートが遅延される、図1のDC-DCコンバータ10の一実施形態の動作における種々の信号波形を図示するグラフ300を提供する。この例において、出力電圧Vout(図5における曲線302)は、時間T1に0Vで始まり、START信号14(曲線304)は初期にアクティブ(ロー)であり、HOLD信号58(図5における曲線310)は初期にアクティブ(ハイ)である。HOLD信号がアクティブである論理回路102の動作において、第2の論理出力(UPH、グラフ306)はハイのままであり、クロックパルス(CLKH)は、START信号14がアクティブである第1の論理出力により第2のクロック104に印加されない。所定の時間の後、または外部制御下で、HOLDおよびSTART信号は、時間T2辺りでディアクティベートされ、第2のカウンタ104(曲線308)が、

クロックパルスを受信するために開始し、一方で、対応するアップ/ダウンカウンタ入力（UPH）信号が、コンパレータ出力49によりスイッチ108を介してハイに駆動される。このことが、第2のカウンタ104のカウンタ出力の上昇をもたらし、これにより、T2からT3へのデジタル積分器初期化の間、DAC60の動作を介する補償された基準電圧VREFout（曲線312）が増大される。フィードバック値FBが、比較器48により、積分器基準電圧を超えると判定されると、システムソフトスタートがT3で開始し、出力電圧302がT3からT4へランプアップし、時間T4の後の曲線306および308に見られるように、デジタル積分器40が第2のカウンタ104をゆっくりとインクリメントまたはデクリメントする。

【0040】

それゆえ、図5のグラフ300に示すように、補償された基準電圧VREFoutの曲線312は、T3の後概して安定しており、デュアルカウンタ回路54のように相対的にのみ稀に変化し、論理回路102の動作は、PWM制御変調器回路要素の動作においてループ比較器36により用いられる補償された基準電圧における過度のジッタを防止または軽減するようにデジタル積分器40の時定数を効果的に制御する。また、図示される実施形態は、トランジェントの間積分器動作を保持またはフリーズする機能により、定常状態動作の間の安定したループ応答に加えて迅速な初期化も提供する。それゆえ、開示されるデジタル積分器概念は、正確さおよびDC-DC変換の改善のため、また、外部積分器コンデンサの除去に伴う削減された電力消費および集積回路ダイサイズ、ならびに、アナログ積分器設計と比較して改善された安定性および積分器値保持のため、回路オフセットを補償する機能を提供する。

【0041】

上述したようなデジタル積分器140および変調器を含むDC-DCコンバータ10の別の実施形態が図6に示されており、この実施形態において、ループ比較器36aおよび積分器比較器48aに電流ランプ情報を提供するため、電流フィードバックが、レジスタRS1およびRS2ならびにコンデンサCS1およびCS2を介し、相互コンダクタンス増幅器Gを介して提供される。この実施形態において、ループ比較器36aは、基準ディバイダ42、44からの信号およびRC回路50、52からのフィードバックを受信する第1の入力差動対と、相互コンダクタンス増幅器Gからの差動出力を受信する第2の入力差動対とを含み、電流情報が、補償された基準信号VREFoutとの比較のためにフィードバックに追加される。また、積分器比較器48aは、第1および第2の差動対入力を有し、第1の差動入力対は、FB信号およびDAC60から補償された基準信号VREFoutを受信し、第2の差動入力対は、相互コンダクタンス増幅器Gから差動出力を受信する。この実施形態において、比較器36aおよび48aに追加された入力は、ループ安定性の向上のために電流ランプ情報を提供する。また、DAC60の調整範囲は、好ましくは、メインループ比較器36aにおけるオフセット、電流ランプ信号DC誤差、リップル誤差の半分、および任意のディバイダ比誤差、の補償を可能にするように設定される。

【0042】

図7は、ソフトスタートが終わった後にデジタル積分器140が開始される、図6のDC-DCコンバータ10の実施形態の動作における種々の信号波形を図示するグラフ500を示す。システム10が起動を終えるとき電流ランプ信号が有効であるため、一実施形態において、デジタル積分器140は、ソフトスタートが終わった後（但し、Voutは負荷に備えている）開始され得る。この例において、出力電圧Vout（図7における曲線502）は、時間T1に0Vで開始し、T1からT2へのシステムソフトスタート期間の間ランプアップし、一方で、START信号14（曲線504）は、初期にアクティブ（ロー）であり、HOLD信号58（図7における曲線510）は、初期にアクティブ（ハイ）である。HOLD信号がアクティブである論理回路102の動作において、第2の論理出力（UPH、グラフ506）はハイのままであり、クロックパルス（CLKH）は、START信号14がアクティブである第1の論理出力により第2のクロック104に印加されない。所定の時間の後、または外部制御下で、HOLDおよびSTART信号は

、時間 T_2 辺りでディアクティベートされ、第2のカウンタ104（曲線508）は、クロックパルスを受信するために開始し、一方で、対応するアップ/ダウンカウンタ入力（UPH）信号は、 T_2 から T_3 へのデジタル積分器40の初期化の間、コンパレータ出力49によりスイッチ108を介してハイに駆動される。このことが、第2のカウンタ104のカウンタ出力の増加をもたらし、これにより、出力電圧曲線502のランプされた増加と共に、DAC60の動作を介する補償された基準電圧 V_{REFout} （曲線512）が増大される。比較器48が、フィードバック値 FB が積分器基準電圧を超えると判定すると、デジタル積分器40は、時間 T_3 の後の曲線506および508に見られるように、第2のカウンタ104をゆっくりとインクリメントまたはデクリメントする。それゆえ、図7のグラフ500に示されるように、補償された基準電圧 V_{REFout} 曲線512は、時間 T_3 の後概して安定しており、デュアルカウンタ回路54のように相対的にのみ稀に変化し、論理回路102の動作は、デジタル積分器40の時定数を効果的に制御する。

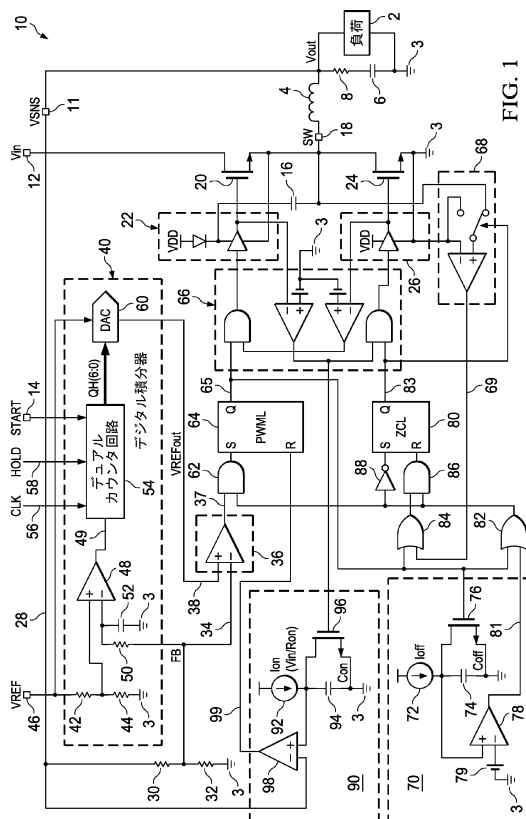
10

【0043】

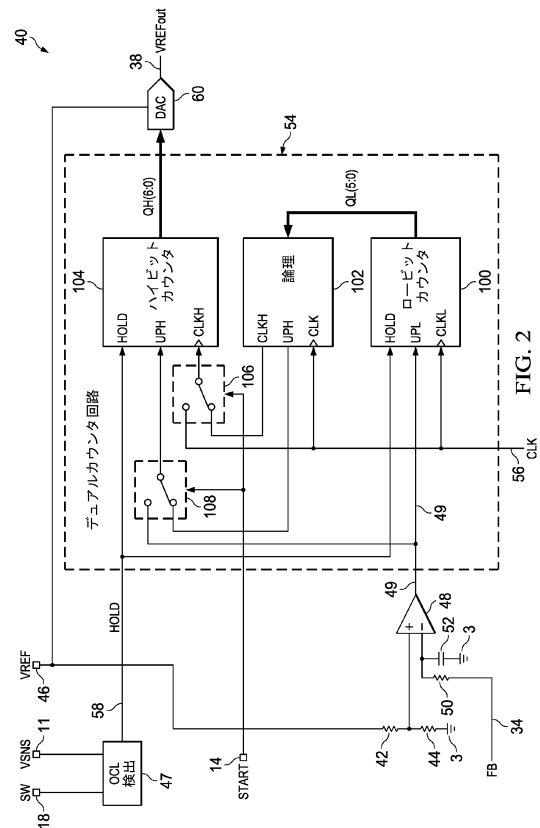
上記の例は、本開示の種々の態様の幾つかの可能な実施形態を説明するものに過ぎず、同等の変更および/または改変が、本明細書および添付の図面を読んで理解すれば当業者に見いだされる。また、本開示の特定の特徴が、複数の実装の一つのみに関して開示されてきたが、このような特徴は、所望され得るように、また、任意の所与または特定の用途に有利であり得るように、その他の実施形態の一つまたは複数の他の特徴と組み合わせられてもよい。また、「含む（including）」、「includes）」、「有する（having）」、「has）」、「備える（with）」という用語またはそれらの変形が、詳細な説明および/または特許請求の範囲において用いられる限り、このような用語は、「含む（comprising）」という用語と同様に包括的であることが意図される。

20

【図1】



【図2】



【図 3】

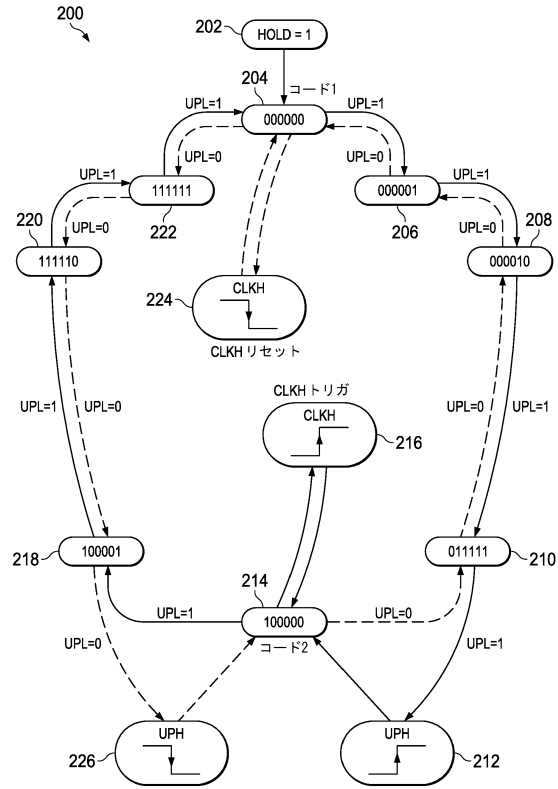


FIG. 3

【図 4】

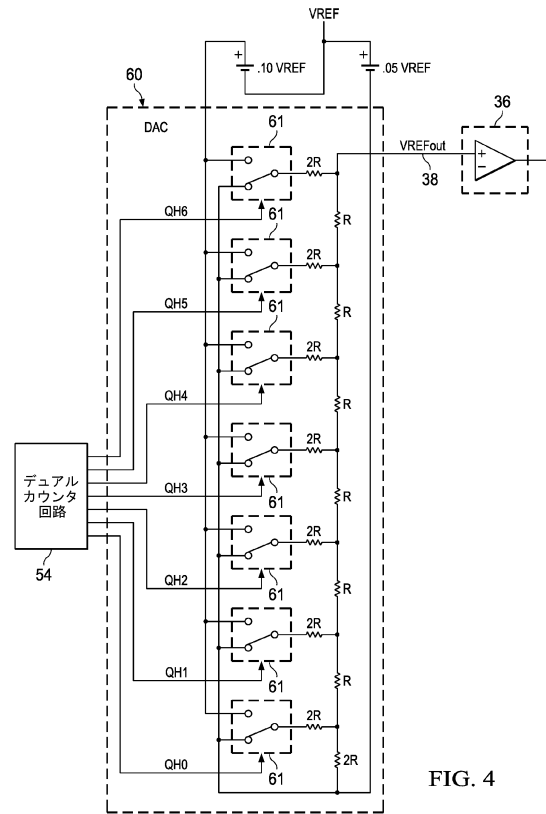


FIG. 4

【図 5】

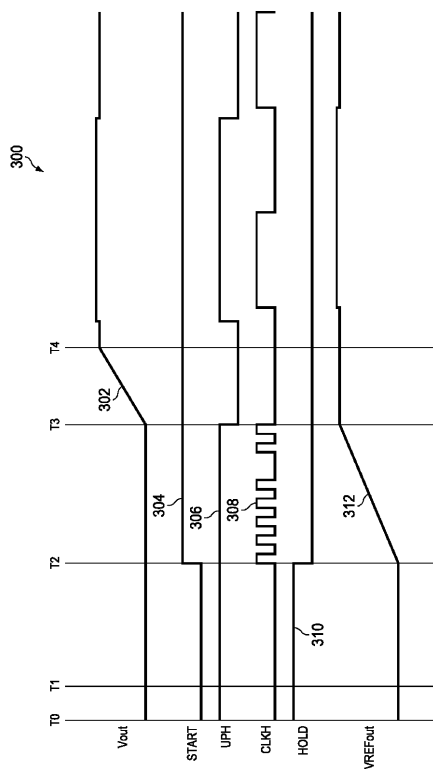


FIG. 5

【図 6】

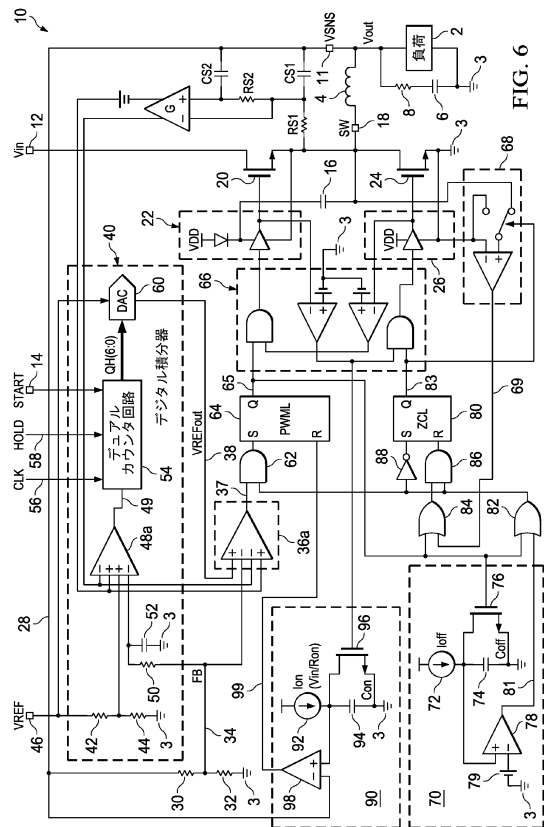


FIG. 6

【 図 7 】

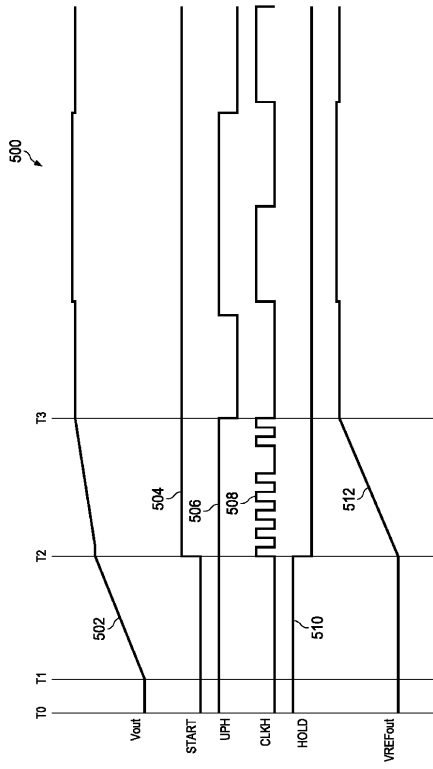


FIG. 7

フロントページの続き

(72)発明者 立石 哲夫

日本国 458-0805 愛知県名古屋市緑区大清水5-1402

(72)発明者 シュエンイン リー

中華人民共和国 523808 広東省 ドングアン, ソンシャン レイク ハイテク インダ
ストリアル ディベロプメント ゾーン, ナンバー17 ヘッドカウンター ロード 2, エ
レクトロニック インスティテュート, ルーム エイ506

審査官 小林 秀和

(56)参考文献 米国特許出願公開第2007/0001715(US, A1)

米国特許第07141956(US, B2)

特開2005-210845(JP, A)

米国特許出願公開第2006/0119340(US, A1)

特表2008-522564(JP, A)

米国特許出願公開第2010/0001702(US, A1)

(58)調査した分野(Int.Cl., DB名)

H02M 3/155