

# 公告本

申請日期	89.2.1
案號	89101682
類	Int <sup>l</sup> CI <sup>6</sup> H01L 21/8238

A4  
C4

451423

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 名稱	中 文	使用門鎖離子佈植改善 CMOS 製程之門鎖效應的結構及其製造方法
	英 文	
二、發明 創作人	姓 名	1 張智毅 2 柯明道 3 姜信欽 4 彭政傑
	國 籍	中華民國
	住、居所	1 台北縣新莊市中和街 125 巷 20 號 9 樓 2 新竹市寶山路 200 巷 3 號 4 樓-3 3 台北市信安街 10 號 6 樓 4 桃園縣觀音鄉大潭村四鄰 27 號
三、申請人	姓 名 (名稱)	財團法人工業技術研究院
	國 籍	中華民國
	住、居所 (事務所)	新竹縣竹東鎮中興路四段 195 號
	代 表 人 姓 名	孫震

裝 訂 線

經濟部中央標準局員工消費合作社印製

## 五、發明說明( | )

本發明是有關於一種可有效改善互補式金氧半導體(Complementary Metal-Oxide Semiconductor, CMOS)製程之門鎖效應的方法，且特別是有關於一種使用門鎖離子佈植改善 CMOS 製程之門鎖效應的結構及其製造方法，係在可能產生門鎖效應(Latch-up)之寄生矽控整流器(Silicon-Controlled Rectifier, SCR)的陽極和陰極端進行離子佈植，藉以提升寄生 SCR 導通路徑中的阻抗，使寄生的 SCR 對雜訊有較高的抗性且較不容易導通，進而防止門鎖的發生。

在互補式金氧半導體(CMOS)的電路設計中，爲了避免本體效應(Body Effect)，通常將 P 通道金氧半導體(P-Channel MOS, PMOS)的基極端(Bulk)接到正電壓源，又將 N 通道金氧半導體(N-Channel MOS, NMOS)的基極端接到負電壓源，這樣的接法會產生寄生的矽控整流器(SCR)元件，正電壓源接在此 SCR 陽極，負電壓源接在此 SCR 陰極，當 NMOS 與 PMOS 距離很近時，寄生的 SCR 就很容易被觸發而導通，產生門鎖(Latch-up)的現象。換言之，依照此種接法，經常會產生門鎖路徑。這些門鎖路徑在正常工作時並不會導通，但是當有雜訊(Noise)的觸發時，經常會導致寄生的 SCR 導通，進而產生門鎖的效應，造成 IC 的不正常動作，甚至燒毀。

上述門鎖(Latch-up)相關之先前專利或技術，請參考下列五件美國專利案：

一、US05879967, Tae-Hoon Kim, et. al., "Methods forming power semiconductor devices having latch-up inhibiting regions", 03/09/1999。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( > )

二、US05861330, Faye D. Baker, et. al., "Method and structure to reduce latch-up using edge implants", 01/19/1999。

三、US05831313, Chung-Chyung Han, et. al., "Structure for improving latch-up immunity and interwell isolation in a semiconductor device", 11/03/1998。

四、US05821589, John O Borland, et. al., "Method for cmos latch-up improvement by mev billi (buried implanted layer for lateral isolation) plus buried layer implantation", 10/13/1998。

五、US05770504, Jeffrey S. Brown, et. al., "Method for increasing latch-up immunity in CMOS devices", 06/23/1998。

請參照第 1 圖，其繪示的是寄生在 CMOS 製程下之傳統 SCR 的剖面結構圖。我們仔細的分析它，它相當於兩個雙載子接面電晶體(Bipolar Junction Transistor, BJT)包括 npn 雙載子接面電晶體(npn BJT)12 與 pnp 雙載子接面電晶體(pnp BJT)14 以及兩個電阻包括基底電阻( $R_{sub}$ )16 與井區電阻( $R_{well}$ )18 所組成的兩端點電路。

請參照第 2 圖，其繪示的是第 1 圖之 SCR 的等效電路圖。當有雜訊電流經過 npn 雙載子接面電晶體 12 的基極(Base)，由於在基底電阻  $R_{sub}$ 16 上的壓降，導致 npn 雙載子接面電晶體 12 之 BE 接面導通時，npn 雙載子接面電晶體 12 的集極端(Collector)會產生一個大電流來觸發 pnp 雙載子接面電晶體 14。接著，pnp 雙載子接面電晶體 14 導通，導致更大的電流流經 npn 雙載子接面電晶體 12 的基極，使 npn 雙載子接面電晶體 12 的集極端產生更大電流觸發 pnp 雙載子接面電晶體 14 使

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(→)

SCR 導通。這種情形會使此 SCR 導通電流從陽極(Anode)流到陰極(Cathode)，如果此時 SCR 陽極電壓(VDD)與陰極電壓(VSS)的電壓差大於 SCR 導通的保持電壓(Holding Voltage)，會造成 SCR 電流不斷的增大一直到 SCR 燒掉為止，這就是閃鎖(Latch-up)現象。若要防止上述閃鎖現象，就必須使 SCR 的保持電壓大於電壓源(VDD)的電壓，或使 npn 雙載子接面電晶體 12 與 pnp 雙載子接面電晶體 14 的共射極電流增益(Current Gain)乘積小於 1，或是讓寄生的 SCR 無導通的機會。

一般用來防止閃鎖(Latch-up)的方法，包括有：

1. 磊晶晶圓(Epitaxial Wafer)。
2. 退化井區(Retrograde Well)。
3. 溝渠隔離(Trench Isolation)。
4. 矽在絕緣層上(Silicon On Insulator, SOI)。
5. 防護環(Guard Rings)。
6. 其他方法(Others)。

請參照第 3 圖，其繪示的是使用磊晶晶圓來避免閃鎖的方法。依照第 3 圖之結構，在 P 型基底 20 上形成有一摻雜濃度較低之厚 P 型磊晶層(P- Epi-Layer)22，如此做法，P 型基底的摻雜濃度可以維持在較高的濃度，可降低基底電阻 24，藉以將雜訊電流導入較深的 P 型基底 20 中，減少寄生 SCR 被觸發的機會，如此可降低閃鎖的發生機率。

請參照第 4 圖，其繪示的是利用防護環來防止閃鎖的方法。在第 4 圖中，標號 30 代表閃鎖路徑，標號 32 代表用於 PMOS 之防護環，標號 34 代表用於 NMOS 之防護環。依照第 4 圖之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(4)

結構，在可能產生閃鎖的路徑 30 中加入的防護環 32 與 34，可以吸收掉會觸發 SCR 導通的雜訊電流，同樣的可以達到避免閃鎖的發生，但如此會增加佈局(Layout)的面積。

請參照第 5 圖，其繪示的是加了防護環的輸入/輸出(I/O)緩衝埠佈局圖。如第 5 圖所示，我們可以很明顯的看出，由於在可能產生閃鎖的路徑中加入防護環，包括加入用以 PMOS 之防護環和用以 NMOS 之防護環，導致整體佈局面積的增加。若不加上防護環，則剖面就會是一個寄生的 SCR。

有鑒於此，本發明提出一種使用閃鎖離子佈植改善 CMOS 製程之閃鎖效應的結構，包括基底、井區、第一電晶體、第二電晶體、低濃度第一導電型離子摻雜區、低濃度第二導電型離子摻雜區、高濃度第一導電型離子摻雜區與高濃度第二導電型離子摻雜區。基底具有第一導電型。井區位於基底中，且井區具有第二導電型。第一電晶體位於井區上，第一電晶體係由第一源極、第一汲極與第一閘極所組成，第一源極與第一汲極具有濃度較高之第一導電型。第二電晶體位於基底上，第二電晶體係由第二源極、第二汲極與第二閘極所組成，第二源極與第二汲極具有濃度較高之第二導電型。低濃度第一導電型離子摻雜區位於第一源極底部與井區間之介面中。低濃度第二導電型離子摻雜區位於第二源極底部與基底間之介面中。高濃度第一導電型離子摻雜區位於基底中，並鄰近第二源極。以及，高濃度第二導電型離子摻雜區位於井區中，並鄰近第一源極。

本發明提出一種使用閃鎖離子佈植改善 CMOS 製程之閃

(請先閱讀背面之注意事項再寫本頁)

裝

訂

線

## 五、發明說明(5)

鎖效應之結構的製造方法。首先，在第一導電型基底中形成第二導電型井區。接著，分別在第一導電型基底與第二導電型井區上，形成已定義之第一多晶矽閘極與第二多晶矽閘極。之後，進行第一導電型離子植入製程，藉以在第一多晶矽閘極兩側之第二導電型井區中，分別形成高濃度第一導電型源極與高濃度第一導電型汲極，並在第一導電型基底中形成高濃度第一導電型離子摻雜區。再來，進行第二導電型離子植入製程，藉以在第二多晶矽閘極兩側之第一導電型基底中，分別形成高濃度第二導電型源極與高濃度第二導電型汲極，並在鄰近高濃度第一導電型源極之第二導電型井區中形成高濃度第二導電型離子摻雜區，其中高濃度第一導電型源極鄰近高濃度第二導電型離子摻雜區。隨後，進行第一導電型閘鎖離子佈植製程，藉以在高濃度第一導電型源極底部與第二導電型井區間之介面中，形成低濃度第一導電型離子摻雜區。最後，進行第二導電型閘鎖離子佈植製程，藉以在高濃度第二導電型源極底部與第一導電型基底間之介面中，形成低濃度第二導電型離子摻雜區。其中，進行第一導電型離子植入製程的步驟可與進行第二導電型離子植入製程的步驟互換。此外，進行第一導電型閘鎖離子佈植製程的步驟也可與進行第二導電型閘鎖離子佈植製程的步驟互換。

本發明提出之使用閘鎖離子佈植改善 CMOS 製程之閘鎖效應的結構及其製造方法，係利用離子佈植的製程，在可能產生閘鎖之寄生 SCR 的陽極端和陰極端進行離子佈植，提升寄生 SCR 導通路徑中的阻抗。如此可以使寄生的 SCR 對雜訊有較

(請先閱讀背面之注意事項再寫本頁)

裝

訂

線

## 五、發明說明(6)

高的抗性且較不容易導通，進而防止閃鎖的發生，以提升防止閃鎖的能力。再者，由於本發明係採用閃鎖離子佈植製程，因此不會增加佈局的面積，可以大幅提高電路設計的彈性。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下：

圖式之簡單說明：

第 1 圖繪示的是寄生在 CMOS 製程下之傳統 SCR 的剖面結構圖；

第 2 圖繪示的是第 1 圖之 SCR 的等效電路圖；

第 3 圖繪示的是繪示的是使用磊晶晶圓來避免閃鎖的方法；

第 4 圖繪示的是利用防護環來防止閃鎖的方法；

第 5 圖繪示的是加了防護環的輸入/輸出(I/O)緩衝埠佈局圖；

第 6 圖係顯示本發明的佈局示意圖；

第 7A~7E 圖繪示的是本發明的關鍵製程流程圖；

第 8A 圖繪示的是傳統 CMOS 製程完成後的剖面示意圖；

第 8B 圖繪示的是本發明 CMOS 製程完成後的剖面示意圖；

第 9 圖繪示的是第 8A 圖之傳統 CMOS 製程寄生電路的示意圖；

第 10 圖繪示的是第 8B 圖之本發明 CMOS 製程寄生電路的示意圖；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(7)

第 11A 圖繪示的是本發明另一較佳實施例之 CMOS 製程寄生電路的示意圖；以及

第 11B 圖繪示的是本發明再一較佳實施例之 CMOS 製程寄生電路的示意圖。

圖式之標號說明：

12：nnp 雙載子接面電晶體

14：pnp 雙載子接面電晶體

16、24：P 型基底電阻

18：N 型井區電阻

20、50：P 型基底

22：P 型磊晶層

30：閃鎖路徑

32：用以 PMOS 之防護環

34：用以 NMOS 之防護環

40：本發明之閃鎖離子佈植光罩圖

42：用於 PMOS 之閃鎖離子佈植區

44：用於 NMOS 之閃鎖離子佈植區

52、62、72：光阻層

54：N 井區離子植入製程

56：N 井區

57 與 58、59 與 60：多晶矽閘極

64：NMOS 之源極/汲極植入製程

66、78：源極

68、76：汲極

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(8)

70：N型離子摻雜區

74：PMOS之源極/汲極植入製程

80：P型離子摻雜區

82：N型區域

84：P型區域

### 實施例

如先前習知所提及，在一般 CMOS 電路設計中，由於爲了防止本體效應，經常將 PMOS 的基極端接到正電壓源，又將 NMOS 的基極端接到負電壓源，這樣的接法經常會產生閃鎖路徑。這些閃鎖路徑在正常工作時並不會導通，但是當有雜訊的觸發時，經常會導致寄生的 SCR 導通，進而產生閃鎖的效應，造成 IC 的燒毀。

爲了有效解決上述習知所遇到的問題，本發明提出一種在 SCR 導通路徑中增加阻抗的方法，來提升 CMOS 對閃鎖的免疫能力。在本發明中，係利用離子佈植的製程，在可能產生閃鎖之寄生 SCR 的陽極和陰極端進行離子佈植，提升寄生 SCR 導通路徑中的阻抗，我們稱之爲閃鎖離子佈植(Latch-up Implantation)。如此可以使寄生的 SCR 對雜訊有較高的抗性且較不容易導通，也就是對閃鎖有較高的抗性。

因此，本發明的創新是在 SCR 導通路徑中增加阻抗的觀念來使 SCR 較不易導通，進而防止閃鎖(Latch-up)的發生。並且採用的是上述之閃鎖離子佈植製程，依此並不會增加佈局(Layout)的面積，可以大幅提高電路設計的彈性。換言之，本發明的重點，乃是在有可能發生閃鎖的寄生 SCR 路徑上進行閃

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(9)

鎖離子佈植，以提升防止閃鎖的能力。

本發明案件所採用之方法與設計，皆不同於上述習知的五件美國專利案。本發明將以較佳實施例包括所附圖解，詳細說明如下。

請參照第 6 圖，其顯示本發明的佈局示意圖。本發明與傳統 CMOS 之佈局不同處，係在於多了閃鎖離子佈植的光罩圖。這裡所用的閃鎖離子佈植的光罩圖 40，可以是用在 PMOS 或是 NMOS 上。在第 6 圖中，兩種皆有顯示出來，其中標號 42 代表用於 PMOS 之閃鎖離子佈植區，以及標號 44 代表用於 NMOS 之閃鎖離子佈植區。

值得注意的是，本發明的特徵，係在 CMOS 傳統製程中，加入一道增加阻抗的離子佈植製程，其中，上述離子佈植製程係使用第 6 圖所示之閃鎖離子佈植的光罩來進行。

第 7A~7E 圖繪示的是本發明的關鍵製程流程圖。與 CMOS 傳統製程不同的是，我們多了一道閃鎖離子佈植來增加阻抗。

請參照第 7A 圖，首先，在 P 型基底 50 上形成一光阻層 52，並暴露出部分 P 型基底 50。接著，進行一 N 井區離子植入製程 54，於暴露出之 P 型基底 50 上形成一 N 井區 56。

請參照第 7B 圖，首先去除光阻層 52。然後，形成一薄氧化層及一多晶矽層覆蓋整個基底結構。接著，定義此薄氧化層及多晶矽層，藉以在 P 型基底 50 與 N 井區 56 上分別形成多晶矽閘極 57、58 與 59、60。

請參照第 7C 圖，形成一定義之光阻層 62 覆蓋整個基底結構，並暴露出部分 P 型基底 50 與 N 井區 56。然後，進行 N

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(10)

型離子摻雜植入製程 64，藉以在多晶矽閘極 58 兩側之 P 型基底 50 中，分別形成高濃度之 N 型離子之源極 66 與汲極 68，並在暴露出之 N 井區 56 中形成一 N 型離子摻雜區 70。隨後，去除光阻層 62。

請參照第 7D 圖，形成一定義之光阻層 72 覆蓋整個基底結構，並暴露出部分 P 型基底 50 與 N 井區 56。隨後，進行一 P 型離子摻雜植入製程 74，藉以在多晶矽閘極 60 兩側之 N 井區 56 中，分別形成高濃度之 P 型離子之源極 78 與汲極 76，並在暴露出之 P 型基底 50 中形成一 P 型離子摻雜區 80。隨後，去除光阻層 72。

經過第 7C 圖與第 7D 圖之離子植入製程後，可形成如第 7D 圖所示之結構，其中，N 型離子摻雜區 70 位於源極 78 左側之 N 井區 56 中，以及 P 型離子摻雜區 80 位於源極 66 右側之 P 型基底 50 中。

最後，請參照第 7E 圖，進行閃鎖離子佈植製程，分別在源極 66 底部與 P 型基底 50 間之介面中，以及源極 78 底部與 N 井區 56 間之介面中，形成濃度比 N 型離子之源極 66 低之低濃度 N 型離子摻雜區 82 與濃度比 P 型離子之源極 78 低之低濃度 P 型離子摻雜區 84。此時，如第 7E 圖所示之結構，即為本發明所提出之使用閃鎖離子佈植改善 CMOS 製程之閃鎖效應的結構。

在第 7A~7E 圖之製造流程中，所有提及之導電型可以另一導電型替換之。舉例來說，當 N 型以 P 型取代時，P 型則以 N 型取代之。更明白來說，P 型基底以 N 型基底取代時，P 型

### 五、發明說明 ( // )

離子以 N 型離子取代，而 N 型離子以 P 型離子取代。其中亦可在作 7C、7D 之前先做 7E 圖之製造流程。

第 8A 圖與第 8B 圖分別繪示的是傳統 CMOS 製程與本發明 CMOS 製程完成後的剖面示意圖。我們可以看到最後的本發明剖面圖(如第 8B 圖所示)與傳統 CMOS 製程剖面圖(如第 8A 圖所示)的相異處，在於本發明多了一個 N 型區域 82 以及 P 型區域 84，這就是提高阻抗的區域。在此繪示的 N 型井 CMOS 製程中，N 型區域 82 可以使用較淺的井區植入(Well Implant)，或是使用植入 N 型摻雜的方式來達到我們所要的閃鎖離子佈植的功能。

此外，我們可以明顯的看到，本發明在閃鎖可能發生的路徑上(圖中虛線部分)多了較高阻抗區域，如第 8B 圖之電阻  $R_p$  與  $R_n$ ，這個阻抗區域  $R_p$  與  $R_n$  將會提高發生閃鎖的門檻，保護原來的電路。而且在 PMOS 與 NMOS 之通道(Channel)部分的結構並沒有任何改變，那代表本發明並不會影響電晶體原有的元件特性，可保證電晶體能正常工作。

請同時參照第 9 圖與第 10 圖。第 9 圖繪示的是第 8A 圖之傳統 CMOS 製程寄生電路的示意圖，以及第 10 圖繪示的是第 8B 圖之本發明 CMOS 製程寄生電路的示意圖。

跟傳統 CMOS 製程寄生電路(第 9 圖)相比，我們可以看到本發明(第 10 圖)電路明顯多了  $R_p$  以及  $R_n$  兩個電阻，這兩個電阻  $R_p$  與  $R_n$  之功能，就是用來加強晶片防止閃鎖的能力。舉例來說，當有雜訊的觸發時，由於電阻  $R_p$  與  $R_n$  的存在，將可有效避免寄生的 SCR 導通，例如第 10 圖中之 npn 雙載子接面電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

### 五、發明說明(12)

晶體  $Q_{npn}$  將不易因雜訊電流而導通，如此將可有效降低 SCR 從陽極流到陰極的導通電流大小進而產生閃鎖的效應，避免造成 IC 的燒毀。

此外，本發明除了同時加上  $R_p$  與  $R_N$  兩個電阻之外，也可以如第 11A 圖與第 11B 圖一樣，只加上  $R_N$  (如第 11A 圖所示) 或  $R_p$  (如第 11B 圖所示)。換言之，在第 7E 圖之製造過程中，僅在源極 66 下形成濃度較低之 N 型離子摻雜區 82，或僅在源極 78 下形成濃度較低之 P 型離子摻雜區 84，依照此種做法，也同樣具有加強閃鎖防止的能力。

由於本發明係利用離子佈植的製程來提升 CMOS 對閃鎖的抗性，相較於其他會增加晶片面積的方法，例如增加寄生 SCR 陽極到陰極的距離，或是在陽極到陰極之間加入防護環的方法，本發明並不會造成晶片面積的增加，可以大幅提升電路設計的彈性。

另，本發明適用於半導體製程中有可能發生閃鎖現象者，尤其是對閃鎖有高度要求的 IC。而且，本發明也適用於所有的 CMOS 電路設計，包含了數位電路、類比電路、功率元件等適用於半導體製程的各種電路。

綜上所述，本發明的優點，係利用離子佈植的製程，在可能產生閃鎖之寄生 SCR 的陰極端進行離子佈植，提升寄生 SCR 導通路徑中的阻抗。如此可以使寄生的 SCR 對雜訊有較高的抗性且較不容易導通，進而防止閃鎖的發生，以提升防止閃鎖的能力。此外，由於本發明係採用閃鎖離子佈植製程，因此不會增加佈局的面積，可以大幅提高電路設計的彈性。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

裝

### 五、發明說明(1)

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要 (發明之名稱： 使用閘鎖離子佈植改善 CMOS 製程之 )  
閘鎖效應的結構及其製造方法

一種使用閘鎖離子佈植改善 CMOS 製程之閘鎖效應的結構及其製造方法。係利用離子佈植的製程，在可能產生閘鎖之寄生 SCR 的陽極和陰極端進行離子佈植，提升寄生 SCR 導通路徑中的阻抗。如此可以使寄生的 SCR 對雜訊有較高的抗性且較不容易導通，進而防止閘鎖的發生，以提升防止閘鎖的能力。又因本發明係採用閘鎖離子佈植製程，因此不會增加佈局的面積，可以大幅提高電路設計的彈性。

英文發明摘要 (發明之名稱： )

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

## 六、申請專利範圍

1. 一種使用閘鎖離子佈植改善 CMOS 製程之閘鎖效應的結構，包括：

— 基底，該基底具有一第一導電型；

— 井區，位於該基底中，該井區具有一第二導電型；

— 第一電晶體，位於該井區上，該第一電晶體係由一第一源極、一第一汲極與一第一閘極所組成，該第一源極與該第一汲極具有高濃度之該第一導電型；

— 第二電晶體，位於該基底上，該第二電晶體係由一第二源極、一第二汲極與一第二閘極所組成，該第二源極與該第二汲極具有高濃度之該第二導電型；

— 濃度比高濃度之該第一導電型低的低濃度第一導電型離子摻雜區，位於該第一源極底部與該井區間之介面中；

— 濃度比高濃度之該第二導電型低的低濃度第二導電型離子摻雜區，位於該第二源極底部與該基底間之介面中；

— 高濃度第一導電型離子摻雜區，位於該基底中，並鄰近該第二源極；以及

— 高濃度第二導電型離子摻雜區，位於該井區中，並鄰近該第一源極。

2. 如申請專利範圍第 1 項所述之使用閘鎖離子佈植改善 CMOS 製程之閘鎖效應的結構，其中當該第一導電型是 N 型時，該第二導電型是 P 型。

3. 如申請專利範圍第 1 項所述之使用閘鎖離子佈植改善 CMOS 製程之閘鎖效應的結構，其中當該第一導電型是 P 型時，該第二導電型是 N 型。

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 六、申請專利範圍

4. 一種使用閘鎖離子佈植改善CMOS製程之閘鎖效應的結構，包括：

一基底，該基底具有一第一導電型；  
一井區，位於該基底中，該井區具有一第二導電型；  
一第一電晶體，位於該井區上，該第一電晶體係由一第一源極、一第一汲極與一第一閘極所組成，該第一源極與該第一汲極具有高濃度之該第一導電型；

一第二電晶體，位於該基底上，該第二電晶體係由一第二源極、一第二汲極與一第二閘極所組成，該第二源極與該第二汲極具有高濃度之該第二導電型；

一濃度比高濃度之該第一導電型低的低濃度第一導電型離子摻雜區，位於該第一源極底部與該井區間之介面中；

一高濃度第一導電型離子摻雜區，位於該基底中，並鄰近該第二源極；以及

一高濃度第二導電型離子摻雜區，位於該井區中，並鄰近該第一源極。

5. 如申請專利範圍第 4 項所述之使用閘鎖離子佈植改善 CMOS 製程之閘鎖效應的結構，其中當該第一導電型是 N 型時，該第二導電型是 P 型。

6. 如申請專利範圍第 4 項所述之使用閘鎖離子佈植改善 CMOS 製程之閘鎖效應的結構，其中當該第一導電型是 P 型時，該第二導電型是 N 型。

7. 一種使用閘鎖離子佈植改善 CMOS 製程之閘鎖效應的結構，包括：

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

一基底，該基底具有一第一導電型；

一井區，位於該基底中，該井區具有一第二導電型；

一第一電晶體，位於該井區上，該第一電晶體係由一第一源極、一第一汲極與一第一閘極所組成，該第一源極與該第一汲極具有高濃度之該第一導電型；

一第二電晶體，位於該基底上，該第二電晶體係由一第二源極、一第二汲極與一第二閘極所組成，該第二源極與該第二汲極具有高濃度之該第二導電型；

一濃度比高濃度之該第二導電型低的低濃度第二導電型離子摻雜區，位於該第二源極底部與該基底間之介面中；

一高濃度第一導電型離子摻雜區，位於該基底中，並鄰近該第二源極；以及

一高濃度第二導電型離子摻雜區，位於該井區中，並鄰近該第一源極。

8.如申請專利範圍第 7 項所述之使用閘鎖離子佈植改善 CMOS 製程之閘鎖效應的結構，其中當該第一導電型是 N 型時，該第二導電型是 P 型。

9.如申請專利範圍第 7 項所述之使用閘鎖離子佈植改善 CMOS 製程之閘鎖效應的結構，其中當該第一導電型是 P 型時，該第二導電型是 N 型。

10.一種使用閘鎖離子佈植改善 CMOS 製程之閘鎖效應之結構的製造方法，包括：

在一第一導電型基底中形成一第二導電型井區；

分別在該第一導電型基底與該第二導電型井區上，形成已

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

51423

5591twf/005

A8  
B8  
C8  
D8

## 六、申請專利範圍

定義之一第一多晶矽閘極與一第二多晶矽閘極；

進行一第一導電型離子植入製程，藉以在該第一多晶矽閘極兩側之該第二導電型井區中，分別形成一高濃度第一導電型源極與一高濃度第一導電型汲極，並在該第一導電型基底中形成一高濃度第一導電型離子摻雜區；

進行一第二導電型離子植入製程，藉以在該第二多晶矽閘極兩側之該第一導電型基底中，分別形成一高濃度第二導電型源極與一高濃度第二導電型汲極，並在鄰近該高濃度第一導電型源極之該第二導電型井區中形成一高濃度第二導電型離子摻雜區，其中該高濃度第一導電型源極鄰近該高濃度第二導電型離子摻雜區；

進行一第一導電型閘鎖離子佈植製程，藉以在該高濃度第一導電型源極底部與該第二導電型井區間之介面中，形成一低濃度第一導電型離子摻雜區；以及

進行一第二導電型閘鎖離子佈植製程，藉以在該高濃度第二導電型源極底部與該第一導電型基底間之介面中，形成一低濃度第二導電型離子摻雜區。

11.如申請專利範圍第10項所述之使用閘鎖離子佈植改善CMOS製程之閘鎖效應之結構的製造方法，其中進行該第一導電型離子植入製程的步驟可與進行該第二導電型離子植入製程的步驟互換。

12.如申請專利範圍第10項所述之使用閘鎖離子佈植改善CMOS製程之閘鎖效應之結構的製造方法，其中進行該第一導電型閘鎖離子佈植製程的步驟可與進行該第二導電型閘鎖

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

離子佈植製程的步驟互換。

13.如申請專利範圍第 10 項所述之使用閘鎖離子佈植改善 CMOS 製程之閘鎖效應之結構的製造方法，其中當該第一導電型是 N 型時，該第二導電型是 P 型。

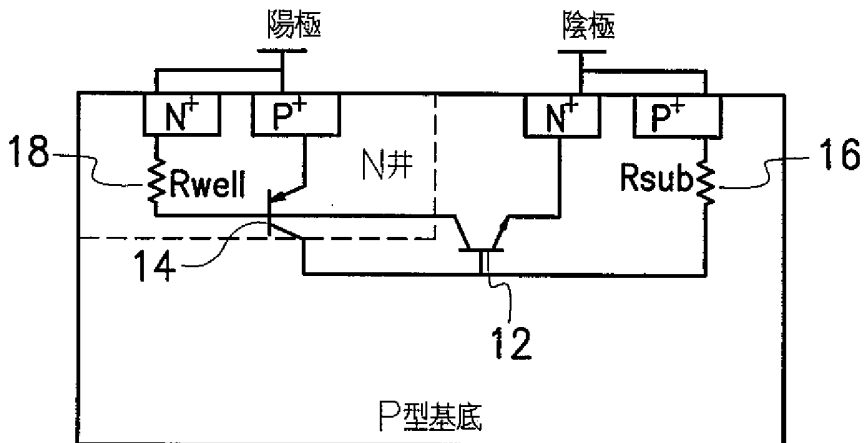
14.如申請專利範圍第 10 項所述之使用閘鎖離子佈植改善 CMOS 製程之閘鎖效應之結構的製造方法，其中當該第一導電型是 P 型時，該第二導電型是 N 型。

(請先閱讀背面之注意事項再填寫本頁)

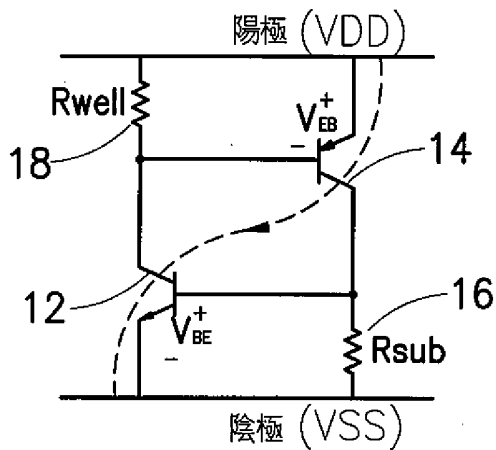
裝

訂

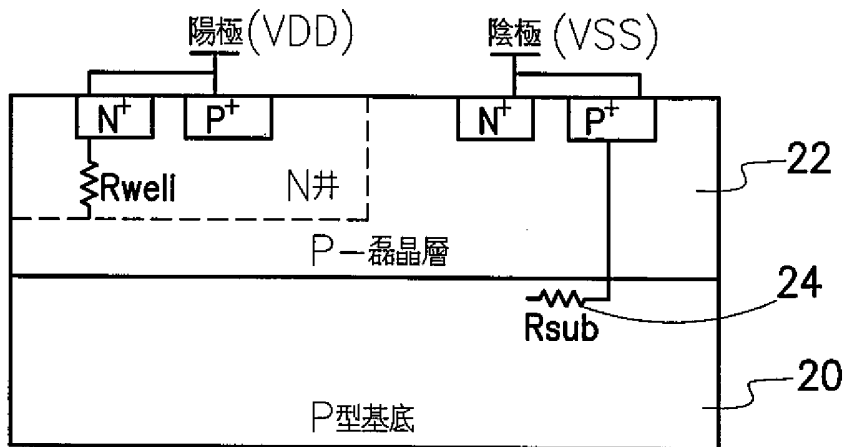
線



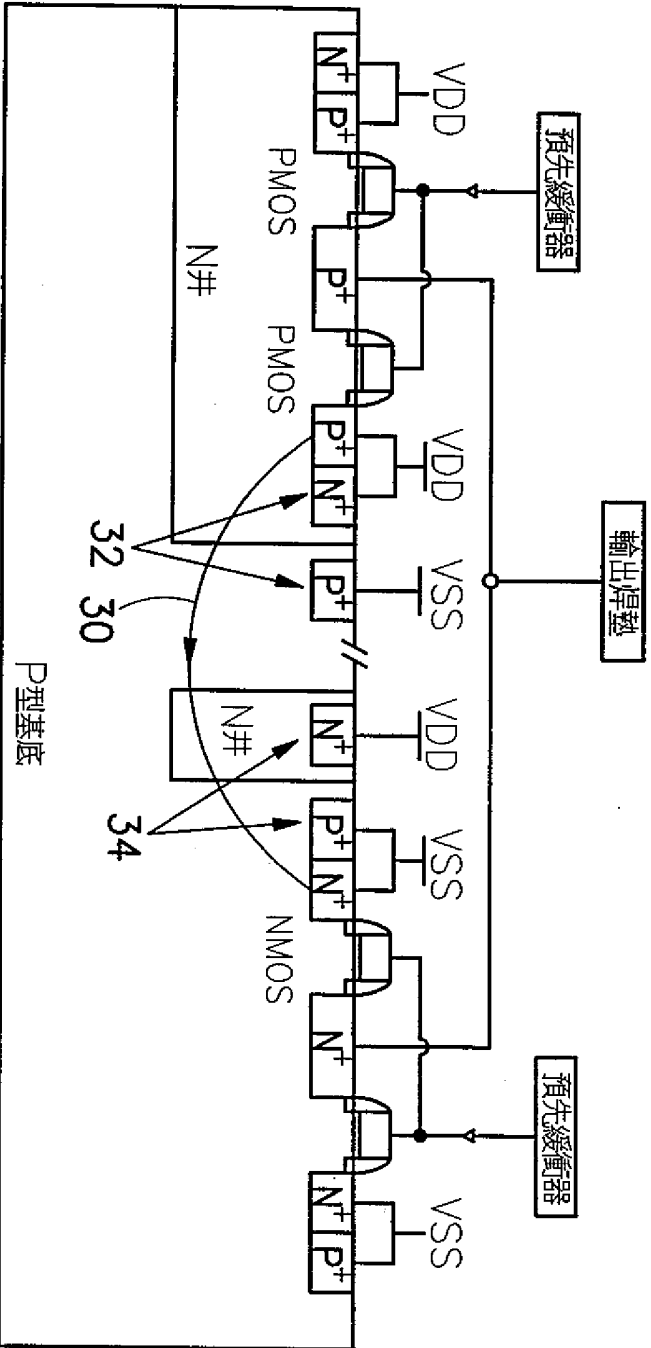
第 1 圖



第 2 圖



第 3 圖

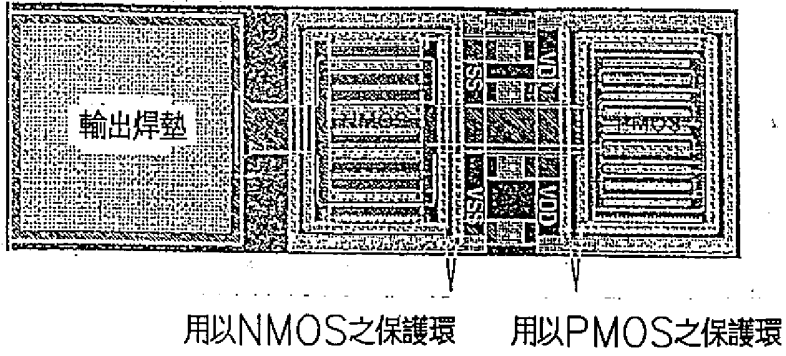


第 4 圖

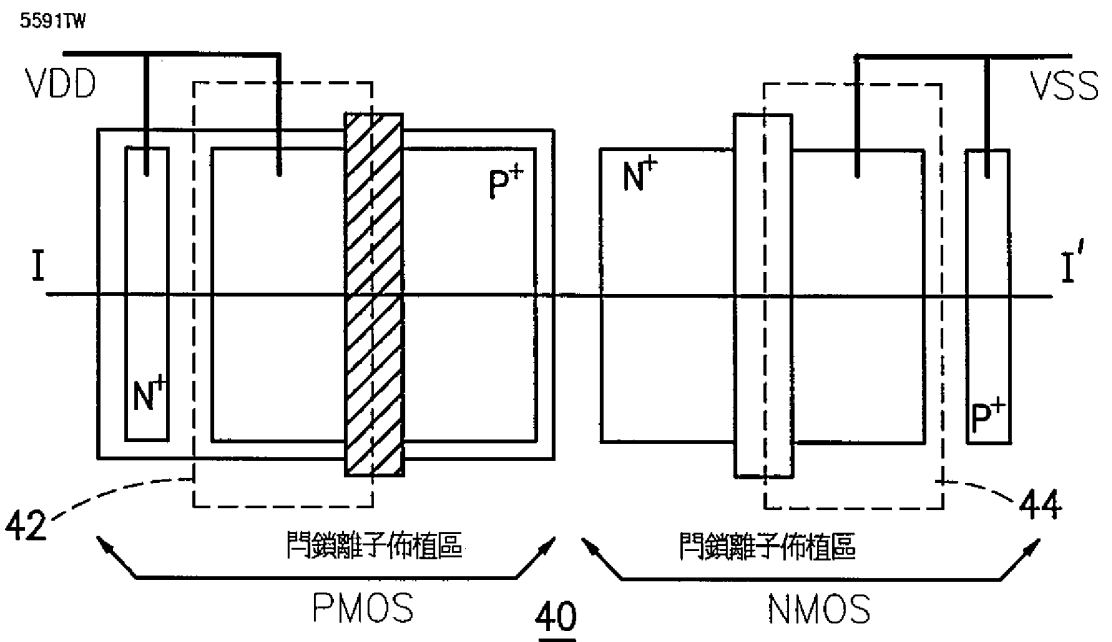
451423

451423

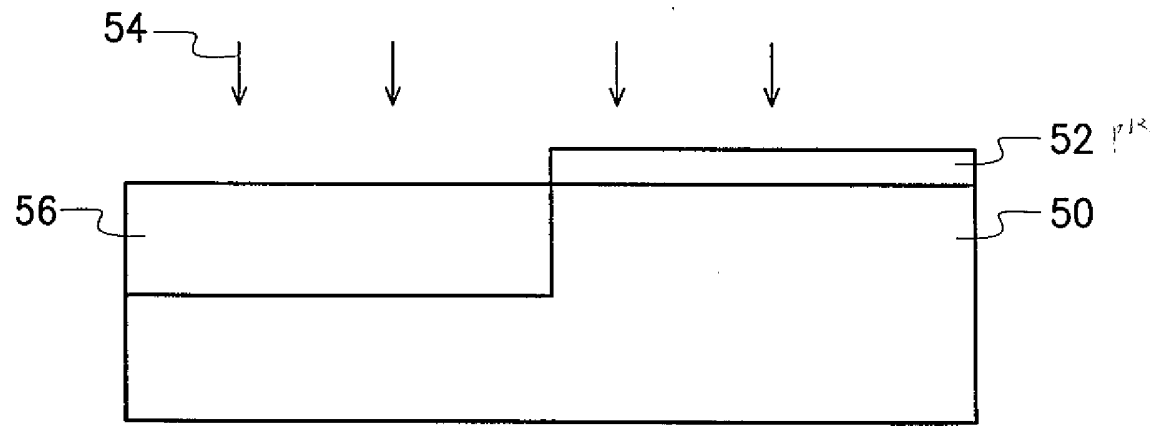
5591TW



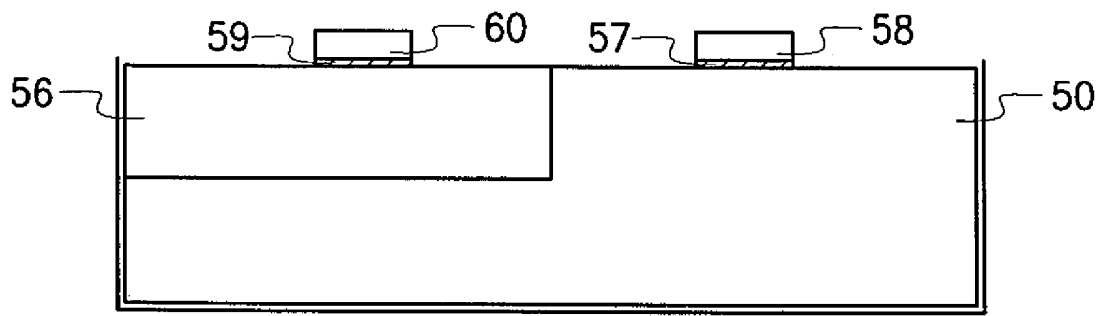
第 5 圖



第 6 圖

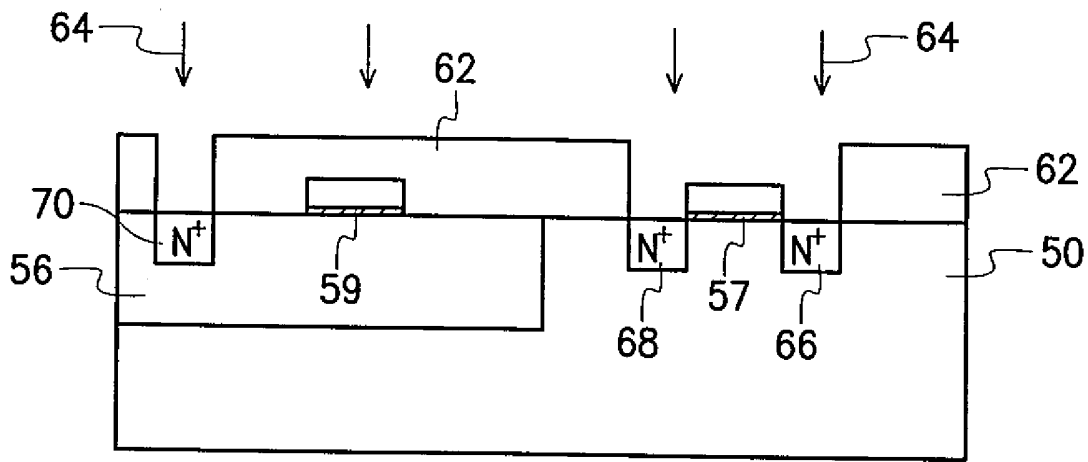


第 7A 圖

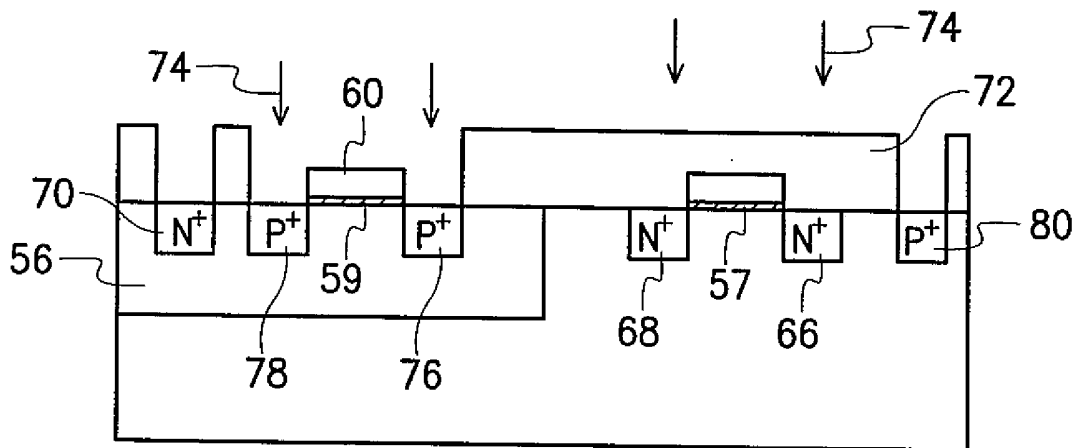


第 7B 圖

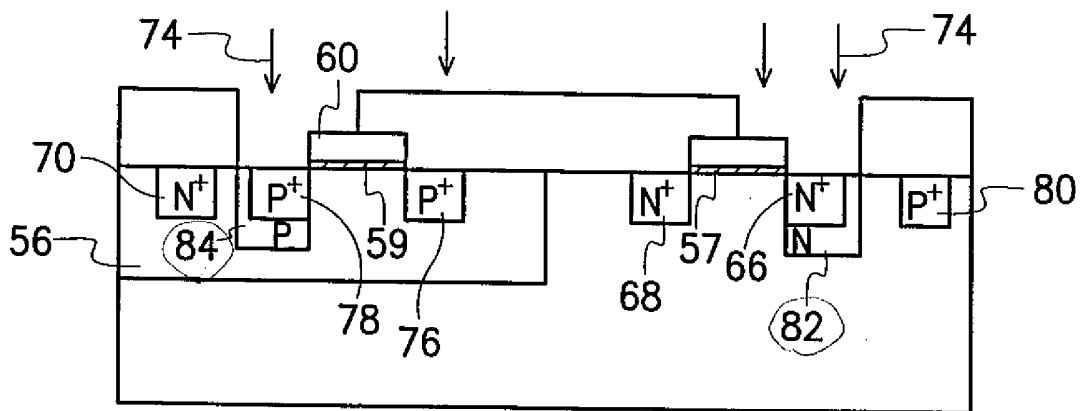
5591TW



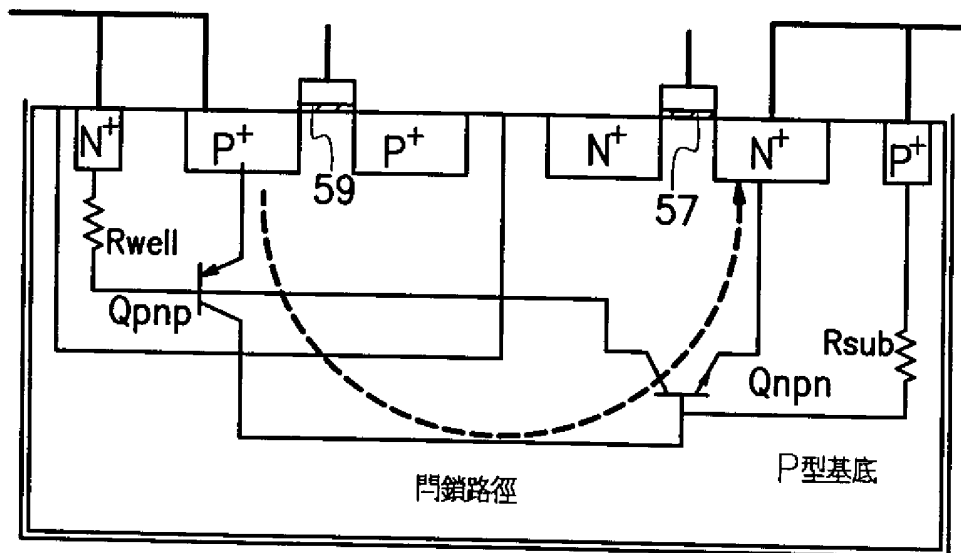
第7C圖



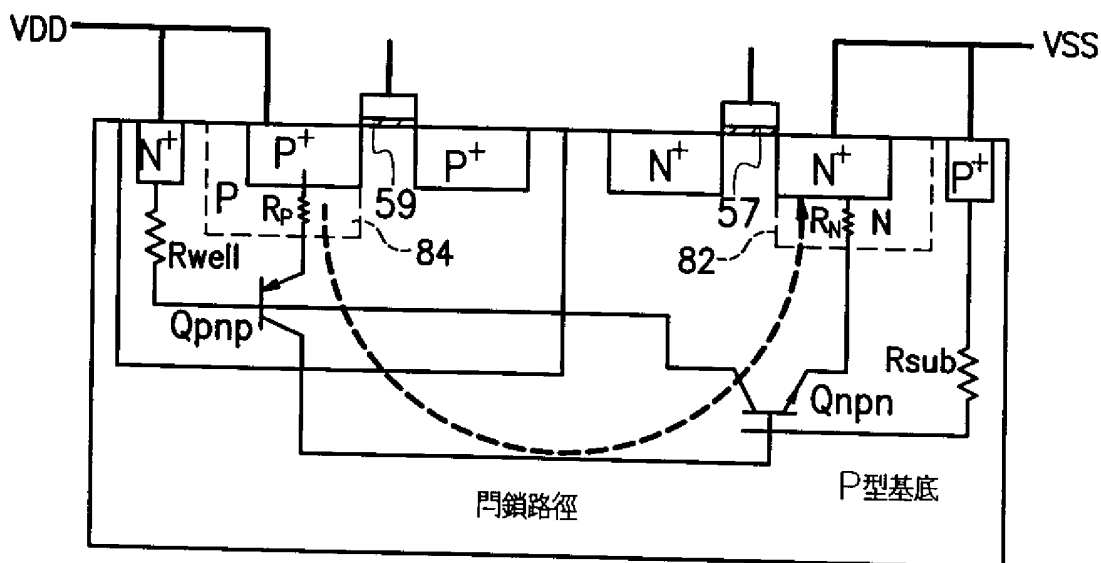
第7D圖



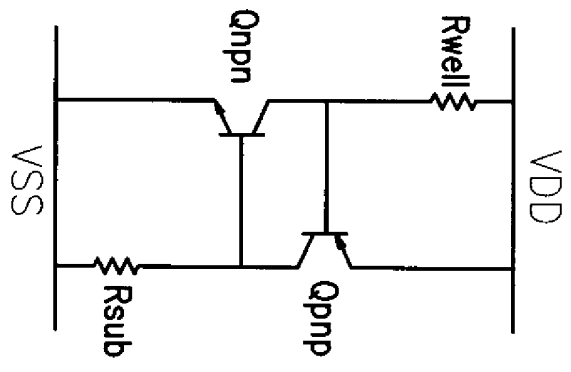
第7E圖



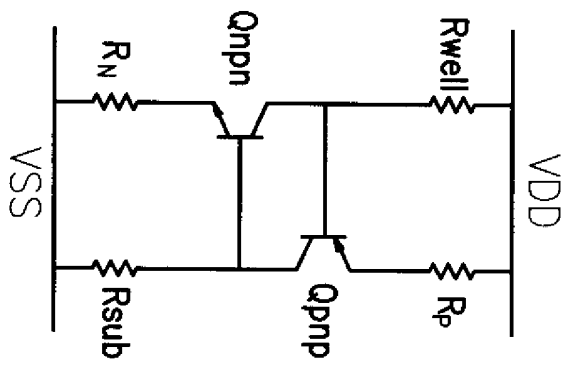
第8A圖



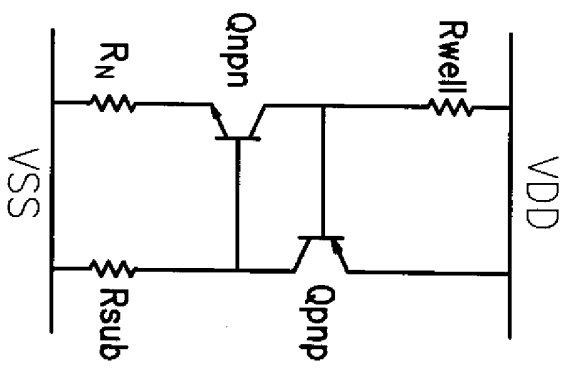
第8B圖



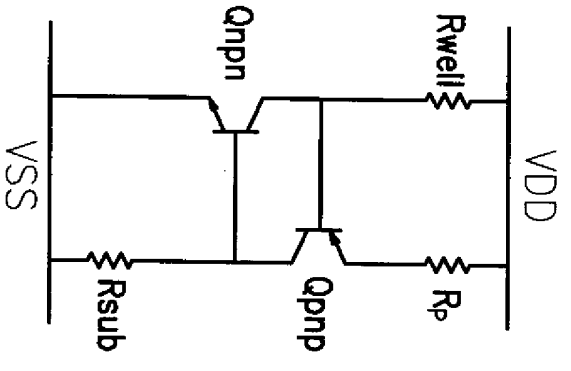
第 9 圖



第 10 圖



第 11A 圖



第 11B 圖

45142