

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6075928号
(P6075928)

(45) 発行日 平成29年2月8日(2017.2.8)

(24) 登録日 平成29年1月20日(2017.1.20)

(51) Int.Cl.	F 1			
HO 1 L 29/786	(2006.01)	HO 1 L	29/78	6 1 8 C
GO 9 F 9/30	(2006.01)	HO 1 L	29/78	6 1 8 B
HO 1 L 27/32	(2006.01)	HO 1 L	29/78	6 1 8 E
HO 1 L 51/50	(2006.01)	GO 9 F	9/30	3 6 5
HO 5 B 33/08	(2006.01)	GO 9 F	9/30	3 3 8

請求項の数 5 (全 39 頁) 最終頁に続く

(21) 出願番号	特願2015-102713 (P2015-102713)	(73) 特許権者	000153878
(22) 出願日	平成27年5月20日(2015.5.20)	株式会社半導体エネルギー研究所	
(62) 分割の表示	特願2012-134402 (P2012-134402)	神奈川県厚木市長谷398番地	
原出願日	平成24年6月14日(2012.6.14)	(72) 発明者	山崎 舜平
(65) 公開番号	特開2015-188096 (P2015-188096A)	神奈川県厚木市長谷398番地	株式会社
(43) 公開日	平成27年10月29日(2015.10.29)	半導体エネルギー研究所内	
審査請求日	平成27年5月21日(2015.5.21)	(72) 発明者	本田 達也
(31) 優先権主張番号	特願2011-135365 (P2011-135365)	神奈川県厚木市長谷398番地	株式会社
(32) 優先日	平成23年6月17日(2011.6.17)	半導体エネルギー研究所内	
(33) 優先権主張国	日本国(JP)	審査官	竹口 泰裕

最終頁に続く

(54) 【発明の名称】半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項 1】

In と Ga と Zn とを有する第 1 の酸化物半導体層と、

前記第 1 の酸化物半導体層上の、In と Ga と Zn とを有する第 2 の酸化物半導体層と、

、
ゲート絶縁膜を介して、前記第 1 及び前記第 2 の酸化物半導体層と重なる領域を有する
ゲート電極と、

前記第 2 の酸化物半導体層の上面と接する領域を有するソース電極と、

前記第 2 の酸化物半導体層の上面と接する領域を有するドレイン電極と、を有し、

前記第 1 の酸化物半導体層の側面はテーパー形状を有し、

前記第 1 の酸化物半導体層の側面及び上面は、前記第 2 の酸化物半導体層と接し、

前記第 2 の酸化物半導体層上に前記ゲート絶縁膜を介して前記ゲート電極が位置し、

前記ゲート絶縁膜は、酸化シリコン膜、酸化ガリウム膜、酸化アルミニウム膜、窒化シリコン膜、酸化窒化シリコン膜、酸化窒化アルミニウム膜、窒化酸化シリコン膜、酸化ハフニウム、酸化イットリウム、ハフニウムシリケート、ハフニウムアルミネート、または
酸化ランタンを有し、

前記第 2 の酸化物半導体層は、スパッタ法により形成されることを特徴とする半導体装置の作製方法。

【請求項 2】

In と Ga と Zn とを有する第 1 の酸化物半導体層と、

10

20

前記第1の酸化物半導体層上の、InとGaとZnとを有する第2の酸化物半導体層と、
ゲート絶縁膜を介して、前記第1及び前記第2の酸化物半導体層と重なる領域を有する
ゲート電極と、

前記第2の酸化物半導体層の上面と接する領域を有するソース電極と、

前記第2の酸化物半導体層の上面と接する領域を有するドレイン電極と、

前記ソース電極又は前記ドレイン電極に電気的に接続する発光素子と、を有し、

前記発光素子は、有機ELを有し、

前記第1の酸化物半導体層の側面はテーパー形状を有し、

前記第1の酸化物半導体層の側面及び上面は、前記第2の酸化物半導体層と接し、

10

前記第2の酸化物半導体層上に前記ゲート絶縁膜を介して前記ゲート電極が位置し、

前記ゲート絶縁膜は、酸化シリコン膜、酸化ガリウム膜、酸化アルミニウム膜、窒化シリコン膜、酸化窒化シリコン膜、酸化窒化アルミニウム膜、窒化酸化シリコン膜、酸化ハフニウム、酸化イットリウム、ハフニウムシリケート、ハフニウムアルミネート、または酸化ランタンを有し、

前記第2の酸化物半導体層は、スパッタ法により形成されることを特徴とする半導体装置の作製方法。

【請求項3】

請求項1又は請求項2において、

前記ソース電極及び前記ドレイン電極は、前記第1の酸化物半導体層の側面とは接しないことを特徴とする半導体装置の作製方法。

20

【請求項4】

請求項1乃至請求項3のいずれか一において、

前記第1の酸化物半導体層または前記第2の酸化物半導体層は、c軸配向した結晶を有することを特徴とする半導体装置の作製方法。

【請求項5】

請求項1乃至請求項4のいずれか一において、

前記第1の酸化物半導体層と前記第2の酸化物半導体層とは、エネルギーギャップが異なることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

30

【技術分野】

【0001】

開示する発明の一態様は、半導体装置及びその作製方法に関する。

【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器は全て半導体装置である。

【背景技術】

【0003】

近年、半導体装置の開発が進められ、LSIやCPUやメモリとして用いられている。CPUは、半導体ウェハから切り離された半導体集積回路（少なくともトランジスタ及びメモリ）を有し、接続端子である電極が形成された半導体素子の集合体である。

40

【0004】

LSIやCPUやメモリなどの半導体回路（ICチップ）は、回路基板、例えばプリント配線板に実装され、様々な電子機器の部品の一つとして用いられる。

【0005】

また、チャネル形成領域に酸化物半導体膜を用いてトランジスタなどを作製する技術が注目されている。例えば、酸化物半導体膜として酸化亜鉛（ZnO）を用いるトランジスタや、InGaO₃（ZnO）_mを用いるトランジスタが挙げられる。これらの酸化物半導体膜を用いたトランジスタを、透光性を有する基板上に形成し、画像表示装置のスイッチング素子などに用いる技術が特許文献1及び特許文献2で開示されている。

50

【先行技術文献】**【特許文献】****【0006】**

【特許文献1】特開2007-123861号公報

【特許文献2】特開2007-96055号公報

【発明の概要】**【発明が解決しようとする課題】****【0007】**

半導体装置に適用されるトランジスタは、ゲート電圧が、0Vにできるだけ近い正のしきい値電圧(V_{th})でチャネルが形成されることが望ましい。トランジスタのしきい値電圧の値が負であると、ゲート電圧が0Vでもソース電極層とドレイン電極層の間に電流が流れる、所謂ノーマリーオンとなりやすい。

【0008】

そこで、本発明の一態様では、酸化物半導体をチャネル形成領域に用いたnチャネル型のトランジスタにおいて、正のしきい値電圧を有し、所謂ノーマリーオフのスイッチング素子を実現するトランジスタ構造およびその作製方法を提供することを課題の一つとする。

【0009】

また、材料や作製条件によっては、作製されたトランジスタがノーマリーオフとならない場合であっても、ノーマリーオフの特性に近づけることが重要であり、しきい値電圧の値が負である、所謂ノーマリーオンであっても、トランジスタのしきい値電圧をゼロに近づける構成およびその作製方法を提供することも課題の一つとする。

【0010】

また、より高性能な半導体装置を実現するため、トランジスタのオン特性(例えば、オン電流や電界効果移動度)を向上させて、半導体装置の高速応答、高速駆動を実現する構成およびその作製方法を提供することも課題の一つとする。

【0011】

また、トランジスタのリーク電流も半導体装置の消費電力を左右するため、リーク電流を低減することも低消費電力な半導体装置を実現する上で重要である。そこで、本発明の一態様は、トランジスタのソース電極層およびドレイン電極層のリーク電流(寄生チャネル)の発生を低減する構成を提供することも課題の一つとする。

30

【0012】

なお、本発明の一態様は、上述の課題の少なくとも一を解決するものである。

【課題を解決するための手段】**【0013】**

本発明の一態様では、異なるエネルギーギャップ及び/または異なる電子親和力を有する酸化物半導体を積層させた酸化物半導体層(以下、酸化物半導体積層とも表記する)を用いてトランジスタを構成する。また、当該酸化物半導体積層は化学量論的組成比よりも過剰に酸素を含む領域(以下、酸素過剰領域とも表記する)を有する。

【0014】

例えば、第1の酸化物半導体層と、第1の酸化物半導体層とは異なるエネルギーギャップを有する第2の酸化物半導体層と、を含み、酸素過剰領域を有する酸化物半導体積層を用いてトランジスタを構成する。ここで、第1の酸化物半導体層と第2の酸化物半導体層とは互いに異なるエネルギーギャップを有すればよく、その積層順は問わない。より具体的には、一方の酸化物半導体層のエネルギーギャップを3eV以上とし、他方の酸化物半導体層のエネルギーギャップを3eV未満とすればよい。

40

【0015】

なお、本明細書等において、「エネルギーギャップ」という用語は、「バンドギャップ」や「禁制帯幅」と同じ意味で用いている。

【0016】

また、酸化物半導体積層を3層以上の酸化物半導体層を含む構成としてもよい。酸化物半

50

導体積層を3層以上の酸化物半導体層を有する構成とする場合には、全ての酸化物半導体層同士が異なるエネルギーギャップを有する構成としてもよいし、同等のエネルギーギャップを有する酸化物半導体層を複数酸化物半導体積層中に用いてもよい。

【0017】

例えば、第1の酸化物半導体層と、第1の酸化物半導体層上に設けられ、電子親和力が第1の酸化物半導体層の電子親和力よりも大きく、またはエネルギーギャップが第1の酸化物半導体層のエネルギーギャップよりも小さい第2の酸化物半導体層と、第2の酸化物半導体層上に第2の酸化物半導体層の側面を包むように設けられた第3の酸化物半導体層とを含む構成とすることができる。なお、第3の酸化物半導体層の電子親和力とエネルギーギャップは、第1の酸化物半導体層の電子親和力とエネルギーギャップと同等とするのが好ましい。ここで、電子親和力とは真空準位と酸化物半導体の伝導帯のエネルギー差を表す。エネルギーギャップの小さい第2の酸化物半導体層を、エネルギーギャップの大きい第1の酸化物半導体層及び第3の酸化物半導体層により挟む構造とすることによって、よりトランジスタのオフ電流（リーク電流）を低減する効果が得られる。

10

【0018】

具体的には、第1の酸化物半導体層及び第3の酸化物半導体層のエネルギーギャップは、3eV以上とし、第2の酸化物半導体層のエネルギーギャップは、3eV未満とする。酸化物半導体層を用いたトランジスタにおいて、該酸化物半導体層のエネルギーギャップは、トランジスタの電気特性に影響を与える。例えば、酸化物半導体層を用いたトランジスタにおいて、酸化物半導体層のエネルギーギャップが小さいと、オン特性（例えば、オン電流や電界効果移動度）が向上し、一方、酸化物半導体層のエネルギーギャップが大きいと、オフ電流が低減できる。

20

【0019】

単層の酸化物半導体層では該酸化物半導体層のエネルギーギャップの大きさで、トランジスタの電気特性はほぼ決定してしまうため、所望の電気的特性をトランジスタに付与することは難しい。しかしながら、本発明の一態様に係るトランジスタは、異なるエネルギーギャップを有する複数の酸化物半導体層を用いた酸化物半導体積層を用いることによって、その電気特性をより精度よく制御することができ、所望の電気特性をトランジスタに付与することが可能となる。

30

【0020】

従って、高機能、高信頼性、又は低消費電力など、種々の目的に応じた半導体装置を提供することができる。

【0021】

本明細書で開示する発明の構成の一態様は、第1の酸化物半導体層と、第1の酸化物半導体層と異なるエネルギーギャップを有する第2の酸化物半導体層と、を含む酸化物半導体積層を形成し、酸化物半導体積層上にソース電極層またはドレイン電極層を形成し、ソース電極層またはドレイン電極層上にゲート絶縁膜を形成し、ゲート絶縁膜上から、ソース電極層またはドレイン電極層をマスクとして酸化物半導体積層に自己整合的に酸素を導入し、ゲート絶縁膜を介して、酸化物半導体積層と重畳するゲート電極層を形成する半導体装置の作製方法である。

40

【0022】

また、本明細書で開示する発明の他の一態様は、順に積層された第1の酸化物半導体層と、第1の酸化物半導体層より小さいエネルギーギャップを有する第2の酸化物半導体層と、第2の酸化物半導体層より大きいエネルギーギャップを有する第3の酸化物半導体層と、を含む酸化物半導体積層を形成し、酸化物半導体積層上にソース電極層またはドレイン電極層を形成し、ソース電極層またはドレイン電極層上にゲート絶縁膜を形成し、ゲート絶縁膜上から、ソース電極層またはドレイン電極層をマスクとして酸化物半導体積層に自己整合的に酸素を導入し、ゲート絶縁膜を介して、酸化物半導体積層と重畳するゲート電極層を形成する半導体装置の作製方法である。

【0023】

50

上記の半導体装置の作製方法において、第1の酸化物半導体層の側面及び第2の酸化物半導体層の側面を覆うように第3の酸化物半導体層を積層させるのが好ましい。

【0024】

第1の酸化物半導体層の側面及び第2の酸化物半導体層の側面を覆うように第3の酸化物半導体層を形成することで、第2の酸化物半導体層の酸素欠損の増加を抑え、トランジスタのしきい値電圧をゼロに近づける構成とすることができます。さらには、第2の酸化物半導体層が埋め込みチャネルとなることでチャネル形成領域を絶縁膜界面から遠ざけることができ、これによってキャリアの界面散乱が低減され、高い電界効果移動度を実現することができる。

【0025】

また、上記の半導体装置の作製方法のいずれかにおいて、ゲート電極層を形成した後、ゲート電極層をマスクとして、酸化物半導体積層に自己整合的にドーパントを導入するのが好ましい。

【0026】

また、上記の半導体装置の作製方法のいずれかにおいて、ゲート電極層上に、層間絶縁膜を形成し、層間絶縁膜に、ソース電極層またはドレイン電極層に達するコンタクトホールを形成し、層間絶縁膜上に、コンタクトホールを介して、ソース電極層またはドレイン電極層とそれぞれ接続する配線層を形成してもよい。

【0027】

また、本発明の他の一態様は、第1の酸化物半導体層と、第1の酸化物半導体層と異なるエネルギーギャップを有する第2の酸化物半導体層と、を含む酸化物半導体積層と、酸化物半導体積層上に設けられたソース電極層またはドレイン電極層と、ソース電極層またはドレイン電極層上に設けられたゲート絶縁膜と、ゲート絶縁膜を介して、酸化物半導体積層と重畳するゲート電極層と、を有し、酸化物半導体積層において、ソース電極層またはドレイン電極層と重畳しない領域は、ソース電極層またはドレイン電極層と重畳する領域よりも高い酸素濃度を有する半導体装置である。

【0028】

また、本発明の他の一態様は、第1の酸化物半導体層と、第1の酸化物半導体層に接し、第1の酸化物半導体層よりも小さいエネルギーギャップを有する第2の酸化物半導体層と、第2の酸化物半導体層に接し、第2の酸化物半導体層より大きいエネルギーギャップを有する第3の酸化物半導体層と、を含む酸化物半導体積層と、酸化物半導体積層上に設けられたソース電極層またはドレイン電極層と、ソース電極層またはドレイン電極層上に設けられたゲート絶縁膜と、ゲート絶縁膜を介して、酸化物半導体積層と重畳するゲート電極層と、を有し、酸化物半導体積層において、ソース電極層またはドレイン電極層と重畳しない領域は、ソース電極層またはドレイン電極層と重畳する領域よりも高い酸素濃度を有する半導体装置である。

【0029】

上記構成の半導体装置において、第1の酸化物半導体層と第2の酸化物半導体層は同じマスクを用いて形成することができ、第3の酸化物半導体層は、第2の酸化物半導体層と重なり、且つ、第2の酸化物半導体層の面積よりも広い面積とすることで、第2の酸化物半導体層を包むような構成とすることができます。このような構成の半導体装置は、第1の酸化物半導体層の側面及び第2の酸化物半導体層の側面を接して覆うように第3の酸化物半導体層が設けられているため、第3の酸化物半導体層上に接して形成されるソース電極層またはドレイン電極層が、第2の酸化物半導体層の側面と接しない構造となっており、トランジスタのソース電極層およびドレイン電極層のリーク電流（寄生チャネル）の発生を低減することができるため好ましい。

【0030】

また、ソース電極層またはドレイン電極層が、第2の酸化物半導体層の側面と接しない構造であれば特に限定されず、例えば、第1の酸化物半導体層の側面が、第2の酸化物半導体層の側面から突出した構造とし、第3の酸化物半導体層が第1の酸化物半導体層の上面

10

20

30

40

50

の一部と接する構成としてもよい。

【0031】

また、上記の半導体装置のいずれかにおいて、酸化物半導体積層において、ゲート電極層と重畠しない領域は、ドーパントを含むのが好ましい。このような構成とすることで、酸化物半導体積層は、ゲート絶縁膜を介してゲート電極層と重なるチャネル形成領域を有し、チャネル長方向にそのチャネル形成領域を挟んで一対の低抵抗領域を有する。

【0032】

チャネル長方向にチャネル形成領域を挟んで低抵抗領域を含む酸化物半導体層を形成することにより、該トランジスタはオン特性（例えば、オン電流及び電界効果移動度）が高く、高速動作、高速応答が可能となる。また、低抵抗領域は、自己整合的に形成され、ゲート電極層と重ならないため、寄生容量を小さくすることができる。寄生容量を小さくすることは、半導体装置全体の消費電力を低減することに繋がる。

10

【0033】

低抵抗領域におけるドーパントの濃度は、 $5 \times 10^{18} / \text{cm}^3$ 以上 $1 \times 10^{22} / \text{cm}^3$ 以下であることが好ましい。

【0034】

また、ソース電極層及びドレイン電極層の膜厚やドーパントの導入条件にもよるが、ソース電極層またはドレイン電極層を通過させて、これらのドーパントを酸化物半導体積層に対して添加してもよい。チャネル形成領域にはドーパントが添加されないようにすることが重要であるため、ソース電極層及びドレイン電極層の膜厚は、ゲート電極層の膜厚よりも薄い膜厚とする。

20

【0035】

また、上記の半導体装置のいずれかにおいて、ゲート電極層上に設けられ、ソース電極層またはドレイン電極層に達するコンタクトホールを有する層間絶縁膜と、層間絶縁膜上に設けられ、コンタクトホールを介してソース電極層またはドレイン電極層とそれぞれ接続する配線層と、さらに有するのが好ましい。

【発明の効果】

【0036】

本発明の一態様によって、トランジスタのオン特性（例えば、オン電流や電界効果移動度）を向上させることができる。

30

【0037】

また、本発明の一態様によって、ノーマリーオフのトランジスタを実現することができる。また、トランジスタがノーマリーオンであっても、トランジスタのしきい値をゼロに近づけることができる。

【図面の簡単な説明】

【0038】

【図1】本発明の一態様の半導体装置を説明する平面図、断面図、及びエネルギー・バンド図。

【図2】本発明の一態様の半導体装置の作製方法を説明する図。

【図3】本発明の一態様の半導体装置を説明する断面図。

40

【図4】本発明の一態様の半導体装置を説明する断面図。

【図5】本発明の一態様の半導体装置を説明する図。

【図6】本発明の一態様の半導体装置を説明する図。

【図7】本発明の一態様の半導体装置を説明する図。

【図8】電子機器を示す図。

【図9】イオンポテンシャルを示す図。

【図10】エネルギー・バンド図。

【図11】サンプルのTEM写真図およびその模式図。

【発明を実施するための形態】

【0039】

50

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、その形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0040】

なお、以下に説明する本発明の構成において、同一部分または同様の機能を有する部分には、同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。また、同様の機能を有する部分を指す場合にはハッチパターンを同じくし、特に符号を付さない場合がある。

【0041】

なお、本明細書で説明する各図において、各構成の大きさ、膜の厚さ、または領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。

10

【0042】

なお、本明細書等において、第1、第2等として付される序数詞は便宜上用いるものであり、工程順又は積層順を示すものではない。また、本明細書等において発明を特定するための事項として固有の名称を示すものではない。

【0043】

(実施の形態1)

本実施の形態では、半導体装置及び半導体装置の作製方法の一形態を、図1乃至図3を用いて説明する。本実施の形態では、半導体装置の一例として酸化物半導体積層を有するトランジスタを示す。

20

【0044】

図1(A)、図1(B)、及び図1(C)に示すトランジスタ510は、トップゲート構造のトランジスタの一例である。図1(A)は上面図であり、図1(A)中の鎖線XYで切断した断面が図1(B)に相当し、図1(A)中の鎖線VWで切断した断面が図1(C)に相当する。なお、図1(B)及び図1(C)において、酸化物半導体積層403に含まれる各酸化物半導体層の界面を模式的に点線で図示している。酸化物半導体層の材料や成膜条件によっては、各酸化物半導体層同士の界面が不明確になる場合もある。また、界面が不明確になる場合、異なる複数の酸化物半導体層の混合領域または混合層と呼ぶことのできる箇所が形成されることもある。

30

【0045】

チャネル長方向の断面図である図1(B)に示すように、トランジスタ510は、酸化物絶縁膜436が設けられた絶縁表面を有する基板400上に、第1の酸化物半導体層、第2の酸化物半導体層、及び第3の酸化物半導体層を含む酸化物半導体積層403と、ソース電極層405aと、ドレイン電極層405bと、ゲート絶縁膜402と、ゲート電極層401と、を有する。トランジスタ510において第1の酸化物半導体層は、酸化物絶縁膜436上に接して形成され、第2の酸化物半導体層は、第1の酸化物半導体層上に形成される。また、トランジスタ510において、酸化物半導体積層は、第3の酸化物半導体層を有し、第3の酸化物半導体層は、第1の酸化物半導体層の側面及び第2の酸化物半導体層の側面を覆って設けられている。なお、第3の酸化物半導体層の周縁部は、酸化物絶縁膜と接する。

40

【0046】

酸化物半導体積層403において、ゲート絶縁膜402を介してゲート電極層401と重畳するチャネル形成領域は、3層で形成され、第1のチャネル形成領域121c、第2のチャネル形成領域122c、及び第3のチャネル形成領域123cが積層されている。

【0047】

また、チャネル長方向に第1のチャネル形成領域121cを挟んで第1の低抵抗領域121a、121bを有する。また、チャネル長方向に第2のチャネル形成領域122cを挟んで第2の低抵抗領域122a、122bを有する。また、チャネル長方向に第3のチャ

50

ネル形成領域 123c を挟んで第 3 の低抵抗領域 123a、123b を有する。

【0048】

また、ソース電極層 405a またはドレイン電極層 405b と重なる第 1 の領域 121d、121e、第 2 の領域 122d、122e、第 3 の領域 123d、123e を有する。

【0049】

図 1 に示すトランジスタ 510において、酸化物半導体積層 403 は、第 1 の低抵抗領域 121a、121b、第 1 のチャネル形成領域 121c、及び第 1 の領域 121d、121e を含む第 1 の酸化物半導体層と、第 2 の低抵抗領域 122a、122b、第 2 のチャネル形成領域 122c、及び第 2 の領域 122d、122e を含む第 2 の酸化物半導体層と、第 3 の低抵抗領域 123a、123b、第 3 のチャネル形成領域 123c、及び第 3 の領域 123d、123e を含む第 3 の酸化物半導体層と、が順に積層されて構成される。
10

【0050】

また、トランジスタ 510において、第 2 の酸化物半導体層は、第 1 の酸化物半導体層より小さいエネルギーギャップを有し、第 3 の酸化物半導体層は、第 2 の酸化物半導体層よりも大きいエネルギーギャップを有する。また、第 1 の酸化物半導体層と、第 3 の酸化物半導体層とは同等のエネルギーギャップを有するのが好ましい。

【0051】

図 1 (B) は、チャネル長方向の断面図であり、第 2 の酸化物半導体層の端部、即ち、第 2 の領域 122d、122e の側面が第 3 の酸化物半導体層の端部、即ち、第 3 の領域 123d、123e で覆われる構造とするのが好ましい。このような構造とすることで、トランジスタのソース電極層 405a 及びドレイン電極層 405b のリーク電流 (寄生チャネル) の発生を低減することができる。
20

【0052】

図 1 (C) は、チャネル幅方向の断面図であり、図 1 (B) と同様に第 2 の酸化物半導体層の端部、即ち、第 2 のチャネル形成領域 122c の側面が第 3 の酸化物半導体層の端部、即ち、第 3 のチャネル形成領域 123c で覆われる構造とするのが好ましい。

【0053】

また、図 1 (D) は、図 1 (B) における膜厚方向 (D-D' 間) のエネルギーバンド図を示す図である。本実施の形態では、図 1 (D) に示すエネルギーバンド図となるように、第 1 の酸化物半導体層、第 2 の酸化物半導体層、及び第 3 の酸化物半導体層の材料を選択する。但し、伝導帯に埋め込みチャネルが形成されれば十分な効果が得られるため、必ずしも図 1 (D) に示すエネルギーバンド図のように伝導帯と価電子帯の両方に凹部を有するエネルギーバンド図に限定しなくともよい。例えば、伝導帯のみに凹部を有するエネルギーバンド図が得られる構成としてもよい。
30

【0054】

図 2 (A)、図 2 (B)、図 2 (C)、及び図 2 (D) にトランジスタの作製方法の一例を示す。

【0055】

まず、絶縁表面を有する基板 400 上に酸化物絶縁膜 436、第 1 の酸化物半導体層 101、第 2 の酸化物半導体層 102 を形成する。
40

【0056】

絶縁表面を有する基板 400 に使用することができる基板に大きな制限はないが、少なくとも、後の熱処理に耐えうる程度の耐熱性を有していることが必要となる。例えば、バリウムホウケイ酸ガラスやアルミニノホウケイ酸ガラスなどのガラス基板、セラミック基板、石英基板、サファイア基板などを用いることができる。また、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、SOI 基板などを適用することもでき、これらの基板上に半導体素子が設けられたものを、基板 400 として用いてもよい。

【0057】

また、基板 400 として、可撓性基板を用いて半導体装置を作製してもよい。可撓性を有する半導体装置を作製するには、可撓性基板上に酸化物半導体積層を含むトランジスタを直接作製してもよいし、他の作製基板に酸化物半導体積層を含むトランジスタを作製し、剥離し、その後可撓性基板に転置してもよい。なお、作製基板から可撓性基板に剥離、転置するために、作製基板と酸化物半導体積層を含むトランジスタとの間に剥離層を設けるとよい。

【0058】

酸化物絶縁膜 436 としては、プラズマ CVD 法又はスパッタリング法等により、酸化シリコン、酸化窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、酸化ハフニウム、酸化ガリウム、窒化酸化シリコン、窒化酸化アルミニウム、又はこれらの混合材料を用いて形成することができる。酸化物絶縁膜 436 は、単層でも積層でもよい。本実施の形態では酸化物絶縁膜 436 としてスパッタリング法を用いて形成する酸化シリコン膜を用いる。

10

【0059】

トランジスタ 510 において、酸化物絶縁膜 436 は、酸化物半導体積層の最下層及び最上層と接するため、膜中(バルク中)に少なくとも化学量論的組成比を超える量の酸素が存在することが好ましい。例えば、酸化物絶縁膜 436 として、酸化シリコン膜を用いる場合には、 SiO_{2+} (ただし、 $\text{SiO}_{2+} > 0$) とする。このような酸化物絶縁膜 436 を用いることで、上方に形成する酸化物半導体積層に酸素を供給することができ、特性を良好にすることができる。酸化物半導体積層へ酸素を供給することにより、膜中の酸素欠損を補填することができる。

20

【0060】

酸化物絶縁膜 436 上に形成する酸化物半導体積層の形成工程において、第 1 の酸化物半導体層 101 及び第 2 の酸化物半導体層 102 に水素、又は水がなるべく含まれないようにするために、第 1 の酸化物半導体層 101 及び第 2 の酸化物半導体層 102 の成膜の前処理として、スパッタリング装置の予備加熱室で酸化物絶縁膜 436 が形成された基板を予備加熱し、基板及び酸化物絶縁膜 436 に吸着した水素、水分などの不純物を脱離し排気することができる。なお、予備加熱室に設ける排気手段はクライオポンプが好ましい。

【0061】

30

酸化物半導体積層に用いる酸化物半導体としては、少なくともインジウム (In) あるいは亜鉛 (Zn) を含むことが好ましい。特に In と Zn を含むことが好ましい。また、該酸化物を用いたトランジスタの電気特性のばらつきを減らすためのスタビライザーとして、それらに加えてガリウム (Ga) を有することができる。また、スタビライザーとしてスズ (Sn) を有することができる。また、スタビライザーとしてハフニウム (Hf) を有することができる。また、スタビライザーとしてアルミニウム (Al) を有することができる。

【0062】

また、他のスタビライザーとして、ランタノイドである、ランタン (La)、セリウム (Ce)、プラセオジム (Pr)、ネオジム (Nd)、サマリウム (Sm)、ユウロピウム (Eu)、ガドリニウム (Gd)、テルビウム (Tb)、ジスプロシウム (Dy)、ホルミウム (Ho)、エルビウム (Er)、ツリウム (Tm)、イッテルビウム (Yb)、ルテチウム (Lu) のいずれか一種あるいは複数種を有してもよい。

40

【0063】

例えば、酸化物半導体として、酸化インジウム、酸化スズ、酸化亜鉛、二元系金属の酸化物である In-Zn 系酸化物、Sn-Zn 系酸化物、Al-Zn 系酸化物、Zn-Mg 系酸化物、Sn-Mg 系酸化物、In-Mg 系酸化物、In-Ga 系酸化物、三元系金属の酸化物である In-Ga-Zn 系酸化物 (IGZO とも表記する)、In-Al-Zn 系酸化物、In-Sn-Zn 系酸化物、Sn-Ga-Zn 系酸化物、Al-Ga-Zn 系酸化物、Sn-Al-Zn 系酸化物、In-Hf-Zn 系酸化物、In-La-Zn 系酸化

50

物、In-Ce-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、In-Lu-Zn系酸化物、四元系金属の酸化物であるIn-Sn-Ga-Zn系酸化物、In-Hf-Ga-Zn系酸化物、In-Al-Ga-Zn系酸化物、In-Sn-Al-Zn系酸化物、In-Sn-Hf-Zn系酸化物、In-Hf-Al-Zn系酸化物を用いることができる。

【0064】

酸化物半導体は単結晶でも、非単結晶でもよい。後者の場合、アモルファスでも、多結晶でもよい。また、アモルファス中に結晶性を有する部分を含む構造でも、非アモルファスでもよい。なお、同じ材料でも単結晶と、非単結晶ではエネルギーギャップが異なることがあるため、適宜結晶状態を選択することが重要である。図1(D)に示すエネルギーバンド図となるように、第1の酸化物半導体層101や第2の酸化物半導体層102の材料を選択する。

10

【0065】

また、酸化物半導体積層として、結晶を含み、結晶性を有する酸化物半導体膜（結晶性酸化物半導体膜）を用いることができる。結晶性酸化物半導体膜における結晶状態は、結晶軸の方向が無秩序な状態でも、一定の配向性を有する状態であってもよい。

20

【0066】

例えば、結晶性酸化物半導体膜として、表面に概略垂直なc軸を有している結晶を含む酸化物半導体膜を用いることができる。

【0067】

表面に概略垂直なc軸を有している結晶を含む酸化物半導体膜は、単結晶構造ではなく、非晶質構造でもない構造であり、c軸配向を有したCAAC-OS (C Axis Aligned Crystalline Oxide Semiconductor) 膜である。

【0068】

CAAC-OS膜は、完全な単結晶ではなく、完全な非晶質でもない。CAAC-OS膜は、非晶質相に結晶部および非晶質部を有する結晶-非晶質混相構造の酸化物半導体膜である。なお、当該結晶部は、一辺が100nm未満の立方体内に収まる大きさが多い。また、透過型電子顕微鏡(TEM: Transmission Electron Microscope)による観察像では、CAAC-OS膜に含まれる非晶質部と結晶部との境界は明確ではない。また、TEMによってCAAC-OS膜には粒界(グレインバウンダリーともいう。)は確認できない。そのため、CAAC-OS膜は、粒界に起因する電子移動度の低下が抑制される。

30

【0069】

CAAC-OS膜に含まれる結晶部は、c軸がCAAC-OS膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃い、かつa b面に垂直な方向から見て三角形状または六角形状の原子配列を有し、c軸に垂直な方向から見て金属原子が層状または金属原子と酸素原子とが層状に配列している。なお、異なる結晶部間で、それぞれa軸およびb軸の向きが異なっていてもよい。本明細書において、単に垂直と記載する場合、85°以上95°以下の範囲も含まれることとする。また、単に平行と記載する場合、-5°以上5°以下の範囲も含まれることとする。

40

【0070】

なお、CAAC-OS膜において、結晶部の分布が一様でなくてもよい。例えば、CAAC-OS膜の形成過程において、酸化物半導体膜の表面側から結晶成長させる場合、被形成面の近傍に対し表面の近傍では結晶部の占める割合が高くなることがある。また、CAAC-OS膜へ不純物を添加することにより、当該不純物添加領域において結晶部が非晶質化することもある。

50

【0071】

C A A C - O S 膜に含まれる結晶部の c 軸は、C A A C - O S 膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃うため、C A A C - O S 膜の形状（被形成面の断面形状または表面の断面形状）によっては互いに異なる方向を向くことがある。なお、結晶部の c 軸の方向は、C A A C - O S 膜が形成されたときの被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向となる。結晶部は、成膜することにより、または成膜後に加熱処理などの結晶化処理を行うことにより形成される。

【0072】

C A A C - O S 膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動を低減することが可能である。よって、当該トランジスタは、信頼性が高い。

10

【0073】

第1の酸化物半導体層101及び第2の酸化物半導体層102の膜厚は、5 nm以上10 nm以下（好ましくは5 nm以上30 nm以下）とし、スパッタリング法、MBE（Molecular Beam Epitaxy）法、CVD法、パルスレーザ堆積法、ALD（Atomic Layer Deposition）法等を適宜用いることができる。また、第1の酸化物半導体層101及び第2の酸化物半導体層102は、スパッタリングターゲット表面に対し、概略垂直に複数の基板表面がセットされた状態で成膜を行うスパッタ装置を用いて成膜してもよい。

【0074】

なお、第1の酸化物半導体層101及び第2の酸化物半導体層102は、成膜時に酸素が多く含まれるような条件（例えば、酸素100%の雰囲気下でスパッタリング法により成膜を行うなど）で成膜して、酸素を多く含む（好ましくは酸化物半導体が結晶状態における化学量論的組成比に対し、酸素の含有量が過剰な領域が含まれている）膜とすることが好ましい。

20

【0075】

なお、本実施の形態において、第1の酸化物半導体層101は、スパッタリング法で作製するためのターゲットとしては、例えば、組成比として、In₂O₃ : Ga₂O₃ : ZnO = 1 : 1 : 2 [mol比] の金属酸化物ターゲットを用い、In-Ga-Zn系酸化物膜を成膜する。また、このターゲットの材料及び組成に限定されず、例えば、In₂O₃ : Ga₂O₃ : ZnO = 1 : 1 : 1 [mol比] の金属酸化物ターゲットを用いてもよい。

30

【0076】

第1の酸化物半導体層101及び第2の酸化物半導体層102を、成膜する際に用いるスパッタリングガスは水素、水、水酸基又は水素化物などの不純物が除去された高純度ガスを用いることが好ましい。

【0077】

また、酸化物絶縁膜436と酸化物半導体積層とを大気に解放せずに連続的に形成することができる。酸化物絶縁膜436と酸化物半導体積層とを大気に曝露せずに連続して形成すると、酸化物絶縁膜436表面に水素や水分などの不純物が吸着することを防止することができる。

40

【0078】

C A A C - O S 膜は、例えば、多結晶である酸化物半導体スパッタリング用ターゲットを用い、スパッタリング法によって成膜する。当該スパッタリング用ターゲットにイオンが衝突すると、スパッタリング用ターゲットに含まれる結晶領域がa-b面から劈開し、a-b面に平行な面を有する平板状またはペレット状のスパッタリング粒子として剥離することができる。この場合、当該平板状のスパッタリング粒子が、結晶状態を維持したまま基板に到達することで、C A A C - O S 膜を成膜することができる。

【0079】

また、C A A C - O S 膜を成膜するために、以下の条件を適用することが好ましい。

【0080】

50

成膜時の不純物混入を低減することで、不純物によって結晶状態が崩れることを抑制できる。例えば、成膜室内に存在する不純物濃度（水素、水、二酸化炭素および窒素など）を低減すればよい。また、成膜ガス中の不純物濃度を低減すればよい。具体的には、露点が-80以下、好ましくは-100以下である成膜ガスを用いる。

【0081】

また、成膜時の基板加熱温度を高めることで、基板到達後にスパッタリング粒子のマイグレーションが起こる。具体的には、基板加熱温度を100以上740以下、好ましくは200以上500以下として成膜する。成膜時の基板加熱温度を高めることで、平板状のスパッタリング粒子が基板に到達した場合、基板上でマイグレーションが起こり、スパッタリング粒子の平らな面が基板に付着する。

10

【0082】

また、成膜ガス中の酸素割合を高め、電力を最適化することで成膜時のプラズマダメージを軽減すると好ましい。成膜ガス中の酸素割合は、30体積%以上、好ましくは100体積%とする。

【0083】

スパッタリング用ターゲットの一例として、In-Ga-Zn-O化合物ターゲットについて以下に示す。

【0084】

InO_x粉末、GaO_y粉末およびZnO_z粉末を所定のmo1数比で混合し、加圧処理後、1000以上1500以下の温度で加熱処理することで多結晶であるIn-Ga-Zn-O化合物ターゲットとする。なお、X、YおよびZは任意の正数である。ここで、所定のmo1数比は、例えば、InO_x粉末、GaO_y粉末およびZnO_z粉末が、2:2:1、8:4:3、3:1:1、1:1:1、4:2:3または3:1:2のmo1数比である。なお、粉末の種類、およびその混合する比率は、作製するスパッタリング用ターゲットによって適宜変更すればよい。

20

【0085】

本実施の形態では、図2(A)に示すように、成膜された酸化物半導体積層を第1のフォトリソグラフィ工程により島状の第1の酸化物半導体層101及び島状の第2の酸化物半導体層102に加工する。また、島状の第1の酸化物半導体層101及び島状の第2の酸化物半導体層102を形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

30

【0086】

なお、酸化物半導体積層のエッティングは、ドライエッティングでもウェットエッティングでもよく、両方を用いてもよい。例えば、酸化物半導体膜のウェットエッティングに用いるエッティング液としては、磷酸と酢酸と硝酸を混ぜた溶液などを用いることができる。また、ITO07N(関東化学社製)を用いてもよい。

【0087】

次いで、島状の第1の酸化物半導体層101及び島状の第2の酸化物半導体層102を覆う第3の酸化物半導体層103を形成する。これによって、酸化物半導体積層403が形成される。第3の酸化物半導体層103は、第1の酸化物半導体層101と同じターゲットを用いて形成する。第3の酸化物半導体層103の成膜条件は、第1の酸化物半導体層101と同じであるため、ここでは説明を省略する。なお、第2のフォトリソグラフィ工程により第2の酸化物半導体層102と重なり、且つ、第2の酸化物半導体層102の平面面積よりも広い上面形状の第3の酸化物半導体層103を形成する。

40

【0088】

次いで、酸化物半導体積層403に、過剰な水素(水や水酸基を含む)を除去(脱水化または脱水素化)するための加熱処理を行ってもよい。加熱処理の温度は、300以上700以下、または基板の歪み点未満とする。加熱処理は減圧下又は窒素雰囲気下などで行うことができる。例えば、加熱処理装置の一つである電気炉に基板を導入し、酸化物半

50

導体積層 403 に対して窒素雰囲気下 450 において 1 時間の加熱処理を行う。

【0089】

なお、加熱処理装置は電気炉に限らず、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を用いてもよい。例えば、G R T A (G a s R a p i d T h e r m a l A n n e a l) 装置、L R T A (L a m p R a p i d T h e r m a l A n n e a l) 装置等の R T A (R a p i d T h e r m a l A n n e a l) 装置を用いることができる。L R T A 装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光(電磁波)の輻射により、被処理物を加熱する装置である。G R T A 装置は、高温のガスを用いて加熱処理を行う装置である。高温のガスには、アルゴンなどの希ガス、または窒素のような、加熱処理によって被処理物と反応しない不活性気体が用いられる。

10

【0090】

例えば、加熱処理として、650 ~ 700 の高温に加熱した不活性ガス中に基板を入れ、数分間加熱した後、基板を不活性ガス中から出す G R T A を行ってもよい。

【0091】

なお、加熱処理においては、窒素、またはヘリウム、ネオン、アルゴン等の希ガスに、水、水素などが含まれないことが好ましい。または、熱処理装置に導入する窒素、またはヘリウム、ネオン、アルゴン等の希ガスの純度を、6 N (99.9999 %) 以上好ましくは 7 N (99.99999 %) 以上(即ち不純物濃度を 1 ppm 以下、好ましくは 0.1 ppm 以下) とすることが好ましい。

20

【0092】

また、加熱処理で酸化物半導体積層 403 を加熱した後、加熱温度を維持、またはその加熱温度から徐冷しながら同じ炉に高純度の酸素ガス、高純度の一酸化二窒素ガス、又は超乾燥エア(C R D S (キャビティリングダウンレーザー分光法) 方式の露点計を用いて測定した場合の水分量が 20 ppm (露点換算で -55) 以下、好ましくは 1 ppm 以下、より好ましくは 10 ppb 以下の空気) を導入してもよい。酸素ガスまたは一酸化二窒素ガスに、水、水素などが含まれないことが好ましい。または、熱処理装置に導入する酸素ガスまたは一酸化二窒素ガスの純度を、6 N 以上好ましくは 7 N 以上(即ち、酸素ガスまたは一酸化二窒素ガス中の不純物濃度を 1 ppm 以下、好ましくは 0.1 ppm 以下) とすることが好ましい。酸素ガス又は一酸化二窒素ガスの作用により、脱水化または脱水素化処理による不純物の排除工程によって同時に減少してしまった酸化物半導体を構成する主成分材料である酸素を供給することによって、酸化物半導体積層 403 を高純度化及び i 型(真性)化することができる。

30

【0093】

次いで、酸化物半導体積層 403 上に、ソース電極層及びドレイン電極層(これと同じ層で形成される配線を含む)となる導電膜を形成する。該導電膜は後の加熱処理に耐えられる材料を用いる。ソース電極層、及びドレイン電極層に用いる導電膜としては、例えば、Al、Cr、Cu、Ta、Ti、Mo、W から選ばれた元素を含む金属膜、または上述した元素を成分とする金属窒化物膜(窒化チタン膜、窒化モリブデン膜、窒化タンゲステン膜)等を用いることができる。また、Al、Cu などの金属膜の下側又は上側の一方または双方に Ti、Mo、W などの高融点金属膜またはこれらの金属窒化物膜(窒化チタン膜、窒化モリブデン膜、窒化タンゲステン膜)を積層させた構成としても良い。また、ソース電極層、及びドレイン電極層に用いる導電膜としては、導電性の金属酸化物で形成しても良い。導電性の金属酸化物としては酸化インジウム(In_2O_3)、酸化スズ(SnO_2)、酸化亜鉛(ZnO)、酸化インジウム酸化スズ($In_2O_3 - SnO_2$)、酸化インジウム酸化亜鉛($In_2O_3 - ZnO$) またはこれらの金属酸化物材料に酸化シリコンを含ませたものを用いることができる。

40

【0094】

第 3 のフォトリソグラフィ工程により導電膜上にレジストマスクを形成し、選択的にエッ

50

チングを行ってソース電極層 405a、ドレイン電極層 405b を形成した後、レジストマスクを除去する。この段階での断面が図 2 (B) である。本実施の形態では、ソース電極層 405a、ドレイン電極層 405b として膜厚 10 nm のタンゲステン膜を形成する。このようにソース電極層 405a、ドレイン電極層 405b の膜厚が薄いと、上に形成されるゲート絶縁膜 442 の被覆性が良好となる他、ソース電極層 405a、ドレイン電極層 405b を通過してソース電極層 405a、ドレイン電極層 405b 下方の酸化物半導体積層 403 にドーパントを導入することができる。

【0095】

次いで、酸化物半導体積層 403、ソース電極層 405a、及びドレイン電極層 405b を覆うゲート絶縁膜 402 を形成する。

10

【0096】

ゲート絶縁膜 402 の膜厚は、1 nm 以上 20 nm 以下とし、スパッタリング法、MBE 法、CVD 法、パルスレーザ堆積法、ALD 法等を適宜用いることができる。また、ゲート絶縁膜 402 は、スパッタリングターゲット表面に対し、概略垂直に複数の基板表面がセットされた状態で成膜を行うスパッタ装置を用いて成膜してもよい。

【0097】

ゲート絶縁膜 402 の材料としては、酸化シリコン膜、酸化ガリウム膜、酸化アルミニウム膜、窒化シリコン膜、酸化窒化シリコン膜、酸化窒化アルミニウム膜、または窒化酸化シリコン膜を用いて形成することができる。

【0098】

また、ゲート絶縁膜 402 の材料として酸化ハフニウム、酸化イットリウム、ハフニウムシリケート ($HfSi_xO_y$ ($x > 0$, $y > 0$))、窒素が添加されたハフニウムシリケート ($HfSiO_xN_y$ ($x > 0$, $y > 0$))、ハフニウムアルミネート ($HfAl_xO_y$ ($x > 0$, $y > 0$))、酸化ランタンなどの high-k 材料を用いることでゲートリーケ電流を低減できる。さらに、ゲート絶縁膜 402 は、単層構造としても良いし、積層構造としても良い。

20

【0099】

次いで、図 2 (C) に示すように、ソース電極層 405a、及びドレイン電極層 405b をマスクとして酸化物半導体積層 403 に酸素 431 を導入する。酸素 (少なくとも、酸素ラジカル、酸素原子、酸素イオン、のいずれかを含む) を導入して、少なくとも第 3 の酸化物半導体層中に酸素を供給する。酸素の導入方法としては、イオン注入法、イオンドーピング法、プラズマイマージョンイオンインプランテーション法、プラズマ処理などを用いることができる。

30

【0100】

酸化物半導体積層 403 へ酸素を導入することで、酸化物半導体積層 403 において、ソース電極層 405a またはドレイン電極層 405b と重畠しない領域は、ソース電極層 405a またはドレイン電極層 405b と重畠する領域よりも高い酸素濃度を有することとなる。酸素の導入処理によって、ソース電極層 405a またはドレイン電極層 405b と重畠しない領域における酸素の含有量を、その化学量論的組成比を超える程度とするのが好ましい。例えば、酸素導入処理によって酸素が導入された領域における酸化物半導体積層 403 の酸素濃度のピークを $1 \times 10^{18} / cm^3$ 以上 $5 \times 10^{21} / cm^3$ 以下とするのが好ましい。

40

【0101】

本実施の形態においては、酸素 431 の導入によって、化学量論的組成比よりも酸素を過剰に含む領域 (酸素過剰領域) として、第 1 の酸素過剰領域 111、第 2 の酸素過剰領域 112 及び第 3 の酸素過剰領域 113 を自己整合的に形成する。但し、酸素 431 は、少なくとも第 3 の酸化物半導体層 103 と、ゲート絶縁膜 402 の界面において含有されればよい。よって、酸素 431 の導入深さによっては、第 1 の酸化物半導体層 101 及び第 2 の酸化物半導体層 102 における酸素濃度は、ソース電極層 405a またはドレイン電極層 405b と重畠する領域とその他の領域において同等である場合もある。酸化物半導

50

体積層 403 への酸素の導入深さは、加速電圧、ドーズ量などの注入条件、また通過させるゲート絶縁膜 402 膜厚を適宜設定して制御すればよい。

【0102】

なお、酸素 431 の導入のタイミングは、ゲート絶縁膜 402 の形成後に限られるものではない。但し、酸素の導入を、酸化物半導体積層 403 に積層された膜越しに行うと、酸素の導入深さ（導入領域）がより制御しやすくなるため、酸化物半導体積層 403 へ酸素を効率よく注入できるという利点がある。

【0103】

また、酸素 431 の導入処理後、加熱処理を行ってもよい。加熱条件としては、温度 250 以上 700 以下、好ましくは 300 以上 450 以下で、酸素雰囲気下で行うことが好ましい。また、窒素雰囲気下、減圧下、大気（超乾燥エア）下で加熱処理を行ってもよい。

10

【0104】

酸化物半導体積層の少なくとも一層を結晶性酸化物半導体膜とした場合、酸素 431 の導入により、一部非晶質化する場合がある。この場合、酸素 431 の導入後に加熱処理を行うことによって、酸化物半導体積層の結晶性を回復することができる。

【0105】

また、酸化物半導体積層 403 に酸素過剰領域を形成することで、酸素欠損を直ちに補填することができるため、酸化物半導体積層 403 中の電荷捕獲中心を低減することができる。酸化物半導体積層 403 において、酸素が脱離した箇所では酸素欠損が存在し、該酸素欠損に起因してトランジスタの電気的特性変動を招くドナー準位が生じてしまう。酸素を導入することにより、膜中の酸素欠損を補填することができるため、このような酸化物半導体積層をトランジスタに用いることで、酸素欠損に起因するトランジスタのしきい値電圧 V_{th} のばらつき、しきい値電圧のシフト V_{th} を低減することができる。また、しきい値電圧をプラスシフトさせ、トランジスタをノーマリーオフ化することもできる。

20

【0106】

次いで、ゲート電極層 401 をプラズマ CVD 法又はスパッタリング法等により、ゲート絶縁膜 402 上に形成する。ゲート電極層 401 の材料は、モリブデン、チタン、タンタル、タンゲステン、アルミニウム、銅、クロム、ネオジム、スカンジウム等の金属材料またはこれらを主成分とする合金材料を用いて形成することができる。また、ゲート電極層 401 としてリン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜、ニッケルシリサイドなどのシリサイド膜を用いてもよい。ゲート電極層 401 は、単層構造としてもよいし、積層構造としてもよい。

30

【0107】

また、ゲート電極層 401 の材料は、インジウム錫酸化物、酸化タンゲステンを含むインジウム酸化物、酸化タンゲステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの導電性材料を適用することもできる。また、上記導電性材料と、上記金属材料の積層構造とすることもできる。

40

【0108】

また、ゲート絶縁膜 402 と接するゲート電極層 401 の一層として、窒素を含む金属酸化物、具体的には、窒素を含む $In - Ga - Zn$ 系酸化物膜や、窒素を含む $In - Sn$ 系酸化物膜や、窒素を含む $In - Ga$ 系酸化物膜や、窒素を含む $In - Zn$ 系酸化物膜や、窒素を含む Sn 系酸化物膜や、窒素を含む In 系酸化物膜や、金属窒化膜（ InN 、 SnN など）を用いることができる。これらの膜は 5 eV、好ましくは 5.5 eV 以上の仕事関数を有し、ゲート電極層として用いた場合、トランジスタの電気特性のしきい値電圧をプラスにすることことができ、所謂ノーマリーオフのスイッチング素子を実現できる。

【0109】

次に、ドーパント 421 を選択的に導入する処理を行うのが好ましい。この処理で、ゲート電極層 401 をマスクとして、ゲート絶縁膜 402 を通過して、第 1 の低抵抗領域 12

50

1 a、121b、第2の低抵抗領域122a、122b、第3の低抵抗領域123a、123bを形成する。この処理でチャネル長方向に第1のチャネル形成領域121cを挟んで第1の低抵抗領域121a、121bが自己整合的に形成される。また、チャネル長方向に第2のチャネル形成領域122cを挟んで第2の低抵抗領域122a、122bが自己整合的に形成される。また、チャネル長方向に第3のチャネル形成領域123cを挟んで第3の低抵抗領域123a、123bが自己整合的に形成される。

【0110】

本実施の形態のトランジスタ510において、第1の低抵抗領域121a、121b、第2の低抵抗領域122a、122b、及び第3の低抵抗領域123a、123bは、ドーパントと、酸素を過剰に含む領域となる。

10

【0111】

さらに、この処理で、ゲート絶縁膜402、ソース電極層405a、及びドレイン電極層405bを通過して酸化物半導体積層403（少なくとも第3の酸化物半導体層103）にドーパント421を選択的に導入し、第1の領域121d、121e、第2の領域122d、122e、及び第3の領域123d、123eを形成する（図2（D）参照）。ソース電極層405a、及びドレイン電極層405bの下方にもドーパント421を導入することで第1の領域121d、121e、第2の領域122d、122e、及び第3の領域123d、123eの低抵抗化を図ることができる。

【0112】

ドーパント421を導入してチャネル長方向にチャネル形成領域を挟んで低抵抗領域を含む酸化物半導体積層403を形成することにより、トランジスタ510のオン特性を向上させ、高速動作、高速応答が可能なトランジスタとすることができます。また、低抵抗領域は、自己整合的に形成され、ゲート電極層と重ならないため、寄生容量を小さくすることができます。寄生容量を小さくすることは、半導体装置全体の消費電力を低減することに繋がる。

20

【0113】

また、本実施の形態では、ソース電極層405a、及びドレイン電極層405bを薄膜とするため、ソース電極層405a、及びドレイン電極層405b下の酸化物半導体積層403にもドーパント421が導入される。ソース電極層405a、及びドレイン電極層405bの膜厚や、ドーパント421の導入条件によってはソース電極層405a、及びドレイン電極層405b下の酸化物半導体積層にはドーパント421が導入されない構成とすることもできる。

30

【0114】

ドーパント421の導入処理は、加速電圧、ドーズ量などの注入条件、また通過させるゲート絶縁膜402の膜厚を適宜設定して制御すればよい。例えば、ホウ素を用いて、イオン注入法でホウ素イオンの注入を行う場合、ドーズ量を $1 \times 10^{13} \text{ ions/cm}^2$ 以上 $5 \times 10^{16} \text{ ions/cm}^2$ 以下とすればよい。

【0115】

第1の低抵抗領域121a、121b、第2の低抵抗領域122a、122b、及び第3の低抵抗領域123a、123bにおけるドーパント421の濃度は、 $5 \times 10^{18} / \text{cm}^3$ 以上 $1 \times 10^{22} / \text{cm}^3$ 以下であることが好ましい。

40

【0116】

ドーパントを導入する際に、基板400を加熱しながら行ってもよい。

【0117】

なお、第1の低抵抗領域121a、121b、第2の低抵抗領域122a、122b、第3の低抵抗領域123a、123bにドーパント421を導入する処理は、複数回行ってもよく、ドーパントの種類も複数種用いてよい。

【0118】

また、ドーパント421の導入処理後、加熱処理を行ってもよい。加熱条件としては、温度300以上700以下、好ましくは300以上450以下で1時間、酸素雰囲

50

気下で行なうことが好ましい。また、窒素雰囲気下、減圧下、大気（超乾燥エア）下で加熱処理を行ってもよい。

【0119】

酸化物半導体積層の少なくとも一層を結晶性酸化物半導体膜とした場合、ドーパント421の導入により、一部非晶質化する場合がある。この場合、ドーパント421の導入後に加熱処理を行うことによって、酸化物半導体積層の結晶性を回復することができる。

【0120】

本実施の形態では、ドーパントとしてホウ素を用いる。よって、第1の低抵抗領域121a、121b、第2の低抵抗領域122a、122b、及び第3の低抵抗領域123a、123bはホウ素と、過剰な酸素とが含まれる。

10

【0121】

以上の工程で、本実施の形態のトランジスタ510が作製される。

【0122】

なお、トランジスタを覆うように絶縁膜407を形成してもよい（図1（B）、及び図1（C）参照）。

【0123】

絶縁膜407は、酸化シリコン膜の他に、代表的に酸化アルミニウム膜、酸化窒化シリコン膜、酸化窒化アルミニウム膜、又は酸化ガリウム膜などの無機絶縁膜を用いることができる。例えば、絶縁膜407として酸化シリコン膜と酸化アルミニウム膜との積層を用いることができる。

20

【0124】

絶縁膜407として用いることのできる酸化アルミニウム膜は、水素、水分などの不純物、及び酸素の両方に対して膜を通過させない遮断効果（ブロック効果）が高い。

【0125】

また、絶縁膜407として平坦化絶縁膜を用いてもよい。平坦化絶縁膜としては、ポリイミド樹脂、アクリル樹脂、ベンゾシクロブテン系樹脂、等の有機材料を用いることができる。また上記有機材料の他に、低誘電率材料（low-k材料）等を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、平坦化絶縁膜を形成してもよい。

【0126】

30

次いで、絶縁膜407にソース電極層405a、ドレイン電極層405bに達する開口を形成し、開口にソース電極層405a、ドレイン電極層405bと電気的に接続する配線層を形成する。この配線層を用いて他のトランジスタと接続させ、様々な回路を構成することができる。

【0127】

なお、本実施の形態で示すトランジスタは、異なるエネルギー・ギャップを有する酸化物半導体を積層させた酸化物半導体層を含み、当該酸化物半導体積層は化学量論的組成比よりも過剰に酸素を含む領域を有することを技術的本質とする。よって、酸化物半導体積層403への不純物の導入は必ずしも行なう必要はない。例えば、図2で示す作製工程において、ゲート電極層401を形成後、不純物の導入を行わずに、ゲート絶縁膜402及びゲート電極層401上に絶縁膜407を形成することで、図3に示すトランジスタ520を形成することができる。

40

【0128】

図3に示すトランジスタ520は、酸化物絶縁膜436が設けられた絶縁表面を有する基板400上に、第1の酸化物半導体層、第2の酸化物半導体層及び第3の酸化物半導体層を含む酸化物半導体積層403と、ソース電極層405aと、ドレイン電極層405bと、ゲート絶縁膜402と、ゲート絶縁膜402を介して酸化物半導体積層403と重畠するゲート電極層401と、を含んで構成される。

【0129】

トランジスタ520において、酸化物半導体積層403は、ソース電極層405aまたは

50

ドレイン電極層 405b をマスクとして自己整合的に形成された第 1 の酸素過剰領域 111、第 2 の酸素過剰領域 112 及び第 3 の酸素過剰領域 113 と、ソース電極層 405a またはドレイン電極層 405b と重畳する第 1 の領域 131d、131e、第 2 の領域 132d、132e 及び第 3 の領域 133d、133e と、を含む。

【0130】

ソース電極層 405a またはドレイン電極層 405b と重畳しない領域（第 1 の酸素過剰領域 111、第 2 の酸素過剰領域 112 及び第 3 の酸素過剰領域 113）は、ソース電極層 405a またはドレイン電極層 405b と重畳する領域（第 1 の領域 131d、131e、第 2 の領域 132d、132e 及び第 3 の領域 133d、133e）よりも高い酸素濃度を有するが、双方の領域における構成元素は同一である。 10

【0131】

トランジスタ 510 またはトランジスタ 520 に用いられる、高純度化され、酸素欠損が補填された酸化物半導体積層 403 は、水素、水などの不純物が十分に除去されており、酸化物半導体積層 403 中の水素濃度は $5 \times 10^{-9} / \text{cm}^3$ 以下、好ましくは $5 \times 10^{-8} / \text{cm}^3$ 以下である。なお、酸化物半導体積層 403 中の水素濃度は、二次イオン質量分析法（SIMS：Secondary Ion Mass Spectrometry）で測定されるものである。

【0132】

本実施の形態を用いて作製した、高純度化し、酸素欠損を補填する酸素を過剰に含む酸化物半導体積層 403 を用いたトランジスタは、オフ状態における電流値（オフ電流値）を、チャネル幅 1 μm 当たり室温にて $100 \text{ zA} / \mu\text{m}$ （1 zA（ゼプトアンペア）は $1 \times 10^{-21} \text{ A}$ ）以下、好ましくは $10 \text{ zA} / \mu\text{m}$ 以下、より好ましくは $1 \text{ zA} / \mu\text{m}$ 以下、さらに好ましくは $100 \text{ yA} / \mu\text{m}$ 以下レベルにまで低くすることができる。 20

【0133】

また、本実施の形態で示すトランジスタ 510 及びトランジスタ 520 において、第 1 の酸化物半導体層の側面及び第 2 の酸化物半導体層の側面を覆うように、第 3 の酸化物半導体層が形成されている。このような構成とすることで、第 2 の酸化物半導体層の酸素欠損の増加を抑制し、トランジスタのしきい値電圧をゼロに近づける構成とすることができます。さらには、第 2 の酸化物半導体層が埋め込みチャネルとなることでキャリアの散乱が低減され、高い電界効果移動度を実現することができる。 30

【0134】

また、エネルギーギャップの小さい第 2 の酸化物半導体層を、エネルギーギャップの大きい第 1 の酸化物半導体層及び第 3 の酸化物半導体層により挟む構造とすることによって、よりトランジスタのオフ電流（リーコ電流）を低減する効果が得られる。

【0135】

こうして得られる電気特性の高いトランジスタを用いることで高性能及び高信頼性の半導体装置を提供することができる。

【0136】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。 40

【0137】

（実施の形態 2）

本実施の形態では、実施の形態 1 の工程を一部変更して得られるトランジスタの一例を図 4（A）乃至（E）に示す。実施の形態 1 と一部異なるだけであるため、簡略化のため同一の符号を用いて説明し、同一の部分の詳細な説明は、ここでは省略することとする。

【0138】

図 4（A）に示すトランジスタ 530 は、第 1 の酸化物半導体層及び第 2 の酸化物半導体層を島状に加工する際に、同じマスクを用いて（或いは、加工によって作製した島状の第 1 の酸化物半導体層及び第 2 の酸化物半導体層をマスクとして）酸化物絶縁膜 436 の一部をエッティングして薄くした構成である。トランジスタ 530 において酸化物絶縁膜 43

6は、島状の第1の酸化物半導体層及び第2の酸化物半導体層と重畳する領域は、その他の領域（重畳しない領域）と比較して厚い膜厚を有している。第1の酸化物半導体層及び第2の酸化物半導体層の島状への加工の際に、酸化物絶縁膜436の一部までエッチングすることによって第1の酸化物半導体層の残渣などのエッチング残りを除去し、リーク電流の発生を低減することができる。

【0139】

また、図4(B)に示すトランジスタ540は、3回のフォトリソグラフィ工程により、酸化物半導体積層403を形成した構成である。トランジスタ540に含まれる酸化物半導体積層403は、第1の酸化物半導体層を成膜後、第1のマスクを用いて島状の第1の酸化物半導体層を形成し、島状の第1の酸化物半導体層上に第2の酸化物半導体層を成膜後、第2のマスクを用いて島状の第2の酸化物半導体層を形成し、島状の第1及び第2の酸化物半導体層上に第3の酸化物半導体層を成膜後、当該第3の酸化物半導体層を第3のマスクを用いて島状に加工することで、形成される。

10

【0140】

なお、トランジスタ540は、第1の酸化物半導体層の側面が、第2の酸化物半導体層の側面から突出した構造であり、第3の酸化物半導体層が第1の酸化物半導体層の上面の一部と接する構成とした例である。第3の酸化物半導体層の端部に相当する第3の領域123d、123eは、第1の酸化物半導体層の端部に相当する第1の領域121d、121eとそれぞれ接して重なる。

20

【0141】

また、図4(C)に示すトランジスタ550は、ソース電極層をソース電極層405cとソース電極層405aの積層構造とし、ドレイン電極層をドレイン電極層405dとドレイン電極層405bの積層構造として、下層であるソース電極層405cとドレイン電極層405dに達する配線層465a、配線層465bを形成する例である。絶縁膜407にコンタクトホールを形成する際のエッチング工程によって、ソース電極層405aまたはドレイン電極層405bの一部がオーバーエッチングによって除去されることがある。トランジスタ550では、ソース電極層405a及びドレイン電極層405bを積層構造とし、下層の導電層をエッチングストッパーとして機能させることもできる。

【0142】

本実施の形態で示すトランジスタ550では、下層のソース電極層405c及びドレイン電極層405dとしてタンゲステン膜、または窒化タンタル膜を用い、下層よりも厚い上層のソース電極層405a及びドレイン電極層405bとして銅膜またはアルミニウム膜を用いる。図4(C)における、ソース電極層405a及びドレイン電極層405bの膜厚は5nm以上15nmとすることで、その上に形成されるゲート絶縁膜402の被覆性を良好なものとすることができます。なお、本実施の形態では、配線層465a、配線層465bは、窒化タンタル膜と銅膜の積層、或いは窒化タンタル膜とタンゲステン膜の積層とすることで接触抵抗の低減を図ることができる。

30

【0143】

また、図4(D)に示すトランジスタ560は、第1の酸化物半導体層、第2の酸化物半導体層及び第3の酸化物半導体層は同じマスクを用いて、1回のフォトリソグラフィ工程により酸化物半導体積層403を形成した構成である。トランジスタ560に含まれる酸化物半導体積層403においては、第1の酸化物半導体層、第2の酸化物半導体層及び第3の酸化物半導体層は端部が一致した同形状の酸化物半導体層となる。すなわち、酸化物半導体積層403において、第1の酸化物半導体層及び第2の酸化物半導体層の側面（端部）は露出している。

40

【0144】

酸化物半導体積層403を1回のフォトリソグラフィ工程によって形成することで、工程数を削減することができ、半導体装置の製造コストを低減することができる。なお、トランジスタ560において、ソース電極層405a及びドレイン電極層405bを第3の酸化物半導体層の上面のみ、または第3の酸化物半導体積層の上面及び側面のみに接するよ

50

うに第3の酸化物半導体層上に設けることで、ソース電極層405a及びドレイン電極層405bが第2の酸化物半導体層の側面と接しない構造とすることができます。このような構成とすることで、トランジスタのソース電極層およびドレイン電極層のリーク電流（寄生チャネル）の発生を低減することができるため好ましい。

【0145】

酸化物半導体積層403は、必ずしも3層構造としなくともよい。例えば、図4(E)に示すトランジスタ570は、第1の酸化物半導体層及び第2の酸化物半導体層からなる2層構造の酸化物半導体積層403を含んで構成される。トランジスタ570において、第2の酸化物半導体層は、第1の酸化物半導体層と重なり、且つ第1の酸化物半導体層の面積よりも広い面積とすることで、第1の酸化物半導体層を包むような構成とすることができます。このような構成とすることで、第1の酸化物半導体層の酸素欠損の増加を抑制し、トランジスタのしきい値電圧をゼロに近づける構成とすることができます。なお、トランジスタ570において酸化物絶縁膜436として酸化アルミニウム膜を含む構成することで、第1の酸化物半導体層に接する絶縁膜への酸素の脱離を防止することができるため、好ましい。

【0146】

図4(E)に示すトランジスタ570は、第2の酸化物半導体層上に接して形成されるソース電極層405aまたはドレイン電極層405bが第1の酸化物半導体層の側面と接しない構造とすることができますため、ソース電極層405a及びドレイン電極層405bのリーク電流（寄生チャネル）の発生を低減することができるため好ましい。

【0147】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

【0148】

(実施の形態3)

実施の形態1または実施の形態2に示したトランジスタを用いて表示機能を有する半導体装置（表示装置ともいう）を作製することができる。また、トランジスタを含む駆動回路の一部または全体を、画素部と同じ基板上に一体形成し、システムオンパネルを形成することができる。

【0149】

図5(A)において、第1の基板4001上に設けられた画素部4002を囲むようにして、シール材4005が設けられ、第2の基板4006によって封止されている。図5(A)においては、第1の基板4001上のシール材4005によって囲まれている領域とは異なる領域に、別途用意された基板上に単結晶半導体膜又は多結晶半導体膜で形成された走査線駆動回路4004、信号線駆動回路4003が実装されている。また別途形成された信号線駆動回路4003と、走査線駆動回路4004または画素部4002に与えられる各種信号及び電位は、FPC(Flexible printed circuit)4018a、4018bから供給されている。

【0150】

図5(B)、及び図5(C)において、第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004とを囲むようにして、シール材4005が設けられている。また画素部4002と、走査線駆動回路4004の上に第2の基板4006が設けられている。よって画素部4002と、走査線駆動回路4004とは、第1の基板4001とシール材4005と第2の基板4006とによって、表示素子と共に封止されている。図5(B)、及び(C)においては、第1の基板4001上のシール材4005によって囲まれている領域とは異なる領域に、別途用意された基板上に単結晶半導体膜又は多結晶半導体膜で形成された信号線駆動回路4003が実装されている。図5(B)、及び(C)においては、別途形成された信号線駆動回路4003と、走査線駆動回路4004または画素部4002に与えられる各種信号及び電位は、FPC4018から供給されている。

【0151】

10

20

30

40

50

また図5(B)、及び図5(C)においては、信号線駆動回路4003を別途形成し、第1の基板4001に実装している例を示しているが、この構成に限定されない。走査線駆動回路を別途形成して実装してもよいし、信号線駆動回路の一部または走査線駆動回路の一部のみを別途形成して実装してもよい。

【0152】

なお、別途形成した駆動回路の接続方法は、特に限定されるものではなく、COG(Chip On Glass)方法、ワイヤボンディング方法、或いはTAB(Tape Automated Bonding)方法などを用いることができる。図5(A)は、COG方法により信号線駆動回路4003、走査線駆動回路4004を実装する例であり、図5(B)は、COG方法により信号線駆動回路4003を実装する例であり、図5(C)は、TAB方法により信号線駆動回路4003を実装する例である。 10

【0153】

また、表示装置は、表示素子が封止された状態にあるパネルと、該パネルにコントローラを含むIC等を実装した状態にあるモジュールとを含む。

【0154】

なお、本明細書中における表示装置とは、画像表示デバイス、表示デバイス、もしくは光源(照明装置含む)を指す。また、コネクター、例えばFPCもしくはTABテープもしくはTCPが取り付けられたモジュール、TABテープやTCPの先にプリント配線板が設けられたモジュール、または表示素子にCOG方式によりIC(集積回路)が直接実装されたモジュールも全て表示装置に含むものとする。 20

【0155】

また第1の基板上に設けられた画素部及び走査線駆動回路は、トランジスタを複数有しており、実施の形態1または実施の形態2に例示したトランジスタを適用することができる。

【0156】

表示装置に設けられる表示素子としては液晶素子(液晶表示素子ともいう)、発光素子(発光表示素子ともいう)、を用いることができる。発光素子は、電流または電圧によって輝度が制御される素子をその範疇に含んでおり、具体的には無機EL(ELectro Luminescence)、有機EL等が含まれる。また、電子インクなど、電気的作用によりコントラストが変化する表示媒体も適用することができる。 30

【0157】

半導体装置の一形態について、図5及び図6を用いて説明する。図6は、図5(B)のM-Nにおける断面図に相当する。

【0158】

図5及び図6で示すように、半導体装置は接続端子電極4015及び端子電極4016を有しており、接続端子電極4015及び端子電極4016はFPC4018が有する端子と異方性導電膜4019を介して、電気的に接続されている。

【0159】

接続端子電極4015は、第1の電極層4030と同じ導電膜から形成され、端子電極4016は、トランジスタ4040、4010、4011のソース電極層及びドレイン電極層と同じ導電膜で形成されている。 40

【0160】

また第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004は、トランジスタを複数有しており、図6(A)では、画素部4002に含まれるトランジスタ4040と、走査線駆動回路4004に含まれるトランジスタ4011とを例示している。また、図6(B)では、画素部4002に含まれるトランジスタ4010と、走査線駆動回路4004に含まれるトランジスタ4011とを例示している。図6(A)では、トランジスタ4040、4011上には絶縁膜4020が設けられ、図6(B)では、トランジスタ4010、4011上に絶縁膜4020及び絶縁膜4021が設けられている。なお、絶縁膜4023は下地膜として機能する絶縁膜である。 50

【0161】

走査線駆動回路 4004 に含まれるトランジスタ 4011 としては、実施の形態 1 または実施の形態 2 で示した埋め込みチャネルを有するトランジスタを適用することができる。埋め込みチャネルを有するトランジスタは、オン特性（例えば、オン電流及び電界効果移動度）が高く、走査線駆動回路 4004 の高速動作、高速応答を可能とする。本実施の形態では、実施の形態 1 で示したトランジスタと同様な構造を有するトランジスタを適用する例を示す。

【0162】

画素部 4002 に設けられたトランジスタ 4010、4040 は表示素子と電気的に接続し、表示パネルを構成する。表示素子は表示を行うことができれば特に限定されず、様々な表示素子を用いることができる。

10

【0163】

また、画素部 4002 に含まれるトランジスタ 4040 としては、特に埋め込みチャネルを必要としないため、単層の酸化物半導体層をチャネル形成領域とするトランジスタ 4040 を設ける。このトランジスタ 4040 は、工程数を増やすことなく、トランジスタ 4011 を作製する工程と同じ工程で作製することができる。このトランジスタ 4040 の酸化物半導体層は、トランジスタ 4011 の第 3 の酸化物半導体層と同じ工程で形成することができる。トランジスタ 4040 は、大型の表示装置でない場合、特にオン特性を高くしなくてもよい。トランジスタ 4040 は、酸化物半導体層を単層とすることで、トランジスタ 4011 よりもオフ電流値を低くすることができ、低消費電力の表示装置を実現できる。

20

【0164】

図 6 (A) に表示素子として液晶素子を用いた液晶表示装置の例を示す。図 6 (A) において、表示素子である液晶素子 4013 は、第 1 の電極層 4030、第 2 の電極層 4031、及び液晶層 4008 を含む。なお、液晶層 4008 を挟持するように配向膜として機能する絶縁膜 4032、4033 が設けられている。第 2 の電極層 4031 は第 2 の基板 4006 側に設けられ、第 1 の電極層 4030 と第 2 の電極層 4031 とは液晶層 4008 を介して積層する構成となっている。

【0165】

また 4035 は絶縁膜を選択的にエッチングすることで得られる柱状のスペーサであり、液晶層 4008 の膜厚（セルギャップ）を制御するために設けられている。なお球状のスペーサを用いていてもよい。

30

【0166】

表示素子として、液晶素子を用いる場合、サーモトロピック液晶、低分子液晶、高分子液晶、高分子分散型液晶、強誘電性液晶、反強誘電性液晶等を用いることができる。これらの液晶材料（液晶組成物）は、条件により、コレステリック相、スメクチック相、キューピック相、カイラルネマチック相、等方相等を示す。

【0167】

また、液晶層 4008 に、配向膜を用いないブルー相を発現する液晶組成物を用いてよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は、液晶及びカイラル剤を混合させた液晶組成物を用いて発現させることができる。また、ブルー相が発現する温度範囲を広げるために、ブルー相を発現する液晶組成物に重合性モノマー及び重合開始剤などを添加し、高分子安定化させる処理を行って液晶層を形成することもできる。ブルー相を発現する液晶組成物は、応答速度が短く、光学的等方性であるため配向処理が不要であり、視野角依存性が小さい。また配向膜を設けなくてもよいのでラビング処理も不要となるため、ラビング処理によって引き起こされる静電破壊を防止することができ、作製工程中の液晶表示装置の不良や破損を軽減することができる。よって液晶表示装置の生産性を向上させることができるとなる。酸化物半導体膜を用いるトランジスタは、静電気の影響によりトランジスタの電気的な特性が著しく変動して設計範囲を逸脱する恐れがある。よ

40

50

つて酸化物半導体膜を用いるトランジスタを有する液晶表示装置にブルー相を発現する液晶組成物を用いることはより効果的である。

【0168】

また、液晶材料の固有抵抗は、 $1 \times 10^9 \text{ } \cdot \text{cm}$ 以上であり、好ましくは $1 \times 10^{11} \text{ } \cdot \text{cm}$ 以上であり、さらに好ましくは $1 \times 10^{12} \text{ } \cdot \text{cm}$ 以上である。なお、本明細書における固有抵抗の値は、20で測定した値とする。

【0169】

液晶表示装置に設けられる保持容量の大きさは、画素部に配置されるトランジスタのリーク電流等を考慮して、所定の期間の間電荷を保持できるように設定される。保持容量の大きさは、トランジスタのオフ電流等を考慮して設定すればよい。本明細書に開示する酸化物半導体膜を有するトランジスタを用いることにより、各画素における液晶容量に対して1/3以下、好ましくは1/5以下の容量の大きさを有する保持容量を設ければ充分である。

10

【0170】

本明細書に開示する酸化物半導体膜を用いたトランジスタ4040は、オフ状態における電流値（オフ電流値）を低く制御することができる。よって、画像信号等の電気信号の保持時間を長くすることができ、電源オン状態では書き込み間隔も長く設定できる。よって、リフレッシュ動作の頻度を少なくすることができるため、消費電力を抑制する効果を奏する。

20

【0171】

また、本明細書に開示する酸化物半導体膜を用いたトランジスタ4011は、電界効果移動度を高く制御することができるため、走査線駆動回路4004の高速駆動が可能である。本実施の形態によると、画素部のスイッチングトランジスタと、駆動回路部に使用するドライバートランジスタを同一基板上に形成することができる。すなわち、別途駆動回路として、シリコンウェハ等により形成された半導体装置を用いる必要がないため、半導体装置の部品点数を削減することができる。

【0172】

また、画素部においても、トランジスタ4011と同じ酸化物半導体層の積層を有するトランジスタを用いてもよく、画素部においても高速駆動が可能なトランジスタを用いることで、高画質な画像や、大面積の表示を提供することもできる。

30

【0173】

液晶表示装置には、TN(Twisted Nematic)モード、IPS(In-Plane-Switching)モード、FFS(Fringe Field Switching)モード、ASM(Axially Symmetric aligned Micro-cell)モード、OCB(Optical Compensated Birefringence)モード、FLC(Ferroelectric Liquid Crystal)モード、AFLC(AntiFerroelectric Liquid Crystal)モードなどを用いることができる。

【0174】

また、ノーマリーブラック型の液晶表示装置、例えば垂直配向(VA)モードを採用した透過型の液晶表示装置としてもよい。垂直配向モードとしては、いくつか挙げられるが、例えば、MVA(Multi-Domain Vertical Alignment)モード、PVA(Patterned Vertical Alignment)モード、ASV(Advanced Super View)モードなどを用いることができる。また、VA型の液晶表示装置にも適用することができる。VA型の液晶表示装置とは、液晶表示パネルの液晶分子の配列を制御する方式の一種である。VA型の液晶表示装置は、電圧が印加されていないときにパネル面に対して液晶分子が垂直方向を向く方式である。また、画素(ピクセル)をいくつかの領域(サブピクセル)に分け、それぞれ別の方に分子を倒すよう工夫されているマルチドメイン化あるいはマルチドメイン設計といわれる方法を用いることができる。

40

50

【0175】

また、表示装置において、ブラックマトリクス（遮光層）、偏光部材、位相差部材、反射防止部材などの光学部材（光学基板）などは適宜設ける。例えば、偏光基板及び位相差基板による円偏光を用いてもよい。また、光源としてバックライト、サイドライトなどを用いてもよい。

【0176】

また、画素部における表示方式は、プログレッシブ方式やインターレース方式等を用いることができる。また、カラー表示する際に画素で制御する色要素としては、R G B（Rは赤、Gは緑、Bは青を表す）の三色に限定されない。例えば、R G B W（Wは白を表す）10、又はR G Bに、イエロー、シアン、マゼンタ等を一色以上追加したものがある。なお、色要素のドット毎にその表示領域の大きさが異なっていてもよい。ただし、開示する発明はカラー表示の表示装置に限定されるものではなく、モノクロ表示の表示装置に適用することもできる。

【0177】

また、表示装置に含まれる表示素子として、エレクトロルミネッセンスを利用する発光素子を適用することができる。エレクトロルミネッセンスを利用する発光素子は、発光材料が有機化合物であるか、無機化合物であるかによって区別され、一般的に、前者は有機EL素子、後者は無機EL素子と呼ばれている。

【0178】

有機EL素子は、発光素子に電圧を印加することにより、一対の電極から電子および正孔がそれぞれ発光性の有機化合物を含む層に注入され、電流が流れる。そして、それらキャリア（電子および正孔）が再結合することにより、発光性の有機化合物が励起状態を形成し、その励起状態が基底状態に戻る際に発光する。このようなメカニズムから、このような発光素子は、電流励起型の発光素子と呼ばれる。なお、ここでは、発光素子として有機EL素子を用いて説明する。20

【0179】

発光素子は発光を取り出すために少なくとも一対の電極の一方が透光性であればよい。そして、基板上にトランジスタ及び発光素子を形成し、基板とは逆側の面から発光を取り出す上面射出や、基板側の面から発光を取り出す下面射出や、基板側及び基板とは反対側の面から発光を取り出す両面射出構造の発光素子があり、どの射出構造の発光素子も適用することができる。30

【0180】

図6（B）に表示素子として発光素子を用いた発光装置の例を示す。表示素子である発光素子4513は、画素部4002に設けられたトランジスタ4010と電気的に接続している。なお発光素子4513の構成は、第1の電極層4030、電界発光層4511、第2の電極層4031の積層構造であるが、示した構成に限定されない。発光素子4513から取り出す光の方向などに合わせて、発光素子4513の構成は適宜変えることができる。

【0181】

隔壁4510は、有機絶縁材料、又は無機絶縁材料を用いて形成する。特に感光性の樹脂材料を用い、第1の電極層4030上に開口部を形成し、その開口部の側壁が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。40

【0182】

電界発光層4511は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでもよい。

【0183】

発光素子4513に酸素、水素、水分、二酸化炭素等が侵入しないように、第2の電極層4031及び隔壁4510上に保護膜を形成してもよい。保護膜としては、窒化シリコン膜、窒化酸化シリコン膜、DLC膜等を形成することができる。

【0184】

10

20

30

40

50

また、発光素子4513に酸素、水素、水分、二酸化炭素等が侵入しないように、発光素子4513を覆う有機化合物を含む層を蒸着法により形成してもよい。

【0185】

また、第1の基板4001、第2の基板4006、及びシール材4005によって封止された空間には充填材4514が設けられ密封されている。このように外気に曝されないように気密性が高く、脱ガスの少ない保護フィルム（貼り合わせフィルム、紫外線硬化樹脂フィルム等）やカバー材でパッケージング（封入）することが好ましい。

【0186】

充填材4514としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC（ポリビニルクロライド）、アクリル、ポリイミド、エポキシ樹脂、シリコーン樹脂、PVB（ポリビニルブチラル）またはEVA（エチレンビニルアセテート）を用いることができる。例えば充填材として窒素を用いればよい。

10

【0187】

また、必要であれば、発光素子の射出面に偏光板、又は円偏光板（楕円偏光板を含む）、位相差板（1/4板、1/2板）、カラーフィルタなどの光学フィルムを適宜設けてよい。また、偏光板又は円偏光板に反射防止膜を設けてよい。例えば、表面の凹凸により反射光を拡散し、映り込みを低減できるアンチグレア処理を施すことができる。

【0188】

また、表示装置として、電子インクを駆動させる電子ペーパーを提供することも可能である。電子ペーパーは、電気泳動表示装置（電気泳動ディスプレイ）も呼ばれており、紙と同じ読みやすさ、他の表示装置に比べ低消費電力、薄くて軽い形状とすることが可能という利点を有している。

20

【0189】

電気泳動表示装置は、様々な形態が考えられ得るが、プラスの電荷を有する第1の粒子と、マイナスの電荷を有する第2の粒子とを含むマイクロカプセルが溶媒または溶質に複数分散されたものであり、マイクロカプセルに電界を印加することによって、マイクロカプセル中の粒子を互いに反対方向に移動させて一方側に集合した粒子の色のみを表示するものである。なお、第1の粒子または第2の粒子は染料を含み、電界がない場合において移動しないものである。また、第1の粒子の色と第2の粒子の色は異なるもの（無色を含む）とする。

30

【0190】

このように、電気泳動表示装置は、誘電定数の高い物質が高い電界領域に移動する、いわゆる誘電泳動的効果を利用したディスプレイである。

【0191】

上記マイクロカプセルを溶媒中に分散させたものが電子インクと呼ばれるものであり、この電子インクはガラス、プラスチック、布、紙などの表面に印刷することができる。また、カラーフィルタや色素を有する粒子を用いることによってカラー表示も可能である。

【0192】

なお、マイクロカプセル中の第1の粒子および第2の粒子は、導電体材料、絶縁体材料、半導体材料、磁性材料、液晶材料、強誘電性材料、エレクトロルミネセント材料、エレクトロクロミック材料、磁気泳動材料から選ばれた一種の材料、またはこれらの複合材料を用いればよい。

40

【0193】

また、電子ペーパーとして、ツイストボール表示方式を用いる表示装置も適用することができる。ツイストボール表示方式とは、白と黒に塗り分けられた球形粒子を、表示素子に用いる電極層である第1の電極層及び第2の電極層の間に配置し、第1の電極層及び第2の電極層に電位差を生じさせて球形粒子の向きを制御することにより、表示を行う方法である。

【0194】

50

なお、図5及び図6において、第1の基板4001、第2の基板4006としては、ガラス基板の他、可撓性を有する基板も用いることができ、例えば透光性を有するプラスチック基板などを用いることができる。プラスチックとしては、FRP (Fiberglass - Reinforced Plastics) 板、PVF (ポリビニルフルオライド) フィルム、ポリエスチルフィルムまたはアクリル樹脂フィルムを用いることができる。また、透光性が必要でなければ、アルミニウムやステンレスなどの金属基板(金属フィルム)を用いてもよい。例えば、アルミニウムホイルをPVFフィルムやポリエスチルフィルムで挟んだ構造のシートを用いることもできる。

【0195】

本実施の形態では、絶縁膜4020として酸化アルミニウム膜を用いる。

10

【0196】

酸化物半導体膜上に絶縁膜4020として設けられた酸化アルミニウム膜は、水素、水分などの不純物、及び酸素の両方に対して膜を透過させない遮断効果(ブロック効果)が高い。

【0197】

従って、酸化アルミニウム膜は、作製工程中及び作製後において、変動要因となる水素、水分などの不純物の酸化物半導体膜への混入、及び酸化物半導体を構成する主成分材料である酸素の酸化物半導体膜からの放出を防止する保護膜として機能する。

【0198】

また、平坦化絶縁膜として機能する絶縁膜4021は、アクリル樹脂、ポリイミド樹脂、ベンゾシクロブテン系樹脂、ポリアミド樹脂、エポキシ樹脂等の、耐熱性を有する有機材料を用いることができる。また上記有機材料の他に、低誘電率材料(LOW-K材料)、シロキサン系樹脂、PSG(リンガラス)、BPSG(リンボロンガラス)等を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層することで、絶縁膜を形成してもよい。

20

【0199】

表示素子に電圧を印加する第1の電極層及び第2の電極層(画素電極層、共通電極層、対向電極層などともいう)においては、取り出す光の方向、電極層が設けられる場所、及び電極層のパターン構造によって透光性、反射性を選択すればよい。

【0200】

30

第1の電極層4030、第2の電極層4031は、酸化タンクス滕を含むインジウム酸化物、酸化タンクス滕を含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物、グラフェンなどの透光性を有する導電性材料を用いることができる。

【0201】

また、第1の電極層4030、第2の電極層4031はタンクス滕(W)、モリブデン(Mo)、ジルコニウム(Zr)、ハフニウム(Hf)、バナジウム(V)、ニオブ(Nb)、タンタル(Ta)、クロム(Cr)、コバルト(Co)、ニッケル(Ni)、チタン(Ti)、白金(Pt)、アルミニウム(Al)、銅(Cu)、銀(Ag)等の金属、又はその合金、若しくはその金属窒化物から一つ、又は複数種を用いて形成することができる。

40

【0202】

また、トランジスタは静電気などにより破壊されやすいため、駆動回路保護用の保護回路を設けることが好ましい。保護回路は、非線形素子を用いて構成することができる。

【0203】

以上のように実施の形態1または実施の形態2で示したトランジスタを適用することで、様々な機能を有する半導体装置を提供することができる。

【0204】

(実施の形態4)

50

実施の形態 1 または実施の形態 2 に示したトランジスタを用いて、対象物の情報を読み取るイメージセンサ機能を有する半導体装置を作製することができる。

【0205】

図 7 (A) に、イメージセンサ機能を有する半導体装置の一例を示す。図 7 (A) はフォトセンサの等価回路であり、図 7 (B) はフォトセンサの一部を示す断面図である。

【0206】

フォトダイオード 602 は、一方の電極がフォトダイオードリセット信号線 658 に、他方の電極がトランジスタ 640 のゲートに電気的に接続されている。トランジスタ 640 は、ソース又はドレインの一方がフォトセンサ基準信号線 672 に、ソース又はドレインの他方がトランジスタ 656 のソース又はドレインの一方に電気的に接続されている。トランジスタ 656 は、ゲートがゲート信号線 659 に、ソース又はドレインの他方がフォトセンサ出力信号線 671 に電気的に接続されている。

10

【0207】

なお、本明細書における回路図において、酸化物半導体膜を用いるトランジスタと明確に判明できるように、酸化物半導体膜を用いるトランジスタの記号には「OS」と記載している。図 7 (A) において、トランジスタ 640、トランジスタ 656 は実施の形態 1 または実施の形態 2 に示したトランジスタが適用でき、酸化物半導体積層を用いるトランジスタである。本実施の形態では、実施の形態 1 で示したトランジスタと同様な構造を有するトランジスタを適用する例を示す。

【0208】

20

図 7 (B) は、フォトセンサにおけるフォトダイオード 602 及びトランジスタ 640 に示す断面図であり、絶縁表面を有する基板 601 (TFT 基板) 上に、センサとして機能するフォトダイオード 602 及びトランジスタ 640 が設けられている。フォトダイオード 602、トランジスタ 640 の上には接着層 608 を用いて基板 613 が設けられている。

【0209】

トランジスタ 640 上には絶縁膜 631、絶縁膜 632、層間絶縁膜 633、層間絶縁膜 634 が設けられている。フォトダイオード 602 は、層間絶縁膜 633 上に設けられ、層間絶縁膜 633 上に形成した電極層 641 と、層間絶縁膜 634 上に設けられた電極層 642 との間に、層間絶縁膜 633 側から順に第 1 半導体膜 606a、第 2 半導体膜 606b、及び第 3 半導体膜 606c を積層した構造を有している。

30

【0210】

電極層 641 は、層間絶縁膜 634 に形成された導電層 643 と電気的に接続し、電極層 642 は電極層 641 を介して導電層 645 と電気的に接続している。導電層 645 は、トランジスタ 640 のゲート電極層と電気的に接続しており、フォトダイオード 602 はトランジスタ 640 と電気的に接続している。

【0211】

ここでは、第 1 半導体膜 606a として p 型の導電型を有する半導体膜と、第 2 半導体膜 606b として高抵抗な半導体膜 (I 型半導体膜) 、第 3 半導体膜 606c として n 型の導電型を有する半導体膜を積層する p-i-n 型のフォトダイオードを例示している。

40

【0212】

第 1 半導体膜 606a は p 型半導体膜であり、p 型を付与する不純物元素を含むアモルファスシリコン膜により形成することができる。第 1 半導体膜 606a の形成には 13 族の不純物元素 (例えはボロン (B)) を含む半導体材料ガスを用いて、プラズマ CVD 法により形成する。半導体材料ガスとしてはシラン (SiH₄) を用いればよい。または、 Si₂H₆、SiH₂C₁₂、SiHC₁₃、SiC₁₄、SiF₄ 等を用いてもよい。また、不純物元素を含まないアモルファスシリコン膜を形成した後に、拡散法やイオン注入法を用いて該アモルファスシリコン膜に不純物元素を導入してもよい。イオン注入法等により不純物元素を導入した後に加熱等を行うことで、不純物元素を拡散させるとよい。この場合にアモルファスシリコン膜を形成する方法としては、LPCVD 法、気相成長法、

50

又はスパッタリング法等を用いればよい。第1半導体膜606aの膜厚は10nm以上50nm以下となるよう形成することが好ましい。

【0213】

第2半導体膜606bは、i型半導体膜(真性半導体膜)であり、アモルファスシリコン膜により形成する。第2半導体膜606bの形成には、半導体材料ガスを用いて、アモルファスシリコン膜をプラズマCVD法により形成する。半導体材料ガスとしては、シラン(SiH₄)を用いればよい。または、Si₂H₆、SiH₂C₁₂、SiHC₁₃、SiC₁₄、SiF₄等を用いてもよい。第2半導体膜606bの形成は、LPCVD法、気相成長法、スパッタリング法等により行ってもよい。第2半導体膜606bの膜厚は200nm以上1000nm以下となるよう形成することが好ましい。

10

【0214】

第3半導体膜606cは、n型半導体膜であり、n型を付与する不純物元素を含むアモルファスシリコン膜により形成する。第3半導体膜606cの形成には、15族の不純物元素(例えばリン(P))を含む半導体材料ガスを用いて、プラズマCVD法により形成する。半導体材料ガスとしてはシラン(SiH₄)を用いればよい。または、Si₂H₆、SiH₂C₁₂、SiHC₁₃、SiC₁₄、SiF₄等を用いてもよい。また、不純物元素を含まないアモルファスシリコン膜を形成した後に、拡散法やイオン注入法を用いて該アモルファスシリコン膜に不純物元素を導入してもよい。イオン注入法等により不純物元素を導入した後に加熱等を行うことで、不純物元素を拡散させるとよい。この場合にアモルファスシリコン膜を形成する方法としては、LPCVD法、気相成長法、又はスパッタリング法等を用いればよい。第3半導体膜606cの膜厚は20nm以上200nm以下となるよう形成することが好ましい。

20

【0215】

また、第1半導体膜606a、第2半導体膜606b、及び第3半導体膜606cは、アモルファス半導体ではなく、多結晶半導体を用いて形成してもよいし、微結晶(セミアモルファス(Semi Amorphous Semiconductor:SAS))半導体を用いて形成してもよい。

【0216】

また、光電効果で発生した正孔の移動度は電子の移動度に比べて小さいため、pin型のフォトダイオードはp型の半導体膜側を受光面とする方がよい特性を示す。ここでは、pin型のフォトダイオードが形成されている基板601の面からフォトダイオード602が受ける光を電気信号に変換する例を示す。また、受光面とした半導体膜側とは逆の導電型を有する半導体膜側からの光は外乱光となるため、電極層は遮光性を有する導電膜を用いるとよい。また、n型の半導体膜側を受光面として用いることもできる。

30

【0217】

絶縁膜632、層間絶縁膜633、層間絶縁膜634としては、絶縁性材料を用いて、その材料に応じて、スパッタリング法、プラズマCVD法、SOG法、スピンドルコート、ディップ、スプレー塗布、液滴吐出法(インクジェット法等)、印刷法(スクリーン印刷、オフセット印刷等)、ドクターナイフ、ロールコーラー、カーテンコーラー、ナイフコーラー等を用いて形成することができる。

40

【0218】

本実施の形態では、絶縁膜631として酸化アルミニウム膜を用いる。絶縁膜631はスパッタリング法やプラズマCVD法によって形成することができる。

【0219】

酸化物半導体膜上に絶縁膜631として設けられた酸化アルミニウム膜は、水素、水分などの不純物、及び酸素の両方に対して膜を透過させない遮断効果(ロック効果)が高い。

【0220】

従って、酸化アルミニウム膜は、作製工程中及び作製後において、変動要因となる水素、水分などの不純物の酸化物半導体膜への混入、及び酸化物半導体を構成する主成分材料で

50

ある酸素の酸化物半導体膜からの放出を防止する保護膜として機能する。

【0221】

絶縁膜632としては、無機絶縁材料としては、酸化シリコン層、酸化窒化シリコン層、酸化アルミニウム層、又は酸化窒化アルミニウム層などの酸化物絶縁膜、窒化シリコン層、窒化酸化シリコン層、窒化アルミニウム層、又は窒化酸化アルミニウム層などの窒化物絶縁膜の単層、又は積層を用いることができる。

【0222】

層間絶縁膜633、634としては、表面凹凸を低減するため平坦化絶縁膜として機能する絶縁膜が好ましい。層間絶縁膜633、634としては、例えばポリイミド樹脂、アクリル樹脂、ベンゾシクロブテン系樹脂、ポリアミド樹脂、エポキシ樹脂等の、耐熱性を有する有機絶縁材料を用いることができる。また上記有機絶縁材料の他に、低誘電率材料(10w-k材料)、シロキサン系樹脂、PSG(リングガラス)、BPSG(リンボロンガラス)等の単層、又は積層を用いることができる。

【0223】

フォトダイオード602に入射する光を検出することによって、被検出物の情報を読み取ることができる。なお、被検出物の情報を読み取る際にバックライトなどの光源を用いることができる。

【0224】

以上のように、埋め込みチャネルを有する酸化物半導体積層を用いることによって、トランジスタの電気特性をより精度よく制御することができ、所望の電気特性をトランジスタに付与することが可能となる。よって、該トランジスタを用いることで、高機能、高信頼性、又は低消費電力など、種々の目的に応じた半導体装置を提供することができる。

【0225】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

【0226】

(実施の形態5)

本明細書に開示する半導体装置は、さまざまな電子機器(遊技機も含む)に適用することができる。電子機器としては、テレビジョン装置(テレビ、またはテレビジョン受信機ともいう)、コンピュータ用などのモニタ、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機、携帯型ゲーム機、携帯情報端末、音響再生装置、遊技機(パチンコ機、スロットマシン等)、ゲーム筐体が挙げられる。これらの電子機器の具体例を図8に示す。

【0227】

図8(A)は、表示部を有するテーブル9000を示している。テーブル9000は、筐体9001に表示部9003が組み込まれている。本発明の一態様を用いて作製される半導体装置は、表示部9003に用いることが可能であり、表示部9003により映像を表示することができる。なお、4本の脚部9002により筐体9001を支持した構成を示している。また、電力供給のための電源コード9005を筐体9001に有している。

【0228】

表示部9003は、タッチ入力機能を有しており、テーブル9000の表示部9003に表示された表示ボタン9004を指などで触れることで、画面操作や、情報を入力することができ、また他の家電製品との通信を可能とする、または制御を可能とすることで、画面操作により他の家電製品をコントロールする制御装置としてもよい。例えば、実施の形態3に示したイメージセンサ機能を有する半導体装置を用いれば、表示部9003にタッチ入力機能を持たせることができる。

【0229】

また、筐体9001に設けられたヒンジによって、表示部9003の画面を床に対して垂直に立てることもでき、テレビジョン装置としても利用できる。狭い部屋においては、大

10

20

30

40

50

きな画面のテレビジョン装置は設置すると自由な空間が狭くなってしまうが、テーブルに表示部が内蔵されていれば、部屋の空間を有効に利用することができる。

【0230】

図8(B)は、テレビジョン装置9100を示している。テレビジョン装置9100は、筐体9101に表示部9103が組み込まれている。本発明の一態様を用いて作製される半導体装置は、表示部9103に用いることが可能であり、表示部9103により映像を表示することが可能である。なお、ここではスタンド9105により筐体9101を支持した構成を示している。

【0231】

テレビジョン装置9100の操作は、筐体9101が備える操作スイッチや、別体のリモコン操作機9110により行うことができる。リモコン操作機9110が備える操作キー9109により、チャンネルや音量の操作を行うことができ、表示部9103に表示される映像を操作することができる。また、リモコン操作機9110に、当該リモコン操作機9110から出力する情報を表示する表示部9107を設ける構成としてもよい。

10

【0232】

図8(B)に示すテレビジョン装置9100は、受信機やモデムなどを備えている。テレビジョン装置9100は、受信機により一般的なテレビ放送の受信を行うことができ、さらにモデムを介して有線または無線による通信ネットワークに接続することにより、一方方向(送信者から受信者)または双方向(送信者と受信者間、あるいは受信者間同士など)の情報通信を行うことも可能である。

20

【0233】

先の実施の形態に示した埋め込みチャネルを有する半導体装置を利用すれば、当該半導体装置をテレビジョン装置の表示部9103に用いることで、従来に比べて表示品質の高いテレビジョン装置とすることができます。

【0234】

図8(C)はコンピュータであり、本体9201、筐体9202、表示部9203、キーボード9204、外部接続ポート9205、ポインティングデバイス9206等を含む。コンピュータは、本発明の一態様を用いて作製される半導体装置をその表示部9203に用いることにより作製される。

30

【0235】

また、先の実施の形態に示した半導体装置を利用すれば、当該半導体装置をコンピュータの表示部9203に用いることで、従来に比べて表示品質の高い表示部とすることが可能となる。

【0236】

図8(D)は、携帯電話機の一例を示している。携帯電話機9500は、筐体9501に組み込まれた表示部9502の他、操作ボタン9503、外部接続ポート9504、スピーカ9505、マイク9506などを備えている。携帯電話機9500は、本発明の一態様を用いて作製される半導体装置を表示部9502に用いることにより作製される。

【0237】

図8(D)に示す携帯電話機9500は、表示部9502を指などで触ることで、情報を入力する、電話をかける、またはメールを作成するなどの操作を行うことができる。

40

【0238】

表示部9502の画面は、主として3つのモードがある。第1は、画像の表示を主とする表示モードであり、第2は、文字等の情報の入力を主とする入力モードである。第3は表示モードと入力モードの2つのモードが混合したものである。

【0239】

例えば、電話をかける、またはメールを作成する場合は、表示部9502を文字の入力を主とする入力モードとし、画面に表示させた文字の入力操作を行えばよい。この場合、表示部9502の画面のほとんどにキーボードまたは番号ボタンを表示させることが好みい。

50

【0240】

また、携帯電話機9500内部に、ジャイロ、加速度センサ等の傾きを検出するセンサを有する検出装置を設けることで、携帯電話機9500の向き（縦向きか横向きか）を判断して、表示部9502の画面表示を自動的に切り替えるようにすることができる。

【0241】

また、画面モードの切り替えは、表示部9502を触れる、または筐体9501の操作ボタン9503の操作により行われる。また、表示部9502に表示される画像の種類によって切り替えるようにすることもできる。例えば、表示部に表示する画像信号が動画のデータであれば表示モード、テキストデータであれば入力モードに切り替える。

【0242】

また、入力モードにおいて、表示部9502の光センサで検出される信号を検知し、表示部9502のタッチ操作による入力が一定期間ない場合には、画面のモードを入力モードから表示モードに切り替えるように制御してもよい。

【0243】

また、表示部9502は、イメージセンサとして機能させることもできる。例えば、表示部9502に掌や指を触れ、掌紋、指紋等を撮像することで、本人認証を行うことができる。また、表示部に近赤外光を発光するバックライトまたは近赤外光を発光するセンシング用光源を用いれば、指静脈、掌静脈などを撮像することもできる。

【0244】

先の実施の形態に示した半導体装置を利用すれば、表示における色のにじみ、色ずれなどが生じにくいため、当該半導体装置を携帯電話機の表示部9502に用いることで、従来に比べて表示品質の高い携帯電話機とすることが可能となる。また、遮光性を有するスペーサによって一対の基板が保持されているため、衝撃や歪みなどの外力に極めて強いため、図8（D）に示す携帯電話機として好適に用いることができる。

【0245】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

【実施例1】

【0246】

本実施例では、第1の酸化物半導体層上に、第1の酸化物半導体層のエネルギーギャップよりも小さい第2の酸化物半導体層を形成し、さらに第2の酸化物半導体層上に第3の酸化物半導体層を形成したサンプルを作製し、そのサンプルのイオン化ポテンシャルの測定を行い、その結果に基づきエネルギーバンド図を計算した。本明細書において、イオン化ポテンシャルの値は、バンドギャップと電子親和力を加算した値であり、バンドギャップの値は、材料の単膜のエリプソで測定して得られる値を用いる。

【0247】

サンプルは、単結晶シリコン基板上に膜厚5nmのIGZO膜、膜厚5nmのIn-Zn系酸化物膜、膜厚5nmのIGZO膜を積層成膜した。それぞれの成膜条件は、スパッタリング法を用いて基板温度300、酸素雰囲気（酸素100%）下で成膜を行った。ターゲットは、In:Ga:Zn=1:1:1[原子数比]の酸化物ターゲットを用い、IGZO膜を成膜した。また、In-Zn系酸化物膜は、In:Sn:Zn=2:1:3[原子数比]の酸化物ターゲットを用いる。

【0248】

また、基板を石英基板として、同じ成膜条件で石英基板1000上に膜厚5nmの第1のIGZO膜1001、膜厚5nmのIn-Zn系酸化物膜1002、膜厚5nmの第2のIGZO膜1003を積層成膜して得られたサンプル2の断面を撮影したTEM写真が図11（A）である。なお、模式図を図11（B）に示す。図11（B）において、酸化物半導体層の界面を点線で図示しているが、模式的に示したものである。材料や成膜条件や加熱処理によっては、各酸化物半導体層との界面が不明確になる場合もある。図11（A）のサンプル2は、In-Zn系酸化物膜とIGZO膜の界面が確認できる

10

20

30

40

50

。また、図11(A)では、第2のIGZO膜1003と、In-Sn-Zn系酸化物膜1002は、結晶を含んでおり、c軸配向を有した結晶性酸化物半導体膜(CAAC-O膜)であることが確認できる。また、図11(A)において第1のIGZO膜1001は非晶質構造である。なお、図11(A)では、3層のうち、2層が結晶構造を有している酸化物半導体膜となっているが特に限定されず、第2のIGZO膜1003のみが結晶構造を有してもよいし、3層全てが結晶構造を有してもよいし、3層全て非晶質構造であつてもよい。

【0249】

サンプル1の表面からスパッタリングしながら紫外線光電子分光分析(UPS:Ultraviolet Photoelectron Spectroscopy)によるイオン化ポテンシャルを測定した結果を図9に示す。

10

【0250】

図9において、横軸はサンプル表面からのスパッタリング時間を表し、縦軸はイオン化ポテンシャルを表している。なお、IGZO膜とIn-Sn-Zn系酸化物膜のスパッタレートは等しいと仮定して試料の境界を表示している。この図9から、IGZO膜に挟まれたIn-Sn-Zn系酸化物膜でイオン化ポテンシャルが低下することがわかる。なお、イオン化ポテンシャルは真空準位から価電子帯までのエネルギー差を表す。

【0251】

イオン化ポテンシャルの値からエリプソで測定したバンドギャップを引くことで伝導帯のエネルギーを算出し、この積層膜のバンド構造を作成した。ただし、IGZO膜とIn-Sn-Zn系酸化物膜のバンドギャップはそれぞれ3.2eV、2.8eVとした。その結果が図10になる。図10には、図1(D)に示したエネルギー-band図のように埋め込みチャネルが形成されていることがわかる。

20

【0252】

本実施例では、第1の酸化物半導体層及び第3の酸化物半導体層としてIGZO膜を用い、第1の酸化物半導体層及び第3の酸化物半導体層よりも大きいイオン化ポテンシャルを有し、且つ、小さいエネルギーギャップを有する第2の酸化物半導体層としてIn-Sn-Zn系酸化物膜を用いた積層は、図10または図1(D)に示すエネルギー-band図で表すことができるこれを確認した。第1の酸化物半導体層、第2の酸化物半導体層、及び第3の酸化物半導体層の材料の組み合わせは、特に限定されず、図10または図1(D)に示すエネルギー-band図となるように、実施者が用いる材料のエネルギーギャップを考慮して適宜材料を選択し、組み合わせればよく、例えば、第1の酸化物半導体層及び第3の酸化物半導体層としてIGZO膜を用い、第2の酸化物半導体層としてIn-Sn-Zn系酸化物膜を用いた積層を用いてもよい。

30

【符号の説明】

【0253】

101 酸化物半導体層

40

102 酸化物半導体層

103 酸化物半導体層

111 酸素過剰領域

112 酸素過剰領域

113 酸素過剰領域

121a 第1の低抵抗領域

121b 第1の低抵抗領域

121c チャネル形成領域

121d 第1の領域

121e 第1の領域

122a 第2の低抵抗領域

122b 第2の低抵抗領域

122c チャネル形成領域

50

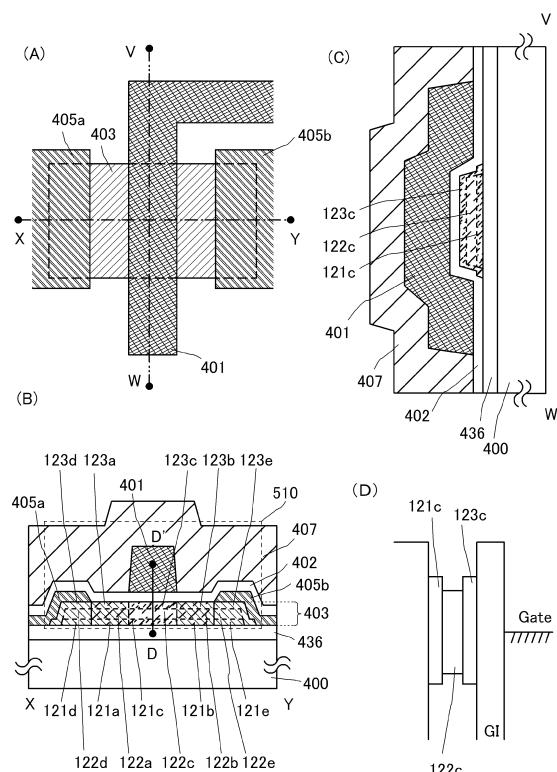
1 2 2 d	第 2 の領域	
1 2 2 e	第 2 の領域	
1 2 3 a	第 3 の低抵抗領域	
1 2 3 b	第 3 の低抵抗領域	
1 2 3 c	チャネル形成領域	
1 2 3 d	第 3 の領域	
1 2 3 e	第 3 の領域	
1 3 1 d	第 1 の領域	
1 3 1 e	第 1 の領域	
1 3 2 d	第 2 の領域	10
1 3 2 e	第 2 の領域	
1 3 3 d	第 3 の領域	
4 0 0	基板	
4 0 1	ゲート電極層	
4 0 2	ゲート絶縁膜	
4 0 3	酸化物半導体積層	
4 0 5 a	ソース電極層	
4 0 5 b	ドレイン電極層	
4 0 5 c	ソース電極層	
4 0 5 d	ドレイン電極層	20
4 0 7	絶縁膜	
4 2 1	ドーパント	
4 3 1	酸素	
4 3 6	酸化物絶縁膜	
4 4 2	ゲート絶縁膜	
4 6 5 a	配線層	
4 6 5 b	配線層	
5 1 0	トランジスタ	
5 2 0	トランジスタ	
5 3 0	トランジスタ	30
5 4 0	トランジスタ	
5 5 0	トランジスタ	
5 6 0	トランジスタ	
5 7 0	トランジスタ	
6 0 1	基板	
6 0 2	フォトダイオード	
6 0 6 a	半導体膜	
6 0 6 b	半導体膜	
6 0 6 c	半導体膜	
6 0 8	接着層	40
6 1 3	基板	
6 3 1	絶縁膜	
6 3 2	絶縁膜	
6 3 3	層間絶縁膜	
6 3 4	層間絶縁膜	
6 4 0	トランジスタ	
6 4 1	電極層	
6 4 2	電極層	
6 4 3	導電層	
6 4 5	導電層	50

6 5 6	トランジスタ	
6 5 8	フォトダイオードリセット信号線	
6 5 9	ゲート信号線	
6 7 1	フォトセンサ出力信号線	
6 7 2	フォトセンサ基準信号線	
1 0 0 0	石英基板	
1 0 0 1	第1のIGZO膜	10
1 0 0 2	In-Sn-Zn系酸化物膜	
1 0 0 3	第2のIGZO膜	
4 0 0 1	基板	
4 0 0 2	画素部	
4 0 0 3	信号線駆動回路	
4 0 0 4	走査線駆動回路	
4 0 0 5	シール材	
4 0 0 6	基板	
4 0 0 8	液晶層	
4 0 1 0	トランジスタ	
4 0 1 1	トランジスタ	
4 0 1 3	液晶素子	
4 0 1 5	接続端子電極	20
4 0 1 6	端子電極	
4 0 1 8	FPC	
4 0 1 9	異方性導電膜	
4 0 2 0	絶縁膜	
4 0 2 1	絶縁膜	
4 0 2 3	絶縁膜	
4 0 3 0	電極層	
4 0 3 1	電極層	
4 0 3 2	絶縁膜	
4 0 4 0	トランジスタ	30
4 5 1 0	隔壁	
4 5 1 1	電界発光層	
4 5 1 3	発光素子	
4 5 1 4	充填材	
9 0 0 0	テーブル	
9 0 0 1	筐体	
9 0 0 2	脚部	
9 0 0 3	表示部	
9 0 0 4	表示ボタン	
9 0 0 5	電源コード	40
9 1 0 0	テレビジョン装置	
9 1 0 1	筐体	
9 1 0 3	表示部	
9 1 0 5	スタンド	
9 1 0 7	表示部	
9 1 0 9	操作キー	
9 1 1 0	リモコン操作機	
9 2 0 1	本体	
9 2 0 2	筐体	
9 2 0 3	表示部	50

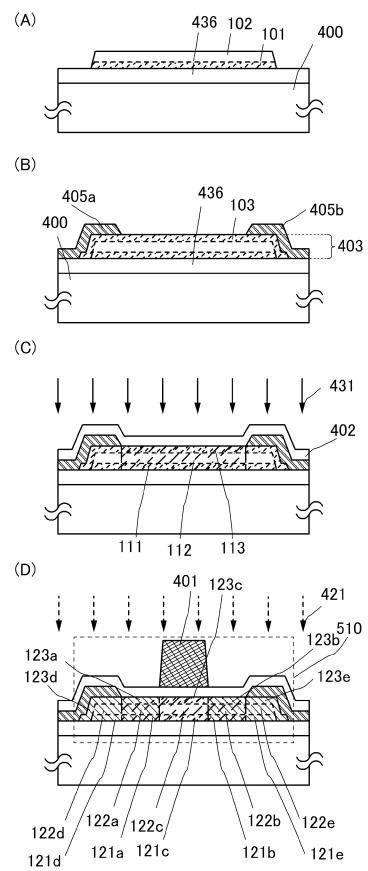
9 2 0 4 キーボード
 9 2 0 5 外部接続ポート
 9 2 0 6 ポイントティングデバイス
 9 5 0 0 携帯電話機
 9 5 0 1 筐体
 9 5 0 2 表示部
 9 5 0 3 操作ボタン
 9 5 0 4 外部接続ポート
 9 5 0 5 スピーカ
 9 5 0 6 マイク

10

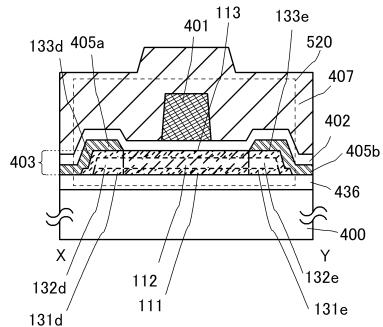
【図1】



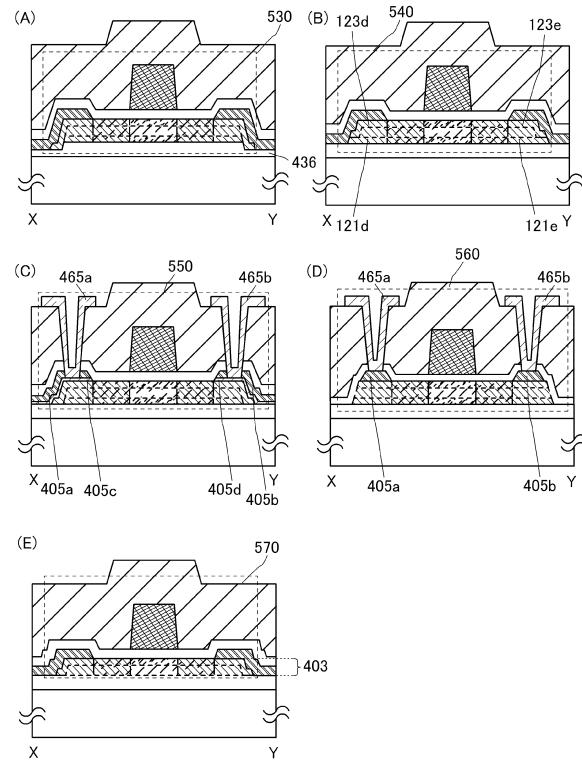
【図2】



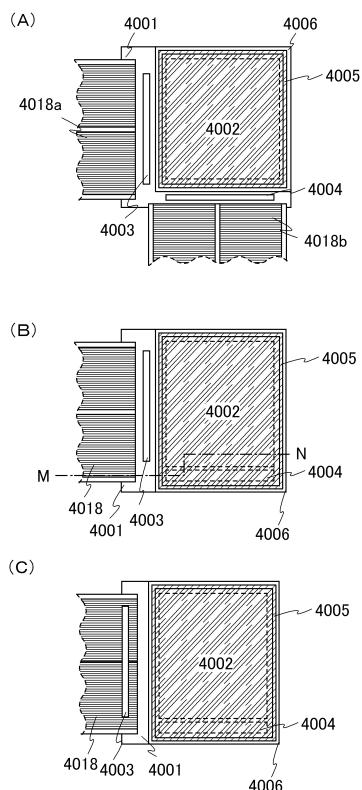
【図3】



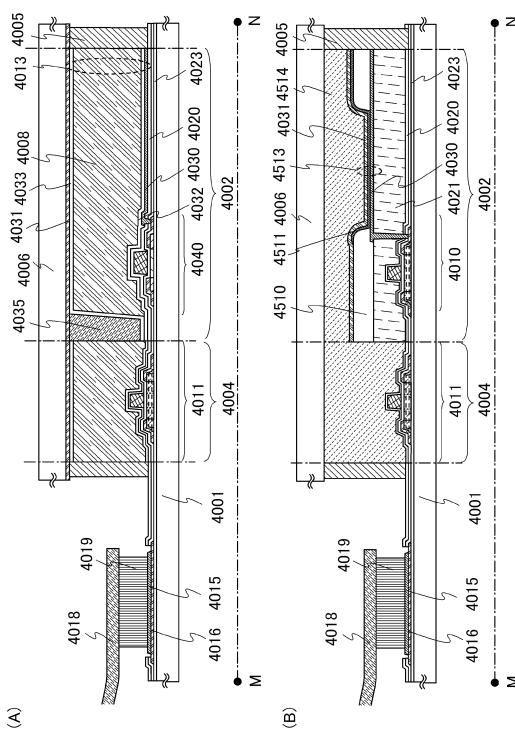
【 図 4 】



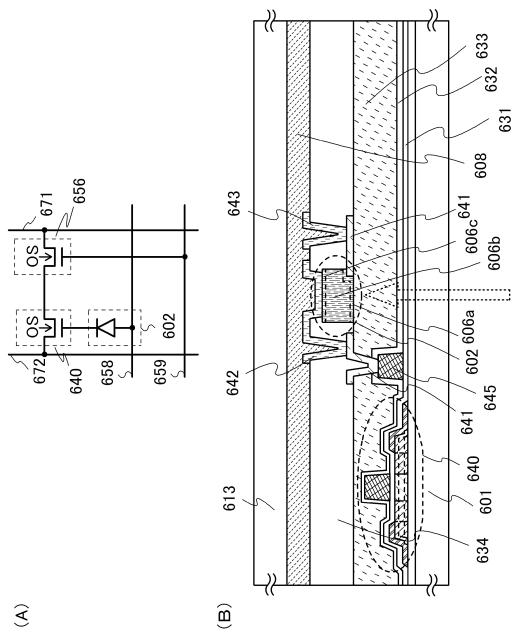
【 図 5 】



【 四 6 】



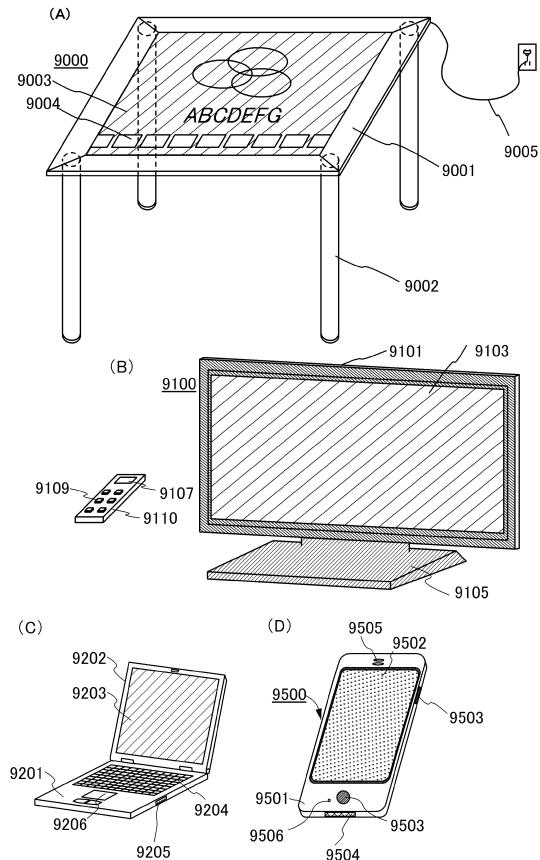
【図7】



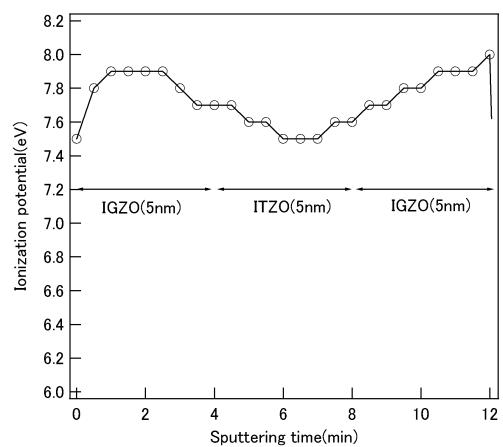
(A)

(B)

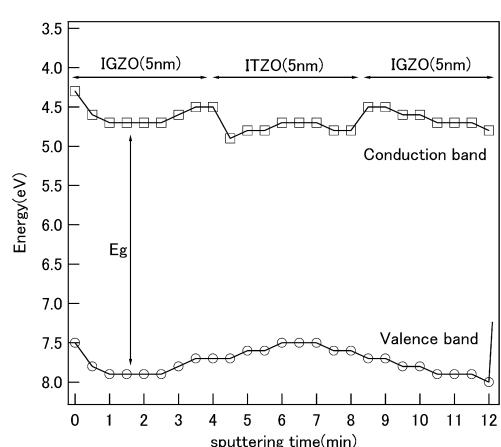
【図8】



【図9】

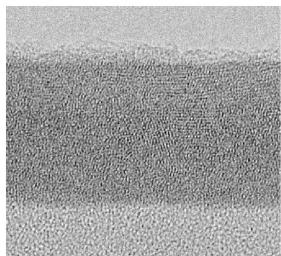


【図10】

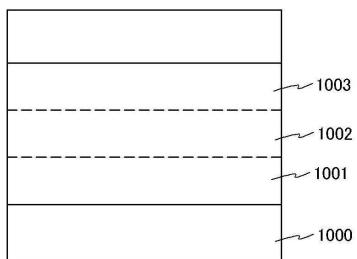


【図 1 1】

(A)



(B)



フロントページの続き

(51)Int.Cl. F I
H 01 L 27/146 (2006.01) H 05 B 33/14 A
H 05 B 33/08
H 01 L 27/14 C

(56)参考文献 特開2011-119718 (JP, A)
特開2010-199307 (JP, A)
特開2010-034534 (JP, A)
国際公開第2011/065329 (WO, A1)
特開2008-140984 (JP, A)
米国特許出願公開第2011/0140100 (US, A1)
特開2011-124360 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H 01 L 21/336、29/786