(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
G11C 29/00

(45) 공고일자 2000년05월01일
(11) 등록번호 10-0252053
(24) 등록일자 2000년01월17일

(21) 출원번호 10-1997-0065906
(22) 출원일자 1997년12월04일
(65) 공개번호 특1999-0047471
(43) 공개일자 1999년07월05일

(73) 특허권자 삼성전자주식회사 윤종용
경기도 수원시 팔달구 매탄3동 416
(72) 발명자 경계현
경기도 수원시 권선구 권선동 벽산아파트 401동 906호
문병식
경기도 수원시 권선구 세류3동 1091-20
(74) 대리인 권석흠, 노민식, 이영필

심사관 : 이철희

(54) 칼럼 방향의 데이터 입출력선을 가지는 반도체메모리장치와불량셀 구제회로 및 방법

요약

본 명세서에는 칼럼 방향의 데이터 입출력선을 가지는 반도체 메모리 장치와 이에 따른 불량 셀 구제회로 및 구제방법이 개시된다. 본 발명의 칼럼선택라인은 로우방향으로 배치되고, 데이터 입출력선은 칼럼방향으로 배치된다. 그리고 불량셀 구제회로 및 방법은 불량 셀이 존재하는 칼럼을 직접적으로 리던던시 칼럼으로 대치하는 것이 아니라 인접된 칼럼으로 대치하여 불량 셀을 구제한다. 이와 같은 입출력선의 배치와 불량 셀 구제회로 및 방법에 의하여 입출력선 확장에 따른 레이 아웃 면적의 확장을 최소화하고 동작시 전류의 소모량을 최소화하며, 각 칼럼에서 글로벌 입출력선까지의 부하차이를 최소화할 수 있다. 또한 리던던시 동작시에 데이터의 입출력 속도가 저하되지 않으면서 불량셀을 구제할 수 있다.

대표도

도3

명세서

도면의 간단한 설명

도 1은 종래 기술의 스택 뱅크 구조를 가지는 반도체 메모리 장치의 입출력선을 나타내는 블락도이다.

도 2는 도 1의 반도체 메모리 장치에서 적용되는 불량 셀 구제회로를 나타낸 블락도이다.

도 3은 본 발명의 칼럼 방향의 데이터 입출력선을 구비한 반도체 메모리 장치를 나타낸 블락도이다.

도 4는 노말 메모리 셀 어레이에 대응하는 데이터 입출력 라인을 가지는 도 3의 칼럼스위치(311)의 실시예를 나타낸 도면이다.

도 5는 노말 메모리 셀 어레이와 리던던시 메모리 셀 어레이에 대응하는 데이터 입출력 라인을 가지는 도 3의 칼럼스위치(311)의 실시예를 나타낸 도면이다.

도 6은 도 3의 반도체 메모리 장치에 적용되는 불량셀 구제회로의 제1 실시예를 나타내는 블락도이다.

도 7은 도 6의 불량 셀 구제회로의 스위치(603)의 실시예를 나타내는 도면이다.

도 8은 도 6의 불량 셀 구제회로를 이용하여 불량 셀을 구제하는 방법을 나타낸 흐름도이다.

도 9는 도 3의 반도체 메모리 장치에 적용되는 불량셀 구제회로의 제2 실시예를 나타내는 블락도이다.

도 10은 도 9의 불량 셀 구제회로의 스위치(905)의 실시예를 나타내는 도면이다.

도 11은 도 9의 불량 셀 구제회로를 이용하여 불량 셀을 구제하는 방법을 나타낸 흐름도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체 메모리 장치에 관한 것으로서, 특히 칼럼 방향의 데이터 입출력선을 가지는 반도체 메

모리 장치와 이에 따른 불량 셀 구제회로 및 구제방법에 관한 것이다.

일반적으로 반도체 메모리 장치는 다수개의 메모리 셀들을 가진다. 그리고 로우 어드레스와 칼럼 어드레스에 의하여, 특정한 메모리 셀이 선택된다. 선택된 메모리 셀의 데이터는 비트 라인쌍을 거쳐 로컬 입출력선으로 이동된다. 그리고 이동된 로컬 입출력선의 데이터는 다시 클로발 입출력선으로 이동하게 된다. 그런데, 하나의 비트 라인쌍에 많은 수의 메모리 셀이 연결되는 경우에는 기생 캐퍼시터의 용량이 커지게 되어 메모리 셀의 동작 속도가 느려지게 된다. 또한 반도체 메모리 장치의 모든 셀들이 하나의 블락으로 이루어진 경우에는 멀티 비트 입출력을 할 수 없는 단점도 지니게 된다. 그러므로 반도체 메모리 장치는 다수개의 뱅크들로 구성된다. 그리고 각 뱅크는 독립하여 데이터를 입출력할 수 있는 구조를 가진다. 이와 같은 구조를 스택 뱅크 구조(STACK BANK ARCHITECTURE)라 한다.

도 1은 종래 기술의 스택 뱅크 구조를 가지는 반도체 메모리 장치의 입출력선을 나타내는 블락도이다. 이를 참조하면, 스택 뱅크 구조의 메모리 장치는 메모리 셀들로 구성된 뱅크가 벽돌이 쌓인 것과 같은 구조를 가진다. 각 뱅크는 로우 디코더와 감지 증폭기 및 로컬 칼럼 디코더를 가진다. 그리고 글로벌 입출력선 GIO는 공통의 데이터 버스(bus)를 이용한다. 로우 디코더는 로우 뱅크 어드레스에 의하여 선택되며, 메모리 셀의 워드라인을 선택하여 활성화시킨다. 메모리 셀의 워드라인은 로우방향으로 배치된다. 로컬 칼럼 디코더는 칼럼 뱅크 어드레스와 글로벌 칼럼 디코더의 출력 신호에 의하여 동작된다. 로컬 칼럼 디코더는 매 뱅크마다 배치된다. 글로벌 칼럼 디코더의 출력 신호 GSCL과 로컬 칼럼 디코더의 출력 신호 LSCLi는 모두 칼럼방향으로 배치된다. 로우 뱅크 어드레스와 로우 어드레스에 의하여 워드라인이 선택되면, 선택된 뱅크의 감지 증폭기가 모두 동작하게 된다. 선택된 뱅크의 데이터는 감지 증폭기에 의하여 증폭되어 로우 방향의 로컬 입출력선 LIO(미도시)로 이동한다. 그리고 LIO로 이동된 데이터는 다시 글로벌 입출력선 GIO로 이동하게 된다. 글로벌 입출력선 GIO는 각 메모리 뱅크와 공통으로 접속되어 있으며, 칼럼 방향으로 배치되어 있다.

도 2는 도 1의 반도체 메모리 장치에서 적용되는 불량 셀 구제회로를 나타낸 블락도이다. 도 2의 불량 셀 구제회로는 메모리 셀의 데이터 라인 DIOi와 로컬 입출력 라인 LIOi 사이에는 노말 스위치가 배치되고, 리던던시 입출력선 RIO와 로컬 입출력 라인 LIOi 사이에는 리던던시 스위치가 배치된다. 정상 동작 모드에서는 노말 스위치들이 모두 '턴온'된다. 이 때, 리던던시 스위치는 모두 '턴오프' 상태가 된다. 따라서 각 데이터 라인 DIOi들과 각 로컬 입출력 라인 LIOi들은 전기적으로 서로 연결된다. 예를 들면, DIO0와 LIO0, DIO1과 LIO1, 그리고 DIOn-1과 LIOn-1이 서로 전기적으로 연결되어 데이터 입출력이 가능하다. 그러나 불량 셀이 발생하는 경우에는 해당하는 칼럼의 노말 스위치는 '턴오프'가 되고, 대신에 리던던시 스위치가 '턴온'된다. 예를 들어, 데이터 라인 DIO1에 해당하는 칼럼에 불량 셀이 발생한 경우를 가정하자. 그러면, 데이터 라인 DIO1에 연결되는 노말 스위치(205)는 '턴오프'되고, 대신에 리던던시 스위치(207)가 '턴온'된다. 따라서 로컬 입출력 라인 LIO1은 데이터 라인 DIO1와는 전기적으로 차단되고, 대신에 리던던시 입출력선 RIO와는 전기적으로 연결된다. 그리고 나머지 데이터 라인들은 각각의 해당 로컬 입출력선과 전기적으로 연결되어 정상 동작 모드에서와 같이 동작한다.

그런데 종래 기술의 스택 뱅크 구조를 가지는 반도체 메모리 장치나 불량 셀 구제회로는 몇가지 문제점을 지니고 있다. 첫째, 종래 기술의 스택 뱅크 구조를 가지는 반도체 메모리 장치는 입출력선 확장시 레이아웃 면적이 증가한다는 점이다. 하나의 메모리 블락 내에 여러개의 메모리 셀 뱅크들이 배치되고, 매 뱅크마다 로컬 입출력선 LIO가 배당된다. 매 뱅크마다 로컬 칼럼 디코더가 존재한다. 그리고 입출력선을 확장하는 경우에는 메모리 셀 뱅크를 더 나누어야 하든지 혹은, 감지 증폭기를 통하여 출력되는 로컬 입출력선의 수를 증가시켜야 한다. 또한 각 로컬 입출력선이 연결되는 글로벌 입출력선의 수도 증가한다. 따라서 입출력선을 확장하는 경우는 메모리 칩의 로우 방향과 칼럼 방향으로 모두 증가하게 된다. 둘째, 종래 기술의 스택 뱅크 구조를 가지는 반도체 메모리 장치는 동작시에 전류의 소모량이 많다는 점이다. 그리고 읽기 또는 기입 모드에서 매 뱅크의 로컬 칼럼 디코더가 동작하여야 하므로 전체적으로 전류의 소모량이 증가하게 된다. 셋째, 클로발 입출력선에서 로컬 입출력선의 각 지점에 이르는 거리의 차이에 따른 부하차이가 발생하게 된다. 이에 따라 각 칼럼에서 글로벌 입출력선까지 데이터가 출력되는데 소요되는 시간의 차이가 발생하며 결국 메모리의 성능을 저하시킨다.

그리고 도 2의 불량 셀 구제회로는 리던던시 입출력선 RIO에 다수의 리던던시 스위치들이 연결되어 있다. 그러므로 리던던시 동작시에 데이터의 입출력 속도가 저하되는 문제점이 발생하게 된다.

발명이 이루고자 하는 기술적 과제

따라서 본 발명의 목적은 입출력선 확장에 따른 레이 아웃 면적의 확장을 최소화하고, 동작시 전류의 소모량을 최소화하고, 각 칼럼에서 글로벌 입출력선까지의 부하차이를 최소화하는 구조를 가지는 반도체 메모리 장치를 제공하는 데 있다.

본 발명의 다른 목적은 리던던시 동작시에 데이터의 입출력 속도가 저하되지 않는 불량셀 구제회로 및 이에 따른 불량셀 구제방법을 제공하는 데 있다.

발명의 구성 및 작용

본 발명의 반도체 메모리 장치는 로우와 칼럼에 배열된 다수개의 메모리 셀로 이루어진 메모리 블락을 가진다. 로우 디코더는 로우 어드레스 신호군에 응답하여 상기 메모리 블락의 로우를 선택한다. 칼럼선택라인은 상기 메모리 블락의 칼럼을 선택한다. 칼럼 디코더는 칼럼 어드레스 신호군에 응답하여 상기 칼럼선택라인을 액티브시킨다. 데이터 입출력선은 상기 로우 디코더와 상기 칼럼 디코더에 의하여 선택된 메모리 셀에 데이터를 입출력한다. 상기 칼럼선택라인은 로우방향으로 배치되고, 상기 데이터 입출력선은 칼럼방향으로 배치된다. 상기 데이터 입출력선은 상기 메모리 블락 영역 위를 지나도록 배치된다.

다른 측면에서 본 발명의 반도체 메모리 장치의 불량 셀 구제회로는 제1 및 제2 노말 칼럼을 가지는 노말 메모리 셀 블락과 리던던시 칼럼을 가지는 리던던시 메모리 셀 블락을 가진다. 제1 및 제2 노말 데이터 입출력선은 상기 제1 및 제2 노말 칼럼에 각각 대응하여 데이터를 입출력한다. 리던던시 데이터 입출력선

은 상기 리던던시 칼럼에 또는 칼럼으로 부터 데이터를 입출력한다. 제1 및 제2 데이터 전송선은 외부의 회로로 부터 또는 회로에 데이터를 입력 또는 출력시킨다. 제1 스위치는 정상 동작시에는 상기 제1 데이터 전송선을 상기 제1 노말 데이터 입출력선에 전기적으로 연결시킨다. 상기 제1 스위치는 리던던시 동작시에는 상기 제1 데이터 전송선을 상기 리던던시 데이터 입출력선에 전기적으로 연결시킨다. 제2 스위치는 정상 동작시에는 상기 제2 데이터 전송선을 상기 제2 노말 데이터 입출력선에 전기적으로 연결시킨다. 상기 제2 스위치는 리던던시 동작시에는 상기 제2 데이터 전송선을 상기 제1 노말 데이터 입출력선에 전기적으로 연결시킨다.

또 다른 측면에서 본 발명의 반도체 메모리 장치의 불량 셀 구제회로는 제1, 제2 및 제3 노말 칼럼을 가지는 노말 메모리 셀 블락과 제1 및 제2 리던던시 칼럼을 가지는 리던던시 메모리 셀 블락을 가진다.제1, 제2 및 제3 노말 데이터 입출력선은 상기 제1, 제2 및 제3 노말 칼럼에 각각 대응하여 데이터를 입출력한다. 제1 및 제2 리던던시 데이터 입출력선은 상기 제1 및 제2 리던던시 칼럼에 각각 대응하여 데이터를 입출력한다. 제1, 제2 및 제3 데이터 전송선은 외부의 회로로 부터 또는 회로에 데이터를 입력 또는 출력시킨다. 제1, 제2 및 제3 스위치는 정상 동작시에는 상기 제1, 제2 및 제3 데이터 전송선을 각각 상기 제1, 제2 및 제3 노말 데이터 입출력선에 전기적으로 연결시킨다. 상기 제1 스위치는 1칼럼 이동 리던던시 동작시에는 상기 제1 데이터 전송선을 상기 제1 리던던시 데이터 입출력선에 전기적으로 연결시킨다. 상기 제1 스위치는 2칼럼 이동 리던던시 동작시에는 상기 제1 데이터 전송선을 상기 제2 리던던시 데이터 입출력선에 전기적으로 연결시킨다. 상기 제2 스위치는 1칼럼 이동 리던던시 동작시에는 상기 제2 데이터 전송선을 상기 제1 노말 데이터 입출력선에 전기적으로 연결시킨다. 상기 제2 스위치는 2칼럼 이동 리던던시 동작시에는 상기 제2 데이터 전송선을 상기 제1 리던던시 데이터 입출력선에 전기적으로 연결시킨다. 상기 제3 스위치는 1칼럼 이동 리던던시 동작시에는 상기 제3 데이터 전송선을 상기 제2 노말 데이터 입출력선에 전기적으로 연결시킨다. 상기 상기 제3 스위치는 2칼럼 이동 리던던시 동작시에는 제3 데이터 전송선을 상기 제1 노말 데이터 입출력선에 전기적으로 연결시킨다.

또 다른 측면에서 본 발명은 다수의 노말 칼럼과 적어도 하나의 리던던시 칼럼을 가지는 반도체 메모리 장치의 불량 셀 구제 방법에 관한 것이다. 본 발명은 리던던시 칼럼으로 부터 멀어지는 순서로 카운팅하여 불량 셀이 속한 하나의 칼럼의 번호 i를 인식하는 불량 칼럼 인식단계; 리던던시 칼럼으로 부터 멀어지는 순서로 카운팅하여 지정된 칼럼의 번호 k를 인식하는 지정 칼럼 인식단계; 상기 i와 k를 비교하여 'k>i 인가'를 판단하는 판단단계; 상기 판단단계의 판단결과가 '예'일 때, 데이터 전송선 IOk를 노말 데이터 입출력선 NIOk와 전기적으로 연결하는 노말 연결단계; 및 상기 판단단계의 판단결과가 '아니오'일 때, 데이터 전송선 IOk를 앞선 칼럼의 데이터 입출력선과 연결하는 리페어단계를 구비한다.

이어서, 첨부한 도면을 참조하여 본 발명의 실시예를 상세히 설명하기로 한다. 도 3은 본 발명의 칼럼 방향의 데이터 입출력선을 구비한 반도체 메모리 장치를 나타낸 블락도이다. 이를 참조하면, 본 발명은 로우와 칼럼에 배열된 다수개의 메모리 셀로 이루어진 메모리 블락을 가지는 반도체 메모리 장치에 관한 것이다. 본 실시예에서의 반도체 메모리 장치는 로우 디코더(301), 칼럼 디코더(303) 및 데이터 입출력선 IO를 가진다. 그리고 메모리 블락은 여러개의 메모리 셀 뱅크로 이루어진다. 각 메모리 셀 뱅크는 독립하여 읽기 및 기입 동작을 수행할 수 있다. 상기 로우 디코더(301)는 로우 어드레스 신호군(RA0,RA1,…,RAn-1)에 응답하여 메모리 셀 뱅크를 선택하고, 또한 로우를 선택하여 워드라인을 액티브시킨다. 그리고 칼럼 디코더(303)는 칼럼 어드레스 신호군(CA0,CA1,…,CAn-1)에 응답하여 칼럼선택라인 CSL을 액티브시킨다. 그리고 칼럼선택라인 CSL은 상기 메모리 블락의 칼럼을 선택한다. 또 칼럼선택라인 CSL은 로우 방향으로 배치된다. 본 실시예의 칼럼 디코더(303)는 메모리 셀 뱅크의 로우 방향의 한 측면에 배치된다. 그리고 데이터 입출력선 IO는 상기 로우 디코더(301)와 상기 칼럼 디코더(303)에 의하여 선택된 메모리 셀에 데이터를 입출력한다. 그리고 상기 데이터 입출력선 IO은 칼럼 방향으로 배치된다. 그리고 상기 데이터 입출력선 IO은 메모리 블락 영역 위를 지나도록 배치된다. 도 3을 참조하여, 본 실시예의 구성 및 읽기 동작을 상세히 설명하면, 다음과 같다. 본 실시예는 16개의 메모리 셀 뱅크들로 이루어진다. 그리고 전체 메모리의 크기는 32M(mega) 비트이고, 64개의 입출력선을 가지는 구조이다. 하나의 메모리 셀 뱅크는 2개의 메모리 셀 어레이들로 구성된다. 예를 들어, 최고 위쪽에 배치되어 있는 메모리 셀 뱅크는 2개의 메모리 셀 어레이들(307_1,307_2)로 구성된다. 그리고 최고 아래쪽에 배치되어 있는 메모리 셀 뱅크는 2개의 메모리 셀 어레이(307_31,307_32)로 구성된다. 각 메모리 셀 어레이는 1M의 메모리 크기를 가지고 있으므로, 하나의 메모리 셀 뱅크는 2M의 메모리 크기를 가지게 된다. 그리고 각 메모리 셀 뱅크는 감지증폭기(309) 및 칼럼 스위치(311)를 가진다. 따라서, 로우 어드레스 신호군(RA0,RA1,…,RAn-1)에 의하여 로우 메모리 셀 뱅크 및 메모리 셀의 로우가 선택되어 해당 워드라인이 액티브된다. 이어서 액티브된 워드라인에 연결되어 있는 메모리 셀의 데이터가 비트라인을 거쳐 감지증폭기에 전달된다. 이때 워드라인들은 로우 방향으로 배치되며, 비트라인들은 칼럼 방향으로 배치된다. 감지증폭기에 전달된 메모리 셀의 데이터는 증폭된다. 그리고 상기 칼럼스위치(311)는 액티브된 칼럼선택라인 CSL에 의하여 '턴온'된다. 그리고 턴온된 상기 칼럼스위는 비트라인과 데이터 입출력 라인 IO를 전기적으로 연결시킨다. 따라서 증폭된 메모리 셀의 데이터는 '턴온'된 칼럼스위치를 통하여 데이터 입출력 라인 IO로 이동하고, 입출력 인터페이스(313)을 통하여 외부 패드에 연결된다. 그런데 하나의 메모리 셀 뱅크에서 2개의 칼럼이 선택되어 데이터를 입출력할 수 있다. 그러므로 메모리 칩 전체에서는 64개의 데이터가 입출력할 수 있다.

도 4는 노말 메모리 셀 어레이에 대응하는 데이터 입출력 라인을 가지는 도 3의 칼럼스위치(311)의 실시예를 나타낸 도면이다. 이를 참조하면, 본 실시예의 칼럼스위치는 제1 스위치군 및 제2 스위치를 구비한다. 제1 스위치군는 메모리 셀 뱅크의 각각 칼럼에 대응하여 각 칼럼마다 하나씩 배치되는 트랜지스터 4개가 합쳐져 구성된다. 즉, 제1 스위치군은 4개의 칼럼에 배치되는 4개의 트랜지스터들(401,403,405,407)를 기본으로 하여 반복되게 된다. 제1 스위치군은 칼럼 디코더(303)의 제1 출력신호 CSLF에 응답하여 상기 4개의 트랜지스터들(401,403,405,407)중에서 하나의 트랜지스터가 '턴온'된다. 상기 칼럼 디코더(303)의 제1 출력신호 CSLF는 하위 칼럼 어드레스들에 의하여 디코딩되어 액티브되는 신호이다. 제2 스위치는 칼럼 디코더(303)의 제2 출력신호 CSLS에 응답하여 '턴온'된다. 상기 CSLS는 상위 칼럼 어드레스들에 의하여 디코딩되어 액티브된다. 따라서 선택된 메모리 셀의 비트라인과 데이터 입출력선을 전기적으로 연결하기 위해서는 제1 스위치와 제2 스위치 모두가 '턴온'되어야 한다. 그러므로 메모리 셀의 비트라인 즉, 칼럼의 선택은 CSLF와 CSLS의 조합에 의하여 결정되어 노말 데이터 입출력선 NIOi와 전기적으로 연결된다.

도 5는 노말 메모리 셀 어레이와 리던던시 메모리 셀 어레이에 대응하는 데이터 입출력 라인을 가지는 도 3의 칼럼스위치(311)의 실시예를 나타낸 도면이다. 이를 참조하면, 노말 메모리 셀 어레이에서의 데이터 입출력선은 도 4에 나타난 바와 같다. 그러나 리던던시 메모리 셀 어레이에 대응하는 칼럼스위치는 다소의 차이점을 지닌다. 제1 스위치군의 구조는 노말 메모리 셀 어레이에 대응하는 제1 스위치군과 동일하게 배치되며, 이를 제어하는 신호군인 CSLF도 로우 방향으로 배치된다. 그러나 노말 메모리 셀 어레이의 제2 스위치군을 제어하는 신호군 CSLS는 로우 방향으로 배치되어 있는 반면에, 리던던시 메모리 셀 어레이의 제2 스위치군을 제어하는 신호군인 CSLS는 칼럼 방향으로 배치된다. 이와 같이 칼럼 방향으로 데이처 입출력선 및 데이터 전송선을 배치함으로써, 데이터 입출력선 확장시에 레이아웃 면적을 최소화하고 소모 전류량을 최소화할 수 있다. 그리고 또한 각 데이터 입출력선에서 출력패드까지의 부하차이를 최소화할 수 있다.

도 6은 도 3의 반도체 메모리 장치에 적용되는 불량셀 구제회로의 제1 실시예를 나타내는 블락도이다. 이를 참조하면, 본 실시예는 적어도 2개의 노말 칼럼과 적어도 하나의 리던던시 칼럼을 가지는 반도체 메모리 장치의 불량 셀 구제회로에 관한 것이다. 본 발명의 반도체 메모리 장치는 제1 및 제2 노말 데이터 입출력선 NIO0 및 NIO1, 리던던시 데이터 입출력선 RAIO, 제1 및 제2 데이터 전송선 SIO0 및 SIO1, 제1 및 제2 스위치(601,603)를 구비한다. 상기 제1 및 제2 노말 데이터 입출력선 NIO0 및 NIO1은 상기 제1 및 제2 노말 칼럼에 각각 대응하여 데이터를 입출력한다. 그리고 리던던시 데이터 입출력선 RAIO는 리던던시 칼럼에 또는 칼럼으로 부터 데이터를 입출력한다. 그리고 상기 제1 및 제2 데이터 전송선 SIO0 및 SIO1은 외부의 회로로부터 또는 회로에 데이터를 입력 또는 출력시킨다. 상기 제1 스위치(601)는 상기 제1 노말 데이터 입출력선 NIO0에 연결된 칼럼에 불량 셀이 존재하지 않는 경우 즉, 정상 동작시에는 상기 제1 노말 데이터 입출력선 NIO0을 상기 제1 데이터 전송선(IO0)에 전기적으로 연결시킨다. 그러나 상기 제1 노말 데이터 입출력선 NIO0에 연결된 칼럼에 불량 셀이 존재하는 경우 즉, 리던던시 동작시에는 상기 제1 스위치(601)는 상기 리던던시 데이터 입출력선RIO0을 상기 제1 데이터 전송선 SIO0에 전기적으로 연결시킨다. 상기 제2 스위치(603)는 상기 제2 노말 데이터 입출력선 NIO1에 연결된 칼럼에 불량 셀이 존재하지 않는 경우 즉, 정상 동작시에는 상기 제2 노말 데이터 입출력선 NIO1을 상기 제2 데이터 전송선 SIO1에 전기적으로 연결시킨다. 그러나 상기 제2 노말 데이터 입출력선 NIO0에 연결된 칼럼에 불량 셀이 존재하는 경우 즉, 리던던시 동작시에는 상기 제2 스위치(603)는 상기 제1 노말 데이터 입출력선 NIO0을 상기 제2 데이터 전송선 IO1에 전기적으로 연결시킨다. 여기서는 2개의 노말 칼럼에 대해서만 설명하였으나, 이와 같은 구조는 다수개의 칼럼을 가지는 반도체 메모리 장치에 대해서도 적용된다. 메모리 셀 블락 내에 불량인 셀이 없는 경우에는 데이터 전송선은 원래의 배당된 노말 데이터 입출력선과 전기적으로 연결된다. 그러나 불량 셀이 발생한 경우에는 인접된 노말 데이터 입출력선과 데이터 전송선이 연결된다. 예로서 칼럼 리던던트 셀 어레이를 기준으로 하여, 도 6의 오른쪽에서 왼쪽으로 5번째 칼럼 즉, NIO4에 대응하는 칼럼에 불량 셀이 존재한다고 가정하자. 그러면, SIO0는 RIO와 전기적으로 연결된다. 그리고 SIO1 은 NIO0와, SIO2는 NIO1과, SIO3(미도시)는 NIO2와, SIO4(미도시)은 NIO3(미도시)와 전기적으로 연결된다. 그리고 6번째 즉, SIO5(미도시)부터는 원래 대응되는 노말 데이터 입출력선과 전기적으로 연결된다.

도 7은 도 6의 불량 셀 구제회로의 스위치(603)의 실시예를 나타내는 도면이다. 이를 참조하면, 본 실시예의 스위치는 제1 전송게이트(701) 및 제2 전송게이트(703)을 구비한다. 상기 제1 전송게이트(701)는 정상 동작 상태에서 '턴온'되어 노말 데이터 입출력선 NIO1과 데이터 전송선 SIO1을 전기적으로 연결시킨다. 그리고 상기 제2 전송게이트(703)는 리던던시 동작의 경우 즉, NIO1 혹은 이후 칼럼에서 불량 셀이 발생한 경우에 노말 데이터 입출력선 NIO0과 데이터 전송선 SIO1을 전기적으로 연결시킨다. 본 실시예에서 리던던시 제어신호 RCSLi와 퓨즈 제거에 의하여 발생하는 FUSEi에 의하여 리던던시 동작 여부가 결정된다. 즉 RCSLi와 FUSEi가 동시에 '하이'로 되는 경우, 제2 전송게이트(703)가 '턴온'되어 노말 데이터 입출력선 NIO0과 데이터 전송선 SIO1을 전기적으로 연결된다. 본 실시예에서는 데이터 전송선 SIO1에 대응하는 스위치(603)에 대해서만 기술하였으나, 스위치(601), 스위치(605) 등에 대해서도 적용된다. 다만, 스위치(601)에서는 리던던시 동작시에 SIO0가 리던던시 데이터 입출력선 RIO와 전기적으로 연결된다는 점에서 차이가 있을 뿐이다.

도 8은 도 6의 불량 셀 구제회로를 이용하여 불량 셀을 구제하는 방법을 나타낸 흐름도이다. 이를 참조하면, 본 발명은 다수의 노말 칼럼과 적어도 하나의 리던던시 칼럼을 가지는 반도체 메모리 장치의 불량 셀 구제 방법에 관한 것으로 하나의 칼럼에 불량 셀들이 존재하는 경우이다. 본 발명은 불량 칼럼 인식단계(801), 지정 칼럼 인식단계(803), 판단단계(805), 노말 연결단계(807) 및 리페어단계(809)를 구비한다. 상기 불량 칼럼 인식단계(801)는 리던던시 칼럼으로부터 멀어지는 순서로 카운팅하여 불량 셀이 속한 하나의 칼럼의 번호 i를 인식하는 단계이다. 상기 지정 칼럼 인식단계(803)는 리던던시 칼럼으로부터 멀어지는 순서로 카운팅하여 읽기 또는 기입 동작을 할 칼럼의 번호 k를 인식하는 단계이다. 상기 판단단계(805)는 상기 i와 k를 비교하여 'k>i 인가'를 판단하는 단계이다. 상기 노말 연결단계(807)는 상기 판단단계(805)의 판단결과 '예'일 때, 데이터 전송선 IOk를 노말 데이터 입출력선 NIOk와 전기적으로 연결하는 단계이다. 상기 리페어단계(809)는 상기 판단단계(805)의 판단결과 '아니오'일 때, 데이터 전송선 IOk를 앞선 칼럼의 데이터 입출력선과 연결하는 단계이다. 그리고 상기 리페어단계(809)는 구체적으로 최초 칼럼 판단단계(811), 최초 리던던시 연결단계(813) 및 리던던시 연결단계(815)를 구비한다. 상기 최초 칼럼 판단단계(811)는 상기 판단단계(805)의 판단결과가 '아니오'일 때, 데이터 IOk가 리던던시 칼럼으로부터 시작하여 최초의 노말 칼럼인가를 판단하는 단계이다. 상기 최초 리던던시 연결단계(813)는 상기 최초 칼럼 판단단계(811)의 판단결과가 '예'일 때, 데이터 전송선 IOk를 리던던시 데이터 입출력선 RIO와 전기적으로 연결하는 단계이다. 그리고 리던던시 연결단계(815)는 상기 최초 칼럼 판단단계(811)의 판단결과가 '아니오'일 때, 데이터 전송선 IOk를 노말 데이터 입출력선 NIOk-1와 전기적으로 연결하는 단계이다. 이와 같은 방법으로 불량셀을 구제하면, 불량셀이 발생한 칼럼보다 높은 번호의 칼럼은 노말상태에서와 같이 원래 배당된 노말 데이터 입출력선과 데이터 전송선이 전기적으로 연결된다. 그리고 불량셀이 포함되어 있는 칼럼 또는 불량셀이 발생한 칼럼보다 낮은 번호의 칼럼에 대응하는 데이터 전송선은 1칼럼씩 앞선 칼럼에 대응하는 노말 데이터 입출력선 또는 리던던시 데이터 입출력선과 전기적으로 연결된다. 그리하여 결과적으로 리던던시 동작시에 각 칼럼의 데이터 패스의 길이 차이를 적게할 수 있다.

도 9는 도 3의 반도체 메모리 장치에 적용되는 불량셀 구제회로의 제2 실시예를 나타내는 블락도이다. 이

를 참조하면, 본 실시예는 제1, 제2 및 제3 노말 칼럼을 가지는 노말 메모리 셀 블락과 제1 및 제2 리던던시 칼럼을 가지는 리던던시 메모리 셀 블락을 가지는 반도체 메모리 장치의 불량 셀 구제회로에 관한 것이다. 본 실시예의 반도체 메모리 장치의 불량 셀 구제회로는 제1, 제2 및 제3 노말 데이터 입출력선 MIO0, MIO1, MIO2와 제1 및 제2 리던던시 데이터 입출력선 RIO0, RIO1과 제1, 제2 및 제3 데이터 전송선 TIO0, TIO1, TIO2와 제1, 제2 및 제3 스위치(901,903,905)를 구비한다. 상기 제1, 제2 및 제3 노말 데이터 입출력선 MIO0, MIO1, MIO2는 상기 제1, 제2 및 제3 노말 칼럼에 각각 대응하여 데이터를 입출력한다. 상기 제1 및 제2 리던던시 데이터 입출력선 RIO0, RIO1는 상기 제1 및 제2 리던던시 칼럼에 각각 대응하여 데이터를 입출력한다. 상기 제1, 제2 및 제3 데이터 전송선 TIO0, TIO1, TIO2은 외부의 회로로 부터 또는 회로에 데이터를 입력 또는 출력시킨다. 상기 제1 스위치(901)는 정상 동작시에는 상기 제1 데이터 전송선 TIO0를 상기 제1 노말 데이터 입출력선 MIO0에 전기적으로 연결시킨다. 그리고 상기 제1 스위치(901)는 1칼럼 이동 리던던시 동작시에는 상기 제1 데이터 전송선 TIO0를 상기 제1 리던던시 데이터 입출력선 RIO0에 전기적으로 연결시킨다. 여기서 1칼럼 이동 리던던시 동작이란 자신의 칼럼 번호 이후에 하나의 칼럼에 불량 셀이 존재하여 자신의 칼럼이 선택될 때, 1칼럼 이전 데이터 입출력선에 자신의 데이터 전송선이 연결되는 것을 말한다. 또한 상기 제1 스위치(901)는 2칼럼 이동 리던던시 동작시에는 상기 제1 데이터 전송선 TIO0를 상기 제2 리던던시 데이터 입출력선 RIO1에 전기적으로 연결시킨다. 여기서 2칼럼 이동 리던던시 동작이란 자신의 칼럼 번호 이후에 2개의 칼럼에 불량 셀이 존재하여 자신의 칼럼이 선택될 때, 2칼럼 이전 데이터 입출력선에 자신의 데이터 전송선이 연결되는 것을 말한다. 상기 제2 스위치(903)는 정상 동작시에는 상기 제2 데이터 전송선 TIO1을 상기 제2 노말 데이터 입출력선 MIO1에 전기적으로 연결시킨다. 그리고 상기 제2 스위치(903)는 1칼럼 이동 리던던시 동작시에는 상기 제2 데이터 전송선 TIO1을 상기 제1 노말 데이터 입출력선 MIO0에 전기적으로 연결시킨다. 또한 상기 제2 스위치(903)는 2칼럼 이동 리던던시 동작시에는 상기 제2 데이터 전송선 TIO1을 상기 제1 리던던시 데이터 입출력선 RIO0에 전기적으로 연결시킨다. 상기 제3 스위치(905)는 정상 동작시에는 상기 제3 데이터 전송선 TIO2를 상기 제3 노말 데이터 입출력선 MIO2에 전기적으로 연결시킨다. 그리고 상기 제3 스위치(905)는 1칼럼 이동 리던던시 동작시에는 상기 제3 데이터 전송선 TIO2를 상기 제2 노말 데이터 입출력선 MIO1에 전기적으로 연결시킨다. 또한 상기 제3 스위치(905)는 2칼럼 이동 리던던시 동작시에는 상기 제3 데이터 전송선 TIO2을 상기 제1 노말 데이터 입출력선 MIO0에 전기적으로 연결시킨다. 본 명세서에서는 3개의 노말 칼럼에 대해서만 설명하였으나, 이와 같은 구조는 다수개의 칼럼을 가지는 반도체 메모리 장치에 대해서도 적용된다. 메모리 셀 블락 내에 불량인 셀이 없는 경우에는 데이터 전송선은 원래의 배당된 노말 데이터 입출력선과 전기적으로 연결된다. 그러나 해당 칼럼 이후의 2개의 칼럼에 불량 셀이 발생한 경우에는 2개 앞선 칼럼에 해당하는 노말 데이터 입출력선과 데이터 전송선이 연결된다. 그리고 해당 칼럼 이후의 1개의 칼럼에 불량 셀이 발생한 경우에는 1개 앞선 칼럼에 해당하는 노말 데이터 입출력선과 데이터 전송선이 연결된다. 그리고 해당 칼럼 이후의 칼럼에 불량 셀이 발생하지 않는 경우에는 원래의 노말 데이터 입출력선과 데이터 전송선이 연결된다. 예로서 칼럼 리던던트 셀 어레이를 기준으로 하여, 도 6의 오른쪽에서 왼쪽으로 5번째 칼럼과 7번째 칼럼 즉, MIO4와 MIO6(미도시)에 대응하는 칼럼에 불량 셀이 존재한다고 가정하자. 그러면, TIO0와 TIO1은 각각 RIO1과 RIO0에 전기적으로 연결된다. 그리고 TIO2, TIO3, TIO4(미도시)는 각각 MIO0, MIO1, MIO2에 전기적으로 연결된다. 그런데 6번째 및 7번째 칼럼에 대응하는 TIO5 및 TIO6(미도시)는 각각 MIO4 및 MIO5(미도시)에 각각 전기적으로 연결된다. 그리고 8번째 칼럼부터는 정상 동작와 마찬가지로 TIOi와 MIOi가 전기적으로 연결된다.

도 10은 도 9의 불량 셀 구제회로의 스위치(905)의 실시예를 나타내는 도면이다. 이를 참조하면, 본 실시예의 스위치는 제1 전송게이트(1001), 제2 전송게이트(1003) 및 제3 전송게이트(1005)를 구비한다. 상기 제1 전송게이트(1001)는 정상 동작 상태에서 '턴온'되어 노말 데이터 입출력선 MIO2와 데이터 전송선 TIO2를 전기적으로 연결시킨다. 그리고 상기 제2 전송게이트(1003)는 1칼럼 이동 리던던시 동작의 경우에 '턴온'되어 노말 데이터 입출력선 MIO1과 데이터 전송선 TIO2를 전기적으로 연결시킨다. 그리고 상기 제3 전송게이트(1005)는 2칼럼 이동 리던던시 동작의 경우에 '턴온'되어 노말 데이터 입출력선 MIO0과 데이터 전송선 TIO2를 전기적으로 연결시킨다. 본 실시예에서 상기 제1, 제2 및 제3 전송게이트(1001,1003,1005)에 대한 제어는 리던던시 제어신호 RCSLi와 퓨즈 제거에 의하여 발생하는 FUSEi에 의하여 결정된다. 즉 RCSLi, FUSEi 쌍 중에서 한쌍의 RCSLi, FUSEi가 동시에 '하이'로 되는 경우, 상기 제2 전송게이트(1003)가 '턴온'되어 노말 데이터 입출력선 MIO1과 데이터 전송선 TIO2을 전기적으로 연결된다. 그리고 RCSL0, FUSE0쌍 또는 RCSL1, FUSE1쌍 중에서 한쌍이 동시에 '하이'로 되는 상태에서, RCSL2, FUSE2쌍 또는 RCSL3, FUSE3쌍 중에서 한쌍이 동시에 '하이'로 되는 경우, 상기 제3 전송게이트(1005)가 '턴온'되어 노말 데이터 입출력선 MIO0과 데이터 전송선 TIO2을 전기적으로 연결된다. 본 실시예에서는 데이터 전송선 TIO2에 대응하는 스위치(1005)에 대해서만 기술하였으나, 스위치(901), 스위치(903) 등에 대해서도 적용된다. 다만, 스위치(901)에서는 2칼럼 이동 리던던시 동작의 경우에 TIO0가 리던던시 데이터 입출력선 RIO1과, 1칼럼 이동 리던던시 동작의 경우에 TIO0가 리던던시 데이터 입출력선 RIO0와 전기적으로 연결되며, 스위치(903)에서는 2칼럼 이동 리던던시 동작의 경우에 TIO0가 리던던시 데이터 입출력선 RIO0와 전기적으로 연결된다는 점에서 차이가 있을 뿐이다

도 11은 도 9의 불량 셀 구제회로를 이용하여 불량 셀을 구제하는 방법을 나타낸 흐름도이다. 이를 참조하면, 본 발명은 다수의 노말 칼럼과 적어도 2개의 리던던시 칼럼을 가지는 반도체 메모리 장치의 불량 셀 구제 방법에 관한 것이다. 본 발명의 불량 셀 구제방법은 불량 칼럼 인식단계(1101), 지정 칼럼 인식단계(1103), 제1 판단단계(1105), 노말 연결단계(1107), 제2 판단단계(1109), 1칼럼 이동 리페어단계(1111) 및 2칼럼 이동 리페어단계(1113)을 구비한다. 상기 불량 칼럼 인식단계(1101)는 리던던시 칼럼으로 부터 멀어지는 순서로 카운팅하여 불량 셀이 속한 2개의 칼럼의 번호 i, j(i<j)를 인식하는 단계이다. 상기 지정 칼럼 인식단계(1103)는 리던던시 칼럼으로 부터 멀어지는 순서로 카운팅하여 데이터의 읽기 또는 기입 동작을 할 칼럼의 번호 k를 인식하는 단계이다. 상기 제1 판단단계(1105)는 상기 j와 k를 비교하여 'k>j 인가'를 판단하는 단계이다. 상기 노말 연결단계(1107)는 상기 제1 판단단계(1105)의 판단결과가 '예'일 때, 데이터 전송선 IOk를 노말 데이터 입출력선 NIOk와 전기적으로 연결하는 단계이다. 상기 제2 판단단계(1109)는 상기 제1 판단단계(1105)의 판단결과가 '아니오'일 때, 상기 i와k를 비교하여 'k>i 인가'를 판단하는 단계이다. 상기 1칼럼 이동 리페어단계(1111)는 상기 제2 판단단계(1109)의 판단결과가 '예'일 때, 데이터 전송선 IOk를 노말 데이터 입출력선 NIOk-1와 전기적으로 연결하는 단계이다. 상기 2칼럼 이동 리페어단계(1113)는 상기 제2 판단단계(1109)의 판단결과가 '아니오'일 때, 데이터 전송선 IOk

를 2칼럼 칼럼의 데이터 입출력선과 연결하는 단계이다. 그리고 상기 2칼럼 이동 리페어단계(1113)는 구체적으로, 최초 칼럼 판단단계(1115), 최초 리던던시 연결단계(1117) 및 리던던시 연결단계(1119)를 구비한다. 상기 최초 칼럼 판단단계(1115)는 상기 제2 판단단계(1115)의 판단결과가 '아니오'일 때, 데이터 IOk가 리던던시 칼럼으로 부터 시작하여 최초의 노말 칼럼인가를 판단하는 단계이다. 상기 최초 리던던시 연결단계(1117)는 상기 최초 칼럼 판단단계(1115)의 판단결과가 '예'일 때, 데이터 전송선 IOk를 리던던시 데이터 입출력선 RIO와 전기적으로 연결한다. 상기 리던던시 연결단계(1119)는 상기 최초 칼럼 판단단계(1115)의 판단결과가 '아니오'일 때, 데이터 전송선 IOk를 노말 데이터 입출력선 NIOk-1와 전기적으로 연결하는 단계이다. 이와 같은 방법으로 불량셀을 구제하면, 불량셀이 발생한 칼럼보다 높은 번호의 칼럼은 노말상태에서와 같이 원래 배당된 노말 데이터 입출력선과 데이터 전송선이 전기적으로 연결된다. 그리고 자신의 칼럼 번호보다 높은 칼럼에 불량셀이 존재하는 1개의 칼럼이 포함되는 경우에는 데이터 전송선은 1칼럼씩 앞선 칼럼에 대응하는 노말 데이터 입출력선에 연결된다. 그리고 자신의 칼럼 번호보다 높은 칼럼에 불량셀이 존재하는 2개의 칼럼이 포함되는 경우에는 데이터 전송선은 2칼럼씩 앞선 칼럼에 대응하는 노말 데이터 입출력선에 연결된다. 그리하여 결과적으로 리던던시 동작시에 각 칼럼의 데이터 패스의 길이 차이를 적게할 수 있다.

본 발명은 도면에 도시된 일 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

발명의 효과

상기와 같은 본 발명에 의하여 입출력선 확장에 따른 레이 아웃 면적의 확장을 최소화하고 동작시 전류의 소모량을 최소화하며, 각 칼럼에서 글로벌 입출력선까지의 부하차이를 최소화할 수 있다. 또한 리던던시 동작시에 데이터의 입출력 속도가 저하되지 않으면서 불량셀을 구제할 수 있다.

(57) 청구의 범위

청구항 1

로우와 칼럼에 배열된 다수개의 메모리 셀로 이루어진 메모리 블락을 가지는 반도체 메모리 장치에 있어서,

로우 어드레스 신호군에 응답하여 상기 메모리 블락의 로우를 선택하는 로우 디코더;

상기 메모리 블락의 칼럼을 선택하는 칼럼선택라인;

칼럼 어드레스 신호군에 응답하여 상기 칼럼선택라인을 액티브시키는 칼럼 디코더; 및

상기 로우 디코더와 상기 칼럼 디코더에 의하여 선택된 메모리 셀에 데이터를 입출력하는 데이터 입출력선을 구비하며,

상기 칼럼선택라인은 로우방향으로 배치되고, 상기 데이터 입출력선은 칼럼방향으로 배치되는 것을 특징으로 하는 반도체 메모리 장치.

청구항 2

제1항에 있어서, 상기 데이터 입출력선은

상기 메모리 블락 영역 위를 지나도록 배치되는 것을 특징으로 하는 반도체 메모리 장치.

청구항 3

제1항에 있어서, 상기 반도체 메모리 장치는

선택된 메모리 셀의 데이터를 감지하여 증폭하는 감지증폭기를 배치하는 감지증폭기 영역을 더 구비하며,

상기 칼럼선택라인은 상기 감지증폭기 영역 위를 지나도록 배치되는 것을 특징으로 하는 반도체 메모리 장치.

청구항 4

로우와 칼럼에 배열된 다수개의 메모리 셀로 이루어진 메모리 블락을 가지는 반도체 메모리 장치에 있어서,

로우 어드레스 신호군에 응답하여 상기 메모리 블락의 로우을 선택하는 로우 디코더;

상기 메모리 블락의 칼럼을 선택하는 칼럼선택라인;

칼럼 어드레스 신호군에 응답하여 상기 칼럼선택라인을 액티브시키는 칼럼 디코더; 및

상기 로우 디코더와 상기 칼럼 디코더에 의하여 선택된 메모리 셀에 데이터를 입출력하는 데이터 입출력선을 구비하며,

상기 데이터 입출력선은 상기 메모리 블락 영역 위를 지나도록 배치되는 것을 특징으로 하는 반도체 메모리 장치.

청구항 5

제1 및 제2 노말 칼럼을 가지는 노말 메모리 셀 블락과 리던던시 칼럼을 가지는 리던던시 메모리 셀 블락

을 가지는 반도체 메모리 장치의 불량 셀 구제회로에 있어서,

상기 제1 및 제2 노말 칼럼에 각각 대응하여 데이터를 입출력하는 제1 및 제2 노말 데이터 입출력선;

상기 리던던시 칼럼에 또는 칼럼으로 부터 데이터를 입출력하는 리던던시 데이터 입출력선;

외부의 회로로 부터 또는 회로에 데이터를 입력 또는 출력시키는 제1 및 제2 데이터 전송선;

정상 동작시에는 상기 제1 데이터 전송선을 상기 제1 노말 데이터 입출력선에 전기적으로 연결시키고, 리던던시 동작시에는 상기 리던던시 데이터 입출력선에 전기적으로 연결시키는 제1 스위치; 및

정상 동작시에는 상기 제2 데이터 전송선을 상기 제2 노말 데이터 입출력선에 전기적으로 연결시키고, 리던던시 동작시에는 상기 제1 노말 데이터 입출력선에 전기적으로 연결시키는 제2 스위치를 구비하는 것을 특징으로 하는 반도체 메모리 장치의 불량 셀 구제회로.

청구항 6

제1, 제2 및 제3 노말 칼럼을 가지는 노말 메모리 셀 블락과 제1 및 제2 리던던시 칼럼을 가지는 리던던시 메모리 셀 블락을 가지는 반도체 메모리 장치의 불량 셀 구제회로에 있어서,

상기 제1, 제2 및 제3 노말 칼럼에 각각 대응하여 데이터를 입출력하는 제1, 제2 및 제3 노말 데이터 입출력선;

상기 제1 및 제2 리던던시 칼럼에 각각 대응하여 데이터를 입출력하는 제1 및 제2 리던던시 데이터 입출력선;

외부의 회로로 부터 또는 회로에 데이터를 입력 또는 출력시키는 제1, 제2 및 제3 데이터 전송선;

정상 동작시에는 상기 제1 데이터 전송선을 상기 제1 노말 데이터 입출력선에 전기적으로 연결시키고, 1칼럼 이동 리던던시 동작시에는 상기 제1 리던던시 데이터 입출력선에 전기적으로 연결시키고, 2칼럼 이동 리던던시 동작시에는 상기 제2 리던던시 데이터 입출력선에 전기적으로 연결시키는 제1 스위치;

정상 동작시에는 상기 제2 데이터 전송선을 상기 제2 노말 데이터 입출력선에 전기적으로 연결시키고, 1칼럼 이동 리던던시 동작시에는 상기 제1 노말 데이터 입출력선에 전기적으로 연결시키고, 2칼럼 이동 리던던시 동작시에는 상기 제1 리던던시 데이터 입출력선에 전기적으로 연결시키는 제2 스위치; 및

정상 동작시에는 상기 제3 데이터 전송선을 상기 제3 노말 데이터 입출력선에 전기적으로 연결시키고, 1칼럼 이동 리던던시 동작시에는 상기 제2 노말 데이터 입출력선에 전기적으로 연결시키고, 2칼럼 이동 리던던시 동작시에는 상기 제1 노말 데이터 입출력선에 전기적으로 연결시키는 제3 스위치를 구비하는 것을 특징으로 하는 반도체 메모리 장치의 불량 셀 구제회로.

청구항 7

다수의 노말 칼럼과 적어도 하나의 리던던시 칼럼을 가지는 반도체 메모리 장치의 불량 셀 구제 방법에 있어서,

리던던시 칼럼으로 부터 멀어지는 순서로 카운팅하여 불량 셀이 속한 하나의 칼럼의 번호 i를 인식하는 불량 칼럼 인식단계;

리던던시 칼럼으로부터 멀어지는 순서로 카운팅하여 데이터의 읽기 또는 기입 동작을 할 칼럼의 번호 k를 인식하는 지정 칼럼 인식단계;

상기 i와 k를 비교하여 'k>i 인가'를 판단하는 판단단계;

상기 판단단계의 판단결과가 '예'일 때, 데이터 전송선 IOk를 노말 데이터 입출력선 NIOk와 전기적으로 연결하는 노말 연결단계; 및

상기 판단단계의 판단결과가 '아니오'일 때, 데이터 전송선 IOk를 앞선 칼럼의 데이터 입출력선과 연결하는 리페어단계를 구비하는 것을 특징으로 하는 반도체 메모리 장치의 불량 셀 구제방법.

청구항 8

제7항에 있어서, 상기 리페어단계는

상기 판단단계의 판단결과가 '아니오'일 때, 데이터 IOk가 리던던시 칼럼으로 부터 시작하여 최초의 노말 칼럼인가를 판단하는 최초 칼럼 판단단계:

상기 최초 칼럼 판단단계의 판단결과가 '예'일 때, 데이터 전송선 IOk를 리던던시 데이터 입출력선 RIO와 전기적으로 연결하는 최초 리던던시 연결단계; 및

상기 최초 칼럼 판단단계의 판단결과가 '아니오'일 때, 데이터 전송선 IOk를 노말 데이터 입출력선 NIOk-1와 전기적으로 연결하는 리던던시 연결단계를 구비하는 것을 특징으로 하는 반도체 메모리 장치의 불량 셀 구제방법.

청구항 9

다수의 노말 칼럼과 적어도 2개의 리던던시 칼럼을 가지는 반도체 메모리 장치의 불량 셀 구제 방법에 있어서,

리던던시 칼럼으로 부터 멀어지는 순서로 카운팅하여 불량 셀이 속한 2개의 칼럼의 번호 i, j(i<j)를 인식하는 불량 칼럼 인식단계;

리던던시 칼럼으로 부터 멀어지는 순서로 카운팅하여 데이터의 읽기 또는 기입 동작을 할 칼럼의 번호 k

를 인식하는 지정 칼럼 인식단계;

상기 j와 k를 비교하여 'k>j 인가'를 판단하는 제1 판단단계;

상기 제1 판단단계의 판단결과가 '예'일 때, 데이터 전송선 IOk를 노말 데이터 입출력선 NIOk와 전기적으로 연결하는 노말 연결단계;

상기 제1 판단단계의 판단결과가 '아니오'일 때, 상기 i와 k를 비교하여 'k>i 인가'를 판단하는 제2 판단단계;

상기 제2 판단단계의 판단결과가 '예'일 때, 데이터 전송선 IOk를 노말 데이터 입출력선 NIOk-1와 전기적으로 연결하는 1칼럼 이동 리페어단계; 및

상기 제2 판단단계의 판단결과가 '아니오'일 때, 데이터 전송선 IOk를 2칼럼 칼럼의 데이터 입출력선과 연결하는 2칼럼 이동 리페어단계를 구비하는 것을 특징으로 하는 반도체 메모리 장치의 불량 셀 구제방법.

청구항 10

제9항에 있어서, 상기 2칼럼 이동 리페어단계는

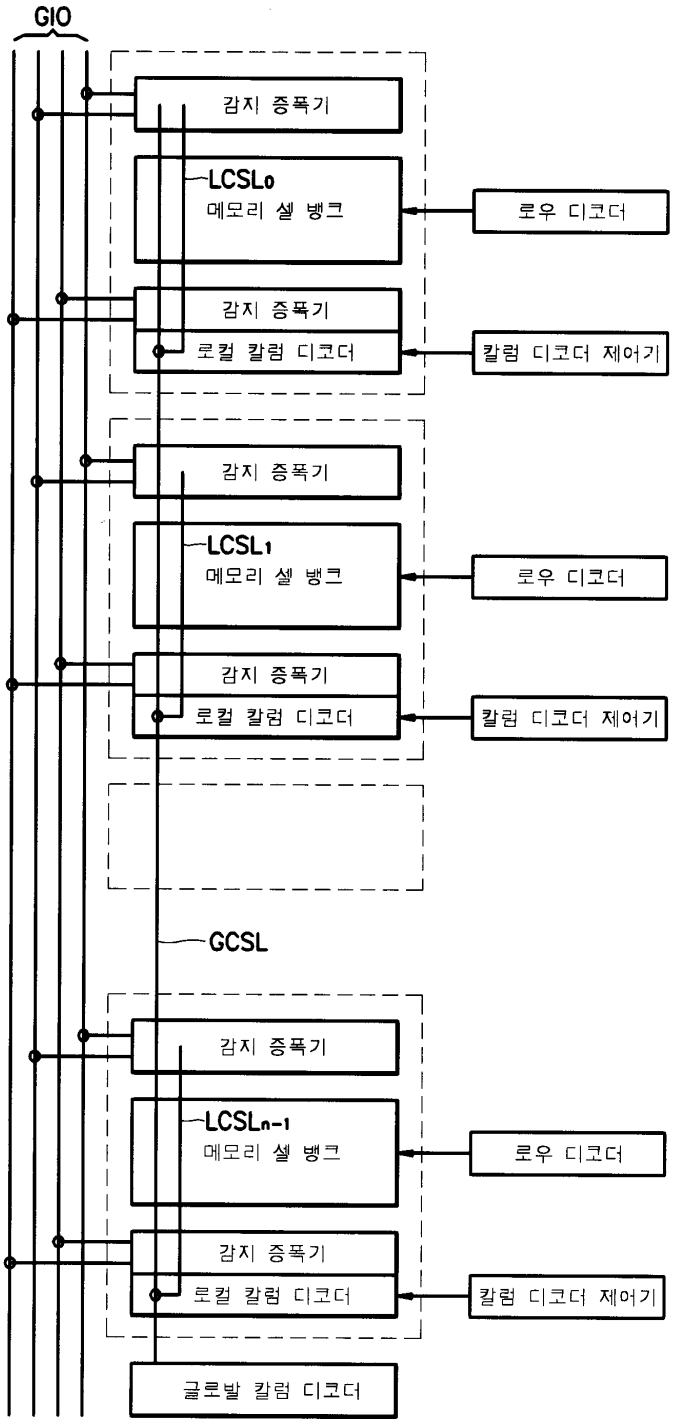
상기 제2 판단단계의 판단결과가 '아니오'일 때, 데이터 IOk가 리던던시 칼럼으로 부터 시작하여 최초의 노말 칼럼인가를 판단하는 최초 칼럼 판단단계:

상기 최초 칼럼 판단단계의 판단결과가 '예'일 때, 데이터 전송선 IOk를 리던던시 데이터 입출력선 RIO와 전기적으로 연결하는 최초 리던던시 연결단계; 및

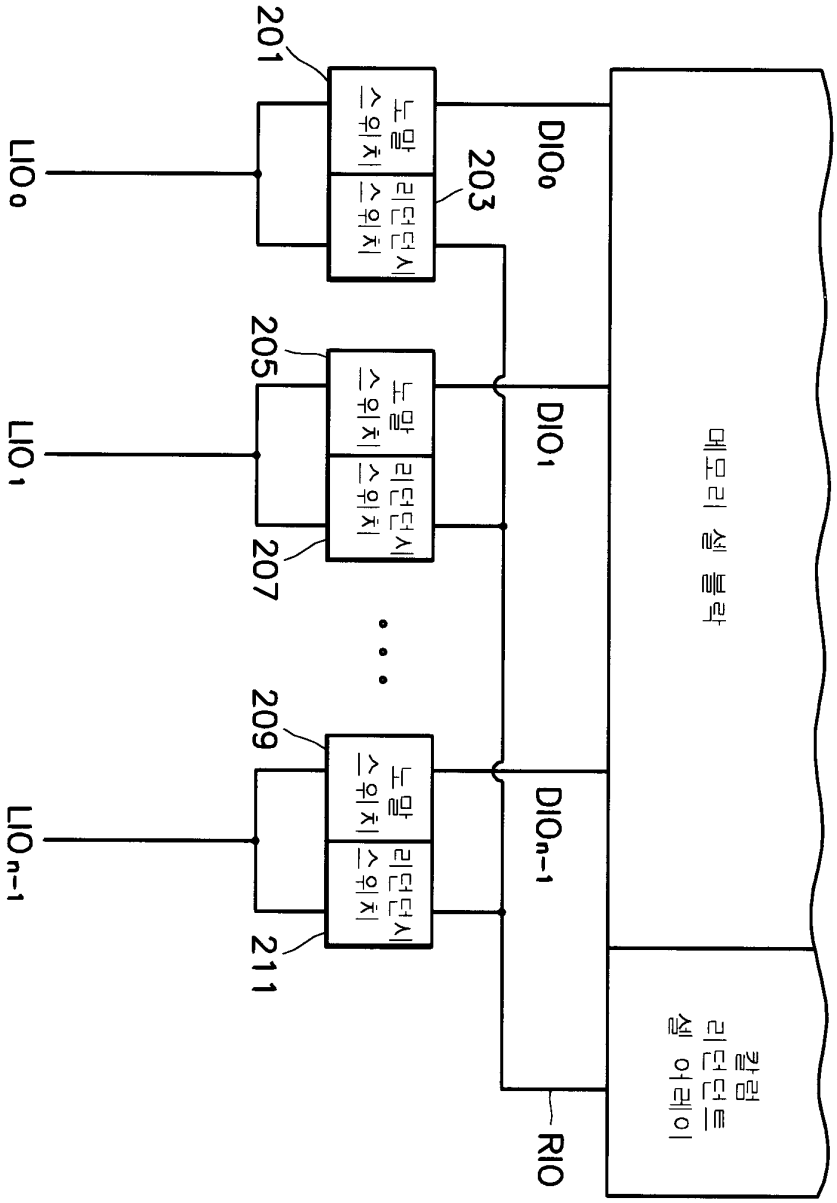
상기 최초 칼럼 판단단계의 판단결과가 '아니오'일 때, 데이터 전송선 IOk를 노말 데이터 입출력선 NIOk-1와 전기적으로 연결하는 리던던시 연결단계를 구비하는 것을 특징으로 하는 반도체 메모리 장치의 불량 셀 구제방법.

도면

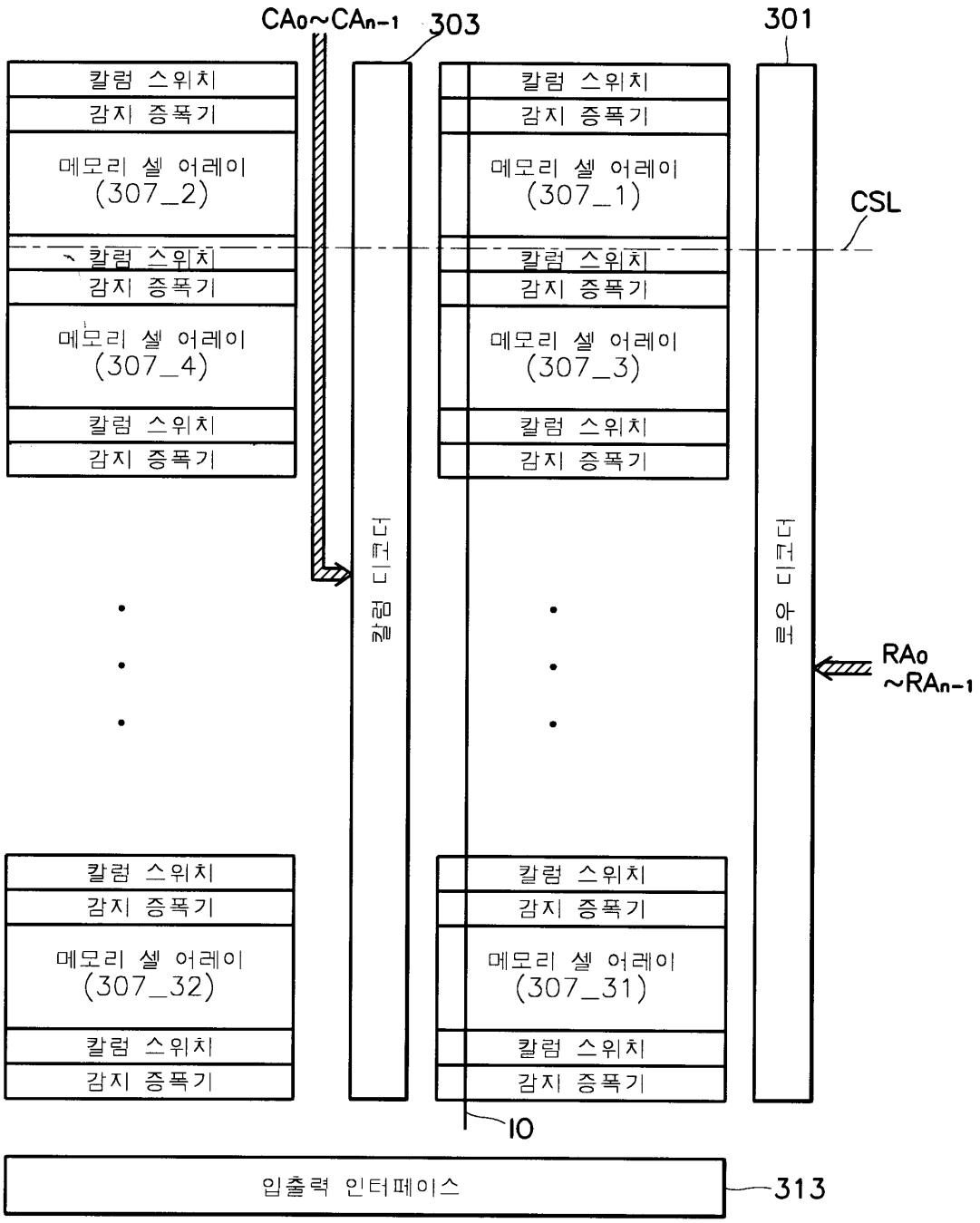
도면1


GIO
감지 증폭기
LCSL0
메모리 셀 뱅크
로우 디코더
감지 증폭기
로컬 칼럼 디코더
칼럼 디코더 제어기
감지 증폭기
LCSL1
메모리 셀 뱅크
로우 디코더
감지 증폭기
로컬 칼럼 디코더
칼럼 디코더 제어기
GCSL
감지 증폭기
LCSLn-1
메모리 셀 뱅크
로우 디코더
감지 증폭기
로컬 칼럼 디코더
칼럼 디코더 제어기
글로발 칼럼 디코더

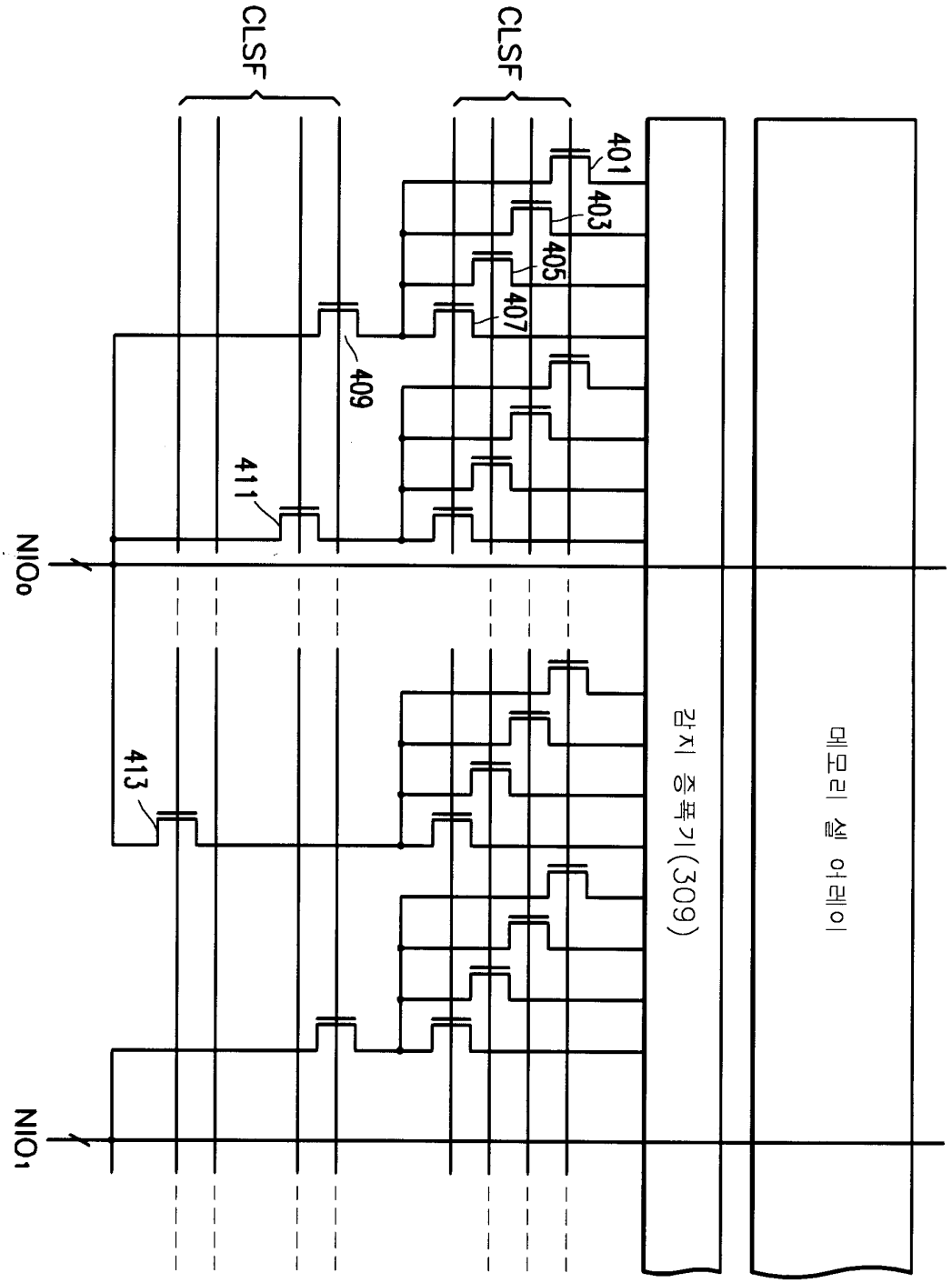
도면2


201
노말 스위치
리던던시 스위치
203
205
207
209
211
LIO0
LIO1
LIOn-1
DIO0
DIO1
DIOn-1
RIO
메모리 셀 블락
칼럼 리던던트 셀 어레이

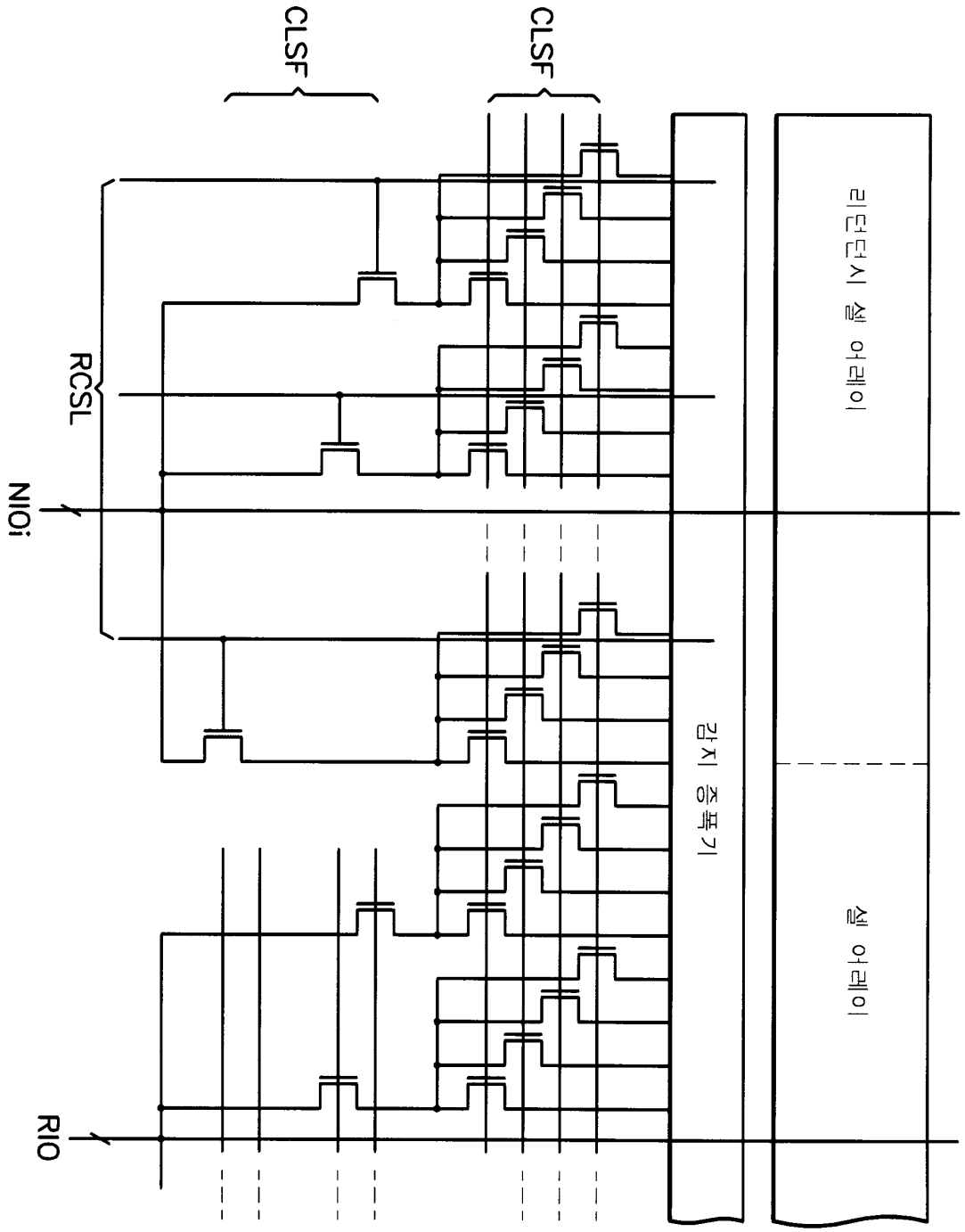
도면3


CA0~CAn-1
303
301
칼럼 스위치
감지 증폭기
메모리 셀 어레이
(307_2)
칼럼 스위치
감지 증폭기
메모리 셀 어레이
(307_1)
CSL
칼럼 스위치
감지 증폭기
메모리 셀 어레이
(307_4)
칼럼 스위치
감지 증폭기
메모리 셀 어레이
(307_3)
칼럼 스위치
감지 증폭기
칼럼 디코더
로우 디코더
RA0
~RAn-1
칼럼 스위치
감지 증폭기
메모리 셀 어레이
(307_32)
칼럼 스위치
감지 증폭기
메모리 셀 어레이
(307_31)
칼럼 스위치
감지 증폭기
IO
입출력 인터페이스
313

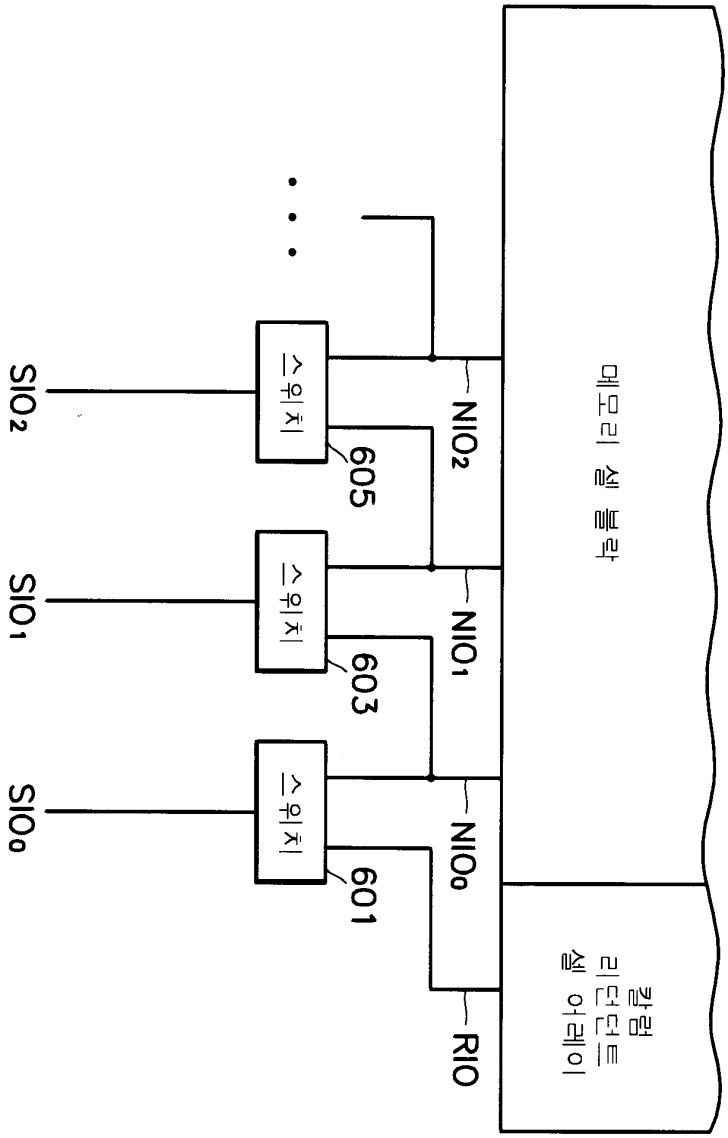
도면4


CLSF
CLSF
401
403
405
407
409
411
413
NIO0
NIO1
감지 증폭기(309)
메모리 셀 어레이

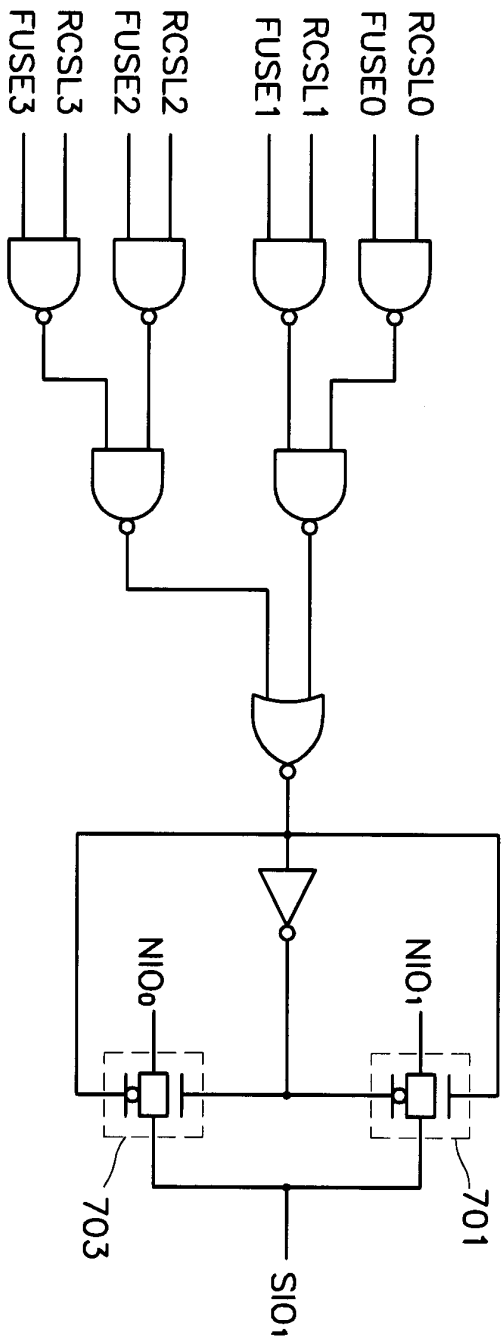
도면5



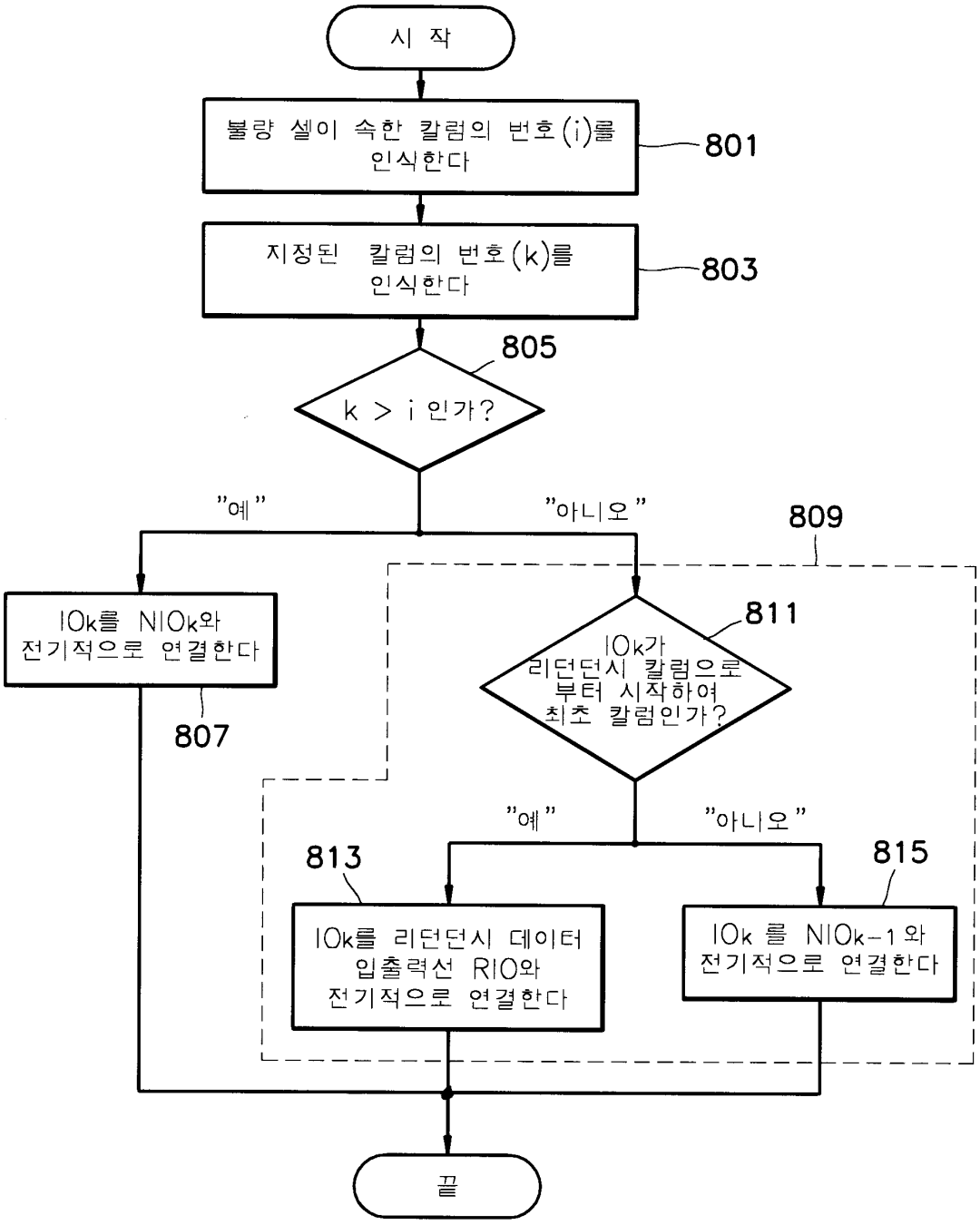
도면6


메모리 셀 블락
칼럼 리던던트 셀 아레이
스위치
스위치
스위치
SIO2
SIO1
SIO0
605
603
601
NIO2
NIO1
NIO0
RIO

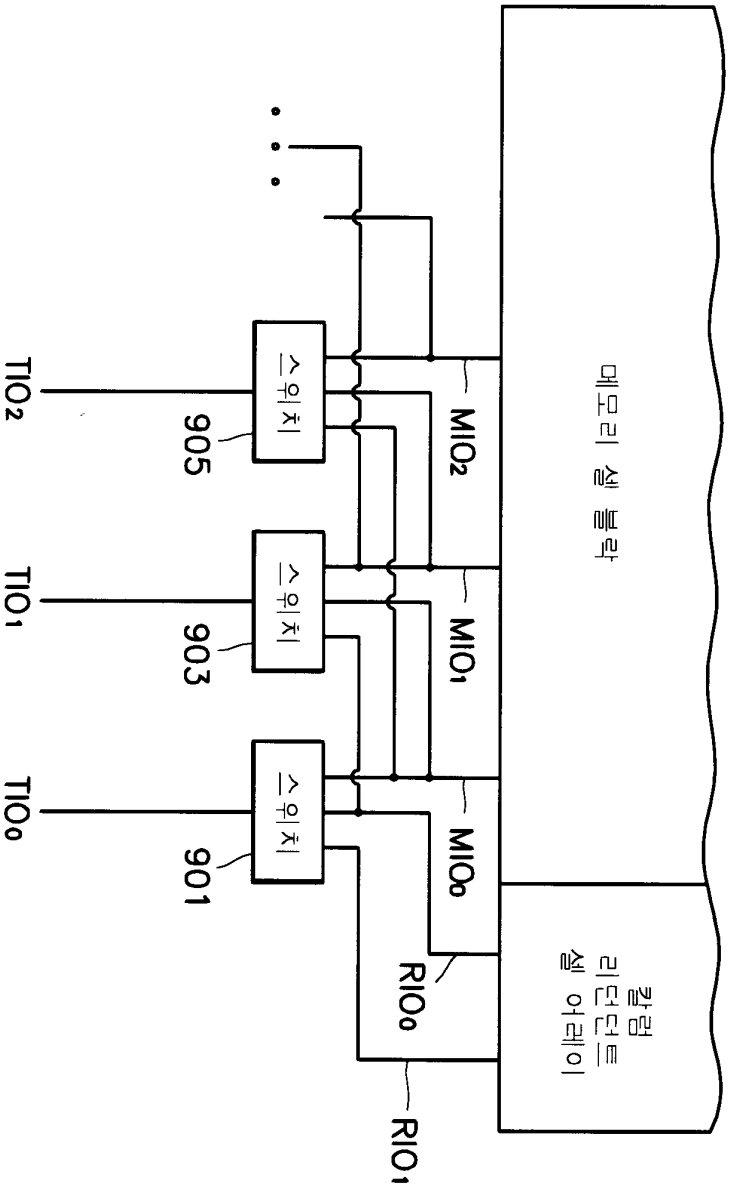
도면7


RCSL0
FUSE0
RCSL1
FUSE1
RCSL2
FUSE2
RCSL3
FUSE3
NIO1
NIO0
701
703
SIO1

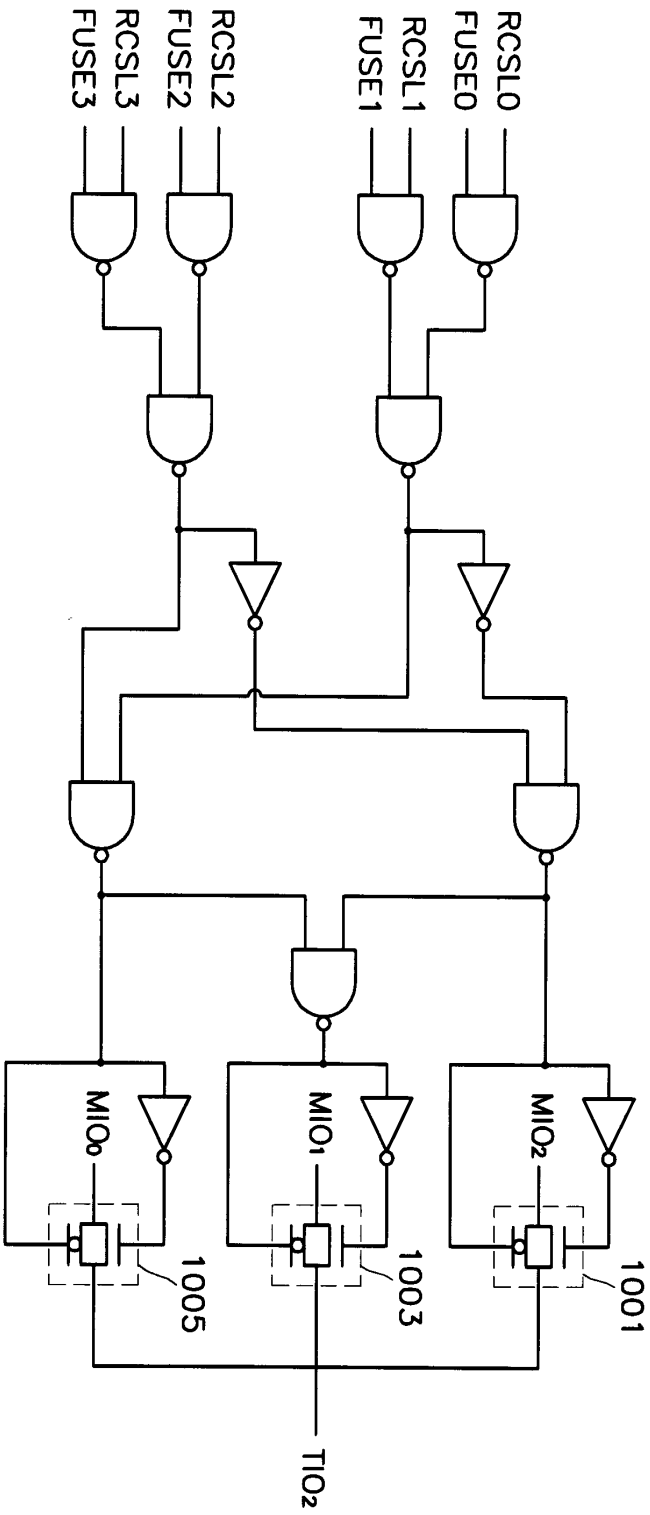
도면8


시 작
불량 셀이 속한 칼럼의 번호(i)를 인식한다
801
지정된 칼럼의 번호(k)를 인식한다
803
805
k > i 인가?
"예"
"아니오"
809
IOk를 NIOk와 전기적으로 연결한다
807
811
IOk가 리던던시 칼럼으로 부터 시작하여 최초 칼럼인가?
"예"
"아니오"
813
IOk를 리던던시 데이터 입출력선 RIO와 전기적으로 연결한다
815
IOk 를 NIOk-1 와 전기적으로 연결한다
끝

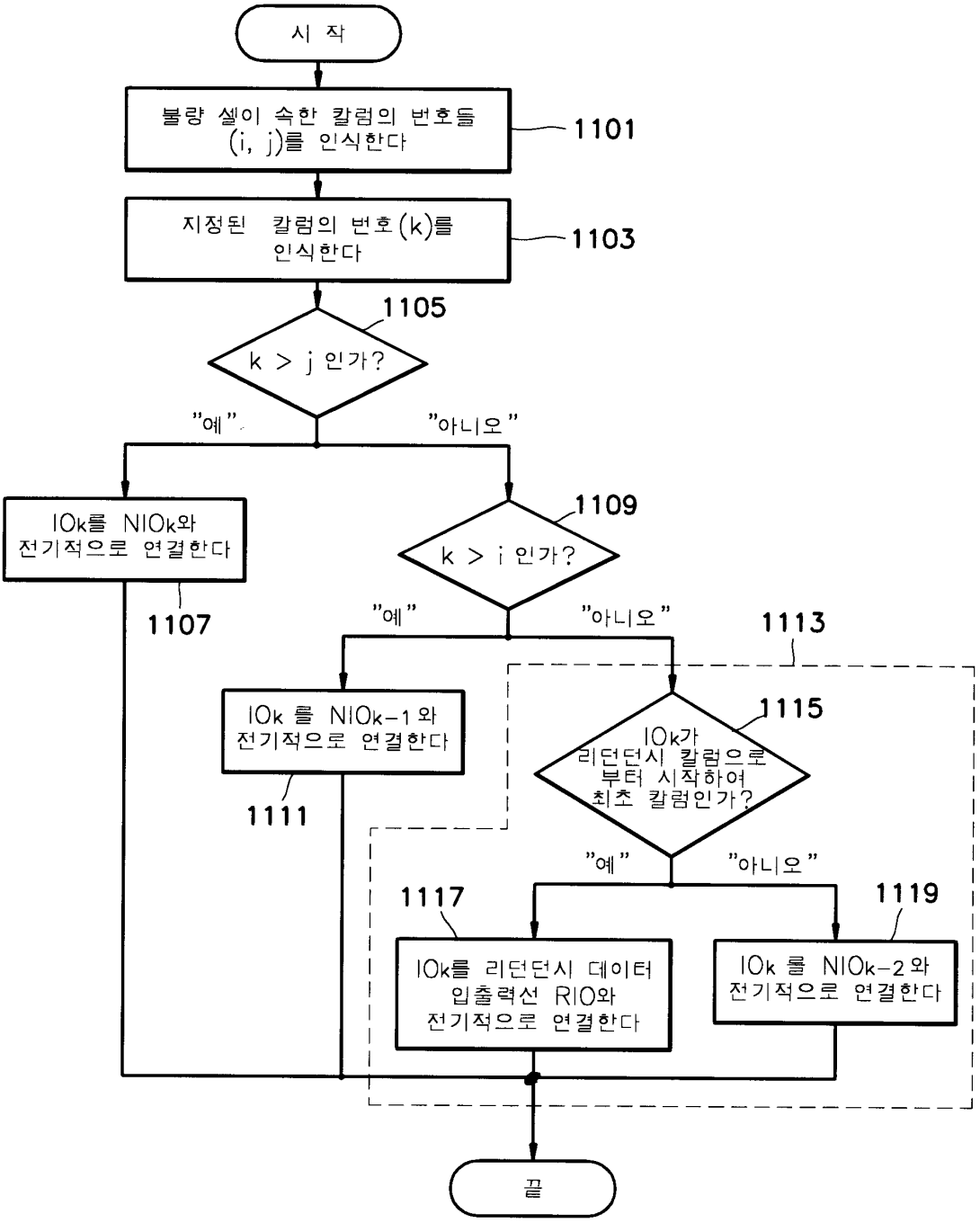
도면9


메모리 셀 블락
칼럼 리던던트 셀 어레이
스위치
스위치
스위치
905
903
901
TIO2
TIO1
TIO0
MIO2
MIO1
MIO0
RIO0
RIO1

도면10


FUSE3
RCSL3
FUSE2
RCSL2
FUSE1
RCSL1
FUSE0
RCSL0
MIO0
MIO1
MIO2
1005
1003
1001
TIO2

도면11


시 작
불량 셀이 속한 칼럼의 번호들 (i, j)를 인식한다
1101
지정된 칼럼의 번호(k)를 인식한다
1103
1105
k > j 인가?
"예"
"아니오"
IOk를 NIOk와 전기적으로 연결한다
1107
1109
k > i 인가?
"예"
"아니오"
1113
IOk 를 NIOk-1 와 전기적으로 연결한다
1111
1115
IOk가 리던던시 칼럼으로부터 시작하여 최초 칼럼인가?
"예"
"아니오"
1117
IOk를 리던던시 데이터 입출력선 RIO와 전기적으로 연결한다
1119
IOk 를 NIOk-2 와 전기적으로 연결한다
끝