



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0136090
(43) 공개일자 2014년11월28일

(51) 국제특허분류(Int. Cl.)
H03K 5/13 (2014.01) H03L 7/08 (2006.01)
(21) 출원번호 10-2013-0055951
(22) 출원일자 2013년05월16일
심사청구일자 2013년05월16일

(71) 출원인
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
김철우
서울 성북구 길음로 16, 605동 1301호 (길음동, 삼성래미안3차아파트)
송준영
서울 동대문구 약령시로 25, 103동 902호 (제기동, 벽산아파트)
송민영
서울특별시 성북구 안암동5가 134-68 b동 406호
(74) 대리인
송인호, 민영준, 최관락

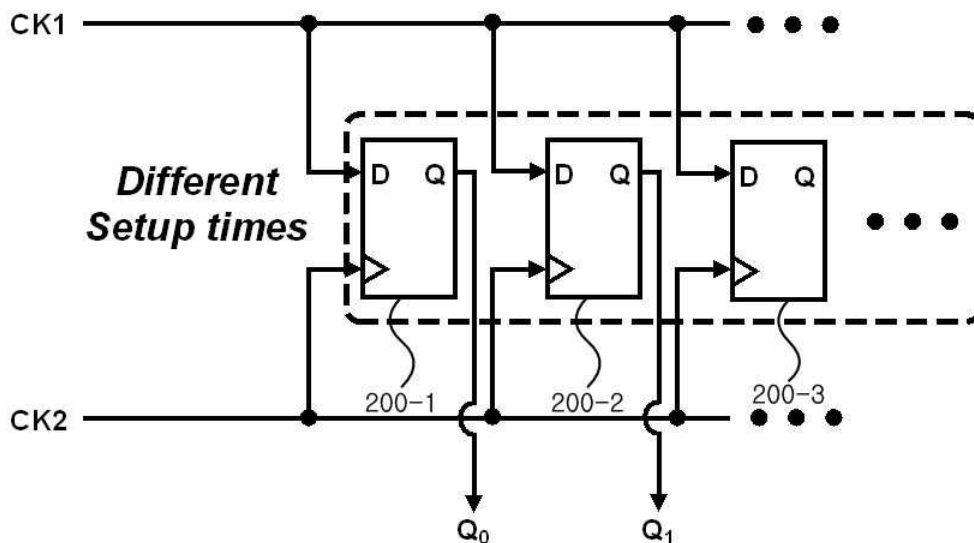
전체 청구항 수 : 총 6 항

(54) 발명의 명칭 지연 셀을 사용하지 않는 시간-디지털 변환기 및 이를 포함하는 위상 고정 루프

(57) 요약

본 발명은 지연 셀을 사용하지 않는 시간-디지털 변환기 및 이를 포함하는 위상 고정 루프를 개시한다. 본 발명에 따르면, 서로 다른 셋업 타임을 갖는 복수의 플립플롭을 포함하는 시간-디지털 변환기가 제공된다.

대표도 - 도2



특허청구의 범위

청구항 1

시간-디지털 변환기에 있어서,
서로 다른 셋업 타임을 갖는 복수의 플립플롭을 포함하는 시간-디지털 변환기.

청구항 2

제1항에 있어서,
상기 복수의 플립플롭 각각은 제1 인버터 및 제2 인버터를 포함하는 백-투-백 인버터들을 포함하며, 상기 제1 및 제2 인버터를 구성하는 트랜지스터의 사이즈의 조정에 의해 상기 복수의 플립플롭 각각의 셋업 타임이 조정되는 시간-디지털 변환기.

청구항 3

제2항에 있어서,
상기 트랜지스터의 사이즈는 게이트와 소스 및 드레인의 접촉 너비 및 채널 길이로 정의되며, 상기 접촉 너비와 길이의 조정에 의해 상기 셋업 타임이 조정되는 시간-디지털 변환기.

청구항 4

제3항에 있어서,
상기 복수의 플립플롭 각각에 대한 트랜지스터의 사이즈는 전단에서 후단으로 갈수록 선형적으로 증가하는 시간-디지털 변환기.

청구항 5

제3항에 있어서,
상기 백-투-백 인버터의 전과 지연을 이용하여 상기 셋업 타임이 조정되는 시간-디지털 변환기.

청구항 6

제1항에 따른 시간-디지털 변환기를 구비하는 위상 고정 루프.

명세서

기술분야

[0001] 본 발명은 지연 셀을 사용하지 않는 시간-디지털 변환기에 관한 것으로서, 보다 상세하게는, 플립플롭만으로도 저전력 및 소면적으로 높은 해상도를 얻을 수 있는 시간-디지털 변환기 및 이를 포함하는 위상 고정 루프에 관한 것이다.

배경기술

[0002] 반도체 제조 공정 기술의 발달로 인해 회로 선폭이 감소하게 되고 이에 따라 회로의 집적화는 증대되고, 공급 전압 레벨의 감소에 의한 저전력화가 증대되고 있다.

[0003] 그러나 이러한 회로 선폭의 감소는 누설 전류의 증가를 야기하여 아날로그 회로의 성능 저하를 가져오게 된다. 따라서 공정 기술의 발달에 맞추어 회로 설계 기술은 디지털화되고 있다.

[0004] 근래에 시간-디지털 변환기는 회로를 디지털화하는데 있어서 가장 기본적인 기술이라고 할 수 있다. 시간-디지털 변환기는 디지털 회로만으로 설계가 가능하며, 클록의 위상 차이를 디지털 신호로 변환하기 때문에 출력을 디지털 신호로 처리하기에 용이하다.

[0005] 따라서 시간-디지털 변환기는 디지털 회로로 설계되는 클록 발생기에 널리 쓰일 수 있을 뿐 아니라, 제한된 범

위에서의 아날로그-디지털 변환기에서도 효과적으로 쓰일 수 있다.

- [0006] 도 1은 종래기술에 따른 시간-디지털 변환기를 도시한 도면이다.
- [0007] 도 1에 도시된 바와 같이, 종래의 시간-디지털 변환기는 복수의 지연 셀들(100-n) 및 복수의 플립플롭(102-n)을 포함할 수 있다.
- [0008] 클록 CK1은 일정한 지연(T)을 갖는 지연 셀(100)에 의해 일정한 지연(T)을 가지고 클록 CK2에 의해 샘플링된다. 즉 플립플롭(102)은 상기 CK2의 상승 에지 시점에 CK1 신호가 지연 셀에 의해 지연된 신호값을 출력값(Q_0 , Q_1 , ...)으로 출력한다.
- [0009] 이때 시간-디지털 변환기는 플립플롭(102)들의 출력값(Q_0 , Q_1 , ...)들에서 1인 값을 카운트하는데, 카운트한 1의 개수가 클록 CK1과 클록 CK2의 위상차가 된다.
- [0010] 그러나 시간-디지털 변환기는 일정한 지연(T) 내의 위상차는 검출할 수 없게 된다.
- [0011] 시간-디지털 변환기의 지연(T)을 시간-디지털 변환기의 해상도라고 하며, 해상도는 지연 셀의 기본 지연 회로의 위상차에 의해 결정된다. 일반적으로 기본 지연회로는 가장 지연이 작은 인버터 두 개를 이용하여 만들며, 이보다 작은 해상도의 시간-디지털 변환기를 만들 수 없게 된다. 작은 인버터 한 개로도 만들 수 있으나, 이는 위상이 반전되므로, 차동 방식의 플립플롭 등, 반전된 위상을 이용할 수 있는 추가적인 기술이 요구된다.
- [0012] 또한, 클록의 지터가 계속 누적되면서 지연 셀을 지날수록 이러한 영향이 증가되어 위상차 검출의 정확성이 감소하며, 각 지연 셀의 일정하지 않은 상태로 인한 지터 역시 증가하게 되어 이 역시 위상차 검출의 정확성이 감소하게 된다.
- [0013] 나아가, 지연 셀 사용에 따른 전력 및 면적 소모가 증가하며, 이는 높은 해상도를 얻기 위해서 더욱 정교한 지연 셀을 사용한다면 전력 및 면적 소모는 더욱 증가할 것이다.

발명의 내용

해결하려는 과제

- [0014] 상기한 종래기술의 문제점을 해결하기 위해, 본 발명은 높은 해상도를 만족하면서 위상 검출의 정확성을 확보함과 동시에 전력 및 면적 소모를 크게 줄일 수 있는 지연 셀이 없는 시간-디지털 변환기 및 이를 포함하는 위상 고정 루프를 제안하고자 한다.

과제의 해결 수단

- [0015] 상기한 기술적 과제를 해결하기 위해, 본 발명의 바람직한 일 실시예에 따르면, 시간-디지털 변환기에 있어서, 서로 다른 셋업 타임을 갖는 복수의 플립플롭을 포함하는 시간-디지털 변환기가 제공된다.
- [0016] 상기 복수의 플립플롭 각각은 제1 인버터 및 제2 인버터를 포함하는 백-투-백 인버터들을 포함하며, 상기 제1 및 제2 인버터를 구성하는 트랜지스터의 사이즈의 조정에 의해 상기 복수의 플립플롭 각각의 셋업 타임이 조정될 수 있다.
- [0017] 상기 트랜지스터의 사이즈는 게이트와 소스 및 드레인의 접촉 너비 및 채널 길이로 정의되며, 상기 접촉 너비와 길이의 조정에 의해 상기 셋업 타임이 조정될 수 있다.
- [0018] 상기 복수의 플립플롭 각각에 대한 트랜지스터의 사이즈는 전단에서 후단으로 갈수록 선형적으로 증가하는 시간-디지털 변환기.
- [0019] 상기 백-투-백 인버터의 전파 지연을 이용하여 상기 셋업 타임이 조정될 수 있다.
- [0020] 본 발명의 다른 측면에 따르면, 상기한 시간-디지털 변환기를 구비하는 위상 고정 루프가 제공된다.

발명의 효과

- [0021] 본 발명에 따르면, 각 플립플롭의 셋업 타임(setup time)의 차이로 위상 차이를 검출하므로, 높은 해상도를 만족하면서 위상 차이 검출 성능의 향상을 가져올 수 있으며, 지연 셀을 사용하지 않아 시간-디지털 변환기 회로의 크기를 크게 감소하고 전력 소모를 줄일 수 있는 효과가 있다.

도면의 간단한 설명

- [0022] 도 1은 종래기술에 따른 시간-디지털 변환기의 구조를 도시한 도면.
 도 2는 본 발명의 바람직한 일 실시예에 따른 시간-디지털 변환기의 구조를 도시한 도면.
 도 3은 본 발명에 따른 시간-디지털 변환기에서 셋업 타임 조정이 가능한 플립플롭의 회로도.
 도 4는 본 발명에 따른 트랜지스터 사이즈에 따른 셋업 타임의 변화를 도시한 도면.
 도 5는 본 발명에 따른 시간-디지털 변환기의 해상도를 도시한 도면.
 도 6은 본 발명에 따른 시간-디지털 변환기가 적용된 위상 고정 루프를 도시한 도면.

발명을 실시하기 위한 구체적인 내용

- [0023] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 각 도면을 설명하면서 유사한 참조부호를 유사한 구성요소에 대해 사용하였다.
- [0024] 이하, 본 발명의 바람직한 실시예를 첨부한 도면들을 참조하여 상세히 설명하기로 한다. 본 발명을 설명함에 있어 전체적인 이해를 용이하게 하기 위하여 도면 번호에 상관없이 동일한 수단에 대해서는 동일한 참조 번호를 사용하기로 한다.
- [0025] 도 2는 본 발명의 바람직한 일 실시예에 따른 시간-디지털 변환기의 구조를 도시한 도면이고, 도 3은 본 발명에 따른 시간-디지털 변환기에서 셋업 타임 조정이 가능한 플립플롭의 회로도이다.
- [0026] 도 2 내지 도 3에 도시된 바와 같이, 본 발명에 따른 시간-디지털 변환기는 종래의 구조에서 지연 셀이 제거되며, 서로 다른 셋업(setup time)을 갖는 복수의 플립플롭(200-n)을 포함할 수 있다.
- [0027] 플립플롭은 클럭의 상승(또는 하강) 모서리(edge)에서 출력값이 변화하는 디지털 소자이다. 이러한 플립플롭에서 클럭의 상승(또는 하강) 모서리 시점에서 플립플롭의 입력 신호 값이 변화해서는 안되는 제한된 시간 구간이 있으며, 이처럼 제한된 시간 구간을 셋업 타임(setup time)과 홀드 타임(hold time)이라 한다.
- [0028] 여기서, 셋업 타임은 클럭의 상승 모서리 시점에서 입력 신호가 변하지 않아야 하는 최소 시간 간격을 의미하며, 홀드 타임은 클럭의 상승 모서리 시점 이후 입력 신호가 변하지 않아야 하는 최소 시간 간격을 의미한다.
- [0029] 도 2에 도시된 바와 같이, 본 발명에 따른 시간-디지털 변환기는 계층 구조를 가지며, 앞 단계일수록 낮은 해상도를 가지나 넓은 위상 검출 범위를 갖는 시간-디지털 변환기를 사용하고, 다음 단계로 넘어갈수록 높은 해상도를 가지나 좁은 위상 검출 범위를 갖는 시간-디지털 변환기를 사용한다.
- [0030] 도 3에 도시된 바와 같이, 본 발명에 따른 플립플롭은 마스터-슬레이브 구조를 가지며, 백-투-백(Back-to-Back) 인버터(제1 인버터(I_{BM}) 및 제2 인버터(I_{BS}))를 포함한다.
- [0031] 본 발명에 따른 플립플롭은 게이트의 추가 없이 셋업 타임을 조정하기 위해 백-투-백 인버터의 전파 지연(propagation delay, tp)을 이용한다.
- [0032] 전파 지연은 다음과 같이 정의될 수 있다.

수학적 식 1

$$t_p = \int_c^{IDD} \frac{C_L(v)}{I_F(v)} dv$$

[0033]

- [0034] 여기서, C_L 은 전체 출력 부하, I_F 는 인버터의 전류이다.
- [0035] 백-투-백 인버터(I_{BM} , I_{BS})의 사이즈가 C_L 을 결정하기 때문에, 본 발명에 따르면, 백-투-백 인버터(I_{BM} , I_{BS})의 사이즈를 조정하여 셋업 타임을 조정한다.
- [0036] 도 3에 도시된 바와 같이, 본 발명에 따른 백-투-백 인버터는 복수의 트랜지스터(300-1 내지 300-4)를 포함하며, 트랜지스터의 사이즈 조정을 통해 셋업 타임을 조정한다.
- [0037] 여기서, 트랜지스터의 사이즈는 게이트와 소스 및 드레인의 접촉 너비 및 채널 길이로 정의되며, 접촉 너비 및 길이의 조정을 통해 셋업 타임을 결정할 수 있다.
- [0038] 본 발명의 바람직한 일 실시예에 따르면, 전단에 배치된 플립플롭에서 후단으로 갈수록 트랜지스터의 사이즈가 선형적으로 증가하며, 이에 따라 도 4에 도시된 바와 같이, 전단에서 후단으로 갈수록 셋업 타임이 선형적으로 증가하게 된다.
- [0039] 여기서, 도 4는 길이를 고정한 상태에서 접촉 너비를 선형적으로 증가시킬 때의 셋업 타임의 변화를 도시한 도면이다.
- [0040] 도 5는 본 발명에 따른 시간-디지털 변환기의 해상도를 도시한 것으로서, 해상도가 약 4ps인 것을 확인할 수 있으며, 이는 0.13- μ m 공정에 의한 하나의 자연 셀을 이용하는 것보다 더 작은 해상도이다.
- [0041] 표 1은 종래의 시간-디지털 변환기와 본 발명에 따른 시간-디지털 변환기를 비교한 것이다.

표 1

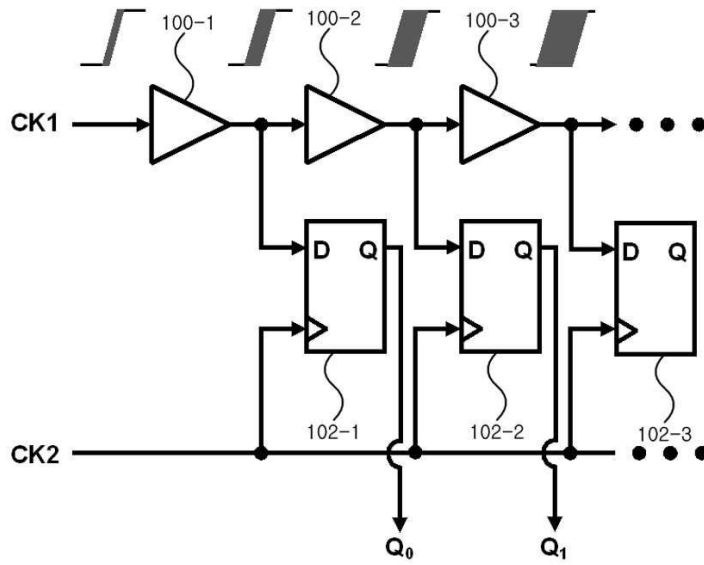
	JSSC 2008 [4]	TCAS I 2011 [13]	TCAS II 2011 [14]	JSSC 2010 [15]	This Work (Simulated)
TDC Type	Time Amplification	Cycle Verner	Floating Point	Gate Ring Oscillator	Delay-Cell-less
Technology	90nm CMOS	65nm CMOS	0.18 μ m CMOS	0.13 μ m CMOS	0.13 μ m CMOS
Current Consumption	9.3mA	2.0mA	1.8mA	21.5mA	1.3mA
TDC Resolution	1.25ps	5 ps	3ps	5ps	4ps
Linearity	>0.64LSB	>0.42LSB	>0.31LSB (INL); >0.25LSB (INL)		>0.15LSB (DNL); >0.22LSB (INL)

- [0042]
- [0043] 표 1에 나타난 바와 같이, 본 발명과 같이 자연 셀이 없는 시간-디지털 변환기를 이용하는 경우 높은 해상도와 저전력을 달성할 수 있는 것을 확인할 수 있다.
- [0044] 본 발명에 따른 시간-디지털 변환기는 도 6과 같이 ADPLL(All-Digital Phase-Locked Loop)의 일부 구성으로 적용될 수 있다.
- [0045] 위상 고정 루프는 전압조정발진기(Voltage Control Oscillator: VCO)를 구비하면서 소정 주파수로 출력되는 신호를 피드백받아 이를 기준 주파수와 비교하여 원하는 출력 신호가 원하는 주파수로 고정되도록 한다.
- [0046] 이러한 위상 고정 루프의 모든 구성이 디지털 방식으로 구현된 것이 ADPLL이며, 본 발명에 따른 시간-디지털 변환기는 높은 해상도와 저전력 소모 및 적은 사이즈로 위상차를 검출하여 출력 신호가 원하는 주파수로 고정되도록 한다.
- [0047] 도 6의 위상 고정 루프의 다른 구성은 당업자에게 공지된 것으로 이에 대한 상세한 설명은 생략한다.
- [0048] 상기한 본 발명의 바람직한 실시예는 예시의 목적을 위해 개시된 것이고, 본 발명에 대해 통상의 지식을 가진 당업자라면 본 발명의 사상과 범위 안에서 다양한 수정, 변경, 부가가 가능할 것이며, 이러한 수정, 변경 및 부

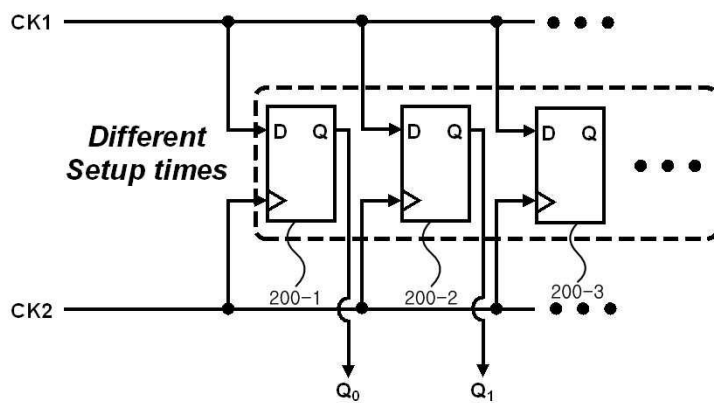
가는 하기의 특허청구범위에 속하는 것으로 보아야 할 것이다.

도면

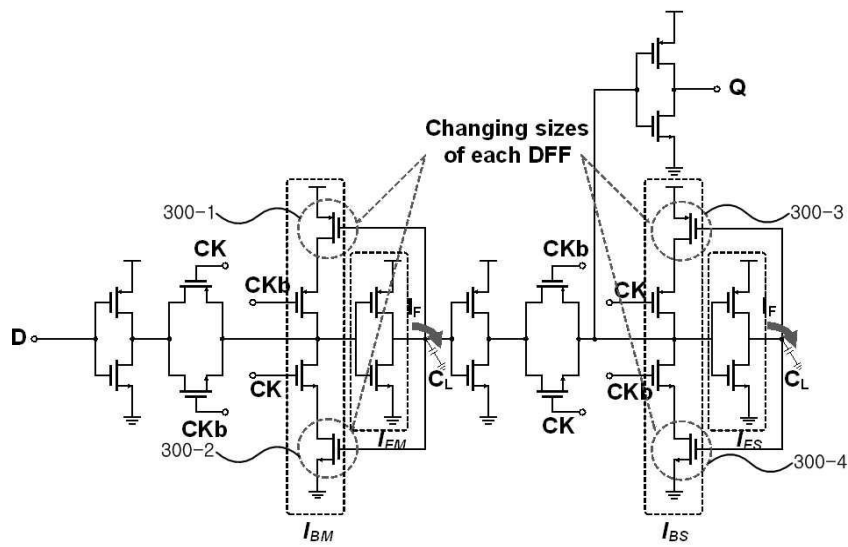
도면1



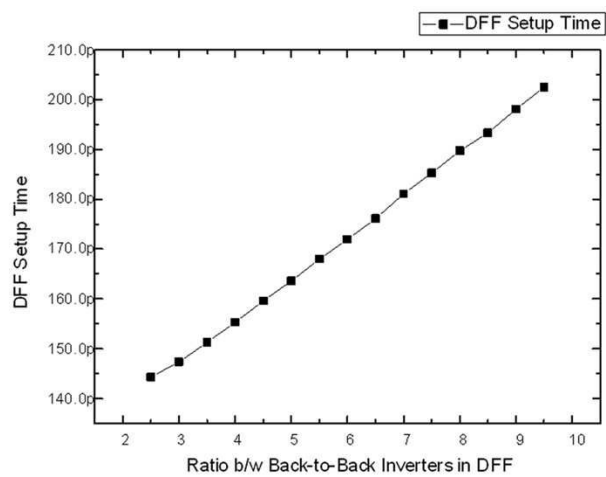
도면2



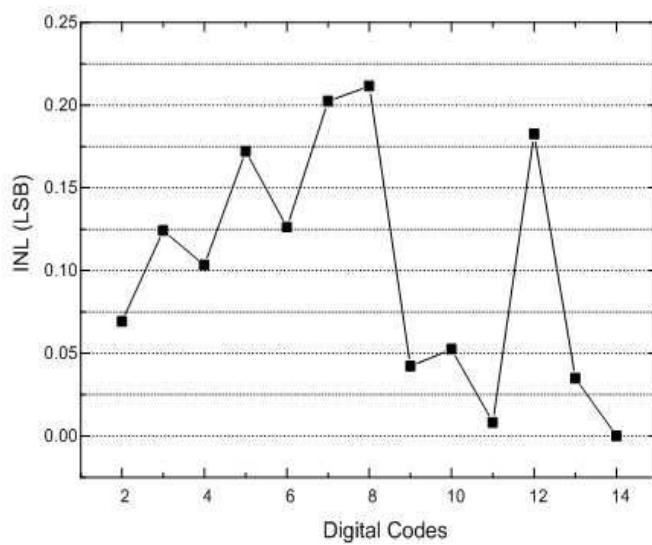
도면3



도면4



도면5



도면6

