(19)国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 118922944 A
(43)申请公布日 2024.11.08

(21)申请号 202380029923.7
(22)申请日 2023.01.10
(30)优先权数据
2022-067959 2022.04.15 JP
(85)PCT国际申请进入国家阶段日
2024.09.24
(86)PCT国际申请的申请数据
PCT/JP2023/000307 2023.01.10
(87)PCT国际申请的公布数据
WO2023/199560 JA 2023.10.19
(71)申请人 松下知识产权经营株式会社
地址 日本
(72)发明人 金原旭成 佐藤好弘
(74)专利代理机构 永新专利商标代理有限公司 72002
专利代理师 高迪
(51)Int.Cl.
H01L 27/146(2006.01)
H04N 25/617(2006.01)
H04N 25/70(2006.01)

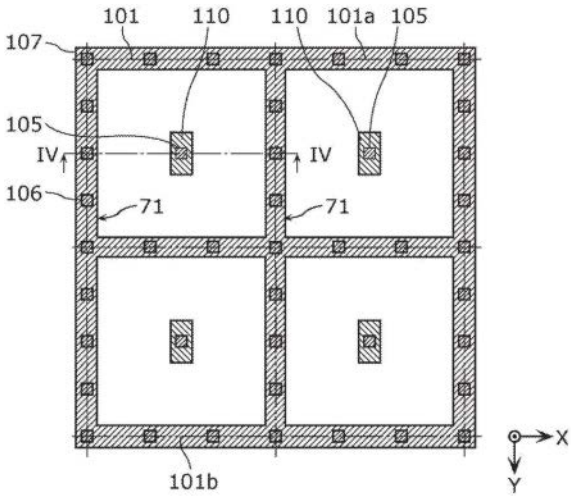
权利要求书2页 说明书27页 附图38页

(54)发明名称

摄像装置及相机系统

(57)摘要

摄像装置具备:半导体基板;布线层,位于半导体基板上,且包括多个布线;多个像素电极,各自位于布线层上,且与多个像素中的各个像素一对一地对应;屏蔽电极,位于布线层上,且被配置在多个像素电极之间;对置电极,位于多个像素电极及屏蔽电极的上方;以及光电转换层,位于多个像素电极及屏蔽电极与对置电极之间。布线层包括:屏蔽布线(107);以及多个FD布线(110),各自与多个像素电极连接且与多个像素电极中的各个像素电极一对一地对应。屏蔽布线(107)与屏蔽电极连接。屏蔽布线(107)包括:在平面图中各自与多个FD布线(110)之中的至少1个FD布线(110)重叠的多个开口部(71)。



CN 118922944 A

1.一种摄像装置,具有多个像素,具备:

半导体基板;

布线层,位于所述半导体基板上,且包含绝缘层及多个布线;

多个像素电极,各自位于所述布线层上,且与所述多个像素中的各个多个像素一对一地对应;

屏蔽电极,位于所述布线层上,且被配置在所述多个像素电极之间;

对置电极,位于所述多个像素电极及所述屏蔽电极的上方;以及

光电转换层,位于所述多个像素电极及所述屏蔽电极与所述对置电极之间,

所述布线层包括:第1布线,包括网格构造部;以及多个第2布线,各自与所述多个像素电极连接且与所述多个像素电极中的各个像素电极一对一地对应,

所述第1布线与所述屏蔽电极连接,

所述网格构造部包括:在平面图中各自与所述多个第2布线之中的至少1个第2布线重叠的多个开口部。

2.如权利要求1所述的摄像装置,

所述多个开口部中的各个开口部与所述多个像素中的各个像素一对一地对应。

3.如权利要求1所述的摄像装置,

所述多个像素包括各自由所述多个像素之中的2个以上的像素构成的多个像素块,

所述多个开口部中的各个开口部与所述多个像素块中的各个像素块一对一地对应。

4.如权利要求1至3中任一项所述的摄像装置,

所述网格构造部在平面图中与所述屏蔽电极在至少一部分上重叠。

5.如权利要求1至3中任一项所述的摄像装置,

所述第1布线在所述多个像素的各个像素中与所述屏蔽电极连接。

6.如权利要求1至3中任一项所述的摄像装置,

构成所述第1布线的材料的电阻率比构成所述屏蔽电极的材料的电阻率小。

7.如权利要求1至3中任一项所述的摄像装置,

所述多个像素包括第1像素,

所述布线层包括与所述第1像素连接的第1信号线,

所述网格构造部的至少一部分在所述布线层中位于比所述第1信号线靠上方的高度。

8.如权利要求1至3中任一项所述的摄像装置,

所述多个像素包括第1像素,

所述布线层包括与所述第1像素连接的第1信号线,

所述网格构造部的至少一部分在所述布线层中位于比所述第1信号线靠下方的高度。

9.如权利要求1至3中任一项所述的摄像装置,

所述多个像素包括第1像素,

所述布线层包括与所述第1像素连接的第1信号线,

所述网格构造部的至少一部分在所述布线层中位于与所述第1信号线相同的高度。

10.如权利要求1至3中任一项所述的摄像装置,

所述网格构造部的一部分与所述网格构造部的其他一部分在所述布线层中位于不同的高度。

11.如权利要求1至3中任一项所述的摄像装置，

所述多个像素包括第1像素和第2像素，

所述布线层包括:第1信号线,与所述第1像素连接;以及第2信号线,位于与所述第1信号线相同的高度,且与所述第2像素连接，

所述第1布线包括位于与所述第1信号线及所述第2信号线相同的高度的第1部分，

所述第1部分位于所述第1信号线与所述第2信号线之间。

12.如权利要求1至3中任一项所述的摄像装置，

所述多个像素包括第1像素，

所述布线层包括:第1信号线,位于与所述第2布线的一部分相同的高度,且与所述第1像素连接，

所述第1布线包括位于与所述第2布线的一部分及所述第1信号线相同的高度的第2部分，

所述第2部分位于所述第2布线的一部分与所述第1信号线之间。

13.如权利要求1至3中任一项所述的摄像装置，

所述多个像素包括第1像素和第2像素，

所述多个像素电极包括与所述第1像素对应的第1像素电极、以及与所述第2像素对应的第2像素电极，

在平面图中,所述第1像素电极的面积比所述第2像素电极的面积大。

14.如权利要求13所述的摄像装置，

在平面图中,所述第1像素电极的面积相对于所述第2像素电极的面积之比,大于所述多个开口部之中的与所述第1像素对应的开口部的面积相对于所述多个开口部之中的与所述第2像素对应的开口部的面积之比。

15.一种相机系统,具备如权利要求1至3中任一项所述的摄像装置。

摄像装置及相机系统

技术领域

[0001] 本公开涉及摄像装置及相机系统。

背景技术

[0002] 近年来,在CCD(电荷耦合器件(Charge Coupled Device))图像传感器及CMOS(互补MOS(Complementary MOS))图像传感器等摄像装置中,提出了抑制相邻像素间的混色的提案。例如在专利文献1中,公开了一种摄像装置,通过在相邻的像素电极之间设置屏蔽电极,能够抑制相邻像素间的混色。

[0003] 在先技术文献

[0004] 专利文献

[0005] 专利文献1:日本特开2020-77848号公报

[0006] 专利文献2:日本特开2017-135696号公报

发明内容

[0007] 本发明所要解决的课题

[0008] 需要减小噪声的摄像装置。

[0009] 用于解决课题的手段

[0010] 为了解决上述课题,本公开的一个方式所涉及的摄像装置具有多个像素,具备:半导体基板;布线层,位于所述半导体基板上,且包括绝缘层及多个布线;多个像素电极,各自位于所述布线层上,与所述多个像素中的各个像素一对一地对应;屏蔽电极,位于所述布线层上,且被配置在所述多个像素电极之间;对置电极,位于所述多个像素电极及所述屏蔽电极的上方;光电转换层,位于所述多个像素电极及所述屏蔽电极与所述对置电极之间,所述布线层包括:第1布线,包括网格构造部;以及多个第2布线,各自与所述多个像素电极连接且与所述多个像素电极中的各个像素电极一对一地对应,所述第1布线与所述屏蔽电极连接,所述网格构造部包括:在平面图中各自与所述多个第2布线之中的至少1个第2布线重叠的多个开口部。

[0011] 另外,本公开的一个方式所涉及的相机系统具备上述摄像装置。

[0012] 此外,本公开的概括或者具体的方式也可以由元件、设备或者装置实现。另外,本公开的概括或者具体的方式也可以通过元件、设备及装置的任意组合来实现。所公开的实施方式的追加的效果及优点根据说明书及附图而明确。效果以及/或者优点通过说明书及附图所公开的各种实施方式或者特征而分别提供,为了得到其中1个以上而不需要全部的效果以及/或者优点。

[0013] 发明效果

[0014] 根据本公开的一个方式,能够提供减小噪声的摄像装置等。

附图说明

[0015] 图1是表示实施方式1所涉及的摄像装置的例示性的构成的图。

[0016] 图2是表示实施方式1所涉及的像素的电路构成例的图。

[0017] 图3A是表示实施方式1所涉及的像素的电极的布局的平面图。

[0018] 图3B是表示实施方式1所涉及的像素的布线的布局的平面图。

[0019] 图3C是表示实施方式1所涉及的像素的布线的布局的其他平面图。

[0020] 图4是表示实施方式1所涉及的像素的构造的截面图。

[0021] 图5A是表示实施方式1的变形例1所涉及的像素的电极的布局的平面图。

[0022] 图5B是表示实施方式1的变形例1所涉及的像素的布线的布局的平面图。

[0023] 图5C是表示实施方式1的变形例1所涉及的像素的布线的布局的其他平面图。

[0024] 图6是表示实施方式1的变形例1所涉及的像素的构造的截面图。

[0025] 图7A是表示实施方式1的变形例2所涉及的像素的电极的布局的平面图。

[0026] 图7B是表示实施方式1的变形例2所涉及的像素的布线的布局的平面图。

[0027] 图7C是表示实施方式1的变形例2所涉及的像素的布线的布局的其他平面图。

[0028] 图8A是表示实施方式1的变形例3所涉及的像素的电极的布局的平面图。

[0029] 图8B是表示实施方式1的变形例3所涉及的像素的布线的布局的平面图。

[0030] 图8C是表示实施方式1的变形例3所涉及的像素的布线的布局的其他平面图。

[0031] 图9A是表示实施方式1的变形例4所涉及的像素的电极的布局的平面图。

[0032] 图9B是表示实施方式1的变形例4所涉及的像素的布线的布局的平面图。

[0033] 图9C是表示实施方式1的变形例4所涉及的像素的布线的布局的其他平面图。

[0034] 图9D是表示实施方式1的变形例4所涉及的像素的布线的布局的再其他的平面图。

[0035] 图10A是表示实施方式1的变形例5所涉及的像素的电极的布局的平面图。

[0036] 图10B是表示实施方式1的变形例5所涉及的像素的布线的布局的平面图。

[0037] 图10C是表示实施方式1的变形例5所涉及的像素的布线的布局的其他平面图。

[0038] 图11A是表示实施方式1的变形例6所涉及的像素的电极的布局的平面图。

[0039] 图11B是表示实施方式1的变形例6所涉及的像素的布线的布局的平面图。

[0040] 图11C是表示实施方式1的变形例6所涉及的像素的布线的布局的其他平面图。

[0041] 图12是表示实施方式2所涉及的单位像素的电路结构例的图。

[0042] 图13A是表示实施方式2所涉及的单位像素的电极的布局的平面图。

[0043] 图13B是表示实施方式2所涉及的单位像素的布线的布局的平面图。

[0044] 图14是表示实施方式2所涉及的单位像素的构造的截面图。

[0045] 图15A是表示实施方式2的变形例1所涉及的单位像素的电极的布局的平面图。

[0046] 图15B是表示实施方式2的变形例1所涉及的单位像素的布线的布局的平面图。

[0047] 图16A是表示实施方式2的变形例2所涉及的单位像素的电极的布局的平面图。

[0048] 图16B是表示实施方式2的变形例2所涉及的单位像素的布线的布局的平面图。

[0049] 图17A是表示实施方式2的变形例3所涉及的单位像素的电极的布局的平面图。

[0050] 图17B是表示实施方式2的变形例3所涉及的单位像素的布线的布局的平面图。

[0051] 图18是表示实施方式2的变形例3所涉及的单位像素的构造的截面图。

[0052] 图19是表示实施方式3所涉及的相机系统的构成的一例的框图。

具体实施方式

[0053] (作为本公开的基础的知识)

[0054] 本发明人发现了如下课题:由于连接至屏蔽电极的布线与信号线的耦合,信号线的电位的振幅向屏蔽电极传播,进而向像素电极以及与像素电极连接的布线传播,结果引起阴影(shading)等而造成暗时特性劣化。作为这样的电位的振幅的传播,布线的电阻越高,变动后的电位的返回越慢,因此越显著地发生。

[0055] 另外,本发明人发现:相邻像素间的混色也会由于与相邻的像素电极连接的布线彼此的耦合引起。

[0056] 本发明人针对由于这样的耦合而产生噪声的课题进行探讨,发现通过与屏蔽电极连接的布线的形状及配置,能够减小阴影及相邻像素间的混色,从而想到了本公开的构成。

[0057] 根据本公开,提供减小噪声的摄像装置等。

[0058] 本公开的一个方式例如具有如下所示的构成。

[0059] 本公开的一个方式所涉及的摄像装置具有多个像素,具备:半导体基板;布线层,位于所述半导体基板上,且包括绝缘层及多个布线;多个像素电极,各自位于所述布线层上,与所述多个像素中的各个像素一对一地对应;屏蔽电极,位于所述布线层上,且被配置在所述多个像素电极之间;对置电极,位于所述多个像素电极及所述屏蔽电极的上方;光电转换层,位于所述多个像素电极及所述屏蔽电极与所述对置电极之间,所述布线层包括:第1布线,包括网格构造部;以及多个第2布线,各自与所述多个像素电极连接且与所述多个像素电极中的各个像素电极一对一地对应,所述第1布线与所述屏蔽电极连接,所述网格构造部包括:在平面图中各自与所述多个第2布线之中的至少1个第2布线重叠的多个开口部。

[0060] 由此,开口部与连接至像素电极的第2布线重叠,因此形成开口部的第1布线的网格构造部包围第2布线。结果,在相邻像素的第2布线之间配置有第1布线,能够抑制相邻像素的第2布线彼此的耦合,并抑制相邻像素间的电混色。另外,通过屏蔽电极与由于包括网格构造部而成为低电阻的第1布线连接,能够将屏蔽电极及第1布线的电阻值抑制得低。结果,能够抑制由于屏蔽电极及第1布线与摄像装置所包括的信号线等之间的耦合等引起的阴影等,能够得到好的暗时特性。具体而言,通过使屏蔽电极及第1布线的电阻值变低,即使在由于与电位具有振幅的信号线等的耦合而造成信号线等的电位的振幅向屏蔽电极及第1布线传播的情况下,屏蔽电极及第1布线中的电位的变动的返回也会变快。因此,抑制了由于屏蔽电极及第1布线中的电位的变动向像素电极及第2布线传播而产生的阴影。

[0061] 如上,能够实现减小噪声的摄像装置。

[0062] 另外,例如也可以是,所述多个开口部中的各个开口部与所述多个像素中的各个像素一对一地对应。

[0063] 由此,与各像素的像素电极连接的第2布线被形成开口部的网格构造部包围,因此能够抑制多个像素的全部相邻像素间的第2布线彼此的耦合,并抑制相邻像素间的电混色。

[0064] 另外,例如也可以是,所述多个像素包括各自由所述多个像素之中的2个以上的像素构成的多个像素块,所述多个开口部中的各个开口部与所述多个像素块中的各个像素块一对一地对应。

[0065] 由此,能够使开口部的大小变大,因此能够提高开口部内的布线布局的自由度。例如,能够在开口部内配置信号线等的一部分,通过使信号线等的电阻变低,能够减小噪声。

[0066] 另外,例如也可以是,所述网格构造部在平面图中与所述屏蔽电极在至少一部分上重叠。

[0067] 由此,能够缩短屏蔽电极与网格构造部的连接距离,因此能够进一步降低屏蔽电极及第1布线的电阻值。

[0068] 另外,例如也可以是,所述第1布线在所述多个像素中的各个像素中与所述屏蔽电极连接。

[0069] 由此,屏蔽电极与第1布线的连接位置增加,因此能够进一步降低屏蔽电极及第1布线的电阻值。

[0070] 另外,例如也可以是,构成所述第1布线的材料的电阻率比构成所述屏蔽电极的材料的电阻率小。

[0071] 由此,能够进一步降低第1布线的电阻值。

[0072] 另外,例如也可以是,所述多个像素包括第1像素,所述布线层包括与所述第1像素连接的第1信号线,所述网格构造部的至少一部分在所述布线层中位于比所述第1信号线靠上方的高度。

[0073] 由此,与屏蔽电极连接的第1布线的网格构造部的至少一部分比第1信号线靠上方形成,因此能够使屏蔽电极与第1布线的连接紧凑,能够提高下侧的布线布局的自由度。

[0074] 另外,例如也可以是,所述多个像素包括第1像素,所述布线层包括与所述第1像素连接的第1信号线,所述网格构造部的至少一部分在所述布线层中位于比所述第1信号线靠下方的高度。

[0075] 由此,使第1信号线比网格构造部的至少一部分靠上方形成,能够使第1信号线与半导体基板的距离变长。因此,能够减小第1信号线的电位的变动对被设置于半导体基板的晶体管等电路造成的影响,能够减小噪声。

[0076] 另外,例如也可以是,所述多个像素包括第1像素,所述布线层包括与所述第1像素连接的第1信号线,所述网格构造部的至少一部分在所述布线层中位于与所述第1信号线相同的高度。

[0077] 由此,通过网格构造部能够抑制第1信号线与其他信号线等之间的耦合,因此能够减小噪声。

[0078] 另外,例如也可以是,所述网格构造部的一部分与所述网格构造部的其他一部分在所述布线层中位于不同的高度。

[0079] 由此,网格构造部不成为在1个高度上封闭的构造,因此能够提高布线布局的自由度。例如,易于形成通过减小布线的电阻能够减小噪声的布线布局。

[0080] 另外,例如也可以是,所述多个像素包括第1像素和第2像素,所述布线层包括:第1信号线,与所述第1像素连接;以及第2信号线,位于与所述第1信号线相同的高度,且与所述第2像素连接,所述第1布线包括位于与所述第1信号线及所述第2信号线相同的高度的第1部分,所述第1部分位于所述第1信号线与所述第2信号线之间。

[0081] 由此,通过第1布线的第1部分能够抑制第1信号线与第2信号线的耦合,并减小噪声。

[0082] 另外,例如也可以是,所述多个像素包括第1像素,所述布线层包括:第1信号线,位于与所述第2布线的一部分相同的高度,且与所述第1像素连接,所述第1布线包括位于与所

述第2布线的一部分及所述第1信号线相同的高度的第2部分,所述第2部分位于所述第2布线的一部分与所述第1信号线之间。

[0083] 由此,通过第1布线的第2部分,能够抑制第1信号线与第2布线的耦合,并减小噪声。

[0084] 另外,例如也可以是,所述多个像素包括第1像素和第2像素,

[0085] 所述多个像素电极包括与所述第1像素对应的第1像素电极、以及与所述第2像素对应的第2像素电极,在平面图中,所述第1像素电极的面积比所述第2像素电极的面积大。

[0086] 由此,通过减小噪声并且使第1像素电极与第2像素电极的面积不同,能够实现第1像素与第2像素的灵敏度不同的摄像装置。

[0087] 另外,例如也可以是,在平面图中,所述第1像素电极的面积相对于所述第2像素电极的面积之比,大于所述多个开口部之中的与所述第1像素对应的开口部的面积相对于所述多个开口部之中的与所述第2像素对应的开口部的面积之比。

[0088] 由此,与连接至面积比第1像素电极小的第2像素电极的第2布线重叠的开口部变大,因此能够提高第2布线的布局的自由度。

[0089] 以下,参照附图详细说明本公开的实施方式。

[0090] 此外,以下说明的实施方式均表示概括性或者具体性的例子。在以下的实施方式中表示的数值、形状、材料、构成要素、构成要素的配置及连接方式、步骤、步骤的顺序等为一例,其意图不在于限定本公开。本说明书中说明的各种方式只要不产生矛盾则能够相互组合。此外,关于以下实施方式中的构成要素之中独立权利要求中未记载的构成要素,作为任意的构成要素而被说明。在以下的说明中,具有实质上相同的功能的构成要素由共通的参照标记表示,有时省略说明。

[0091] 另外,各图是示意图,不一定严密地图示。从而,例如,在各图中比例尺等不必须一致。

[0092] 另外,在本说明书中,“相等”等表示要素间的关系性的用语、及正方形或者圆形等表示要素的形状的用语、以及数值范围,不是仅表示严格含义的表现,而是意味着在实质上等同的范围例如也包含百分之几程度的差异的表现。

[0093] 另外,在本说明书中,“上方”及“下方”这样的用语不是指绝对性的空间识别中的上方向(铅直上方)及下方向(铅直下方),而用作基于层叠构成中的层叠顺序通过相对性的位置关系被规定的用语。具体而言,将摄像装置的受光侧设为“上方”,将受光侧的相反侧设为“下方”。关于各部件的“上表面”、“下表面”也同样,将与摄像装置的受光侧对置的面设为“上表面”,将与受光侧的相反侧对置的面设为“下表面”。此外,“上方”、“下方”、“上表面”及“下表面”等用语不过是用于指定部件间的相互的配置,其意图不在于限定摄像装置的使用时的姿态。另外,“上方”及“下方”这样的用语不仅适用于2个构成要素相互空开间隔配置且在2个构成要素之间存在别的构成要素的情况,而且也适用于2个构成要素相互紧贴配置且2个构成要素相接的情况。另外,在本说明书中,“平面图”是指从与半导体基板垂直的方向观察时的视图。

[0094] (实施方式1)

[0095] 首先,说明实施方式1所涉及的摄像装置的构成。

[0096] 图1是表示本实施方式所涉及的摄像装置1的例示性的构成的图。如图1所示,摄像

装置1具备包括多个像素100的像素阵列30、以及周边电路。像素100例如通过在半导体基板上以2维排列而形成摄像区域。在图1所示的例中,像素100以n行m列的矩阵状配置。在此,m及n是1以上的整数,且m+n≥3。在本实施方式中,多个像素100各自是供基于输出的信号生成1个亮度值等的图像数据的单位像素。

[0097] 在图示的例中,各像素100的中心位于正方格子的格点上。当然,像素100的配置不限定于图示的例子,例如,也可以将多个像素100配置为各中心位于三角格子或者六角格子等的格点上。多个像素100也可以以1维排列。也就是说,像素100的配置可以是m行1列或者1行n列。在该情况下,能够将摄像装置1用作线传感器。

[0098] 在图1所例示的构成中,周边电路包括行扫描电路310、列电路312、信号处理电路313、输出电路314及控制电路311。周边电路既可以被配置在形成有像素阵列30的半导体基板上,也可以将其一部分配置在其他基板上。

[0099] 行扫描电路310具有与复位控制线RSTi及反馈控制线FBi的连接。复位控制线RSTi及反馈控制线FBi与像素阵列30的各行对应设置。即,多个像素100之中的属于第i行的1个以上的像素100连接至复位控制线RSTi及反馈控制线FBi。在此,i=0~n-1。

[0100] 行扫描电路310具有与图1中未图示的后述的地址控制线SEL的连接。地址控制线SEL也与复位控制线RSTi及反馈控制线FBi同样,与像素阵列30的各行对应设置,与属于第i行的1个以上的像素100连接。行扫描电路310向地址控制线施加规定的电压,从而以行为单位选择像素100,并进行信号电压的读出以及后述的复位动作。行扫描电路310也被称为垂直扫描电路。

[0101] 列电路312具有与垂直信号线SIGj的连接。垂直信号线SIGj与像素阵列30的各列对应设置。即,多个像素100之中的属于第j列的1个以上的像素100与垂直信号线SIGj连接。在此,j=0~m-1。来自由行扫描电路310以行为单位选择的像素100的输出信号经由垂直信号线SIGj向列电路312读出。列电路312针对从像素100读出的输出信号,进行以相关双采样为代表的噪音抑制信号处理及模拟-数字转换(AD转换)等。

[0102] 信号处理电路313针对从像素100取得的图像信号施以各种处理。在本说明书中,“图像信号”是指经由垂直信号线SIGj读出的信号之中的用于形成图像的输出信号。在本实施方式中,1个单位像素由作为1个单元的像素100构成。由列电路312从像素100读出图像信号。信号处理电路313基于上述信号形成图像。信号处理电路313的输出经由输出电路314向摄像装置1的外部读出。详细后述,单位像素也可以包括高灵敏度的第1摄像单元、以及低灵敏度且高饱和的第2摄像单元。在单位像素具有2个单元的构造的情况下,从第1摄像单元读出高灵敏度图像信号,以及从第2摄像单元读出低灵敏度图像信号。信号处理电路313基于高灵敏度图像信号及低灵敏度图像信号,形成动态范围更大的宽动态范围图像。信号处理电路313例如针对多个单位像素中的各个单位像素,进行基于从1个单位像素所包括的第1摄像单元及第2摄像单元输出的高灵敏度图像信号及低灵敏度图像信号中的至少一方生成1个亮度值等的图像数据的处理。

[0103] 控制电路311例如接受从摄像装置1的外部赋予的指令数据及时钟等,并对摄像装置1整体进行控制。控制电路311例如具有定时发生器,向行扫描电路310及列电路312等供给驱动信号。

[0104] 图2是表示本实施方式所涉及的像素100的电路结构例的图。

[0105] 像素100具有:将光转换为电信号的光电转换部130、以及与光电转换部130电连接且读出由光电转换部130生成的电信号的检测电路200。光电转换部130利用向感光区域入射的光来生成电信号。光电转换部130例如包括由有机材料或者非晶硅等无机材料形成的光电转换层120。以下,以光电转换部130包括光电转换层120的层叠型的构成为例进行说明。

[0106] 光电转换部130被设置在配置有放大晶体管205的基板上。基板例如是半导体基板。光电转换部130具有像素电极102、对置电极121、以及位于像素电极102与对置电极121之间的光电转换层120。例如,像素电极102按多个像素100中的每个像素100设置。也就是说,摄像装置1具备多个像素电极102,多个像素电极102中的各个像素电极102与多个像素100中的各个像素100一对一地对应。例如,相互相邻的2个像素100通过在它们之间设置间隙从而被电分离。像素电极102具有与电荷积蓄节点FD1的连接。电荷积蓄节点也被称为“浮动扩散节点”。对置电极121是被配置在光电转换层120的受光面侧的电极,由ITO(氧化铟锡(Indium Tin Oxide))等透明的导电性材料形成。在摄像装置1动作时,对置电极121被施加规定的电压Vp。对置电极121及光电转换层120既可以对于全部多个像素100中的各个像素100共通地形成,也可以按由若干个像素100构成的每个像素块形成。

[0107] 通过向对置电极121施加电压Vp,能够由像素电极102捕集通过光电转换而由光电转换层120产生的空穴-电子对之中的空穴及电子中的某一方。在利用空穴作为信号电荷的情况下,例如向对置电极121施加10V左右的电压作为电压Vp。通过使对置电极121的电位比像素电极102的电位高,能够使空穴积蓄至电荷积蓄节点FD1。以下,说明利用空穴作为信号电荷的例子。当然,也可以利用电子作为信号电荷。在该情况下,使对置电极121的电位比像素电极102低即可。

[0108] 此外,作为电压Vp,既可以向全部多个像素100中的各个像素100供给共通的电压,例如也可以向由若干个像素100构成的每个像素块供给不同的电压。通过向每个像素块供给不同的电压,能够使各像素100的灵敏度可变。

[0109] 在电荷积蓄节点FD1上连接有放大晶体管205的控制端子。控制端子例如是栅极。

[0110] 检测电路200具有放大晶体管205、选择晶体管206、复位晶体管202、以及作为反馈电路的一部分的带域控制晶体管207。

[0111] 各晶体管被设置在半导体基板上。以下,只要没有特别说明,就说明使用N沟道MOSFET(金属氧化物半导体场效应晶体管(Metal Oxide Semiconductor Field Effect Transistor))作为晶体管的例子。此外,半导体基板不限定于其整体为半导体的基板。半导体基板也可以是在形成感光区域一侧的表面设置有半导体层的绝缘性基板等。

[0112] 放大晶体管205的栅极与光电转换部130连接。放大晶体管205放大由光电转换部130生成的电信号。放大晶体管205的源极及漏极中的一方与选择晶体管206的源极及漏极中的一方连接。放大晶体管205的源极及漏极中的另一方与供给电源电压VDD的电源线连接。

[0113] 选择晶体管206的源极及漏极中的一方与放大晶体管205的源极及漏极中的一方连接。选择晶体管206的源极及漏极中的另一方与垂直信号线208连接。垂直信号线208对应于图1中的垂直信号线SIGj。通过具有与行扫描电路310的连接的地址控制线SEL的电压,对选择晶体管206的栅极进行控制。选择晶体管206选择性地输出由放大晶体管205放大后的

信号。

[0114] 复位晶体管202的源极及漏极中的一方与电荷积蓄节点FD1连接。复位晶体管202的源极及漏极中的另一方与节点RD连接。节点RD是形成在带域控制晶体管207、第1电容元件203及第2电容元件204之间的节点。通过复位控制线RST的电压,对复位晶体管202的栅极进行控制。复位控制线RST对应于图1中的复位控制线RSTi。复位晶体管202将与光电转换部130的像素电极102连接的电荷积蓄节点FD1复位(换言之,初始化)。

[0115] 带域控制晶体管207的源极及漏极中的一方与节点RD连接。带域控制晶体管207的源极及漏极中的另一方与反馈线209连接。通过反馈控制线FB的电压,对带域控制晶体管207的栅极进行控制。反馈控制线FB对应于图1中的反馈控制线FBi。带域控制晶体管207进行反馈电路的带域控制。带域控制晶体管207被配置在反馈路径上,经由反馈线209与反相放大器300的输出连接。反相放大器300的一方的输入为基准电压VREF,反相放大器300的另一方的输入与垂直信号线208连接。

[0116] 第2电容元件204被电连接在电荷积蓄节点FD1与带域控制晶体管207的源极或者漏极之间。第1电容元件203具有比第2电容元件204大的电容值,被连接在第2电容元件204与基准电压VR之间。第1电容元件203及第2电容元件204各自例如是MOM(金属-氧化物-金属(Metal-Oxide-Metal))电容、MIM(金属-绝缘体-金属(Metal-Insulator-Metal))电容、MOS(金属氧化物半导体(Metal Oxide Semiconductor))电容或者沟槽电容。

[0117] 反馈电路具有反相放大器300,形成使在将复位晶体管202关断时产生的kTC噪声负反馈的反馈路径。通过反相放大器300,能够提高反馈路径的增益,而且提高噪声抑制效果。

[0118] 像素100具备反馈电路,因此能够大幅抑制在将复位晶体管202关断时产生的噪声。

[0119] 此外,像素100的电路结构不特别限定。像素100的电路结构例如也可以是如专利文献2所示的上述的电路结构以外的电路结构。

[0120] 接下来,说明像素100的电极及布线等的布局。图3A是表示本实施方式所涉及的像素100的电极的布局的平面图。图3B及图3C是表示本实施方式所涉及的像素100的布线的布局的平面图。在图3A至图3C中,表示了在平面图中观察与4个像素100对应的区域的电极或者布线的情况下(换言之,从上侧观察的情况下)的图。图4是表示本实施方式所涉及的像素100的构造的截面图。图4表现图3A至图3C的IV-IV线处的截面。在图4中,主要表示与1个像素100对应的区域的截面。此外,在图3A至图4中,为了易于观察,以说明所需的构成要素为中心进行图示,而并不图示像素100所包括的全部布线及电路元件等。这在以下说明的其他截面图及平面图中也是同样的。

[0121] 另外,图3A是在平面图中观察布线层3(具体是布线层3的构成层3e)上配置的电极的情况下的图。在图3A中,由虚线表示在电极的下侧形成的接点。在以下说明的表示电极的布局的平面图中,也同样由虚线表示在电极的下侧形成的接点。另外,图3B是在平面图中观察布线层3的构成层3d上配置的布线的情况下的图。图3C是在平面图中观察布线层3的构成层3c上配置的布线的图。在图3B及图3C中,由实线表示在布线上形成的接点。在以下说明的表示布线的布局的平面图中,也同样表示在电极上形成的接点。

[0122] 图3A至图3C所示的由二点划线划分的区域,是与图2所示的像素100对应的像素区

域,在各像素区域中,设置有像素电极102和屏蔽电极104。在以后的表示本实施方式所涉及的电极或者布线的布局的图中,也由二点划线对像素区域进行划分并表示。以下,作为各像素区域的代表以像素区域101为中心进行说明。在像素区域101中设置的像素电极102的周围配置有屏蔽电极104。屏蔽电极104包围像素电极102。

[0123] 另外,对于与像素区域101相邻的像素区域101a及101b,也配置有与像素区域101共通的屏蔽电极104。也就是说,屏蔽电极104被相互相邻的像素100共通地包含。屏蔽电极104既可以对于全部像素100中的各个像素100共通地形成,也可以按由若干个像素100构成的每个像素块形成。例如,在相互相邻的像素100中仅共通地包含1个屏蔽电极104。屏蔽电极104在平面图中,位于相邻的像素100分别具备的像素电极102之间。

[0124] 屏蔽电极104例如与省略图示的电压供给电路或者地等连接,且被保持为规定的电位。屏蔽电极104与像素电极102被电分离。如上所述,在利用空穴作为信号电荷的情况下,通过使屏蔽电极104的电位比对置电极121的电位低,能够将信号电荷向屏蔽电极104吸引。因此,通过在相邻像素间配置的屏蔽电极104,能够抑制相邻像素间的混色。屏蔽电极104的电位例如是固定的电位,但也可以变动。

[0125] 如图3A至图4所示,摄像装置1具备半导体基板2、位于半导体基板2上的布线层3、位于布线层3上的多个像素电极102、位于布线层3上的屏蔽电极104、位于多个像素电极102及屏蔽电极104的上方的对置电极121、位于多个像素电极102及屏蔽电极104与对置电极121之间的光电转换层120、以及对像素电极102的电位进行检测的检测电路200。另外,摄像装置1具备缓冲层4、密封层5、滤色器122、平坦化层6和微透镜123。

[0126] 检测电路200跨半导体基板2与布线层3的界面设置。在图4中,图示了检测电路200的一部分的晶体管。在布线层3的Z轴方向正侧的主面、即上表面,形成有像素电极102及屏蔽电极104。在本说明书中,将Z轴方向正侧作为上方。像素电极102与对应的检测电路200经由像素接点105连接。

[0127] 像素电极102及屏蔽电极104是用于捕集由光电转换层120生成的信号电荷的电极。像素电极102及屏蔽电极104各自例如由氮化钛(TiN)等金属材料构成。像素电极102及屏蔽电极104各自也可以由铜(Cu)、钨(W)、钛(Ti)、钽(Ta)、铝(Al)或者它们的化合物构成。另外,多个像素电极102及屏蔽电极104各自的膜厚是均一的,而且多个像素电极102及屏蔽电极104的上表面被平坦化。另外,在相邻的像素电极102与屏蔽电极104的间隙中,配置有布线层3的构成层3e。

[0128] 检测电路200与多个像素电极102中的各个像素电极102对应设置。检测电路200检测由对应的像素电极102捕集的信号电荷,并输出与电荷相应的信号电压。检测电路200例如由MOS电路或者TFT(薄膜晶体管(Thin Film Transistor))电路等构成。检测电路200例如图2所示,包括栅极与像素电极102连接的放大晶体管205,由放大晶体管205输出与信号电荷的量相应的信号电压。

[0129] 半导体基板2例如由硅(Si)等构成。

[0130] 布线层3被形成在半导体基板2上,包括多个构成层3a、3b、3c、3d及3e、像素接点105、FD布线110、像素接点105a、FD布线110a、屏蔽接点106、屏蔽布线107以及信号线109。多个构成层3a、3b、3c、3d及3e从半导体基板2侧依次排列并层叠。以下有时将多个构成层3a、3b、3c、3d及3e称为多个构成层3a至3e。在此,多个构成层3a至3e各自例如是由二氧化硅

(SiO_2)等构成的绝缘层。在多个构成层3a至3e中,配置有多个布线。此外,布线层3内的构成层的层数能够任意地设定,不限定于图4所示的5层的构成层3a至3e的例子。另外,在多个构成层3a至3e之间,也可以配置由与多个构成层3a至3e不同的绝缘材料构成的绝缘膜。

[0131] 像素电极102经由像素接点105、FD布线110、像素接点105a及FD布线110a与检测电路200电连接。在本实施方式中,包括像素接点105、FD布线110、像素接点105a及FD布线110a的布线是与像素电极102连接的第2布线的一例。布线层3包括多个第2布线,多个第2布线中的各个第2布线与多个像素电极102中的各个像素电极102一对一地对应。因此,多个第2布线中的各个第2布线也可以说与多个像素100中的各个像素100一对一地对应。

[0132] 屏蔽电极104经由屏蔽接点106与屏蔽布线107连接。在本实施方式中,包括屏蔽接点106及屏蔽布线107的布线是与屏蔽电极104连接的第1布线的一例。

[0133] 像素接点105、FD布线110、像素接点105a、FD布线110a、屏蔽接点106、屏蔽布线107各自例如通过将铜(Cu)、钨(W)等导电性材料嵌入至布线层3而形成。构成像素接点105、FD布线110、像素接点105a、FD布线110a、屏蔽接点106、屏蔽布线107各自的材料的电阻率,例如比构成像素电极102及屏蔽电极104各自的材料的电阻率小。

[0134] 在配置有像素电极102及屏蔽电极104的构成层3e的上表面,层叠有光电转换层120。在光电转换层120的上表面,对置电极121、缓冲层4及密封层5依次层叠。在密封层5的上表面,层叠有与各像素100对应的透射波段的滤色器122。进而,在滤色器122的上表面,隔着平坦化层6形成有与像素电极102对应的微透镜123。

[0135] 在相邻的像素电极102与屏蔽电极104之间,插入有布线层3的构成层3e。

[0136] 光电转换层120是由与接受的光的强度相应地生成信号电荷的光电转换材料构成的层。也就是说,光电转换层120将光转换为信号电荷。光电转换层120被像素电极102及屏蔽电极104与对置电极121夹持。光电转换材料例如是有机半导体材料,包含p型有机半导体及n型有机半导体中的至少一方。光电转换层120例如在像素阵列30中共通地形成,且膜厚是均一的。

[0137] 对置电极121是与像素电极102及屏蔽电极104对置的电极。

[0138] 在本实施方式中,对置电极121被配置在摄像装置1的供光入射一侧。对置电极121也可以为了使光向光电转换层120入射而具有透光性。作为对置电极121的材料,例如也可以使用ITO(氧化铟锡(Indium Tin Oxide))或者IZO(氧化铟锌(Indium Zinc Oxide))等透明氧化物导电材料。

[0139] 如图3A、图3B及图4所示,在像素电极102的下方,配置用于与电荷积蓄节点FD1电连接的像素接点105。像素接点105与像素电极102的下表面连接。像素电极102经由像素接点105与FD布线110连接。

[0140] 在屏蔽电极104的下方,配置有屏蔽接点106。屏蔽接点106与屏蔽电极104的下表面连接。屏蔽电极104在与多个像素100对应的多个像素区域各自中经由屏蔽接点106与屏蔽布线107连接。屏蔽布线107在平面图中与屏蔽电极104在至少一部分上重叠。

[0141] 像素电极102以间距pitch_p的间隔形成正方格子并以阵列状排列。

[0142] FD布线110及屏蔽布线107被嵌入至相同的构成层3d而设置。屏蔽布线107在布线层3中位于与FD布线110相同的高度。在本说明书中,“高度(水平、level)”意味着以半导体基板2的上表面为基准的高度。例如,设置有布线的多个构成层3a至3e的距半导体基板2的

上表面的高度对应于高度(水平、level)。例如,被嵌入至相同的构成层而设置的布线等可以说位于相同的高度。

[0143] 屏蔽布线107被配置在FD布线110的周围,在间距pitch__p的范围内沿纵向及横向连接。也就是说,屏蔽布线107在平面图中是纵向及横向的间隔为间距pitch__p的格子状。在本实施方式中,纵向是Y轴方向,横向是X轴方向。另外,纵向是像素阵列30的列方向,横向是像素阵列30的行方向。

[0144] 第1布线包括具有网眼形状的网格构造部。网格构造部在平面图中包括多个开口部71。网格构造部在平面图中与配置有像素阵列30的区域重叠。在本实施方式中,网格构造部由屏蔽布线107构成。在图3B所示的例中,开口部71是由屏蔽布线107包围的正方形状的部分。在图3B中指示开口部71的箭头,指向开口部71的外周。在图3B以后的图中也是同样的,指示开口部的箭头指向开口部的外周。

[0145] 多个开口部71各自在平面图中与FD布线110重叠。多个开口部71的外周也可以说各自在平面图中包围FD布线110。在本实施方式中,在平面图中,1个开口部71与1个FD布线110重叠。另外,在平面图中,对于配置有1个FD布线110的像素区域配置有1个开口部71,多个开口部71中的各个开口部71与多个像素100中的各个像素100一对一地对应。与某像素100对应的开口部71,意味着与连接至某像素100的像素电极102的第2布线重叠的开口部71。此外,网格构造部也可以包括多个开口部71以外的与第2布线不重叠的开口部。

[0146] 如图3C及图4所示,信号线109及FD布线110a被嵌入至相同的构成层3c而设置。FD布线110a经由像素接点105a与FD布线110连接。

[0147] 信号线109沿纵向延伸。布线层3包括多个信号线109,多个信号线109相互平行。信号线109例如是图2所示的垂直信号线208或者反馈线209的至少一部分。例如,在经过像素区域101的2个信号线109之中,一方是垂直信号线208的至少一部分,另一方是反馈线209的至少一部分。信号线109例如连接至与信号线109所经过的像素区域对应的像素100。在本实施方式中,经过像素区域101的信号线109是第1信号线的一例。另外,与像素区域101对应的像素100是第1像素的一例。

[0148] 信号线109及FD布线110a在布线层3中位于相同的高度。另外,构成网格构造部的屏蔽布线107在布线层3中位于比信号线109及FD布线110a靠上方的高度。由此,屏蔽布线107与屏蔽电极104的连接紧凑地完成,因此能够提高比屏蔽布线107靠下侧的布线布局的自由度。

[0149] 如上,在本实施方式中,屏蔽布线107被配置在FD布线110的周围,由屏蔽布线107形成的多个开口部71各自与FD布线110重叠。像这样,通过屏蔽布线107存在于相邻像素的FD布线110之间,能够抑制相邻像素间的FD布线110的耦合,并抑制电混色。另外,通过屏蔽电极104与由于构成网格构造部而成为低电阻的屏蔽布线107连接,能够将像素阵列30内的屏蔽电极104及屏蔽布线107的电阻值抑制得低。结果,能够抑制由于屏蔽电极104及屏蔽布线107与信号线109的耦合等引起的阴影等,能够得到好的暗时特性。具体而言,通过使屏蔽电极104及屏蔽布线107的电阻值变低,即使在由于与信号线109的耦合而造成信号线109的电位的振幅向屏蔽电极104及屏蔽布线107传播的情况下,屏蔽电极104及屏蔽布线107中的电位的变动的返回也变快。因此,抑制了由于屏蔽电极104及屏蔽布线107中的电位的变动向像素电极102及FD布线110传播而产生的阴影。如上,根据本实施方式,能够实现减小噪声

的摄像装置1。

[0150] [变形例1]

[0151] 接下来,说明实施方式1的变形例1所涉及的摄像装置。此外,在以下的变形例1的说明中,以与实施方式1的区别点为中心进行说明,省略或者简化共通点的说明。另外,关于以下说明的变形例2以后的变形例也是同样的,在各变形例的说明中,以与实施方式1及各变形例的区别点为中心进行说明,省略或者简化共通点的说明。

[0152] 图5A是表示本变形例所涉及的像素100的电极的布局的平面图。图5B及图5C是表示本变形例所涉及的像素100的布线的布局的平面图。在图5A至图5C中,表示了在平面图中观察与4个像素100对应的区域的电极或者布线的情况下的图。图6是表示本变形例所涉及的像素100的构造的截面图。图6表现图5A至图5C的VI-VI线处的截面。在图6中,主要表示与1个像素100对应的区域的截面。

[0153] 另外,图5A是在平面图中观察布线层3(具体是布线层3的构成层3e)上配置的电极的情况下的图。图5B是在平面图中观察布线层3的构成层3d上配置的布线的情况下的图。图5C是在平面图中观察布线层3的构成层3c上配置的布线的图。

[0154] 如图5A至图6所示,本变形例与实施方式1相比,主要差异在于,布线层3还包括屏蔽布线107a及屏蔽接点106a。

[0155] 如图5C及图6所示,信号线109、FD布线110a及屏蔽布线107a被嵌入至相同的构成层3c而设置。屏蔽布线107a经由屏蔽接点106a与屏蔽布线107连接。屏蔽布线107与屏蔽布线107a也连接,由此能够进一步降低像素阵列30内的屏蔽电极104、屏蔽布线107及屏蔽布线107a的电阻值。在本变形例中,包括屏蔽接点106、屏蔽布线107、屏蔽接点106a及屏蔽布线107a的布线是与屏蔽电极104连接的第1布线的一例。

[0156] 信号线109、FD布线110a及屏蔽布线107a在布线层3中位于相同的高度。另外,构成网格构造部的屏蔽布线107在布线层3中位于比信号线109、FD布线110a及屏蔽布线107a靠上方的高度。

[0157] 屏蔽布线107a位于连接至像素区域101所对应的像素100的信号线109、与连接至与像素区域101相邻的像素区域101a所对应的像素100的信号线109之间。由此,屏蔽布线107a能够抑制上述2个信号线109彼此的耦合。由此,能够抑制噪声并得到好的暗时特性。在本变形例中,经过像素区域101a的信号线109是第2信号线的一例。另外,与像素区域101a对应的像素100是第2像素的一例。另外,被配置在上述2个信号线109之间的屏蔽布线107a是第1部分的一例。

[0158] 另外,屏蔽布线107a在各像素区域中位于FD布线110a与信号线109之间。由此,屏蔽布线107a能够抑制FD布线110a与信号线109之间的耦合。由此,能够抑制噪声并得到好的暗时特性。在本变形例中,在像素区域101中位于FD布线110a与信号线109之间的屏蔽布线107a是第2部分的一例。

[0159] [变形例2]

[0160] 接下来,说明实施方式1的变形例2所涉及的摄像装置。

[0161] 图7A是表示本变形例所涉及的像素100的电极的布局的平面图。图7B及图7C是表示本变形例所涉及的像素100的布线的布局的平面图。在图7A至图7C中,表示了在平面图中观察与4个像素100对应的区域的电极或者布线的情况下的图。另外,图7A是在平面图中观

察布线层3(具体是布线层3的构成层3e)上配置的电极的情况下的图。图7B是在平面图中观察布线层3的构成层3d上配置的布线的情况下的图。图7C是在平面图中观察布线层3的构成层3c上配置的布线的图。另外,在图7B中,由虚线表示在屏蔽布线107b的下方配置的屏蔽布线107d。

[0162] 如图7A至图7C所示,本变形例与实施方式1相比,布线层3中的构成层3d及构成层3c上的布线布局不同。在本变形例中,布线层3包括像素接点105、FD布线110、像素接点105a、FD布线110a、屏蔽接点106、屏蔽布线107b、屏蔽布线107c、屏蔽接点106a、屏蔽布线107d、信号线109、信号线109a及信号线接点119。

[0163] 如图7B所示,信号线109、FD布线110、屏蔽布线107b及屏蔽布线107c被嵌入至相同的构成层3d而设置。另外,如图7C所示,信号线109a、FD布线110a及屏蔽布线107d被嵌入至相同的构成层3c而设置。

[0164] 屏蔽布线107b及屏蔽布线107c各自经由屏蔽接点106与屏蔽电极104连接。屏蔽布线107b及屏蔽布线107c各自经由屏蔽接点106a与屏蔽布线107d连接。屏蔽布线107c在与其他布线不接触的范围内沿横向延伸。屏蔽布线107b沿纵向延伸。屏蔽布线107b例如以上述的间距pitch_p的间隔配置。

[0165] 屏蔽布线107d沿横向延伸。屏蔽布线107d例如以上述的间距pitch_p的间隔配置。在本变形例中,包括屏蔽接点106、屏蔽布线107b、屏蔽布线107c、屏蔽接点106a及屏蔽布线107d的布线是与屏蔽电极104连接的第1布线的一例。

[0166] 如图7B所示,第1布线包括具有网眼形状的网格构造部。网格构造部在平面图中包括多个开口部71a。在本变形例中,网格构造部由屏蔽布线107b、屏蔽接点106a及屏蔽布线107d构成。多个开口部71a各自在平面图中与FD布线110及FD布线110a重叠。在本变形例中,1个开口部71a与1个FD布线110及1个FD布线110a重叠。另外,对于1个像素区域配置有1个开口部71a,多个开口部71a中的各个开口部71a与多个像素100中的各个像素100一对一地对应。像这样,通过开口部71a与FD布线110及FD布线110a重叠,网格构造部能够抑制相邻像素间的FD布线110及FD布线110a的耦合,并抑制电混色。例如,如图7C所示,在像素区域101中配置的FD布线110a与在像素区域101b中配置的FD布线110a之间,配置有屏蔽布线107d,因此能够抑制上述2个FD布线110a彼此的耦合。另外,通过屏蔽电极104与构成网格构造部的屏蔽布线107b及屏蔽布线107d连接,能够将像素阵列30内的屏蔽电极104、屏蔽布线107b及屏蔽布线107d的电阻值抑制得低。另外,例如,如图7B所示,在像素区域101中配置的FD布线110与在像素区域101b中配置的FD布线110之间,配置有屏蔽布线107c,因此能够抑制上述2个FD布线110彼此的耦合。

[0167] 另外,在本变形例中,作为网格构造部的一部分的屏蔽布线107b与作为网格构造部的其他一部分的屏蔽布线107d,在布线层3中位于不同的高度。由此,网格构造部跨多个高度而形成,因此能够提高布线层3中的多个高度各自上的布线的布局的自由度。

[0168] 另外,如图7B所示,作为网格构造部的一部分的屏蔽布线107b在布线层3中位于与信号线109相同的高度。屏蔽布线107b位于相互相邻的连接至与像素区域101对应的像素100的信号线109与连接至与像素区域101a对应的像素100的信号线109之间。由此,屏蔽布线107b能够抑制上述2个信号线109彼此的耦合。在本变形例中,被配置在上述2个信号线109之间的屏蔽布线107b是第1部分的一例。

[0169] 如图7C所示,信号线109a经由信号线接点119与信号线109连接。由此,能够降低信号线109及信号线109a的电阻。结果,能够提高信号的响应性以及减小噪声。

[0170] 另外,作为网格构造部的一部分的屏蔽布线107d在布线层3中位于比信号线109靠下方的高度。由此,信号线109被配置在比屏蔽布线107d靠上方,因此半导体基板2与信号线109的距离变长。因此,能够减小信号线109的电位的变动对被设置于半导体基板2的晶体管等电路造成的影响,能够减小噪声。

[0171] [变形例3]

[0172] 接下来,说明实施方式1的变形例3所涉及的摄像装置。

[0173] 图8A是表示本变形例所涉及的像素100的电极的布局的平面图。图8B及图8C是表示本变形例所涉及的像素100的布线的布局的平面图。在图8A至图8C中,表示了在平面图中观察与4个像素100对应的区域的电极或者布线的情况下的图。另外,图8A是在平面图中观察布线层3(具体是布线层3的构成层3e)上配置的电极的情况下的图。图8B是在平面图中观察布线层3的构成层3d上配置的布线的情况下的图。图8C是在平面图中观察布线层3的构成层3c上配置的布线的图。另外,在图8B中,由虚线表示在屏蔽布线107b的下方配置的屏蔽布线107d。

[0174] 如图8A至图8C所示,本变形例与实施方式1的变形例2的主要差异在于,布线层3包括信号线114来替代信号线109a。

[0175] 如图8C所示,信号线114、FD布线110a及屏蔽布线107d被嵌入至相同的构成层3c。

[0176] 信号线114沿横向延伸。布线层3包括多个信号线114,多个信号线114相互平行。信号线114例如是图2所示的地址控制线SEL、复位控制线RST或者反馈控制线FB的至少一部分。信号线114例如连接至与信号线114所经过的像素区域对应的像素100。

[0177] 作为网格构造部的一部分的屏蔽布线107d在布线层3中位于与信号线114相同的高度。像这样,在本变形例中,在与屏蔽布线107d相同的高度形成有信号线114,能够将信号线114用于从行扫描电路310施加控制信号。

[0178] 屏蔽布线107d位于连接至像素区域101所对应的像素100的信号线114、与连接至与像素区域101相邻的像素区域101b所对应的像素100的信号线114之间。由此,屏蔽布线107d能够抑制上述2个信号线114彼此的耦合。由此,能够抑制噪声并得到好的暗时特性。在本变形例中,经过像素区域101的信号线114是第1信号线的一例,经过像素区域101b的信号线114是第2信号线的一例。另外,与像素区域101b对应的像素100是第2像素的一例。另外,被配置在上述2个信号线114之间的屏蔽布线107d是第1部分的一例。

[0179] [变形例4]

[0180] 接下来,说明实施方式1的变形例4所涉及的摄像装置。

[0181] 图9A是表示本变形例所涉及的像素100的电极的布局的平面图。图9B至图9D是表示本变形例所涉及的像素100的布线的布局的平面图。在图9A至图9D中,表示了在平面图中观察与4个像素100对应的区域的电极或者布线的情况下的图。另外,图9A是在平面图中观察布线层3(具体是布线层3的构成层3e)上配置的电极的情况下的图。图9B是在平面图中观察布线层3的构成层3d上配置的布线的情况下的图。图9C是在平面图中观察布线层3的构成层3c上配置的布线的图。图9D是在平面图中观察布线层3的构成层3b上配置的布线的图。另外,在图9B中,由虚线表示在屏蔽布线107b的下方配置的屏蔽布线107f。

[0182] 如图9A至图9D所示,本变形例与实施方式1的变形例2的主要差异在于,布线层3包括屏蔽布线107f来替代屏蔽布线107d。在本变形例中,布线层3包括像素接点105、FD布线110、像素接点105a、FD布线110a、像素接点105b、FD布线110b、屏蔽接点106、屏蔽布线107b、屏蔽布线107c、屏蔽接点106a、屏蔽布线107e、屏蔽接点106b、屏蔽布线107f及信号线109。

[0183] 如图9C所示,信号线109、FD布线110a及屏蔽布线107e被嵌入至相同的构成层3c而设置。另外,如图9D所示,FD布线110b及屏蔽布线107f被嵌入至相同的构成层3b而设置。

[0184] FD布线110b经由像素接点105b与FD布线110a连接。在本变形例中,包括像素接点105、FD布线110、像素接点105a、FD布线110a、像素接点105b及FD布线110b的布线是与像素电极102连接的第2布线的一例。

[0185] 屏蔽布线107e经由屏蔽接点106a与屏蔽布线107b或者屏蔽布线107c连接。屏蔽布线107e在与其他布线不接触的范围内沿横向延伸。屏蔽布线107f经由屏蔽接点106b与屏蔽布线107e连接。屏蔽布线107f沿横向延伸。屏蔽布线107f例如以上述的间距pitch_p的间隔配置。在本变形例中,包括屏蔽接点106、屏蔽布线107b、屏蔽布线107c、屏蔽接点106a、屏蔽布线107e、屏蔽接点106b及屏蔽布线107f的布线是与屏蔽电极104连接的第1布线的一例。

[0186] 如图9B所示,第1布线包括具有网眼形状的网格构造部。网格构造部在平面图中包括多个开口部71b。在本变形例中,网格构造部由屏蔽布线107b、屏蔽布线107c、屏蔽接点106a、屏蔽布线107e、屏蔽接点106b及屏蔽布线107f构成。在本变形例中,网格构造部跨3个构成层3b至3d形成。多个开口部71b各自在平面图中与FD布线110及FD布线110b重叠。在本变形例中,1个开口部71b与1个FD布线110及FD布线110b重叠。另外,对于1个像素区域配置有1个开口部71b,多个开口部71b中的各个开口部71b与多个像素100中的各个像素100一对一地对应。像这样,通过开口部71b与FD布线110及FD布线110b重叠,网格构造部能够抑制相邻像素间的FD布线110及FD布线110b的耦合,并抑制电混色。例如,如图9D所示,在像素区域101中配置的FD布线110b与在像素区域101b中配置的FD布线110b之间,配置有屏蔽布线107f,因此能够抑制上述2个FD布线110b彼此的耦合。另外,例如,如图9B所示,在像素区域101中配置的FD布线110与在像素区域101b中配置的FD布线110之间,配置有屏蔽布线107c,因此能够抑制上述2个FD布线110彼此的耦合。另外,例如,如图9C所示,在像素区域101中配置的FD布线110a与在像素区域101b中配置的FD布线110a之间,配置有屏蔽布线107e,因此能够抑制上述2个FD布线110a彼此的耦合。

[0187] 另外,通过屏蔽电极104与构成网格构造部的屏蔽布线107b及屏蔽布线107f连接,能够将像素阵列30内的屏蔽电极104、屏蔽布线107b及屏蔽布线107f的电阻值抑制得低。

[0188] 另外,如图9B所示,作为网格构造部的一部分的屏蔽布线107b在布线层3中与信号线109位于相同的高度。屏蔽布线107b位于相互相邻的连接至与像素区域101对应的像素100的信号线109与连接至与像素区域101a对应的像素100的信号线109之间。由此,屏蔽布线107b能够抑制上述2个信号线109彼此的耦合。在本变形例中,被配置在上述2个信号线109之间的屏蔽布线107b是第1部分的一例。

[0189] 在本变形例中,在构成层3d及构成层3c各自中设置有信号线109。在构成层3d中设置的信号线109与在构成层3c中设置的信号线109既可以是被施加相互不同的信号的信号线,也可以通过未图示的接点等被连接。

[0190] [变形例5]

[0191] 接下来,说明实施方式1的变形例5所涉及的摄像装置。

[0192] 图10A是表示本变形例所涉及的像素100的电极的布局的平面图。图10B及图10C是表示本变形例所涉及的像素100的布线的布局的平面图。在图10A至图10C中,表示了在平面图中观察与4个像素100对应的区域的电极或者布线的情况下的图。另外,图10A是在平面图中观察布线层3(具体是布线层3的构成层3e)上配置的电极的情况下的图。图10B是在平面图中观察布线层3的构成层3d上配置的布线的情况下的图。图10C是在平面图中观察布线层3的构成层3c上配置的布线的图。

[0193] 如图10A至图10C所示,本变形例与实施方式1相比,布线层3中的构成层3d及构成层3c上的布线布局不同。在本变形例中,布线层3包括像素接点105、FD布线110、像素接点105a、FD布线110a、屏蔽接点106、屏蔽布线107g、屏蔽布线107h、信号线109、信号线109b及信号线接点119。

[0194] 如图10B所示,信号线109b、FD布线110、屏蔽布线107g及屏蔽布线107h被嵌入至相同的构成层3d而设置。另外,如图10C所示,信号线109及FD布线110a被嵌入至相同的构成层3c而设置。

[0195] 屏蔽布线107g及屏蔽布线107h各自经由屏蔽接点106与屏蔽电极104连接。在本变形例中,包括屏蔽接点106、屏蔽布线107g及屏蔽布线107h的布线是与屏蔽电极104连接的第1布线的一例。

[0196] 屏蔽布线107g被配置在FD布线110的周围,以间距pitch_p的2倍沿纵向且以间距pitch_p沿横向连接。也就是说,屏蔽布线107g在平面图中,是纵向的间隔为间距pitch_p的2倍且横向的间隔为间距pitch_p的格子状。

[0197] 第1布线包括具有网眼形状的网格构造部。网格构造部在平面图中包括多个开口部71c。在本实施方式中,网格构造部由屏蔽布线107g构成。多个开口部71c各自在平面图中与FD布线110重叠。在本实施方式中,在平面图中,1个开口部71c与2个FD布线110重叠。另外,对于与由多个像素100之中的2个以上的像素100构成的像素块对应的2个以上的像素区域(例如像素区域101及101a),配置有1个开口部71c。在本变形例中,多个像素100包括多个像素块,多个开口部71c中的各个开口部71c与多个像素块中的各个像素块一对一地对应。与某像素块对应的开口部71c,意味着与连接至某像素块的2个以上的像素100各自的像素电极102的第2布线重叠的开口部71c。

[0198] 像这样,在本变形例中,屏蔽布线107g被配置在2个FD布线110的周围,由屏蔽布线107g形成的多个开口部71c各自与2个FD布线110重叠。像这样,通过屏蔽布线107g存在于由沿纵向排列的2个像素100构成的相邻像素块之间、以及沿横向排列的相邻像素间的FD布线110之间,能够抑制该相邻像素块间及该相邻像素间的FD布线110的耦合,并抑制电混色。另外,通过屏蔽电极104与构成网格构造部的屏蔽布线107g连接,能够将像素阵列30内的屏蔽电极104及屏蔽布线107g的电阻值抑制得低。结果,能够抑制由于屏蔽布线107g与信号线109的耦合等而引起的阴影等,能够得到好的暗时特性。

[0199] 屏蔽布线107h位于与开口部71c重叠的2个FD布线110a之间。由此,能够抑制与开口部71c重叠的2个FD布线110a间的耦合。此外,在与开口部71c重叠的2个FD布线110之间,也可以替代屏蔽布线107h,而配置其他信号线、电源线或者地线。

[0200] 信号线109b与开口部71c重叠,且被形成开口部71c的屏蔽布线107g包围。信号线109b跨沿纵向相邻的2个像素区域(例如像素区域101及101a)沿纵向延伸。信号线109b经由信号线接点119与信号线109连接。由此,能够降低与跨沿纵向相邻的2个像素区域延伸的信号线109b连接的信号线109的电阻。另外,在屏蔽布线107g,形成有与相邻的2个像素区域对应的开口部71c,由此布线布局的自由度变高,例如能够容易地形成用于降低信号线109的电阻的信号线109b。

[0201] 此外,在本变形例中,网格构造部(屏蔽布线107g)的开口部71c被配置为对应于由沿纵向相邻的2个像素100构成的像素块,但构成与开口部71c对应的像素块的像素100的数量也可以为3个以上。另外,像素块也可以是由沿横向相邻的像素100构成的像素块。另外,具有与像素块对应的开口部的网格构造部也可以如实施方式1的变形例2等那样,包括被配置于多个构成层的多个屏蔽布线。

[0202] [变形例6]

[0203] 接下来,说明实施方式1的变形例6所涉及的摄像装置。

[0204] 图11A是表示本变形例所涉及的像素100的电极的布局的平面图。图11B及图11C是表示本变形例所涉及的像素100的布线的布局的平面图。在图11A至图11C中,表示了在平面图中观察与4个像素100对应的区域的电极或者布线的情况下的图。另外,图11A是在平面图中观察布线层3(具体是布线层3的构成层3e)上配置的电极的情况下的图。图11B是在平面图中观察布线层3的构成层3d上配置的布线的情况下的图。图11C是在平面图中观察布线层3的构成层3c上配置的布线的图。另外,在图11B中,由虚线表示在屏蔽布线107b的下方配置的屏蔽布线107i。

[0205] 如图11A至图11C所示,本变形例与实施方式1的变形例2的主要差异在于,布线层3包括屏蔽布线107i来替代屏蔽布线107d。

[0206] 如图11C所示,FD布线110a及屏蔽布线107i被嵌入至相同的构成层3c。

[0207] 屏蔽布线107i经由屏蔽接点106a与屏蔽布线107b及屏蔽布线107c连接。屏蔽布线107i被配置在FD布线110a的周围,在间距pitch_p的范围内沿纵向及横向连接。也就是说,屏蔽布线107i在平面图中是纵向及横向的间隔为间距pitch_p的格子状。在本变形例中,包括屏蔽接点106、屏蔽布线107b、屏蔽布线107c、屏蔽接点106a及屏蔽布线107i的布线是与屏蔽电极104连接的第1布线的一例。

[0208] 如图11C所示,第1布线包括具有网眼形状的网格构造部。网格构造部在平面图中包括多个开口部71d。在本实施方式中,网格构造部由屏蔽布线107i构成。多个开口部71d各自在平面图中与FD布线110a重叠。在本实施方式中,在平面图中,1个开口部71d与1个FD布线110a重叠。另外,对于1个像素区域配置有1个开口部71d,多个开口部71d中的各个开口部71d与多个像素100中的各个像素100一对一地对应。像这样,屏蔽布线107i被配置在FD布线110a的周围,由屏蔽布线107i形成的多个开口部71d各自与FD布线110a重叠。像这样,通过屏蔽布线107i存在于相邻像素的FD布线110a之间,能够抑制相邻像素间的FD布线110a的耦合,并抑制电混色。另外,通过屏蔽电极104与屏蔽布线107b以及构成网格构造部的屏蔽布线107i连接,能够将像素阵列30内的屏蔽电极104、屏蔽布线107b及屏蔽布线107i的电阻值抑制得低。

[0209] 另外,构成网格构造部的屏蔽布线107i在布线层3中位于比信号线109靠下方的高

度。由此,信号线109被配置在比屏蔽布线107i靠上方,因此半导体基板2与信号线109的距离变长。因此,能够减小信号线109的电位的变动对被设置于半导体基板2的晶体管等电路造成的影响,能够减小噪声。

[0210] (实施方式2)

[0211] 接下来,说明实施方式2所涉及的摄像装置。此外,在以下的实施方式2的说明中,以与实施方式1及实施方式1的各变形例的区别点为中心进行说明,省略或者简化共通点的说明。另外,关于以下说明的实施方式2的变形例1以后的变形例也是同样的,在各变形例的说明中,以与实施方式1、实施方式2及各变形例的区别点为中心进行说明,省略或者简化共通点的说明。

[0212] 本实施方式所涉及的摄像装置具有替代上述的摄像装置1中的由像素100构成的单位像素而具备由以下说明的第1摄像单元100a及第2摄像单元100b构成的单位像素10的构成。也就是说,本实施方式所涉及的摄像装置具备包括多个单位像素10的像素阵列,该多个单位像素10在半导体基板上以1维或者2维排列。

[0213] 图12是表示本实施方式所涉及的单位像素10的电路结构例的图。单位像素10在同一单位像素10内具有灵敏度高的第1摄像单元100a以及灵敏度比第1摄像单元100a低的第2摄像单元100b。在本实施方式中,第1摄像单元100a是第1像素的一例,第2摄像单元100b是第2像素的一例。第1摄像单元100a相对于第2摄像单元100b的灵敏度比大于1。灵敏度比例如是在相同强度的光以相同时间入射至第1摄像单元100a及第2摄像单元100b的情况下,第1摄像单元100a相对于第2摄像单元100b而言的信号电荷的积蓄量相对于信号电荷的饱和容量的比例之比。

[0214] 第1摄像单元100a为了承担照度低的情况下的摄像而作为低噪声单元发挥功能。如下所述,通过使用第1摄像单元100a及第2摄像单元100b,易于实现动态范围更宽的场景的摄影。第1摄像单元100a构成为具有光电转换部130a来替代图2所示的实施方式1所涉及的像素100的光电转换部130。另外,光电转换部130a构成为具备第1像素电极102a来替代光电转换部130的像素电极102。像素电极102与第1像素电极102a是平面形状不同的像素电极。

[0215] 第1像素电极102a及后述的第2像素电极103例如按多个单位像素10中的每个单位像素10设置。例如,相互相邻的2个单位像素10通过在它们之间设置间隙从而被电分离。另外,第1像素电极102a与第2像素电极102b也被电分离。在本实施方式中,对置电极121及光电转换层120既可以对于全部多个单位像素10中的各个单位像素10共通地形成,也可以按由若干个单位像素10构成的每个单位像素块形成。另外,对置电极121及光电转换层120既可以对于第1摄像单元100a及第2摄像单元100b共通地形成,也可以对于第1摄像单元100a及第2摄像单元100b各自个别地形成。

[0216] 在本实施方式中,作为向对置电极121施加的电压Vp,既可以向全部多个单位像素10中的各个单位像素10供给共通的电压,例如也可以向由若干个单位像素10构成的每个单位像素块供给不同的电压。通过向每个单位像素块供给不同的电压,能够使各单位像素的灵敏度可变。另外,作为电压Vp,既可以对于第1摄像单元100a及第2摄像单元100b供给共通的电压,也可以对于第1摄像单元100a及第2摄像单元100b各自供给不同的电压。

[0217] 第2摄像单元100b作为高饱和单元发挥功能。高饱和意味着积蓄的信号电荷不容

易饱和。也就是说,第2摄像单元100b通过捕集的信号电荷的量少以及能够积蓄信号电荷的容量大之中的至少一方的作用,与第1摄像单元100a相比,积蓄的电荷不容易饱和。因此,第2摄像单元100b的灵敏度比第1摄像单元100a的灵敏度低。

[0218] 第2摄像单元100b具有将光转换为电信号的光电转换部130b、以及与光电转换部130b电连接且读出由光电转换部130b生成的电信号的检测电路210。关于第2摄像单元100b的各构成要素之中的与第1摄像单元100a具有同样的功能的构成要素,省略或者简化说明。

[0219] 光电转换部130b例如与光电转换部130a同样被设置在半导体基板等基板上。光电转换部130b具有第2像素电极103、对置电极121、以及被配置在第2像素电极103与对置电极121之间的光电转换层120。第2像素电极103与电荷积蓄节点FD2连接。

[0220] 检测电路210具有放大晶体管205b、选择晶体管206b和复位晶体管207b。

[0221] 放大晶体管205b的栅极与光电转换部130b连接。放大晶体管205b放大由光电转换部130b生成的电信号。

[0222] 选择晶体管206b的源极及漏极中的一方与放大晶体管205b的源极及漏极中的一方连接。选择晶体管206b的源极及漏极中的另一方与垂直信号线208b连接。垂直信号线208b与列电路312连接。通过具有与行扫描电路310的连接的地址控制线SELB的电压,对选择晶体管206b的栅极进行控制。选择晶体管206b选择性地输出由放大晶体管205b放大后的信号。

[0223] 复位晶体管207b的源极及漏极中的一方与电荷积蓄节点FD2连接。复位晶体管207b的源极及漏极中的另一方与复位线209b连接。通过具有与行扫描电路310的连接的复位控制线RSTB的电压,对复位晶体管207b的栅极进行控制。复位晶体管207b将与光电转换部130b的第2像素电极103连接的电荷积蓄节点FD2复位(换言之,初始化)。

[0224] 第1摄像单元100a承担暗场景的摄像,因此需要低噪声特性,但不特别需要高饱和特性。另一方面,第2摄像单元100b承担明亮的场景的摄像,因此需要高饱和特性。但是,在明亮的场景的摄像中,向光电转换部130b入射的光量多,由散粒噪声决定摄像特性,因此第2摄像单元100b不特别需要低噪声特性。

[0225] 第1摄像单元100a具备反馈电路,因此能够大幅抑制在将复位晶体管202关断时产生的噪音。

[0226] 通过在第2摄像单元100b中与第1摄像单元100a同样地设置反相放大器并将反相放大器的输出与复位线209b连接等,在第2摄像单元100b中也包括反馈电路,也能够减小第2摄像单元100b的噪声。

[0227] 此外,单位像素10的电路结构不特别限定。单位像素10的电路结构例如也可以是如专利文献2所示的上述的电路结构以外的电路结构。

[0228] 接下来,说明单位像素10的电极及布线等的布局。图13A是表示本实施方式所涉及的单位像素10的电极的布局的平面图。图13B是表示本实施方式所涉及的单位像素10的布线的布局的平面图。在图13A及图13B中,表示了在平面图中观察与4个单位像素10对应的区域的电极或者布线的情况下的图。图14是表示本实施方式所涉及的单位像素10的构造的截面图。

[0229] 图14表现图13A及图13B的XIV-XIV线处的截面。在图14中,主要表示了与1个单位像素10对应的区域的截面。另外,图13A是在平面图中观察布线层3(具体是布线层3的构成

层3e)上配置的电极的情况下的图。另外,图13B是在平面图中观察布线层3的构成层3d上配置的布线的情况下的图。

[0230] 图13A所示的由二点划线包围的区域,是对应于图12所示的第1摄像单元100a及第2摄像单元100b的像素区域。在以后的表示本实施方式所涉及的电极的布局的图中,也由二点划线包围表示像素区域。具体而言,第1像素区域151a是对应于第1摄像单元100a的区域,第2像素区域151b是对应于第2摄像单元100b的像素区域。在第1像素区域151a中,设置有第1像素电极102a和屏蔽电极104a。在第2像素区域151b中,设置有第2像素电极103和屏蔽电极104a。

[0231] 在第1像素区域151a中设置的第1像素电极102a以及第2像素区域151b中设置的第2像素电极103的周围,配置有共通的屏蔽电极104a。屏蔽电极104a被第1摄像单元100a和第2摄像单元100b共通地包含。屏蔽电极104a包围第1像素电极102a及第2像素电极103。

[0232] 屏蔽电极104a位于第1像素电极102a与第2像素电极103之间。另外,屏蔽电极104a也被配置在相互相邻的第1像素电极102a之间以及相互相邻的第2像素电极103之间。屏蔽电极104a被相互相邻的单位像素10共通地包含。屏蔽电极104a既可以对于全部单位像素10中的各个单位像素10共通地形成,也可以按由若干个单位像素10构成的每个单位像素块形成。

[0233] 屏蔽电极104a例如与省略图示的电压供给电路或者地等连接,且被保持为规定的电位。屏蔽电极104a、第1像素电极102a、第2像素电极103被电分离。

[0234] 如图13A所示,通过在第1像素电极102a与第2像素电极103之间配置屏蔽电极104a,能够抑制第1像素电极102a与第2像素电极103之间的耦合,并抑制电混色。

[0235] 如图13A至图14所示,本实施方式所涉及的摄像装置具备:半导体基板2;布线层3,位于半导体基板2上;多个第1像素电极102a,位于布线层3上;多个第2像素电极103,位于布线层3上;屏蔽电极104a,位于布线层3上;对置电极121,位于多个第1像素电极102a、多个第2像素电极103及屏蔽电极104a的上方;光电转换层120,位于多个第1像素电极102a、多个第2像素电极103及屏蔽电极104a与对置电极121之间;检测电路200,对第1像素电极102a的电位进行检测;以及检测电路210,对第2像素电极103的电位进行检测。另外,本实施方式所涉及的摄像装置具备缓冲层4、密封层5、滤色器122、平坦化层6和微透镜123a及123b。

[0236] 检测电路200及检测电路210跨半导体基板2与布线层3的界面设置。在图14中,图示了检测电路200的一部分的晶体管及检测电路210的一部分的晶体管。在布线层3的上表面,形成有第1像素电极102a、第2像素电极103及屏蔽电极104a。第1像素电极102a与对应的检测电路200经由像素接点105及FD布线110连接。第2像素电极103与对应的检测电路210经由像素接点115及FD布线116连接。第1像素电极102a、第2像素电极103及屏蔽电极104a是用于捕集由光电转换层120生成的电荷的电极。

[0237] 检测电路200与多个第1像素电极102a中的各个第1像素电极102a对应设置。检测电路210与多个第2像素电极103中的各个第2像素电极103对应设置。检测电路200及210检测由对应的第1像素电极102a及第2像素电极102b捕集的信号电荷,并输出与电荷相应的信号电压。

[0238] 第1像素电极102a、第2像素电极103及屏蔽电极104a各自例如由氮化钛(TiN)等金属材料构成。第1像素电极102a、第2像素电极103及屏蔽电极104a各自也可以由铜(Cu)、钨

(W)、钛(Ti)、钽(Ta)、铝(Al)或者它们的化合物构成。

[0239] 另外,多个第1像素电极102a、多个第2像素电极103及屏蔽电极104a各自的膜厚是均一的,而且上表面被平坦化。

[0240] 布线层3被形成在半导体基板2上,包括多个构成层3a至3e、像素接点105、FD布线110、像素接点115、FD布线116、屏蔽布线117、屏蔽接点106及屏蔽布线111。

[0241] 屏蔽布线117、屏蔽接点106、FD布线110、FD布线116、像素接点105及像素接点115例如通过将铜(Cu)、钨(W)、钛(Ti)、钽(Ta)、铝(Al)等导电性材料嵌入至布线层3而形成。构成屏蔽布线117、屏蔽接点106、FD布线110、FD布线116、像素接点105及像素接点115各自的材料的电阻率,例如比构成第1像素电极102a、第2像素电极103及屏蔽电极104a各自的材料的电阻率小。

[0242] 在配置有第1像素电极102a、第2像素电极102b及屏蔽电极104a的构成层3e的上表面,层叠有光电转换层120。在光电转换层120的上表面,对置电极121、缓冲层4及密封层5依次层叠。在密封层5的上表面,层叠有与各单位像素10对应的透射波段的滤色器122。进而,在滤色器122的上表面,隔着平坦化层6,与第1像素电极102a对应地形成有微透镜123a,与第2像素电极103对应地形成有微透镜123b。

[0243] 在相邻的第1像素电极102a与屏蔽电极104a之间以及第2像素电极103与屏蔽电极104a之间,插入有布线层3的构成层3e。

[0244] 光电转换层120被第1像素电极102a、第2像素电极103及屏蔽电极104a与对置电极121夹持。

[0245] 对置电极121是与第1像素电极102a、第2像素电极103及屏蔽电极104a对置的电极。

[0246] 如图13A、图13B及图14所示,在第1像素电极102a的下方,配置用于与电荷积蓄节点FD1电连接的像素接点105。像素接点105与第1像素电极102a的下表面连接。在第2像素电极103的下方,配置用于与电荷积蓄节点FD2电连接的像素接点115。第1像素电极102a以间距pitch_h的间隔形成正方格子并以阵列状排列。第2像素电极103以间距pitch_l的间隔形成正方格子并以阵列状排列。

[0247] 在平面图中,第1像素电极102a的面积比第2像素电极103的面积大。因此,第1像素电极102a比第2像素电极103易于捕集电荷。结果,与第1像素电极102a对应的第1摄像单元100a成为灵敏度比与第2像素电极103对应的第2摄像单元100b高的像素。

[0248] 间距pitch_h与间距pitch_l的长度例如相同。在该情况下,与第1像素电极102a对应的第1摄像单元100a的分辨率和与第2像素电极103对应的第2摄像单元100b的分辨率相同。

[0249] 第1像素电极102a经由像素接点105与FD布线110连接。第2像素电极103经由像素接点115与FD布线116连接。在本实施方式中,包括像素接点105、FD布线110的布线、以及包括像素接点115、FD布线116的布线各自是第2布线的一例。布线层3包括多个第2布线,多个第2布线中的各个第2布线与多个第1像素电极102a及多个第2像素电极103各自一对一地对应。在平面图中,FD布线116的面积例如比FD布线110的面积大。

[0250] 在屏蔽电极104a的下方,配置有屏蔽接点106。屏蔽接点106与屏蔽电极104a的下表面连接。屏蔽电极104a在与多个第1摄像单元100a及多个第2摄像单元100b对应的多个像

素区域各自中经由屏蔽接点106与屏蔽布线117连接。屏蔽布线117在平面图中与屏蔽电极104a在至少一部分上重叠。在本实施方式中,包括屏蔽接点106及屏蔽布线117的布线是与屏蔽电极104a连接的第1布线的一例。

[0251] FD布线110、FD布线116、屏蔽布线117及屏蔽布线111被嵌入至相同的构成层3d而设置。

[0252] 第1布线包括具有网眼形状的网格构造部。网格构造部在平面图中包括多个开口部171。在本实施方式中,网格构造部由屏蔽布线117构成。多个开口部171各自在平面图中与FD布线110及FD布线116重叠。在本实施方式中,在平面图中,1个开口部171与连接至1个单位像素10所对应的第1像素电极102a及第2像素电极103的1个FD布线110及1个FD布线116重叠。也就是说,多个开口部171中的各个开口部171与多个单位像素10中的各个单位像素10一对一地对应。单位像素10也可以说是由第1摄像单元100a和第2摄像单元100b构成的像素块,因此多个开口部171中的各个开口部171与多个像素块中的各个像素块一对一地对应。另外,1个开口部171与1个第1摄像单元100a及1个第2摄像单元100b双方对应。

[0253] 屏蔽布线111被配置在FD布线110与FD布线116之间。屏蔽布线111例如与省略图示的电压供给电路或者地等连接,且被保持为规定的电位。

[0254] 如上,在本实施方式中,被形成于屏蔽布线117的开口部171与FD布线110和FD布线116重叠。因此,与将第1像素电极102a与第2像素电极103之间完全划分的屏蔽电极104a不同,屏蔽布线117未被配置在FD布线110与FD布线116之间,而能够使FD布线116向比第2像素区域151b更大的范围延伸,提高向基底的连接自由度。另外,通过开口部171与FD布线110及FD布线116重叠,且屏蔽布线117将FD布线110和FD布线116包围,能够抑制相邻单位像素间的FD布线的耦合,并抑制电混色。

[0255] 另外,通过屏蔽布线111被配置在FD布线110与FD布线116之间,能够抑制FD布线110与FD布线116的耦合,并抑制第1摄像单元100a和第2摄像单元100b中的电混色。

[0256] 另外,通过屏蔽电极104a与构成网格构造部的屏蔽布线117连接,能够将像素阵列内的屏蔽电极104a及屏蔽布线117的电阻值抑制得低。结果,能够抑制由于耦合引起的阴影等,能够得到好的暗时特性。如上,根据本实施方式,能够实现减小噪声的摄像装置。

[0257] [变形例1]

[0258] 接下来,说明实施方式2的变形例1所涉及的摄像装置。

[0259] 图15A是表示本变形例所涉及的单位像素10的电极的布局的平面图。图15B是表示本变形例所涉及的单位像素10的布线的布局的平面图。在图15A及图15B中,表示了在平面图中观察与4个单位像素10对应的区域的电极或者布线的情况下的图。另外,图15A是在平面图中观察布线层3(具体是布线层3的构成层3e)上配置的电极的情况下的图。图15B是在平面图中观察布线层3的构成层3d上配置的布线的情况下的图。

[0260] 如图15A及图15B所示,本变形例与实施方式2的主要差异在于,布线层3不包括屏蔽布线111,而包括屏蔽布线117a来替代屏蔽布线117。在本变形例中,布线层3包括像素接点105、FD布线110、像素接点115、FD布线116、屏蔽接点106及屏蔽布线117a。

[0261] 如图15B所示,FD布线110、FD布线116及屏蔽布线117a被嵌入至相同的构成层3d而设置。

[0262] 屏蔽布线117a经由屏蔽接点106与屏蔽电极104a连接。在本变形例中,包括屏蔽布

线117a及屏蔽接点106的布线是与屏蔽电极104a连接的第1布线的一例。屏蔽布线117a被配置在相邻的FD布线110之间、相邻的FD布线116之间、以及相邻的FD布线110与FD布线116之间。

[0263] 第1布线包括具有网眼形状的网格构造部。网格构造部在平面图中包括多个开口部171a及多个开口部171b作为多个开口部。在本变形例中,网格构造部由屏蔽布线117a构成。多个开口部171a各自在平面图中与FD布线110重叠。在本变形例中,1个开口部171a与连接至第1像素电极102a的1个FD布线110重叠。也就是说,多个开口部171a中的各个开口部171a与多个第1摄像单元100a中的各个第1摄像单元100a一对一地对应。另外,多个开口部171b各自在平面图中与FD布线116重叠。在本变形例中,1个开口部171b与连接至第2像素电极103的1个FD布线116重叠。也就是说,多个开口部171b中的各个开口部171b与多个第2摄像单元100b中的各个第2摄像单元100b一对一地对应。像这样,通过开口部171a与FD布线110重叠,且开口部171b与FD布线116重叠,能够通过屏蔽布线117a抑制相邻像素间及相邻单位像素间的FD布线的耦合,并抑制电混色。

[0264] 另外,如图15A及图15B所示,在平面图中,第1像素电极102a的面积相对于第2像素电极103的面积之比,大于与第1摄像单元100a对应的开口部171a的面积相对于与第2摄像单元100b对应的开口部171b的面积之比。由此,与FD布线116重叠的开口部171b变大,因此在提高FD布线116向基底的连接自由度的状态下,不使用其他布线而由屏蔽布线117a包围FD布线116,能够抑制FD布线116与FD布线110的耦合,并抑制电混色。

[0265] 另外,通过屏蔽电极104a与构成网格构造部的屏蔽布线117a连接,能够将像素阵列内的屏蔽电极104a及屏蔽布线117a的电阻值抑制得低。

[0266] [变形例2]

[0267] 接下来,说明实施方式2的变形例2所涉及的摄像装置。

[0268] 图16A是表示本变形例所涉及的单位像素10的电极的布局的平面图。图16B是表示本变形例所涉及的单位像素10的布线的布局的平面图。在图16A及图16B中,表示了在平面图中观察与4个单位像素10对应的区域的电极或者布线的情况下的图。另外,图16A是在平面图中观察布线层3(具体是布线层3的构成层3e)上配置的电极的情况下的图。图16B是在平面图中观察布线层3的构成层3d上配置的布线的情况下的图。

[0269] 如图16A及图16B所示,本变形例与实施方式2的主要差异在于,布线层3不包括屏蔽布线111,而包括屏蔽布线117b来替代屏蔽布线117。在本变形例中,布线层3包括像素接点105、FD布线110、像素接点115、FD布线116、屏蔽接点106及屏蔽布线117b。

[0270] 如图16B所示,FD布线110、FD布线116及屏蔽布线117b被嵌入至相同的构成层3d而设置。

[0271] 屏蔽布线117b经由屏蔽接点106与屏蔽电极104a连接。在本变形例中,包括屏蔽布线117b及屏蔽接点106的布线是与屏蔽电极104a连接的第1布线的一例。屏蔽布线117b被配置在相邻的FD布线110之间、相邻的FD布线116之间、以及相邻的FD布线110与FD布线116之间。

[0272] 第1布线包括具有网眼形状的网格构造部。网格构造部在平面图中包括多个开口部171c及多个开口部171d作为多个开口部。在本变形例中,网格构造部由屏蔽布线117b构成。多个开口部171c各自在平面图中与FD布线110重叠。在本变形例中,1个开口部171c与连

接至第1像素电极102a的1个FD布线110重叠。也就是说,多个开口部171c中的各个开口部171c与多个第1摄像单元100a中的各个第1摄像单元100a一对一地对应。另外,多个开口部171d各自在平面图中与FD布线116重叠。在本变形例中,1个开口部171d与连接至第2像素电极103的1个FD布线116重叠。也就是说,多个开口部171d中的各个开口部171d与多个第2摄像单元100b中的各个第2摄像单元100b一对一地对应。像这样,通过开口部171c与FD布线110重叠,且开口部171d与FD布线116重叠,能够通过屏蔽布线117b抑制相邻像素间及相邻单位像素间的FD布线的耦合,并抑制电混色。

[0273] 另外,如图16A及图16B所示,在平面图中,与第2摄像单元100b对应的开口部171d的面积比与第1摄像单元100a对应的开口部171c的面积大。由此,与FD布线116重叠的开口部171d变大,因此在提高FD布线116向基底的连接自由度的状态下,不使用其他布线而由屏蔽布线117b包围FD布线116,能够抑制FD布线116与FD布线110的耦合,并抑制电混色。

[0274] 另外,通过屏蔽电极104a与构成网格构造部的屏蔽布线117b连接,能够将像素阵列内的屏蔽电极104a及屏蔽布线117b的电阻值抑制得低。

[0275] [变形例3]

[0276] 接下来,说明实施方式2的变形例3所涉及的摄像装置。

[0277] 图17A是表示本变形例所涉及的单位像素10的电极的布局的平面图。图17B是表示本变形例所涉及的单位像素10的布线的布局的平面图。在图17A及图17B中,表示了在平面图中观察与4个单位像素10对应的区域的电极或者布线的情况下的图。图18是表示本变形例所涉及的单位像素10的构造的截面图。图18表现图17A及图17B的XVIII-XVIII线处的截面。在图18中,主要表示了与1个单位像素10对应的区域的截面。

[0278] 如图17A至图18所示,本变形例与实施方式2的主要差异在于,布线层3不包括屏蔽布线111,而包括屏蔽布线117c来替代屏蔽布线117。在本变形例中,布线层3包括像素接点105、FD布线110、像素接点115、FD布线116、屏蔽布线117c及屏蔽接点106。

[0279] 如图17B及图18所示,FD布线110、FD布线116及屏蔽布线117c被嵌入至相同的构成层3d而设置。

[0280] 屏蔽布线117c经由屏蔽接点106与屏蔽电极104a连接。在本变形例中,屏蔽接点106也被配置在像素接点105与像素接点115之间。在本变形例中,包括屏蔽布线117c及屏蔽接点106的布线是与屏蔽电极104a连接的第1布线的一例。屏蔽布线117c被配置在相邻的FD布线110之间、相邻的FD布线116之间、以及相邻的FD布线110与FD布线116之间。另外,如图17A至图18所示,屏蔽布线117c在平面图中成为与屏蔽电极104a相同的形状及相同的配置。

[0281] 第1布线包括具有网眼形状的网格构造部。网格构造部在平面图中包括多个开口部171e及多个开口部171f作为多个开口部。在本变形例中,网格构造部由屏蔽布线117c构成。多个开口部171e各自在平面图中与FD布线110重叠。在本变形例中,1个开口部171e与连接至第1像素电极102a的1个FD布线110重叠。也就是说,多个开口部171e中的各个开口部171e与多个第1摄像单元100a中的各个第1摄像单元100a一对一地对应。另外,多个开口部171f各自在平面图中与FD布线116重叠。在本变形例中,1个开口部171f与连接至第2像素电极103的1个FD布线116重叠。也就是说,多个开口部171f中的各个开口部171f与多个第2摄像单元100b中的各个第2摄像单元100b一对一地对应。像这样,通过开口部171e与FD布线110重叠,且开口部171f与FD布线116重叠,能够通过屏蔽布线117c抑制相邻像素间及相邻

单位像素间的FD布线的耦合,并抑制电混色。

[0282] 另外,通过屏蔽电极104a与构成网格构造部的屏蔽布线117c连接,能够将像素阵列内的屏蔽电极104a及屏蔽布线117c的电阻值抑制得低。

[0283] (实施方式3)

[0284] 接下来说明实施方式3。在实施方式3中,说明具备实施方式1所涉及的摄像装置1的相机系统。

[0285] 图19是表示本实施方式所涉及的相机系统400的构成的一例的框图。

[0286] 如图19所示,本实施方式所涉及的相机系统400具备:上述实施方式所涉及的摄像装置1、透镜等用于使光汇聚的光学系统401、用于对由摄像装置1摄像的数据进行信号处理并作为图像或者数据输出的相机信号处理部402、以及用于对摄像装置1及相机信号处理部402进行控制的系统控制器403。

[0287] 光学系统401是用于使光汇聚至摄像装置1的摄像区域的透镜(镜头)等。

[0288] 相机信号处理部402作为处理来自摄像装置1的输出信号的信号处理电路发挥功能。相机信号处理部402例如进行伽玛校正、颜色插值处理、空间插值处理、自动白平衡、距离计测运算及波长信息分离等处理。相机信号处理部402例如由DSP(数字信号处理器(Digital Signal Processor))等实现。

[0289] 系统控制器403对相机系统400整体进行控制。系统控制器403例如可以由内置程序的处理器或者微型计算机等实现。

[0290] 本实施方式所涉及的相机系统400通过使用实施方式1所涉及的摄像装置1,能够提供具备通过抑制相邻像素间的混色并且实现好的暗时特性从而减小噪声的层叠型的摄像装置的相机系统。

[0291] 此外,相机系统400也可以具备实施方式1的各变形例、实施方式2及实施方式2的各变形例所涉及的摄像装置中的任一个,来替代实施方式1所涉及的摄像装置1。

[0292] (其他实施方式)

[0293] 以上,基于各实施方式及各变形例说明了1个或者多个方式所涉及的摄像装置及相机系统,本公开不限定于这些实施方式及变形例。只要不脱离本公开的主旨,对各实施方式及各变形例施以本领域技术人员所想到的各种变形而得到的方式、以及将不同的实施方式及变形例中的构成要素组合而构筑的方式,也包含在本公开的范围内。

[0294] 另外,上述的各实施方式及各变形例能够在权利要求书或其等同的范围中进行各种变更、置换、附加、省略等。

[0295] 工业实用性

[0296] 本公开所涉及的摄像装置等能够利用于数字照相机、医疗用相机、监视用相机、车载用相机、数字单反相机、数字无反射镜单镜头相机等、各种相机系统及传感器系统。

[0297] 附图标记说明:

[0298] 1 摄像装置

[0299] 2 半导体基板

[0300] 3 布线层

[0301] 3a、3b、3c、3d、3e 构成层

[0302] 4 缓冲层

[0303] 5 密封层

[0304] 6 平坦化层

[0305] 10 单位像素

[0306] 30 像素阵列

[0307] 71、71a、71b、71c、71d、171、171a、171b、171c、171d、171e、171f 开口部

[0308] 100 像素

[0309] 100a 第1摄像单元

[0310] 100b 第2摄像单元

[0311] 101、101a、101b 像素区域

[0312] 102 像素电极

[0313] 102a 第1像素电极

[0314] 103 第2像素电极

[0315] 104、104a 屏蔽电极

[0316] 105、105a、105b、115 像素接点

[0317] 106、106a、106b 屏蔽接点

[0318] 107、107a、107b、107c、107d、107e、107f、107g、107h、107i、111、117、117a、117b、117c 屏蔽布线

[0319] 109、109a、109b、114 信号线

[0320] 110、110a、110b、116 FD布线

[0321] 119 信号线接点

[0322] 120 光电转换层

[0323] 121 对置电极

[0324] 122 滤色器

[0325] 123、123a、123b 微透镜

[0326] 130、130a、130b 光电转换部

[0327] 151a 第1像素区域

[0328] 151b 第2像素区域

[0329] 200、210 检测电路

[0330] 202、207b 复位晶体管

[0331] 203 第1电容元件

[0332] 204 第2电容元件

[0333] 205、205b 放大晶体管

[0334] 206、206b 选择晶体管

[0335] 207 带域控制晶体管

[0336] 208、208b 垂直信号线

[0337] 209 反馈线

[0338] 209b 复位线

[0339] 300 反相放大器

[0340] 310 行扫描电路

[0341] 311 控制电路

[0342] 312 列电路

[0343] 313 信号处理电路

[0344] 314 输出电路

[0345] 400 相机系统

[0346] 401 光学系统

[0347] 402 相机信号处理部

[0348] 403 系统控制器

[0349] FB、FBi 反馈控制线

[0350] FD1、FD2 电荷积蓄节点

[0351] RD 节点

[0352] RST、RSTB、RSTi 复位控制线

[0353] SEL、SELB 地址控制线

[0354] SIGj 垂直信号线

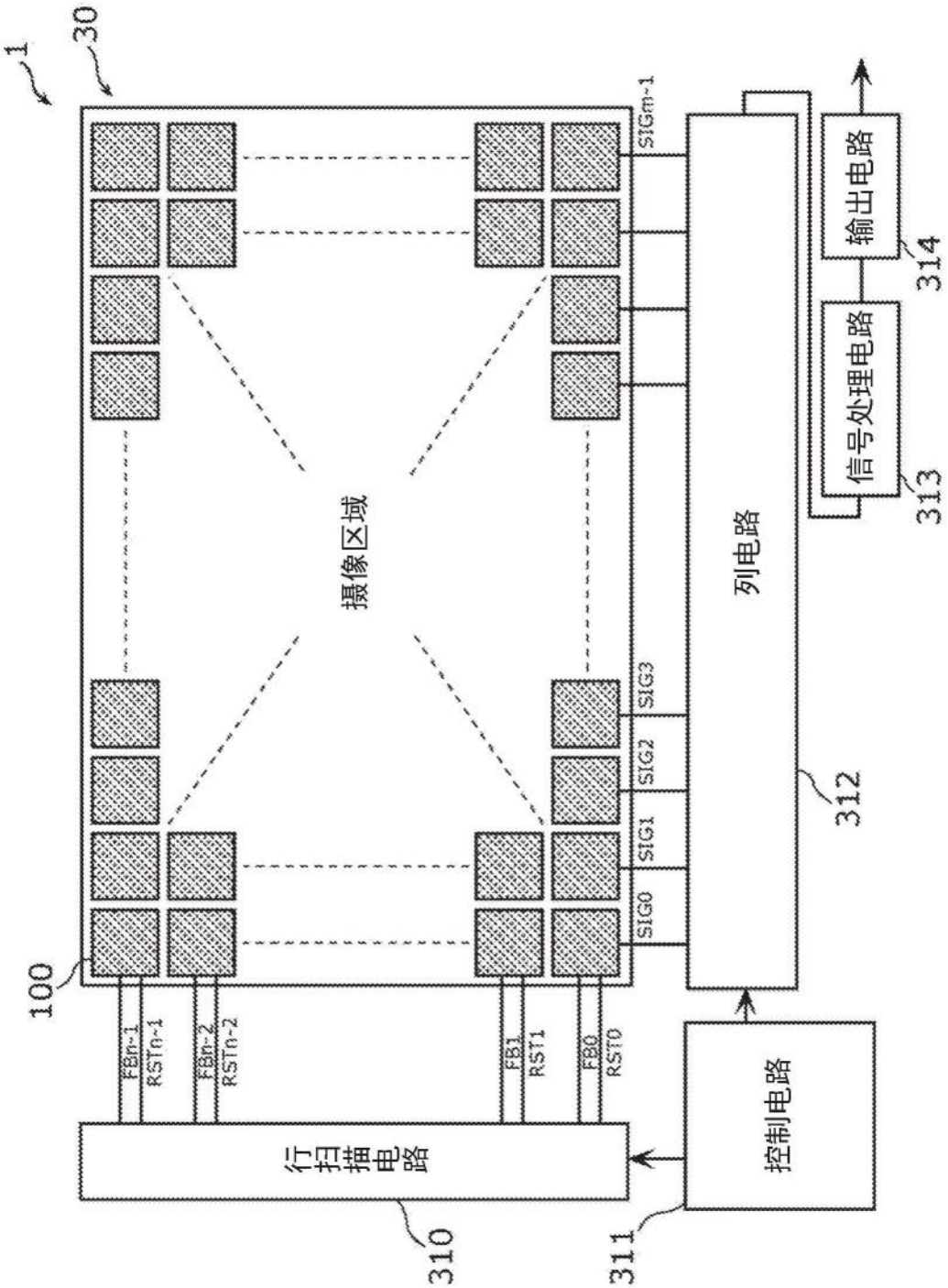

1
30
100
摄像区域
SIGm-1
SIG3
SIG2
SIG1
SIG0
列电路
312
输出电路
314
信号处理电路
313
FBn-1
RSTn-1
FBn-2
RSTn-2
FB1
RST1
FB0
RST0
行扫描电路
310
控制电路
311

图1

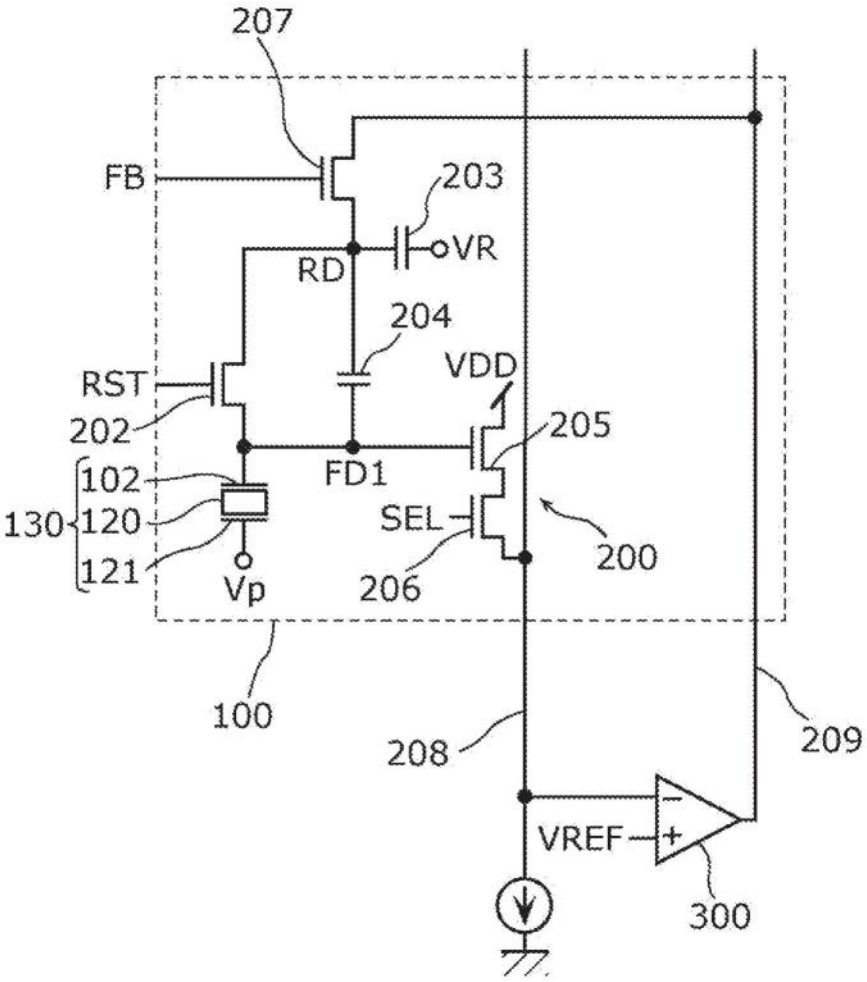

207
FB
203
VR
RD
204
VDD
RST
202
205
FD1
102
130
120
121
SEL
200
Vp
206
100
208
209
VREF
300

图2

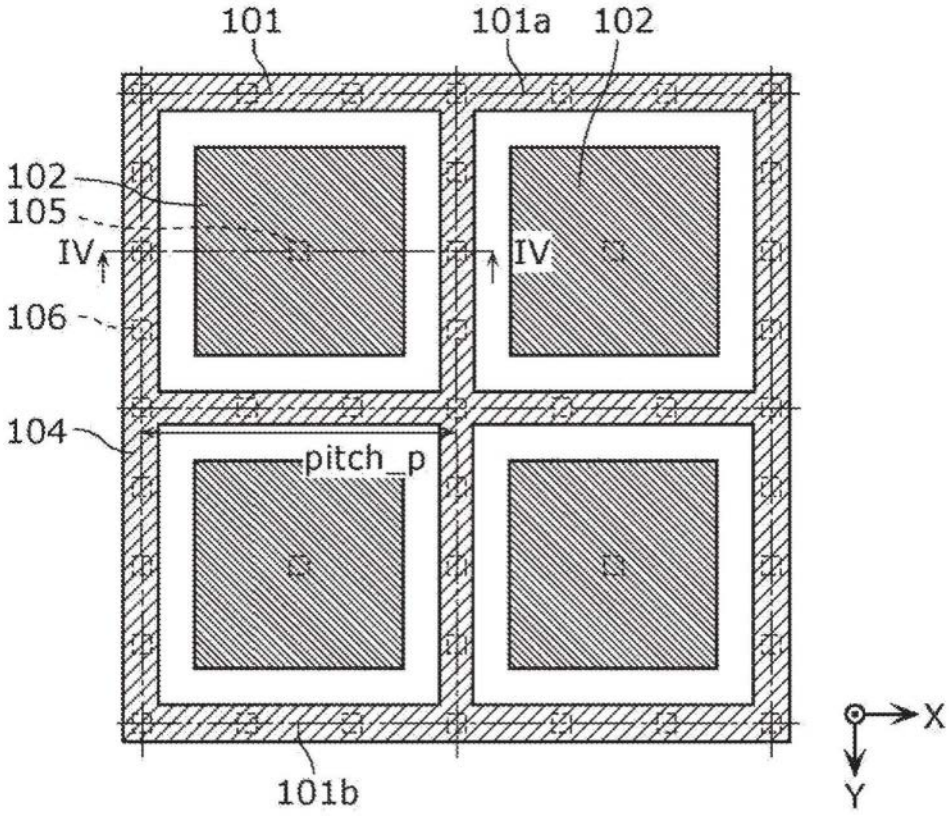


图3A

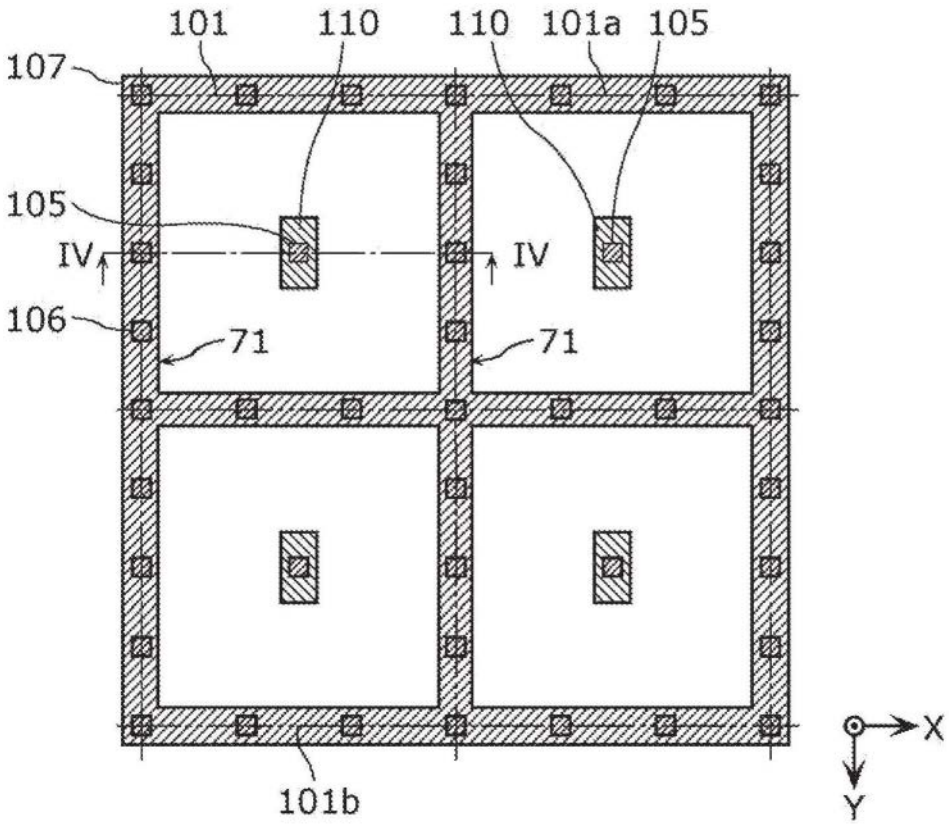


图3B

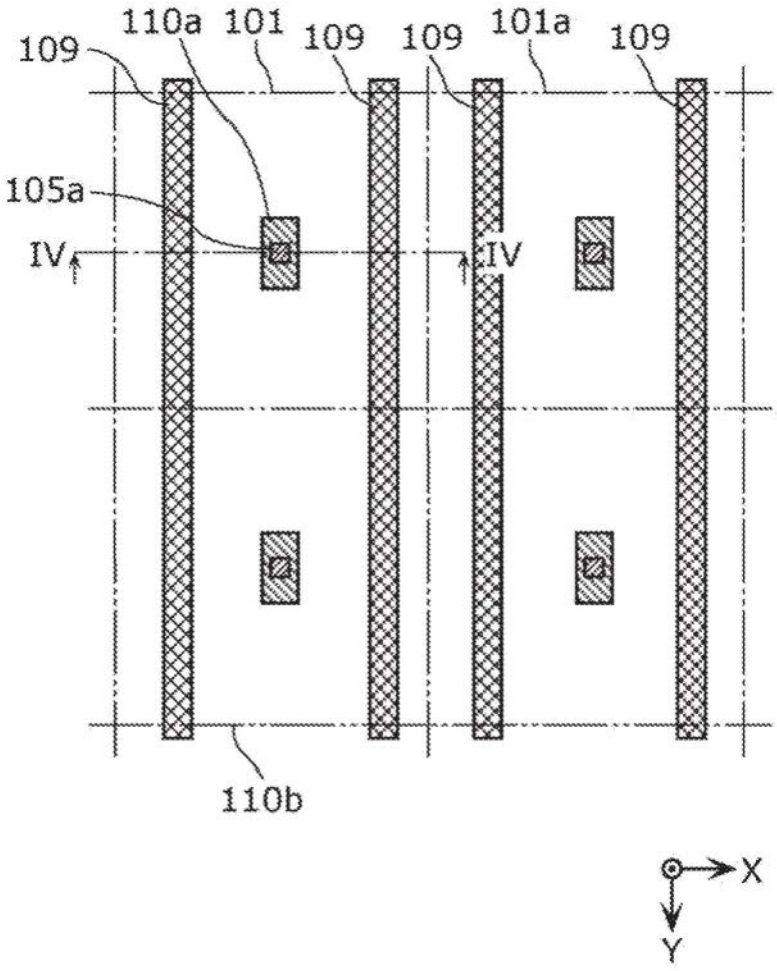


图3C

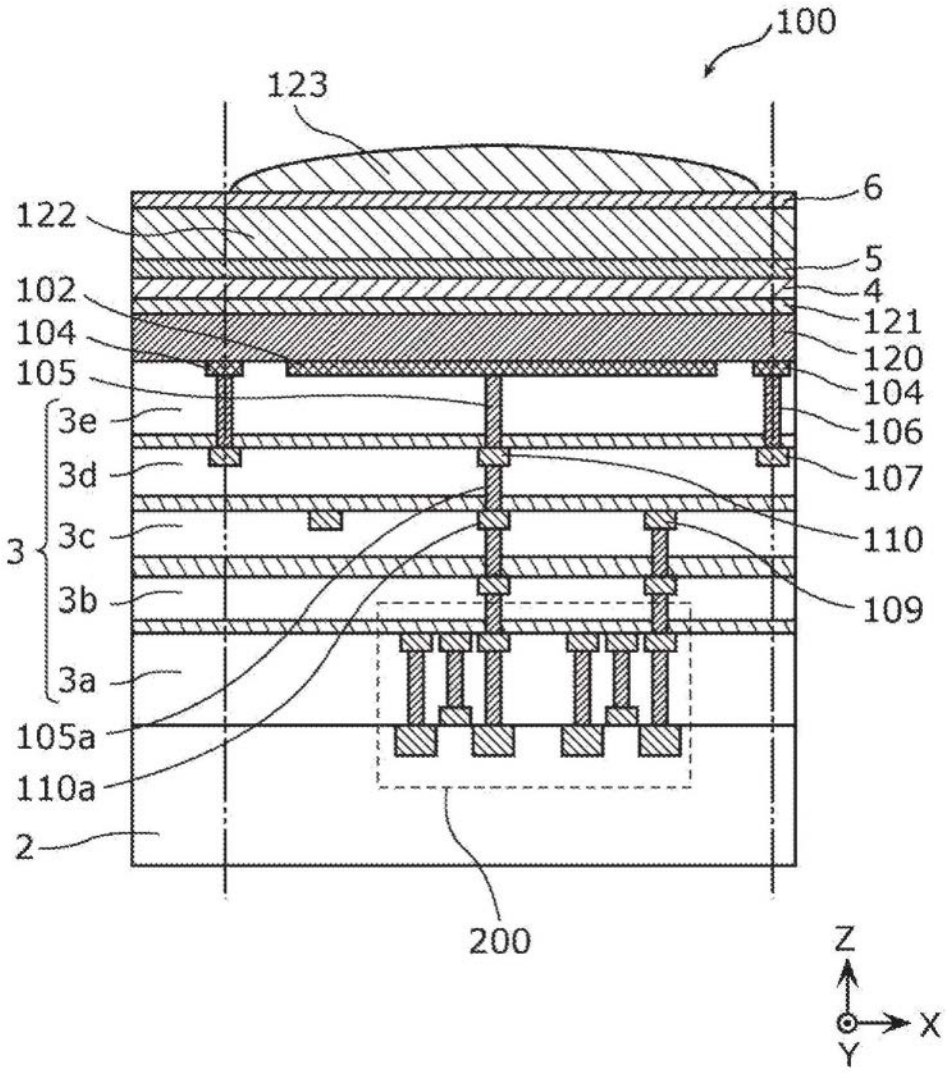

100
123
122
6
5
4
102
121
104
120
105
104
3e
106
3d
107
3c
110
3
3b
109
3a
105a
110a
2
200
Z
X
Y

图4

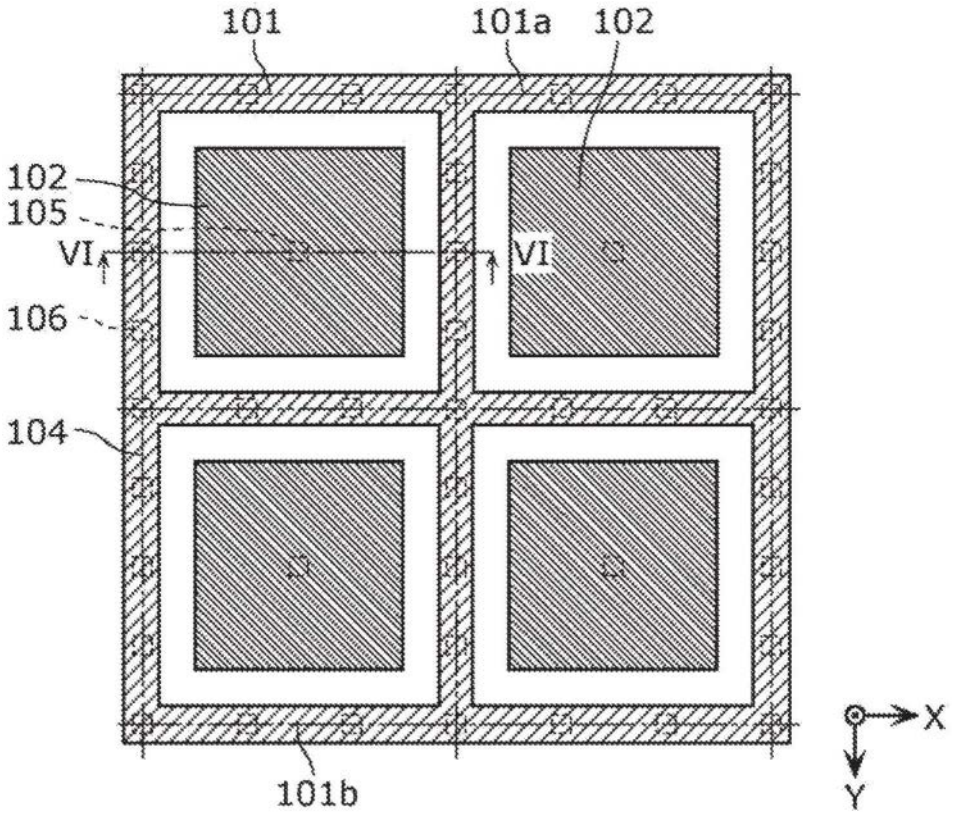


图5A

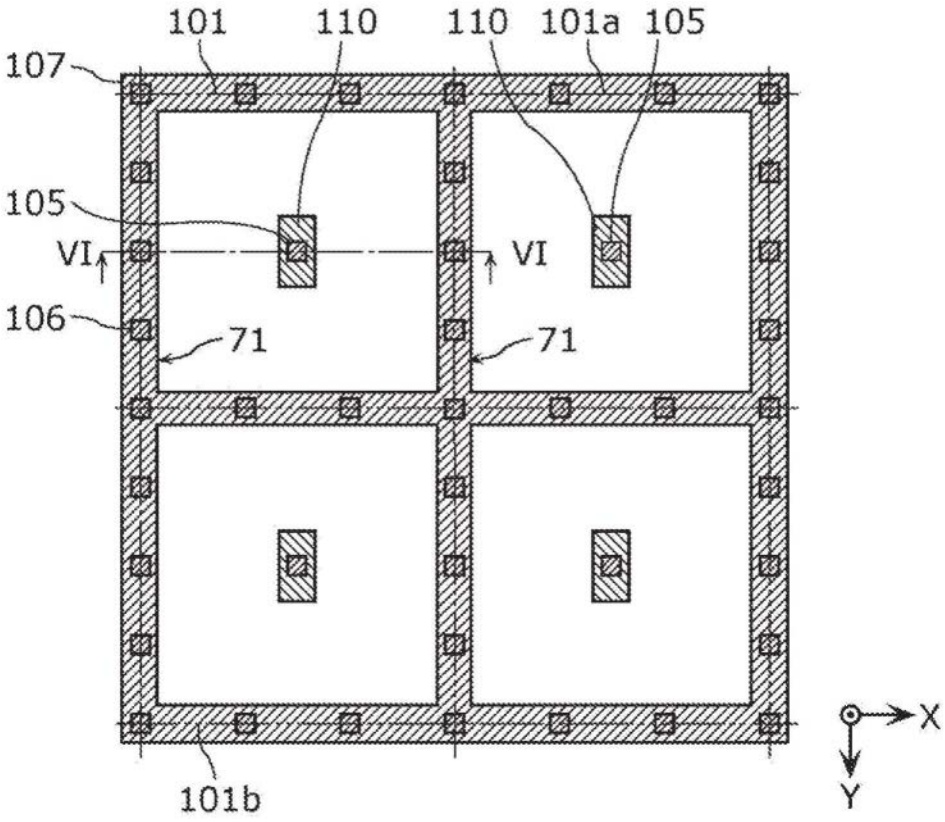


图5B

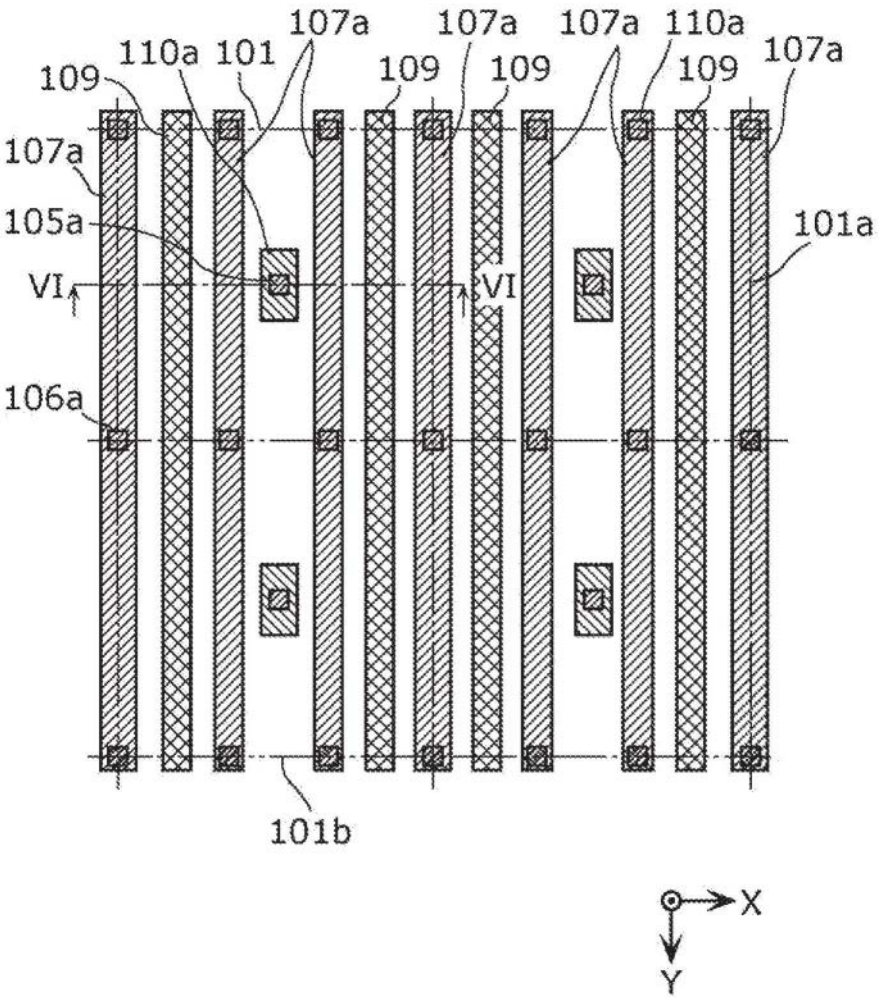

107a
107a
107a
110a
110a
101
107a
109
109
109
109
107a
105a
101a
VI
VI
106a
101b
X
Y

图5C

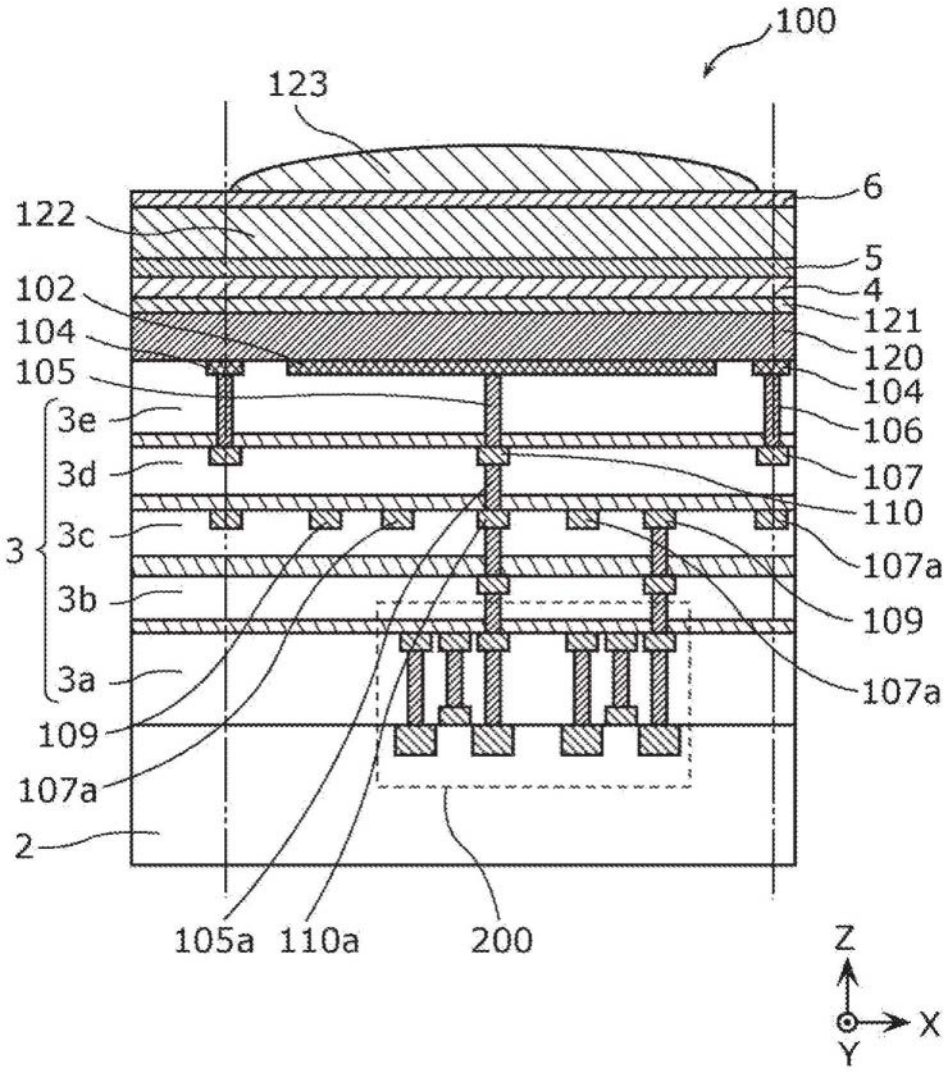

100
123
122
6
5
4
121
120
104
106
107
110
107a
109
107a
102
104
105
3e
3d
3c
3b
3a
3
109
107a
2
105a
110a
200
Z
X
Y

图6

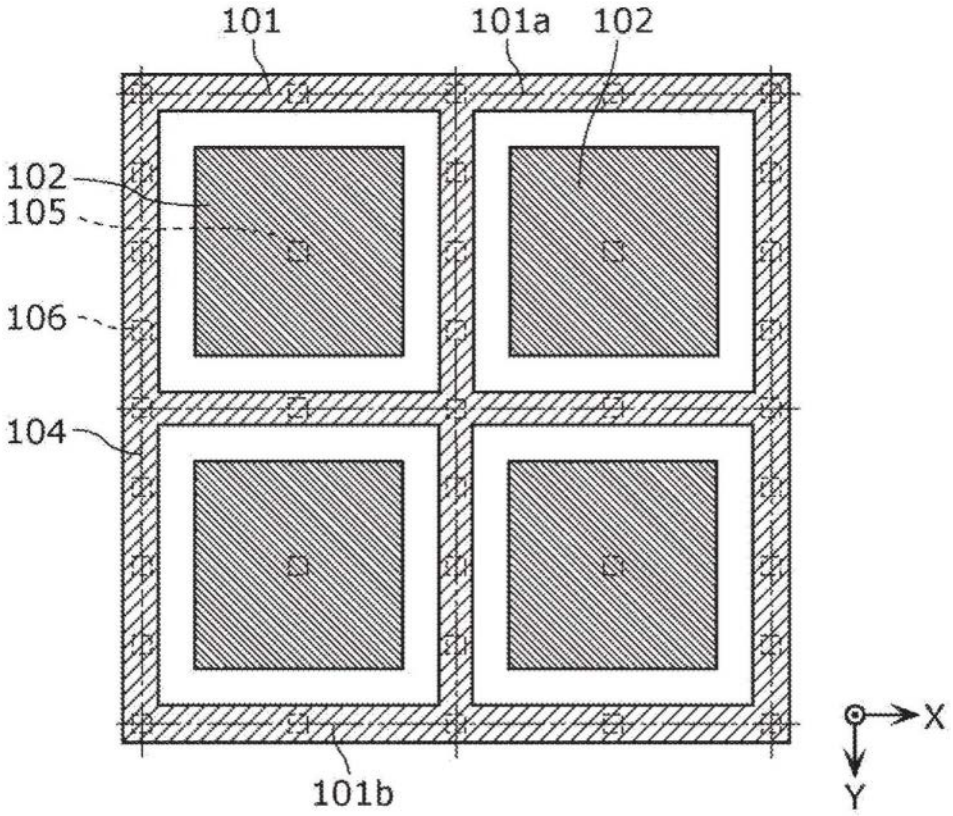


图7A

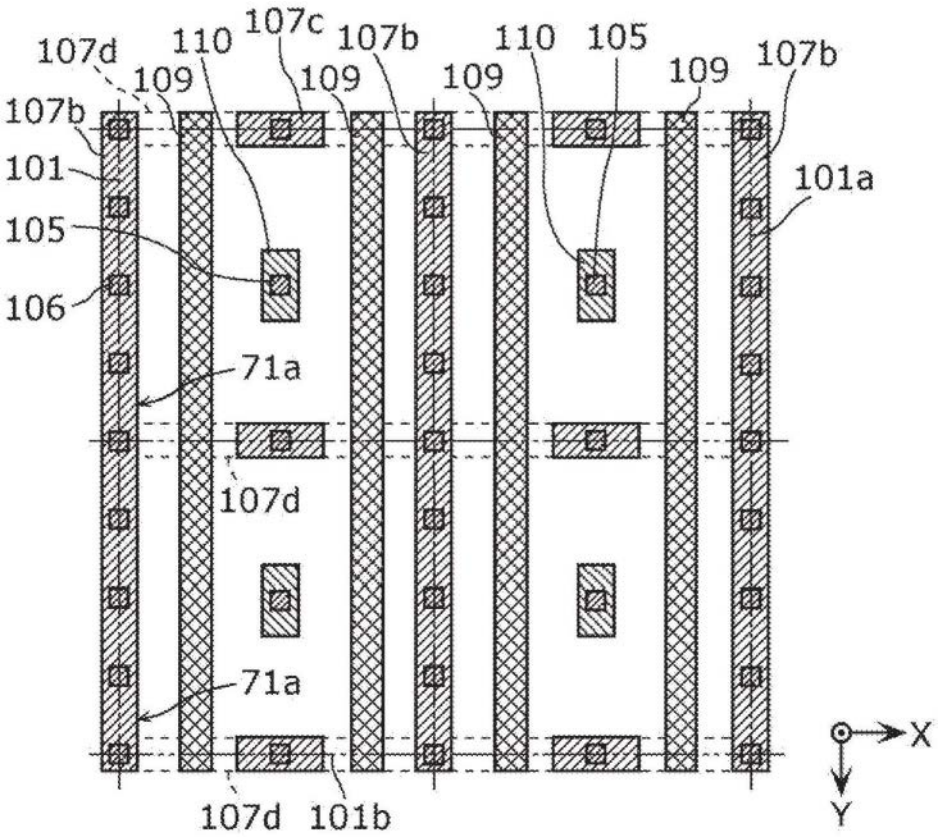

107d
110
107c
107b
110
105
107b
109
109
109
109
107b
101
101a
105
106
71a
107d
71a
X
Y
107d
101b

图7B

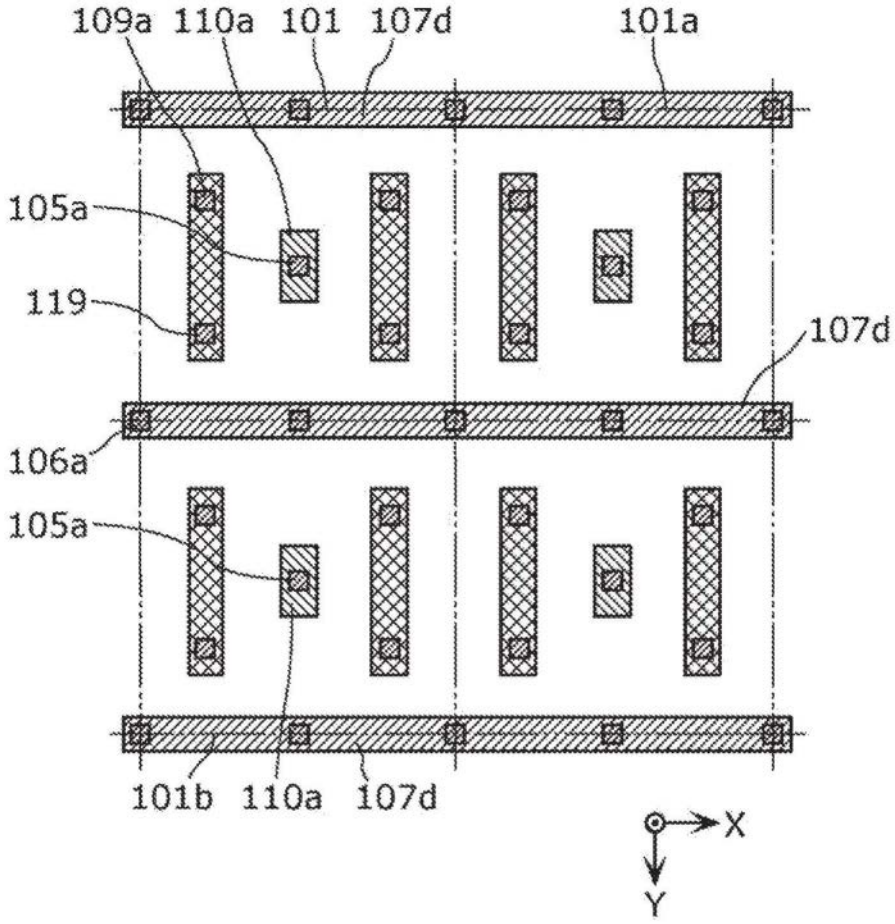

109a
110a
101
107d
101a
105a
119
107d
106a
105a
101b
110a
107d
X
Y

图7C

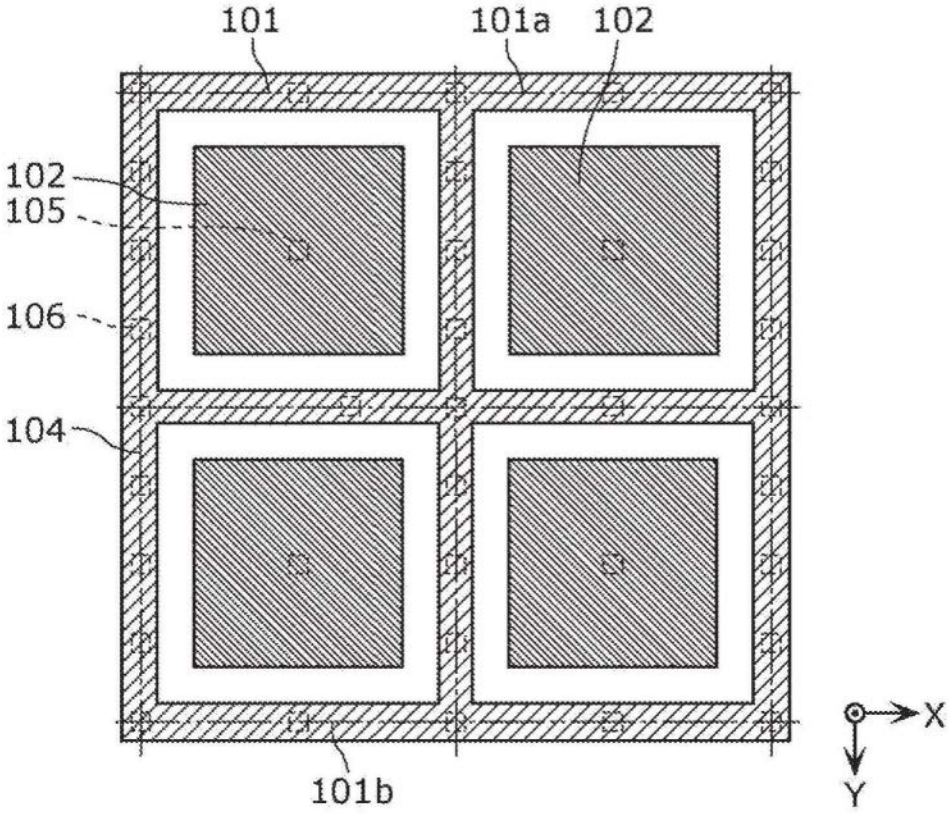


图8A

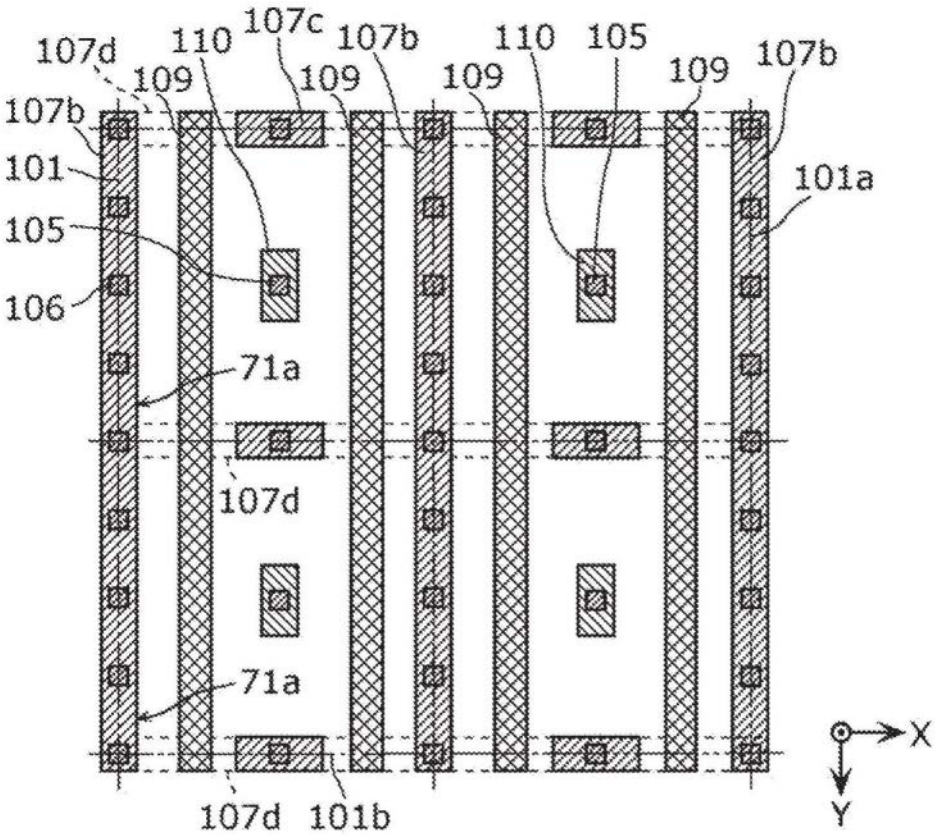

107d
110
107c
107b
110
105
107b
109
109
109
109
107b
101
101a
105
106
71a
107d
71a
X
Y
107d
101b

图8B

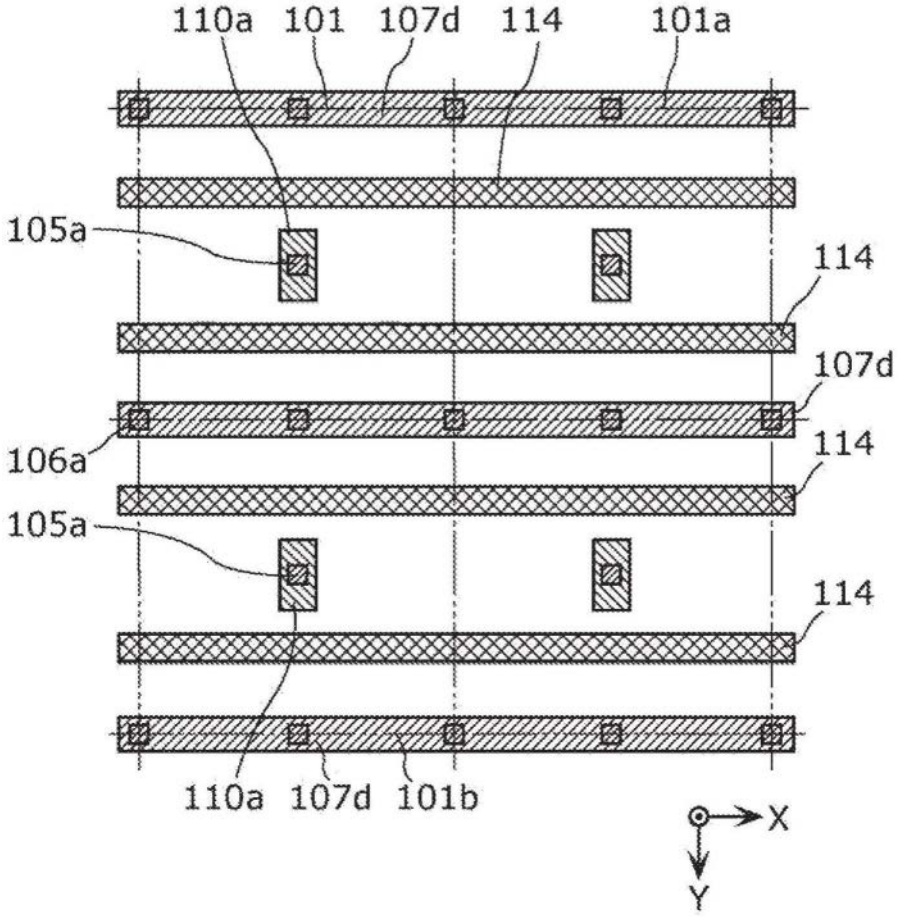

110a
101
107d
114
101a
105a
114
107d
106a
114
105a
114
110a
107d
101b
X
Y

图8C

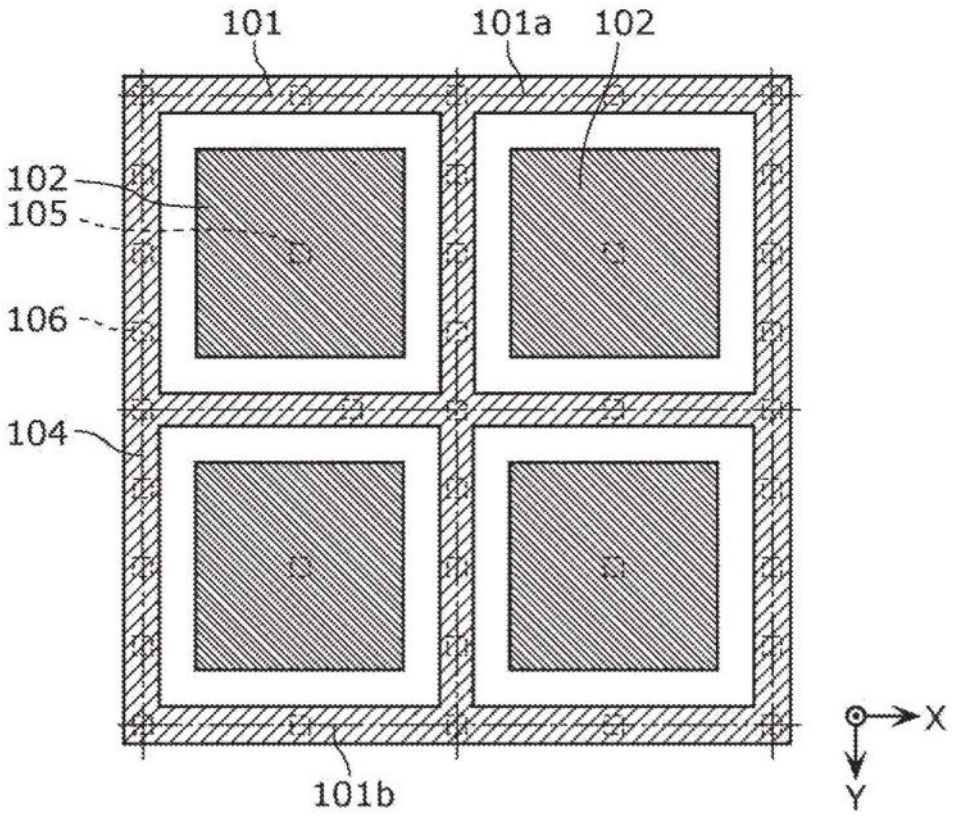


图9A

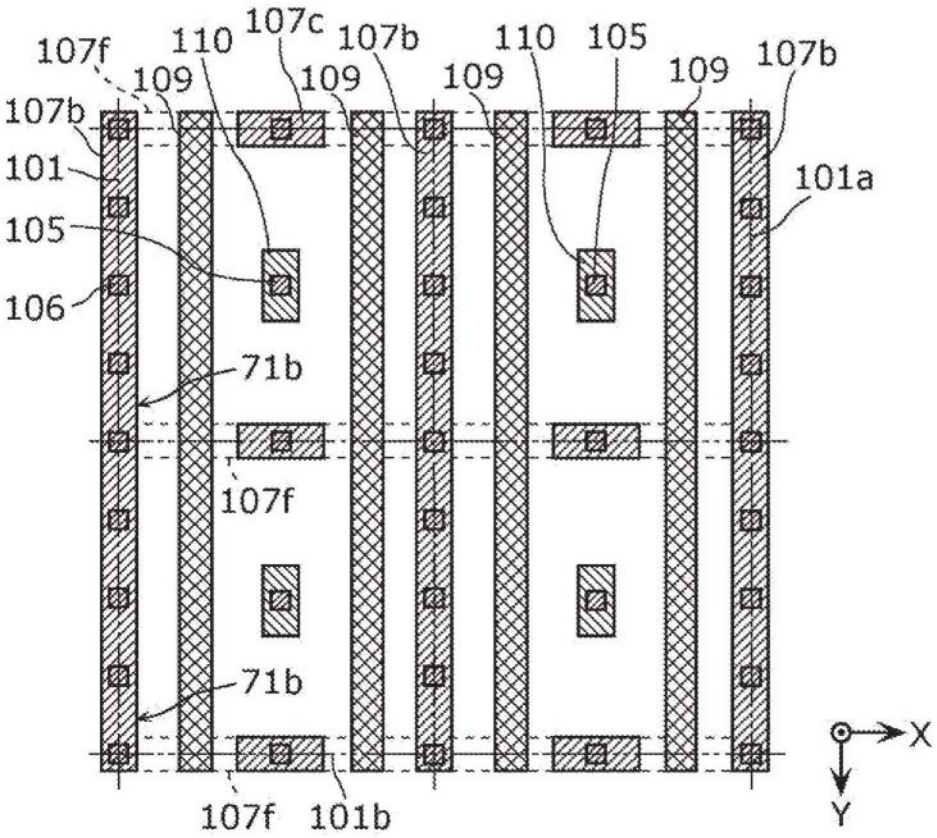

107f
110
107c
107b
110
105
107b
109
109
109
109
107b
101
101a
105
106
71b
107f
71b
X
Y
107f
101b

图9B

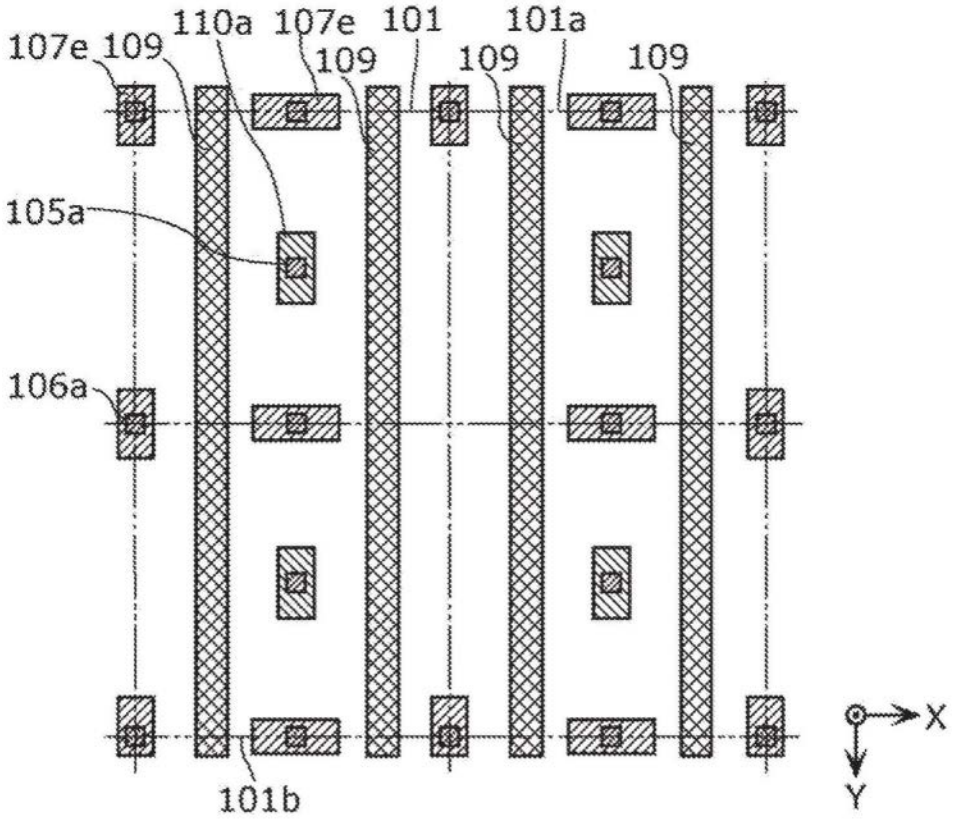


图9C

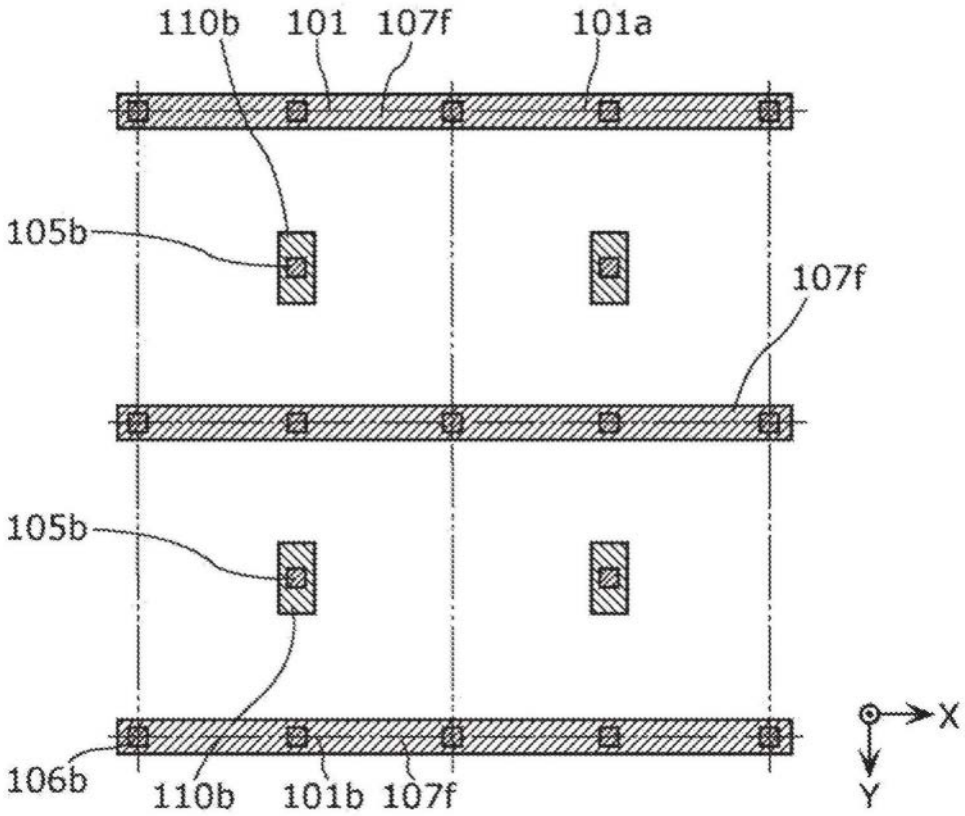


图9D

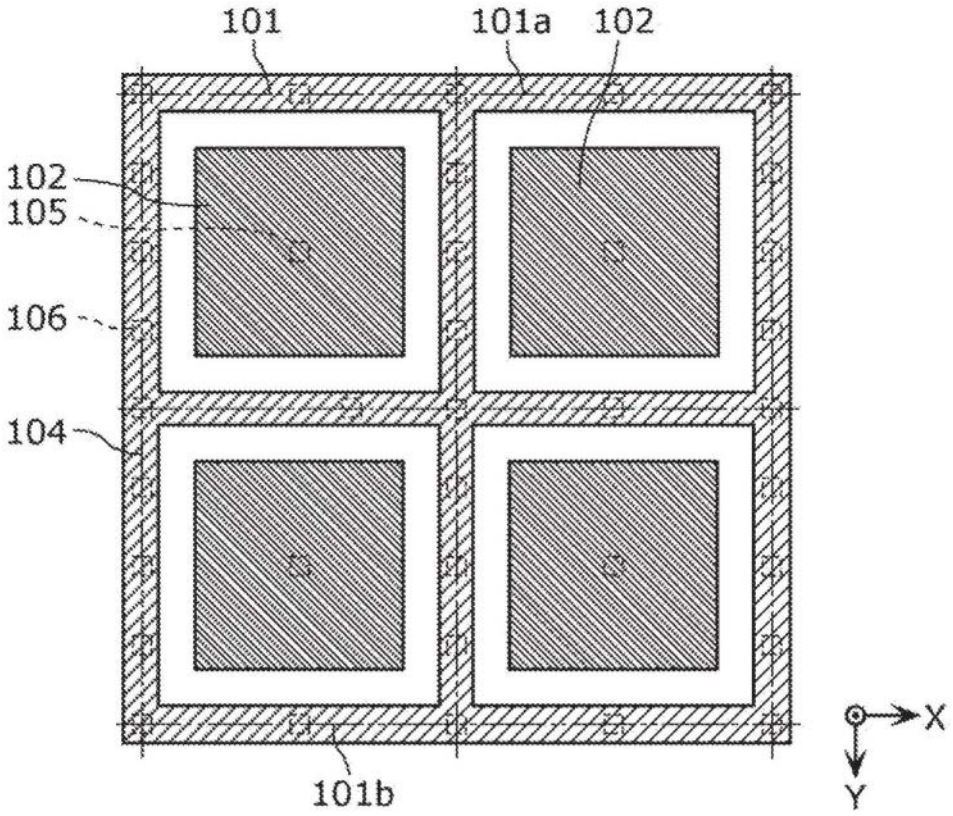


图10A

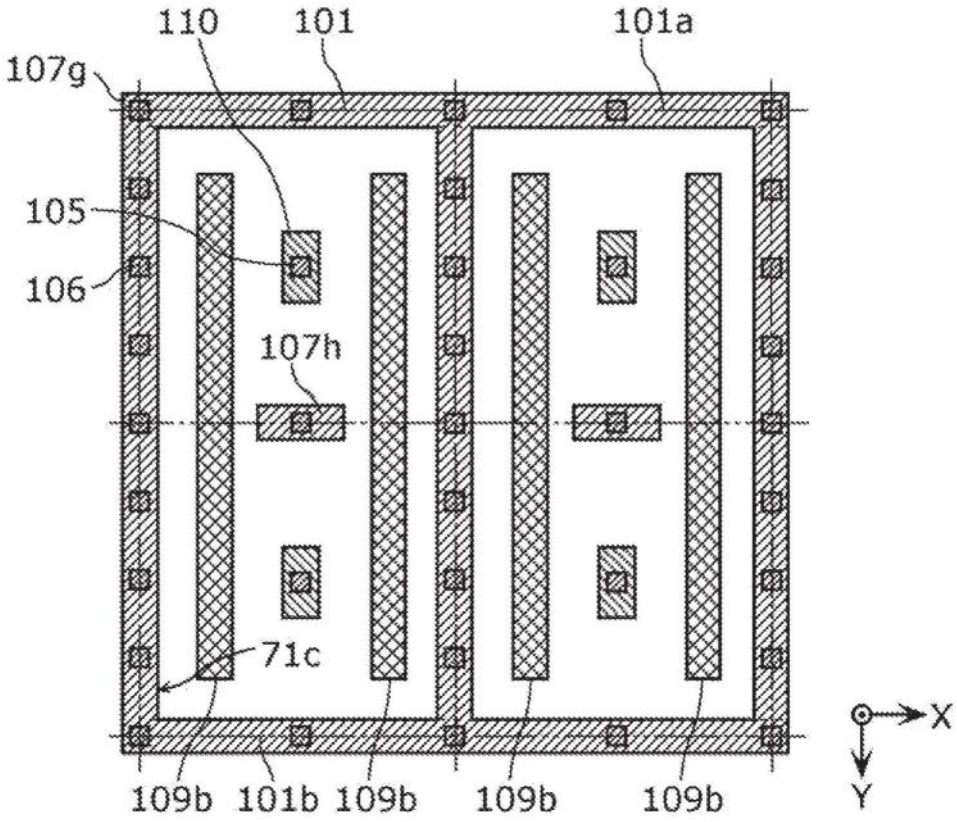


图10B

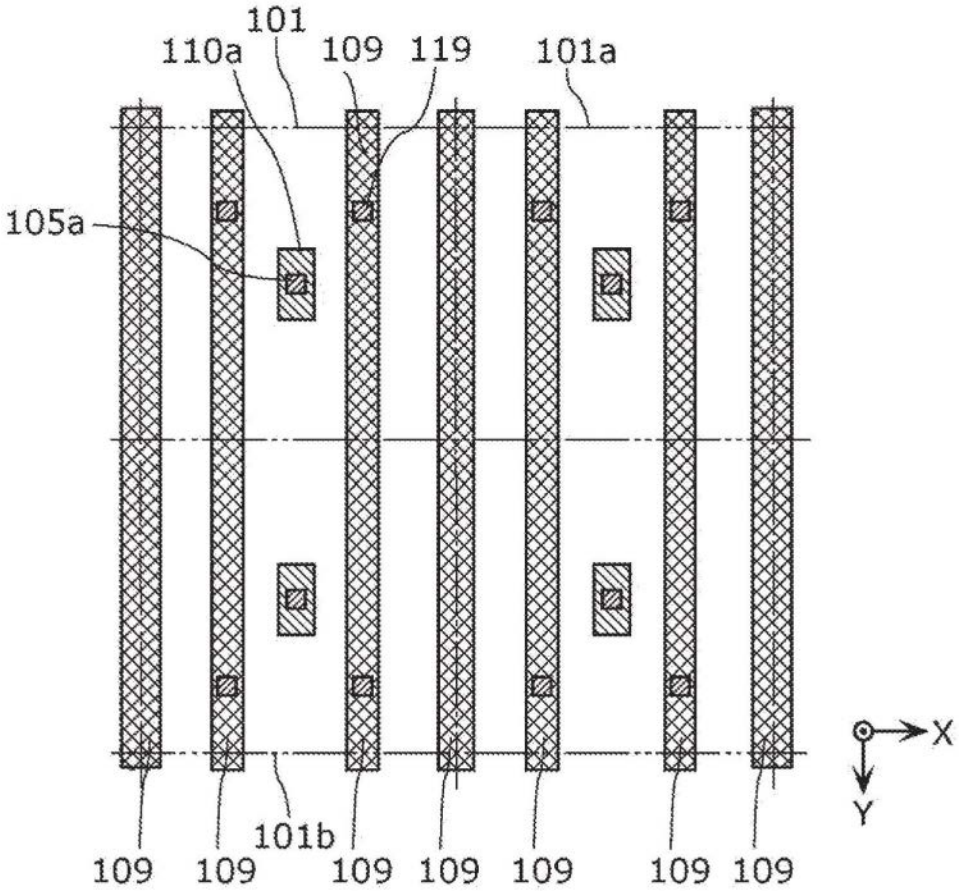


图10C

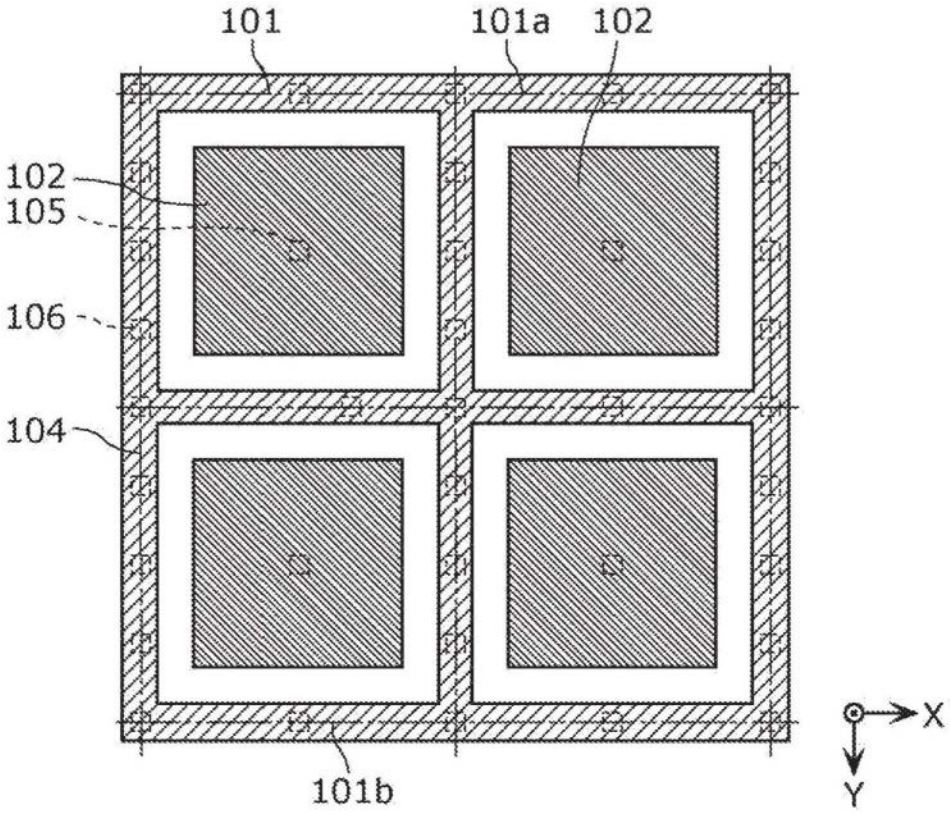


图11A

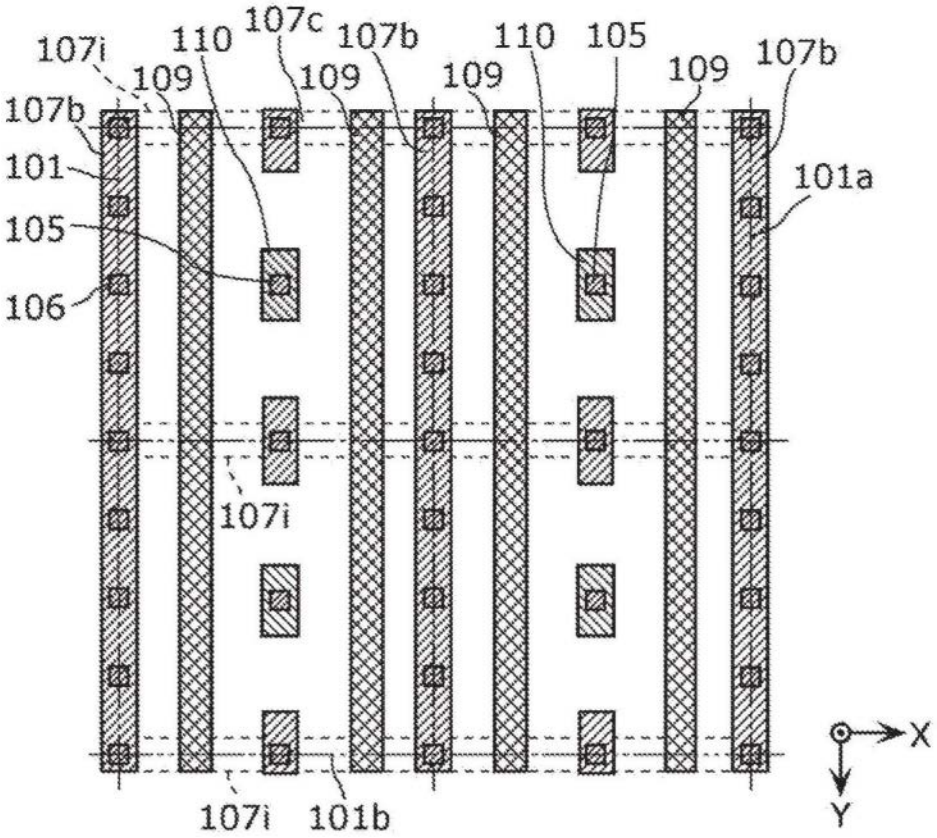

107i
110
107c
107b
110
105
109
109
109
109
107b
107b
101
105
106
101a
107i
107i
101b
X
Y

图11B

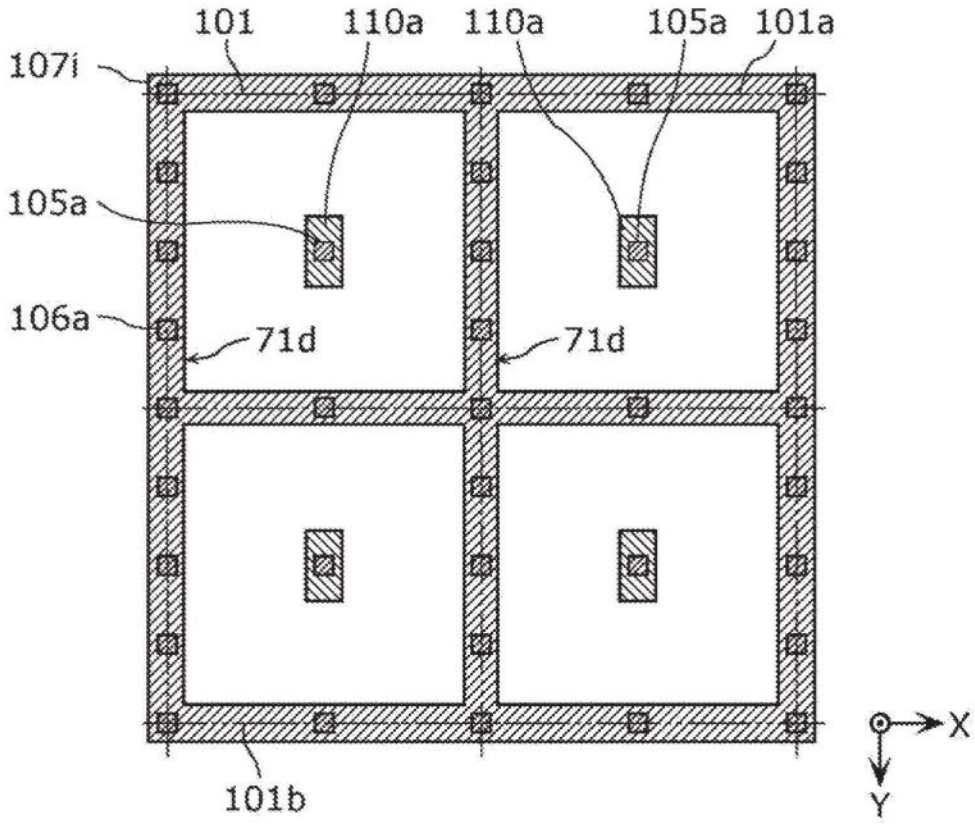


图11C

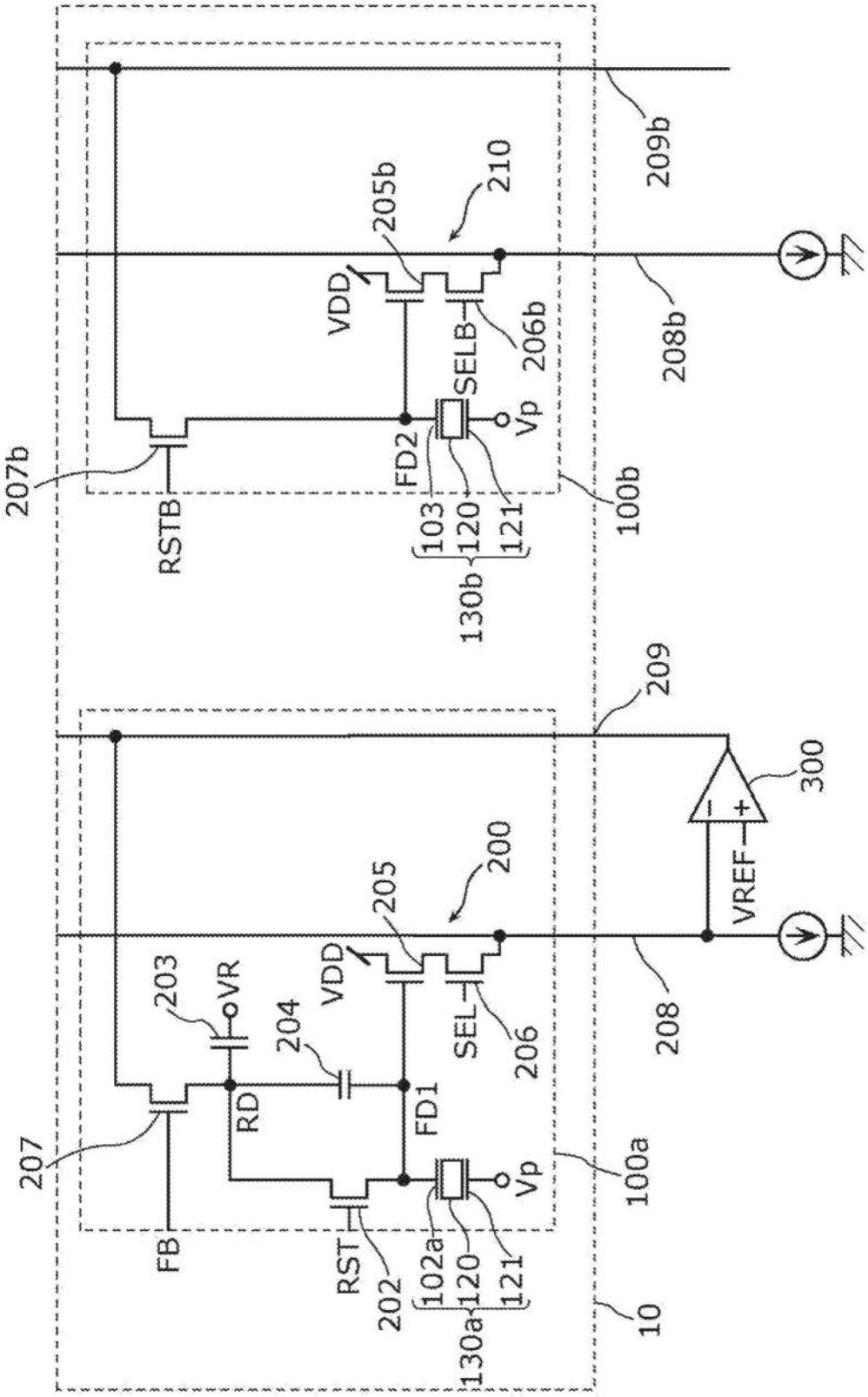

209b
210
205b
VDD
SELB
206b
208b
Vp
207b
FD2
RSTB
103
120
121
100b
130b
209
300
VREF
200
205
VDD
203
VR
204
SEL
206
208
RD
FD1
207
100a
Vp
FB
RST
202
102a
120
121
130a
10

图12

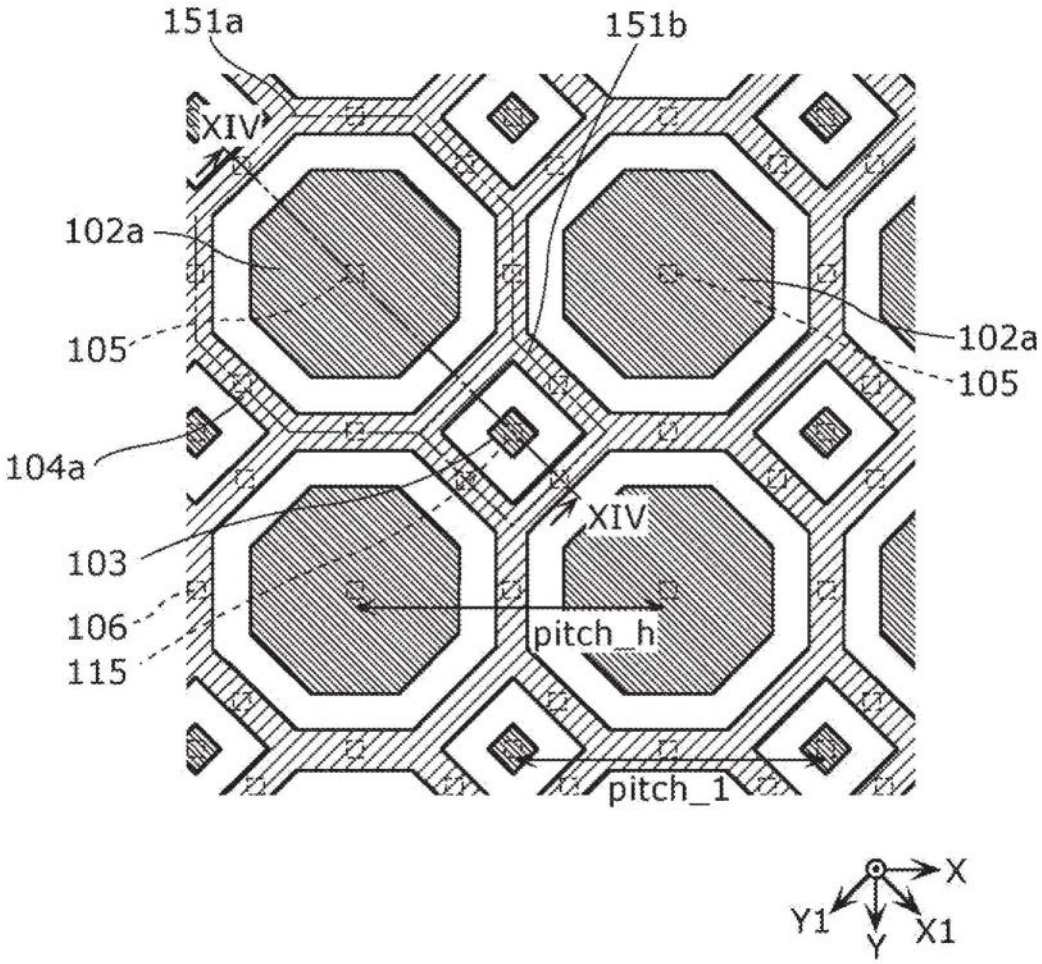

151a
151b
XIV
102a
105
104a
103
106
115
102a
105
XIV
pitch_h
pitch_1
X
Y1
Y
X1

图13A

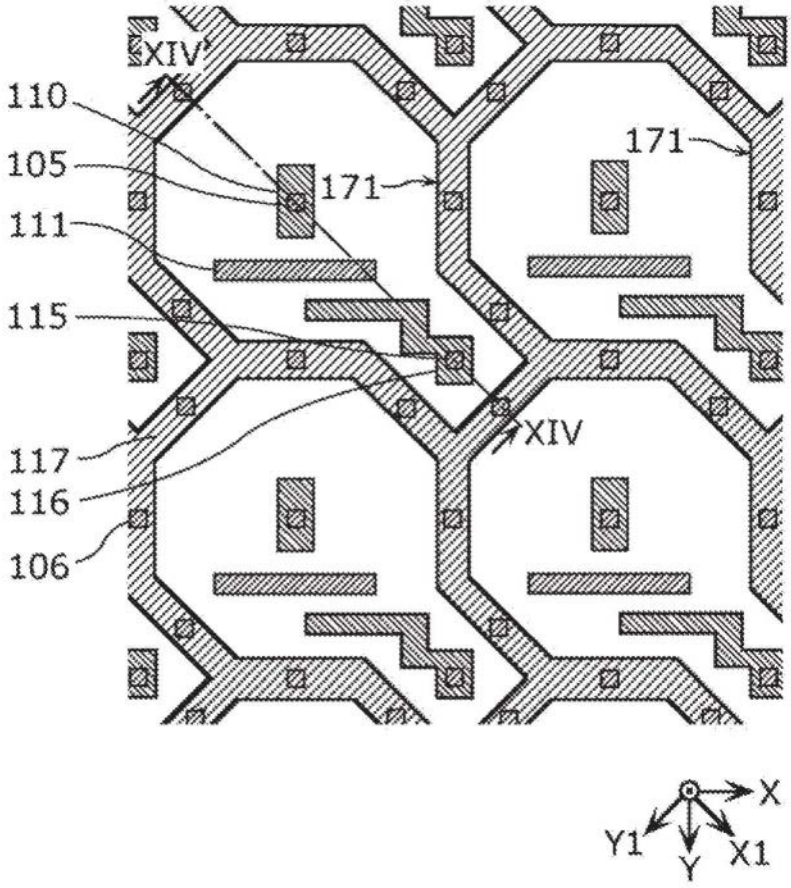


图13B

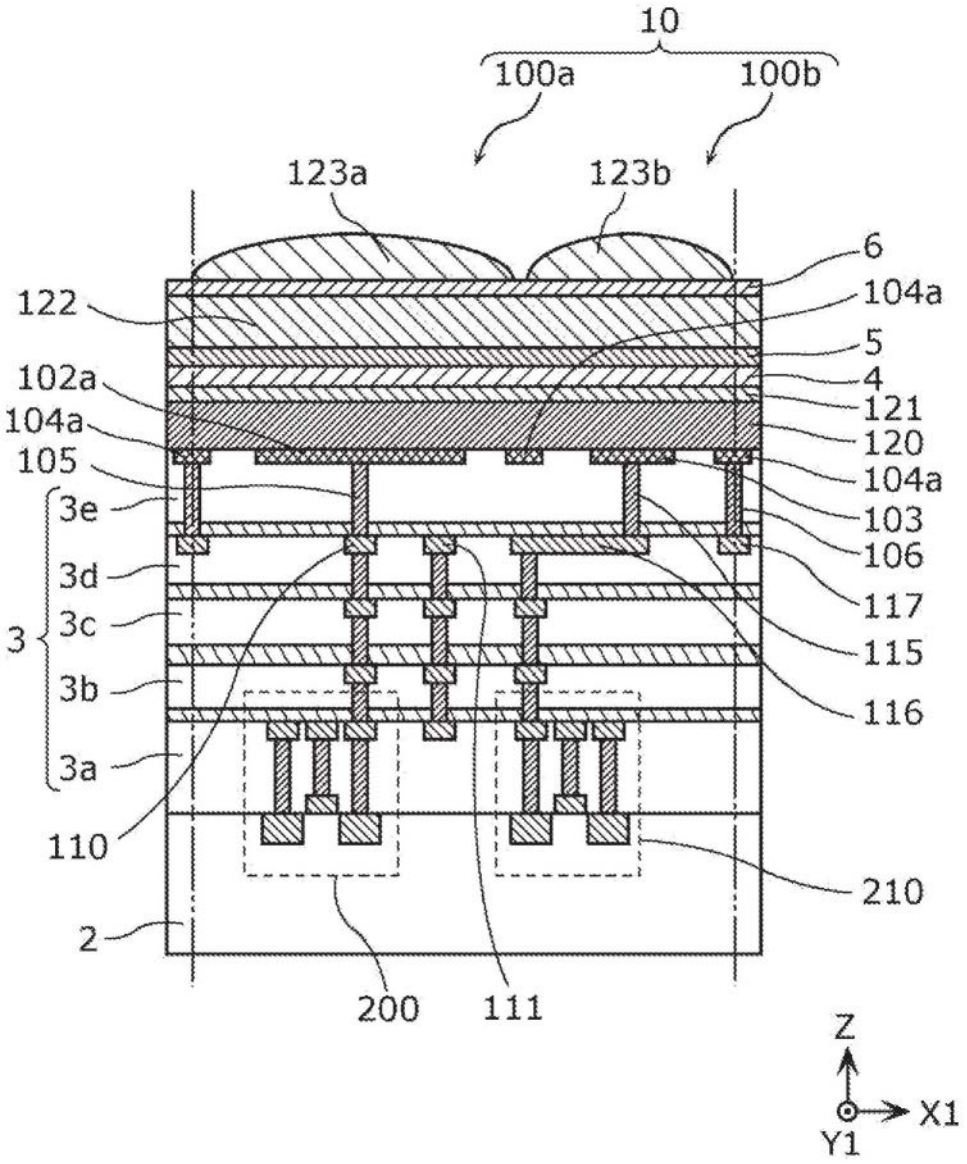

10
100a
100b
123a
123b
6
104a
122
5
4
102a
121
104a
120
105
104a
3e
103
106
3d
117
3
3c
115
3b
116
3a
110
210
2
200
111
Z
X1
Y1

图14

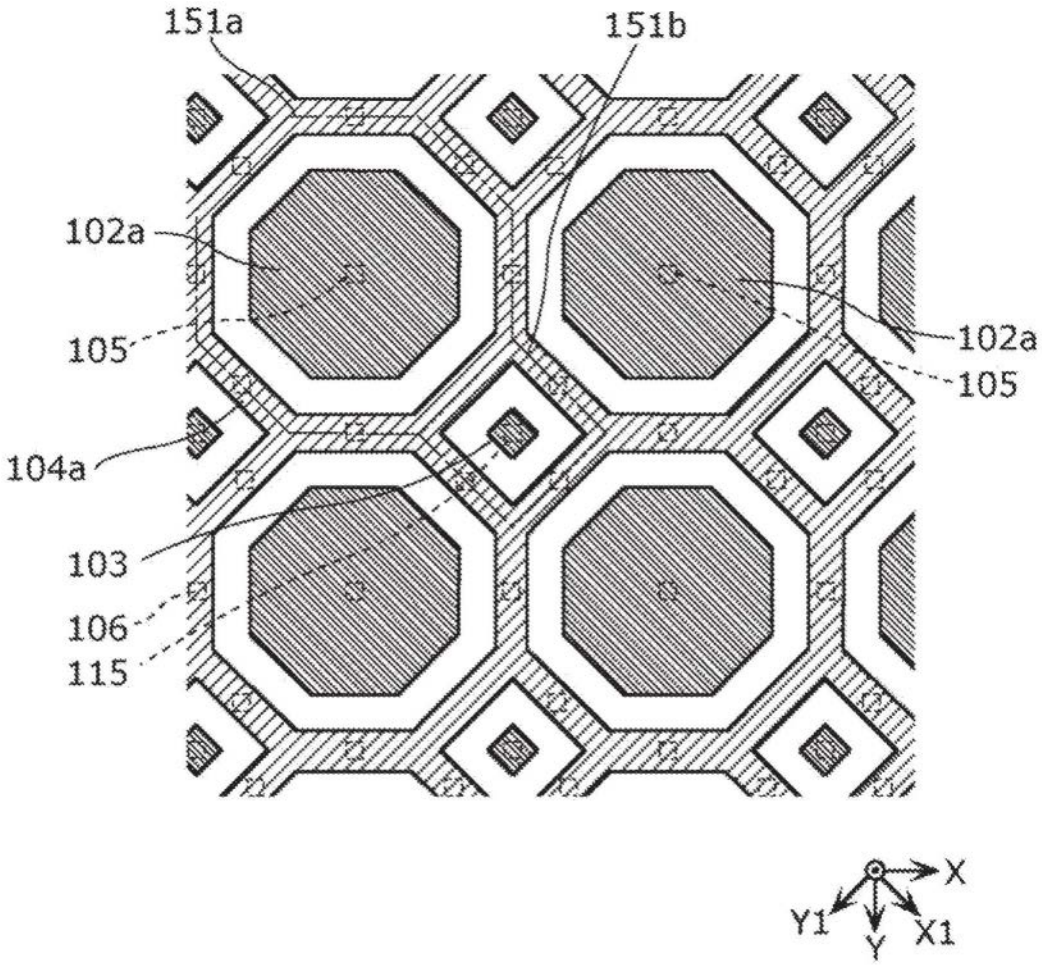


图15A

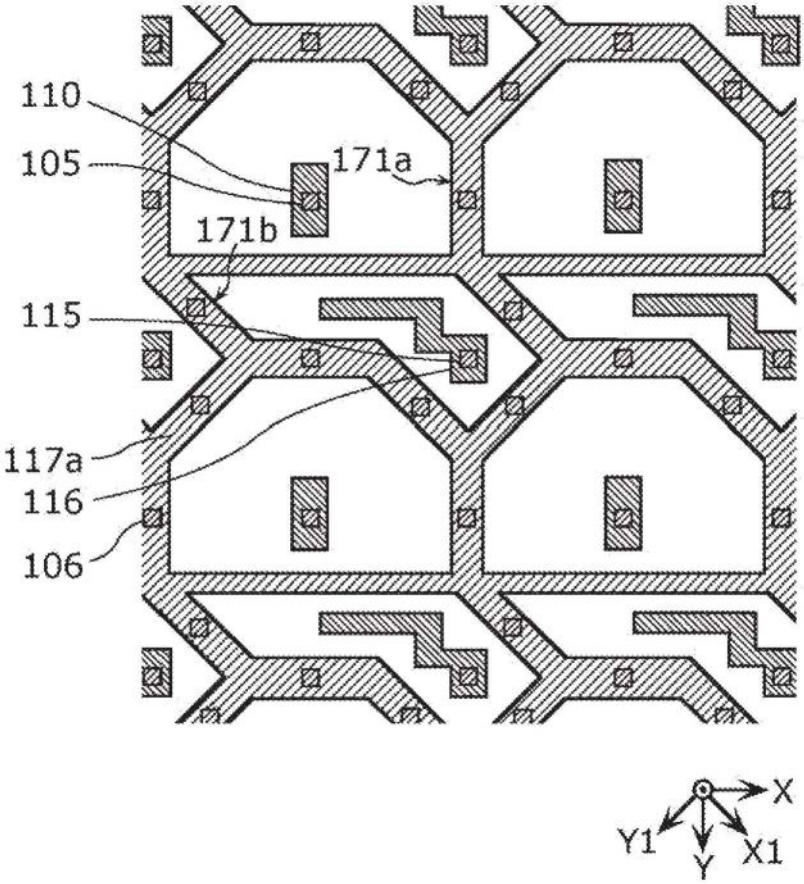


图15B

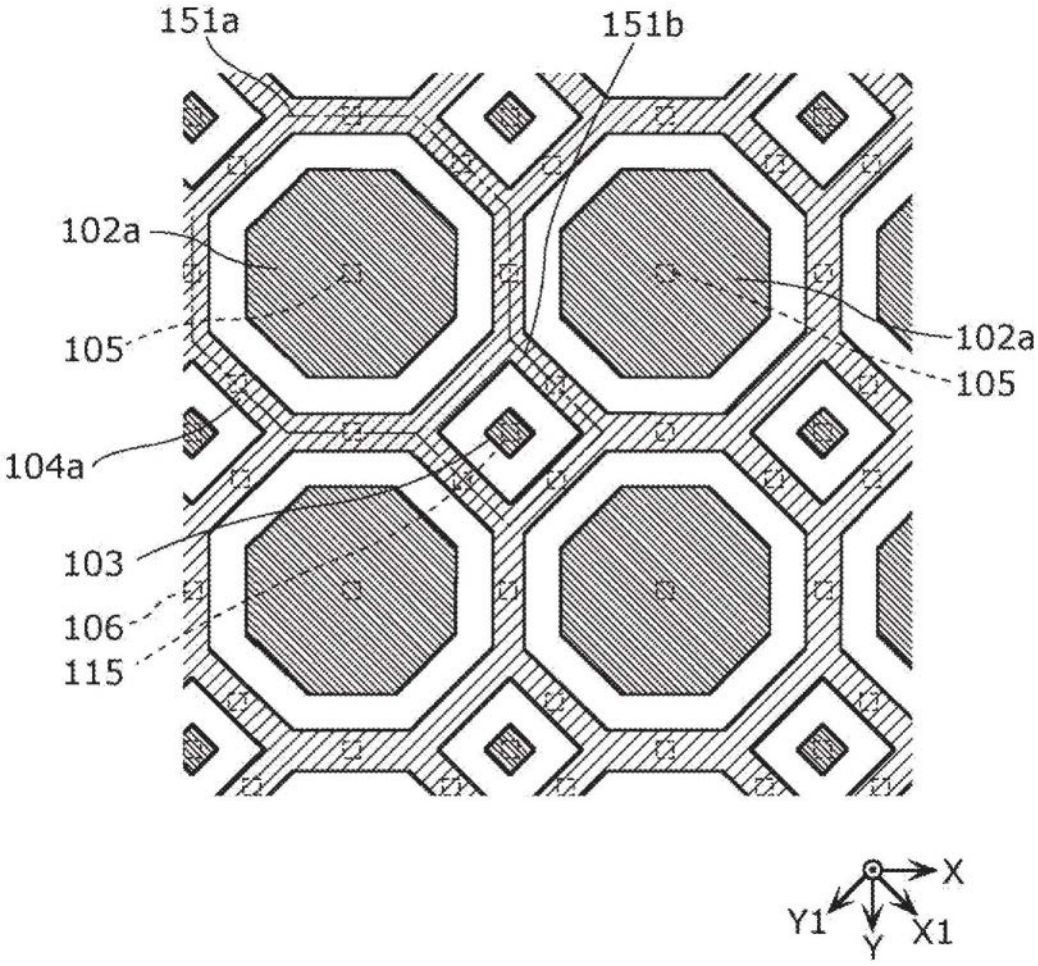


图16A

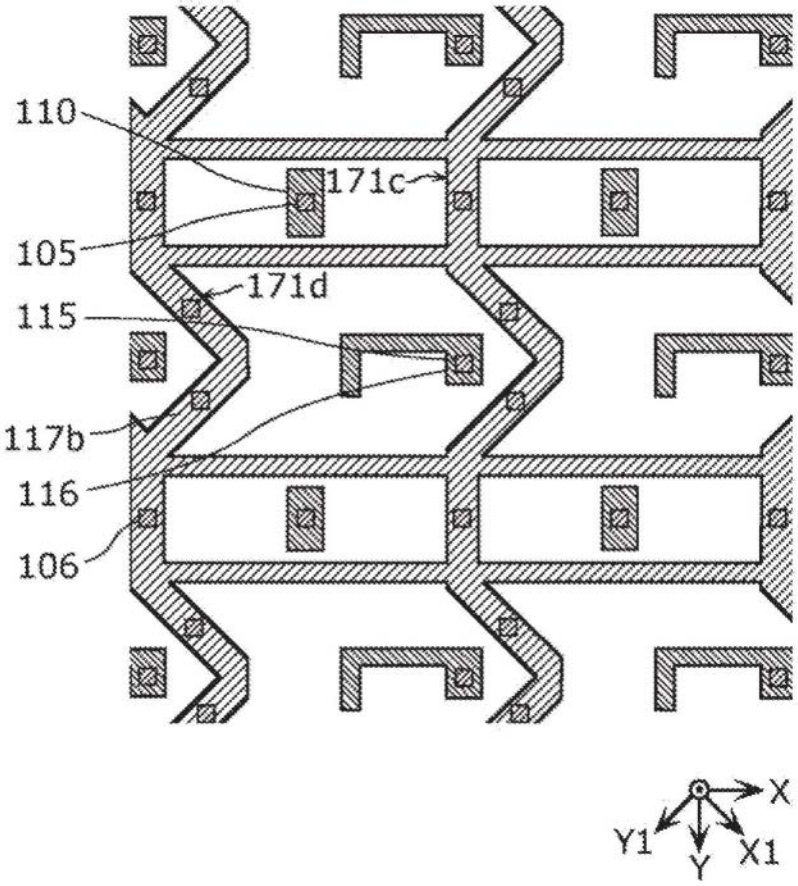


图16B

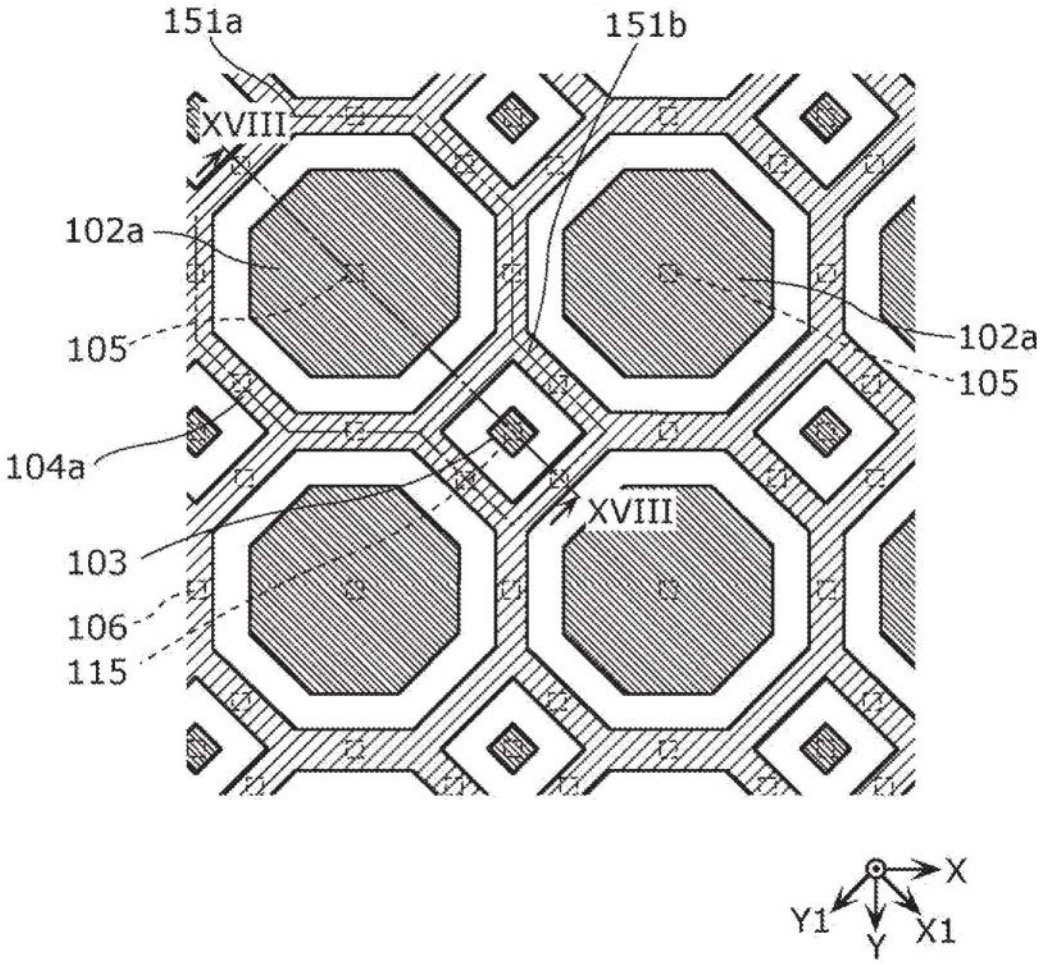

151a
151b
XVIII
102a
105
104a
103
106
115
102a
105
XVIII
X
Y1
Y
X1

图17A

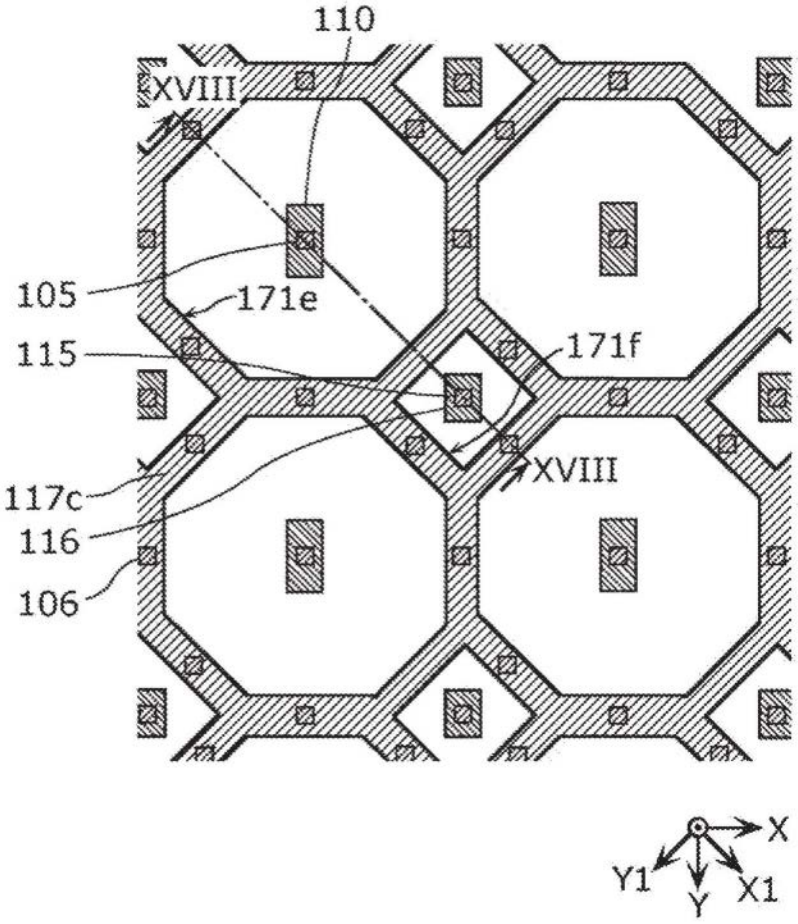


图17B

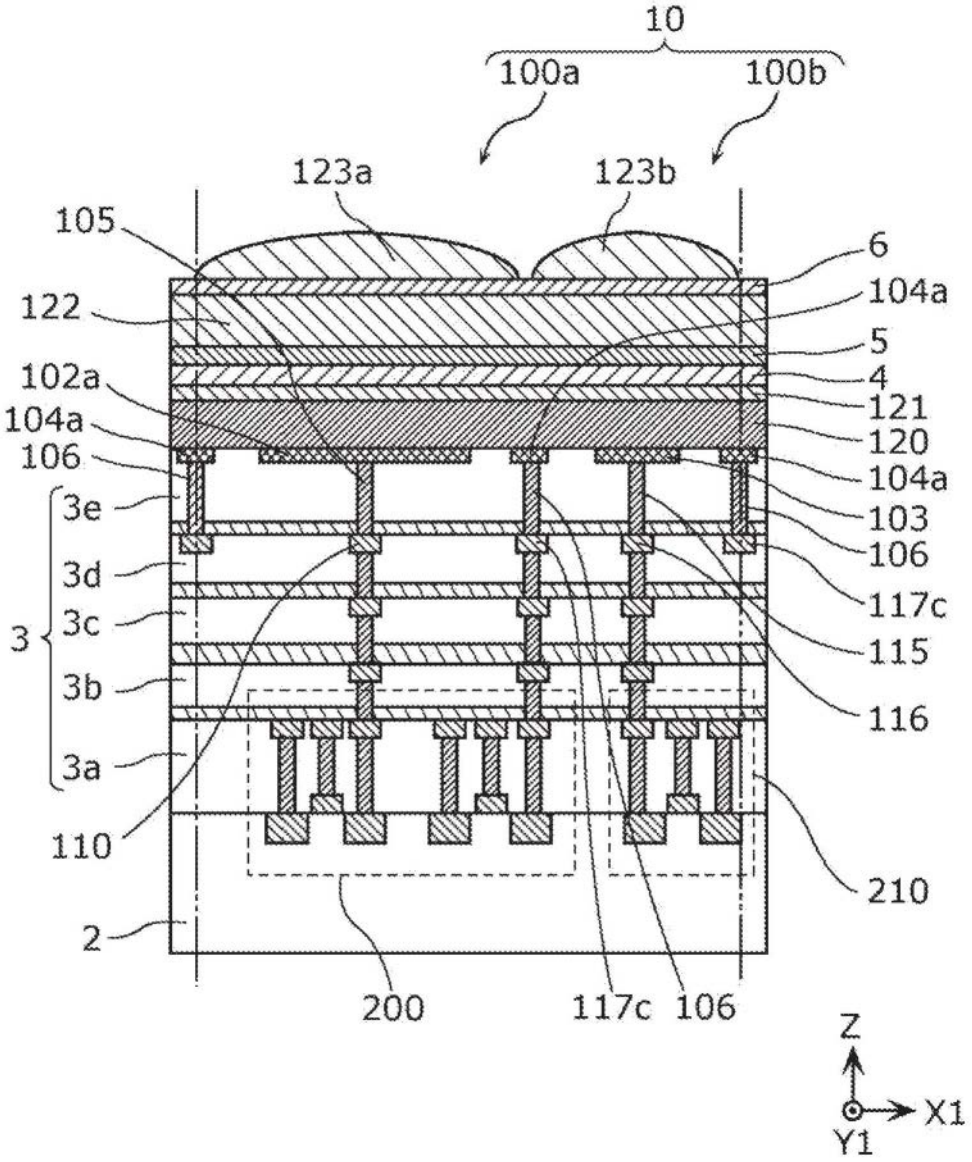

10
100a
100b
123a
123b
105
6
104a
122
5
4
102a
121
104a
120
106
104a
3e
103
106
3d
117c
3
3c
115
3b
116
3a
110
210
2
200
117c
106
Z
X1
Y1

图18

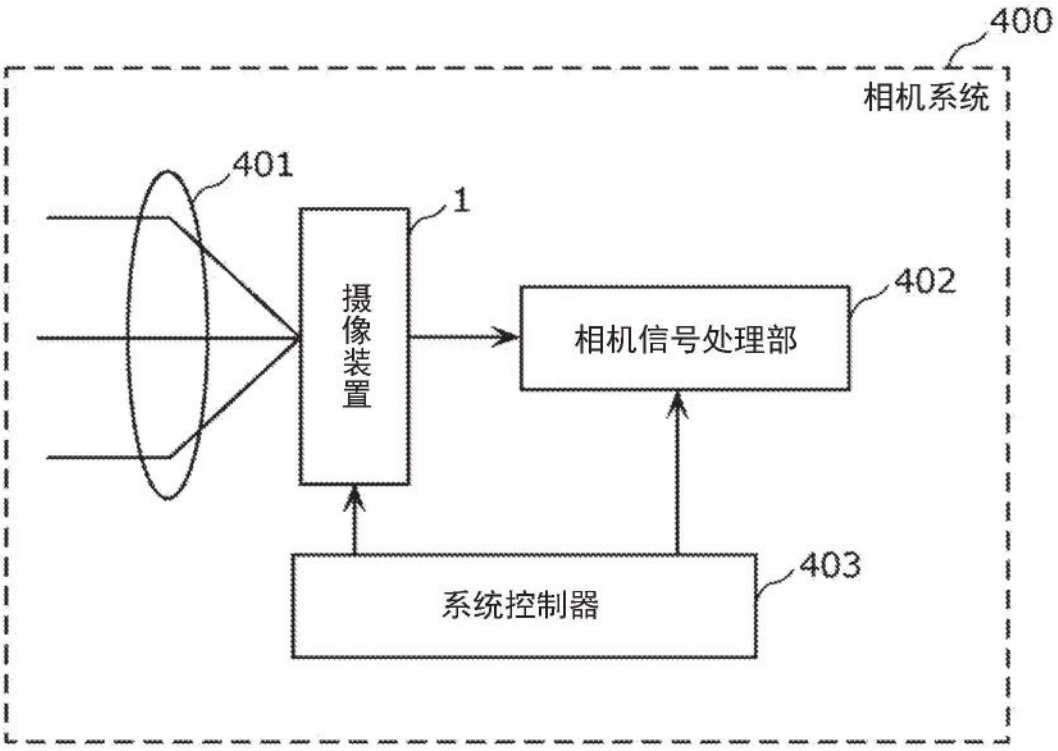


图19