

# 發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號: 06130025

※ 申請日期: 06.8.14

※IPC 分類: H01L 21/8247 (2006.01)

H01L 27/115 (2006.01)

H01L 29/188 (2006.01)

一、發明名稱：(中文/英文)

具有定形浮動閘之非揮發性記憶體

NONVOLATILE MEMORIES WITH SHAPED FLOATING GATES

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商桑迪士克股份有限公司

SANDISK CORPORATION

代表人：(中文/英文)

麗莎 K 托斯

TOTH, LIZA K.

住居所或營業所地址：(中文/英文)

美國加州謬佩塔斯市麥卡錫大道601號

601 MCCARTHY BOULEVARD, MILPITAS, CA 95035, U. S. A.

國籍：(中文/英文)

美國 U.S.A.

三、發明人：(共 1 人)

姓名：(中文/英文)

尼馬 蒙克雷西

MOKHLESI, NIMA

國籍：(中文/英文)

美國 U.S.A.

#### 四、聲明事項：

主張專利法第二十二條第二項  第一款或  第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 美國；2006年08月16日；11/465,038

2. 美國；2006年08月16日；11/465,025

無主張專利法第二十七條第一項國際優先權：

1.

2.

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

## 九、發明說明：

### 【發明所屬之技術領域】

本申請案係關於非揮發性記憶體及形成非揮發性記憶體之方法。特定言之，此申請案係關於浮動閘之定形及定形浮動閘在非揮發性記憶體中之不同配置。

### 【先前技術】

如今所使用的有許多商業上已取得成功的非揮發性記憶體產品，尤其係形式為小型化卡之產品，其使用一快閃EEPROM(電可抹除及可程式化唯讀記憶體)單元陣列。在一類型架構(NAND陣列)中，一連串兩個以上記憶體單元(例如16或32個)之串係彼此連接使得一者之源極亦為另一者之汲極以便形成單元行。通常，由(例如)32個串聯浮動閘記憶體單元所組成之各NAND串係以兩選擇電晶體終止，在串之各端處有一選擇電晶體。汲極側選擇電晶體之源極擴散係與串上之最後單元之汲極相同。汲極側選擇電晶體之汲極係連接至一全局位元線。全局位元線相對於垂直於字線之一垂直方位上延伸。各NAND串駐留在一特定位元線下，該特定位元線提供對其之存取。一全局位元線可跨越數以千計的NAND串。NAND串中之第一浮動閘電晶體之源極側擴散係與源極側選擇電晶體之汲極相同。源極側選擇電晶體之源極通常係連接至一平行於字線行進之共用線。字線橫跨跨越大量此等行之單元而延伸。藉由使該串中的其餘單元受過度驅動以便流經一串的電流係取決於儲存在已定址單元中之電荷位準，在程式化期間讀取並

驗證一行內的一個別單元。NAND架構陣列及其作為記憶體系統之部分的操作之一範例可在美國專利第6,046,935號中找到。

在另一類型陣列(其在源極與汲極擴散之間具有一"分離通道")中，單元之浮動閘係位於通道之一部分上而字線(亦稱為控制閘)係位於另一通道部分以及浮動閘上。此舉可有效地形成一具有兩個串聯電晶體之單元，一電晶體(記憶體電晶體)具有浮動閘上之電荷量與字線上控制可以流經其通道部分之電流量的電壓之組合，而另一電晶體(選擇電晶體)具有單獨作為其閘極的字線。字線在一浮動閘之列上延伸。在美國專利第5,070,032、5,095,344、5,315,541、5,343,063、5,661,053及6,281,075號中提供此類單元、其在記憶體系統中之使用及其製造方法的範例。

此分離通道快閃EEPROM單元之修改會添加一定位在浮動閘與字線之間的引導閘。一陣列之各引導閘在垂直於字線的一行浮動閘上延伸。效應係使字線免於在讀取或程式化一選定單元時必須同時執行兩個功能。此等兩個功能係(1)作為選擇電晶體的閘極，因此需要適當的電壓來開啟並關閉選擇電晶體，以及(2)透過字線與浮動閘之間的一電場(電容性)耦合來將浮動閘之電壓驅動至一所需位準。通常難以採用單一電壓以最佳方式來執行此等功能之兩者。在添加引導閘的情況下，字線僅需要執行功能(1)，而添加的引導閘執行功能(2)。在(例如)美國專利第5,313,421及6,222,762號中說明快閃EEPROM陣列中的引導閘之使用。

在上述記憶體單元陣列類型中的任何類型中，藉由將電子從基板注入至浮動閘來程式化單元之浮動閘。此係藉由在通道區域中進行合適摻雜並向源極、汲極及其餘閘極施加合適電壓來達成。

在上述三類型記憶體單元陣列中使用兩種用於將電荷從浮動閘移除以抹除記憶體單元之技術。一種技術係藉由將合適電壓施加於源極、汲極及使電子穿隧經過浮動閘與基板之間的介電層之一部分的其他閘極來針對基板進行抹除。另一抹除技術係透過定位在浮動閘與另一閘極之間的穿隧介電層將電子從浮動閘傳輸至另一閘極。在以上說明的第二類型單元中，基於此目的而提供第三抹除閘。在以上說明的第三類型單元(其因引導閘之使用而已經具有三個閘極)中，針對字線抹除浮動閘，而無需添加第四閘極。儘管此後者技術返回添加欲藉由字線加以執行的第二功能，但是在不同時間執行此等功能，從而避免因兩個功能而必須做出折衷。在利用任一抹除技術時，將大量記憶體單元分組在一起以在一"快閃"中同時進行抹除。在一種方法中，群組包含足夠的記憶體單元來儲存儲存在磁碟扇區中的使用者資料之數量，即512個位元組，加上某些額外負擔資料。在另一方法中，各群組包含足夠的單元來保持使用者資料之數千位元組，其等於許多磁碟扇區的資料價值。在美國專利第5,297,148號中說明多區塊抹除、缺陷管理及其他快閃EEPROM系統特徵。

如同在大多數積體電路應用中一樣，快閃EEPROM系統

中亦存在用以縮小實施某些積體電路功能所需的矽基板面積之壓力。不斷需要增加可儲存在一矽基板之給定區域中之數位資料量，以增加一給定大小記憶卡及其他類型封裝之儲存容量，或同時增加容量並減小大小。一種增加資料儲存密度之方法係每記憶體單元儲存一個以上資料位元。此係藉由將一浮動閘電荷位準電壓範圍之一視窗分成兩種以上的狀態而實現。使用四個此類狀態使得各單元可儲存兩個資料位元，八個狀態可每單元儲存三個資料位元，依此類推。在美國專利第5,043,940及5,172,338號中說明一多態快閃EEPROM結構及操作。

亦可藉由減小該等記憶體單元及/或整個陣列之實體大小來獲得增加的資料密度。由於處理技術隨時間改善進而允許實施更小的特徵大小，因此積體電路大小之縮小一般可針對所有類型之電路加以執行。然而，採取此方式通常可使一給定電路佈局能縮小至何種程度受到限制，因為經常會有至少一特徵在其能縮小多少方面受到限制，因此會限制總佈局能縮小之量。此發生時，設計者將會尋求實施該電路之一新的或不同的佈局或架構，以便減小執行其功能所需要的矽面積量。上述快閃EEPROM積體電路系統之縮小可能會觸及類似限制。

另一快閃EEPROM架構利用一雙浮動閘記憶體單元，同時將多個狀態儲存於各浮動閘上。在此類型單元中，兩個浮動閘係包含在源極與汲極擴散之間的其通道上，一選擇電晶體係位於該等擴散之間。沿各行浮動閘包含一引導閘

並且在該引導閘上沿各列浮動閘提供一字線。在存取一用以讀取或程式化的給定浮動閘時，在包含關注浮動閘之單元之另一浮動閘上的引導閘係提高到足以使其上無論存在何電荷位準均可開啟另一浮動閘下的通道之高度。此舉有效地消除另一浮動閘作為讀取或程式化相同記憶體單元中之關注浮動閘之因素。例如，流經單元的電流量(其可用以讀取其狀態)因此係與關注浮動閘而非相同單元中的另一浮動閘上的電荷量成函數關係。在美國專利第5,712,180、6,103,573及6,151,248號中說明此單元陣列結構及操作技術之範例。

在此等及其他非揮發性記憶體類型中，對浮動閘與在其上經過之控制閘之間的電場耦合量小心地加以控制。該耦合量決定放置於控制閘上之電壓當中耦合至其浮動閘之百分比。該百分比耦合係由許多因素決定，其中包括該浮動閘與該控制閘之一表面重疊的表面積量。經常需要藉由使重疊面積量最大化來使該等浮動與控制閘間之百分比耦合最大化。Yuan等人在美國專利第5,343,063號中說明一種用以增加耦合面積之方法。該專利中所說明之方法係使該等浮動閘比通常用以提供可與該等控制閘耦合之大垂直表面厚。Yuan在美國專利第6,908,817號中說明另一增加浮動閘與控制閘之耦合面積的方法。

增加鄰接浮動與控制閘間之垂直耦合面積時，另外需要以不增加各單元所佔據之基板面積的一方式進行。此外，較佳減小浮動閘至浮動閘耦合，以便鄰接浮動閘對彼此之

影響不大。

### 【發明內容】

一沿字線方向之斷面為L形之浮動閘向位元線方向上的一鄰接浮動閘呈現一L形刻面。換言之，駐留在兩個相鄰字線上之兩個相鄰浮動閘會彼此呈現L形刻面。L形刻面之面積可小於習知矩形浮動閘之面積，同時維持浮動閘與上覆字線間之相同(或更好)耦合。此外，與刻面面積減小單獨指示之情況相比，駐留在兩個相鄰字線上之兩個相鄰浮動閘間之寄生耦合可進一步加以減小。藉由以下事實提供此進一步減小：L形浮動閘可實質上減小L形刻面上之最遠點離其自己的控制閘之距離，使得此等距離變得小於浮動閘至浮動閘距離，且藉此減小浮動閘至浮動閘電容(其超過刻面面積減小所提供之減小)。出自L形刻面之更多場線現在可在其自己的控制閘上變向並終止，而非橫跨鄰接浮動閘(其駐留在一相鄰字線下方)延伸並在其上終止。在一具體實施例中，沿一浮動閘記憶體單元NAND串之所有浮動閘可具有相同方位。在另一具體實施例中，沿一串之浮動閘係具有交替方位之L形。浮動閘在具有L方位與倒L方位之間交替。此類交替方位之一優點係位元線方向上之鄰接浮動閘之對置刻面具有減小的電容性耦合。在另一具體實施例中，L形浮動閘之方位沿字線方向交替。此亦可沿位元線方向交替。除L形浮動閘之外，亦可形成並配置其他非對稱形狀之浮動閘以具有交替方位。

在一用於形成具有L形浮動閘之記憶體陣列的程序中，

在一基板之一表面上形成一閘極介電層且在該閘極介電層上形成一第一導電層。在該第一導電層上形成一遮罩層且在該遮罩層上形成一光阻層。圖案化該光阻層並將該圖案轉印至遮罩層，形成遮罩部分。接著使用此等遮罩部分來形成在y方向上延伸之STI結構。STI結構將第一導電層分成第一導電部分。接著以第二導電部分取代遮罩部分。第一與第二導電部分接觸且形成在y方向上延伸之電連續導電部分。藉由使用一圖案化蝕刻光罩部分蝕刻此等導電部分可使其形成為L形浮動閘。視L形浮動閘之所需方位而定，可使用不同蝕刻光罩。部分蝕刻造成在垂直方向上部分蝕刻導電部分之區域。已蝕刻區域沿一STI結構之一側壁延伸，留下沿一鄰接STI結構之一側壁延伸的一窄導電部分。隨後，移除蝕刻光罩並回蝕STI結構。接著沈積一介電層或一介電層組合並在介電層上沈積一導電層。由導電層形成獨立字線且在相同蝕刻步驟中將導電部分分離成獨立浮動閘以便此等特徵自對準。

### 【實施方式】

#### 記憶體結構

圖1之方塊圖中一般說明一併入本發明之各種方面的記憶體系統100的一範例。大量個別可定址記憶體單元係配置於列與行的規則陣列110中，儘管顯然可能會有其他的實體單元配置存在。本文中指定成沿該單元陣列110之行而延伸的位元線係透過線150與一位元線解碼器與驅動器電路130電連接。此說明中指定成沿該單元陣列110之列而

延伸的字線係透過線170電連接至一字線解碼器與驅動器電路190。該等解碼器130與190各透過一匯流排160從一記憶體控制器180接收記憶體單元位址。該等解碼器與驅動電路亦透過個別控制與狀態信號線135與195而連接至該控制器180。

控制器180可透過線140連接至一主機裝置(未顯示)。該主機可以為個人電腦、筆記型電腦、數位相機、聲頻播放器、各種其他手持電子裝置及類似物。通常會依據若干現有實體與電標準之一(例如來自PCMCIA、CompactFlash™協會、MMC™協會以及其他者當中的一者)將圖1之記憶體系統100實施為一可移除記憶體，例如一卡。在採用卡格式之情況下，線140在卡上的一連接器中終止，該連接器與主機裝置之一互補連接器介接。許多卡的電介面遵循ATA標準，其中若記憶體系統為磁碟機時，該系統會顯現為主機。亦存在其他記憶卡介面標準。作為卡格式的替代，圖1所示類型之記憶體系統可永久性地嵌入主機裝置中。

依據個別控制與狀態線135與195中的控制信號，該等解碼器與驅動器電路130與190在其陣列110之個別線中產生適當電壓(透過該匯流排160定址)，以執行程式化、讀取及抹除功能。包括電壓位準及其他陣列參數之任何狀態信號係由該陣列110透過相同控制與狀態線135與195提供至該控制器180。該電路130內之複數個感測放大器接收指示該陣列110內已定址記憶體單元之狀態的電流或電壓位準，

並在一讀取操作期間透過線 145 為該控制器 180 提供關於此等狀態之資訊。通常使用大量的感測放大器以便能夠平行讀取大量記憶體單元的狀態。在讀取與程式操作期間，通常會透過該等電路 190 一次定址一系列單元，以存取該已定址列中藉由該電路 130 所選擇之若干單元。在抹除操作期間，通常將許多列之各列中的所有單元一起定址成一同時抹除的區塊。

圖 2 顯示形成於一矽基板上之一 NAND 記憶體單元陣列 110 之一範例的平面圖，其中為求能簡潔地說明，在說明該陣列之重複性導電元件結構的一小部分時，關於存在於該等元件之間的介電層之詳細說明極少。形成淺渠溝隔離 (STI) 結構 210a 至 d，其延伸穿過該基板之表面。為了就此說明提供一規範，顯示該等 STI 結構係在一第一方向 (x 方向) 上間隔開，而其長度延伸於一第二方向 (y 方向) 上，且此等第一與第二方向係本質上互相垂直。

在該等 STI 結構 210a 至 d 之間，有多個記憶體單元串 220a 至 c 行進在該 y 方向上。因此，該等串之方向係平行於該等 STI 結構之方向。各串 220a 至 c 皆包括許多串聯連接的記憶體裝置。圖 2 顯示三個此類串 220a 至 c 之部分，其中顯示各串有三個記憶體單元。然而，串 220a 至 c 包含圖 2 中未加以顯示的額外單元。此外，該陣列 110 包含圖 2 中未表示的額外串。此陣列類型可具有上千個串，各串中具有 16、32 或更多個單元。

一範例性記憶體單元 224 包括一浮動閘 230 以及該 y 方向

之任一側上在該基板中與浮動閘230鄰接之導電源極/汲極區域240a至b。STI結構210b、210c形成隔離元件，其使源極/汲極區域240a、240b與鄰接串220a、220c中單元之源極/汲極及通道區域電隔離。沿該y方向，鄰接單元共用源極/汲極區域240a、240b。源極/汲極區域(包括源極/汲極區域240a、240b)將一單元電連接至下一單元，從而形成一串220b。在此範例中，該等源極/汲極區域240a、240b係藉由將雜質植入至該基板中之所需區域中而形成。

圖3A顯示記憶體單元陣列110之一個別浮動閘230以便可清晰地瞭解其三維形狀。圖3A之z軸自基板表面垂直延伸，因此係垂直於圖2之視圖。可看到，浮動閘230沿x方向之斷面為L形。形成具有一基底301之浮動閘230，該基底301具有一方形佔用面積，該方形之一側之尺寸係等於所使用微影程序之最小特徵大小(F)。在其他範例中，此等尺寸可不同。突出部分303係自基底301延伸，其從基底301之一側延伸以賦予浮動閘230一L形。作為為L形之結果，浮動閘230向位元線方向上之鄰接浮動閘呈現L形刻面。

圖3B顯示圖3A之浮動閘230之一刻面的尺寸。圖3B亦顯示一矩形浮動閘之一刻面的輪廓形狀。可看到，L形刻面之面積係小於具有相同高度(Z1)與寬度(F)之矩形刻面之面積。不過，刻面之周長未減小，因此浮動閘230與一上覆控制閘之間之耦合與矩形浮動閘之情況近似相同(耦合面積係浮動閘之其上覆蓋控制閘之周長乘以y尺寸)。在圖3B

之範例中，尺寸F-X1近似等於X1，因此突出部分303之寬度係基底部分301之寬度的近似一半。不過，並非始終如此。浮動閘與控制閘之間之耦合不取決於具有一特定X1值，因此此值之某一變化係可接受的。

#### 程序流程

圖4顯示圖2之非揮發性記憶體陣列在一先前製造階段沿x方向之斷面圖。採用圖2之I-I指示圖4之斷面。圖4顯示一在基板407上延伸之閘極介電層405及一在閘極介電層405上延伸之第一導電層409。通常，由藉由基板407之矽表面之氧化而生長之二氧化矽形成閘極介電層405。隨後，藉由化學汽相沈積(CVD)或其他技術由多晶矽形成第一導電層409。一介電質(在此範例中係氮化矽)之遮罩層411在第一導電層409上延伸。在另一具體實施例中，該遮罩層可由一或多個導電材料(例如摻雜多晶矽)構成。閘極介電層405、第一導電層409及遮罩層411可全部形成為在整個基板407上延伸之包覆層。光阻部分413a至c覆蓋遮罩層411。依據以微影方式建立的一圖案來形成光阻部分413a至c。在此情況下，光阻部分413a至c在x方向上具有一等於用以形成其之微影程序之最小特徵大小(F)的尺寸。光阻部分413a至c在x方向上亦間隔開一等於F之距離。在其他範例中，光阻部分可具有一大於F之x尺寸，或使用光阻細粒化或其他技術時，可具有一小於F之x尺寸。光阻部分413a至c在y方向上(垂直於圖4之視圖)延伸。藉由光阻部分413a至c所建立之圖案係用以將遮罩層411圖案化成遮罩部

分，其進而用作一蝕刻光罩以形成STI結構。

圖5以相同視圖顯示在由遮罩層411形成遮罩部分411a至c且形成STI結構515a至d之後的圖4之結構。藉由以放置於合適位置處之光阻部分413a至c蝕刻遮罩層411形成遮罩部分411a至c以便將光阻部分413a至c之圖案轉印至遮罩層411。接著，將遮罩部分411a至c用作一光罩以便隨後蝕刻第一導電層409、閘極介電層405及下部基板407以形成STI渠溝。在貫通蝕刻第一導電層409時，將第一導電層409分成作為條帶在y方向上延伸之第一導電部分409a至c。同樣將閘極介電層405分成介電質部分405a至c。因為藉由與形成STI渠溝之步驟相同的步驟形成第一導電部分409a至c，所以此等特徵係自對準。採用介電質(在此範例中係已沈積二氧化矽)填充STI渠溝以形成STI結構515a至d。可沈積至少一介電材料以便其填充STI渠溝且覆蓋遮罩部分411a至c且可接著(例如)藉由利用化學/機械拋光加以平坦化，以便移除覆蓋遮罩部分411a至c之任何介電材料。

隨後，移除遮罩部分411a至c並在其位置處形成第二導電部分617a至c。第二導電部分617a至c可由多晶矽形成。可將多晶矽沈積成一包覆層且接著加以平坦化以便移除覆蓋STI結構515a至d之任何多晶矽。一第一導電部分409a與一第二導電部分617a可視為形成一單一導電部分618a。導電部分618b與618c同樣係由第一與第二部分形成。在一第一具體實施例(如圖6A所示)中，採用多晶矽填充先前由一遮罩部分所佔據之整個體積。或者，若遮罩部分411a至c

係導電，則此取代步驟係多餘的，因為遮罩部分411a至c形成第二導電部分。

在一替代具體實施例(如圖6B所示)中，沈積一多晶矽層，其並不填充先前由一遮罩部分所佔據之整個體積。在多晶矽層上添加一額外介電層且接著執行平坦化。以此方式，可使第二導電部分619a至c之厚度X2更小且可對厚度X2小心地加以控制。第二導電部分619a至c直接覆蓋第一導電部分409a至c且與第一導電部分409a至c電接觸。因此，一第二導電部分619a與其覆蓋之第一導電部分409a可視為一單一導電部分621a。導電部分621b與621c同樣係由第一與第二部分形成。在任一具體實施例中，平坦化後，在第二導電部分及STI結構之已平坦化表面上形成遮罩部分。

圖7A顯示6A之結構，其具有在STI結構515a至d及導電部分618a至c上延伸之遮罩部分723a至c。遮罩層可由沈積成一包覆層且隨後加以圖案化以形成遮罩部分723a至c的光阻形成。在一第一具體實施例中，僅將該光阻層圖案化成一連串細長部分，其在y方向上延伸且具有F之寬度(隨後將論述其他圖案)。對遮罩部分723a至c加以定位以便一個別光阻部分723a部分覆蓋一STI結構515a且部分覆蓋一導電部分618a。此可能需要用以形成光阻部分723a至c之圖案與STI結構515a至d及導電部分618a至c之圖案對準。將光阻部分723a至c用作一蝕刻光罩以如圖所示蝕刻導電部分618a至c。在垂直方向上使用各向異性蝕刻進行蝕刻

且蝕刻化學物對於多晶矽而言係選擇性的以便不實質上蝕刻 STI 結構 515a 至 d。蝕刻可在第一導電部分 409a 至 c 與第二導電部分 617a 至 c 間之介面處或在某一其他位準處停止。蝕刻可延伸至第一導電部分 409a 至 c 中，或可在第一導電部分 409a 至 c 上之某一位準處停止。各向異性蝕刻之後，可執行一額外濕式蝕刻。該選用濕式蝕刻可用以進一步窄化 L 形導電部分 618a 至 c 之垂直與水平尺寸。隨後，可執行一選用步驟(其係由一部分或完全填充組成)以採用介電材料填充藉由蝕刻所形成之體積。可接著平坦化該填充材料以移除在導電部分上延伸之過量填充材料。或者，可以不需要介電質填充及隨後之平坦化。接著執行介電材料(包括 STI 結構 515a 至 d)之回蝕。此回蝕對於多晶矽上之介電質而言係選擇性的且可為一各向異性乾式蝕刻。在某些情況下，此選擇性使得採用介電質填充材料之填充以及隨後之平坦化成為多餘步驟。

圖 7B 顯示在使用上述光阻部分進行蝕刻之後的依據圖 6B 之替代具體實施例的一導電部分 621a。如圖所示，蝕刻之後保留某些介電材料 725。第二導電部分 619a 與剩餘介電材料 725 之寬度係  $X1$ 。 $X1$  之值係由用以定形導電部分之蝕刻光罩之光阻部分的位置與延伸決定，因而取決於用以形成光阻部分之圖案之對準。

圖 8A 顯示在一回蝕程序之後的圖 7A 之結構。回蝕程序將 STI 結構 515a 至 d 下至一位準移除，在此範例中該位準係高於閘極介電層部分 405a 至 c 之頂部，不過亦可將該結構

回蝕至其他位準。該回蝕程序使導電部分618a至c之側曝露。導電部分618a至c在此點處在y方向上延伸，沿x方向之斷面為L形，如圖所示。隨後，在圖8A之結構上形成一或多個介電層及一或多個控制閘層。

在形成導電部分之處(如圖7B所示)，藉由回蝕步驟將沈積於導電部分621a上之任何剩餘介電材料725移除，如圖8B所示。此留下一具有垂直突出部分829(其在x方向上具有一等於已沈積第二導電部分619a之厚度的厚度X2)之L形導電部分621a。此係小於藉由採用一蝕刻光罩圖案化所決定之厚度X1。與圖8A之範例相反，此厚度X2並非由對準決定且可更嚴格地(與藉由對準所決定之尺寸相比)加以控制。

圖9顯示在圖8A或8B之導電部分上沈積介電層931(多晶矽間介電質)與控制閘層933之結果。介電層931可為一單一層(例如二氧化矽層)或可為一複合層(例如氧化物-氮化物-氧化物或ONO層)。控制閘層933係由一導電材料(例如，摻雜多晶矽、某一金屬、或金屬組合)製成。在某些情況下，使用摻雜多晶矽與金屬矽化物(例如，矽化鈷、矽化鎳、或矽化鎢)之組合。或者，控制閘層可由多晶矽、跟在之後的氮化鎢(其用作阻障層)及隨後之鎢組成。作為包覆層形成介電層931與控制閘層933之後，圖案化所得結構以形成字線並使導電部分分離成獨立浮動閘。字線在x方向上延伸且通常具有一接近F之寬度並間隔開一接近F之距離，間距仍等於2F。因為藉由與形成獨立浮動閘之

步驟相同的步驟形成字線，所以字線係與浮動閘自對準。一字線形成一控制閘，在該控制閘之處，其覆蓋一記憶體單元之一浮動閘。共用一字線之記憶體單元可視為形成一記憶體單元列。

圖 10 說明依據該第一具體實施例之三個鄰接列 1035a 至 c 之浮動閘。如圖所示，浮動閘 1037b 之 L 形刻面面對鄰接列之浮動閘 1037a、1037c 之類似 L 形刻面。可在列 1035a 至 c 間沈積介電質。因此，對置刻面係用作一平行板電容器之板。不過，其面積已減小(與一具有類似尺寸之矩形刻面的浮動閘相比)，因此沿 y 方向的相鄰浮動閘間之耦合已減小。

#### 反面對 L 形浮動閘

圖 11 顯示依據本發明之另一具體實施例之三個鄰接列 1141a 至 c 之浮動閘的一配置。如先前所述，所有浮動閘均為 L 形。不過，一列之浮動閘具有一方位，而一鄰接列之浮動閘具有一相反方位。列 1141b 之浮動閘可視為具有一 L 方位，而鄰接列 1141a、1141c 之浮動閘可視為具有一倒 L 方位。此配置可減小不同列之浮動閘之上部部分間之耦合。鄰接列之對置浮動閘具有相反方位，因此上部部分並非彼此直接對置。例如，上部部分 1143a 與 1143b 並非彼此直接對置。此減小浮動閘之此等部分間之電容性耦合。在此配置中，浮動閘之方位隨列交替，一特定列之所有浮動閘具有相同方位。因此，例如，偶數列可具有具一第一方位之浮動閘，而奇數列可具有具相反方位之浮動閘。此一

配置不受限於為L形之浮動閘，但可應用於沿x方向之斷面為任何非對稱形狀之浮動閘。例如，浮動閘沿x方向之斷面可為三角形。具有圖11所示配置之浮動閘可以與上述圖10之浮動閘類似的方式形成，不過在用於蝕刻導電部分以形成L形斷面輪廓之圖案方面有某些差異。

圖12A顯示可用以蝕刻導電部分的一第一棋盤圖案。圖12A亦顯示如何使此圖案與下部結構對準。該圖案可由光阻形成且包括與圖7A之斷面中所顯示之光阻部分723a至c類似之光阻部分。此棋盤圖案具有矩形部分，該等矩形部分在其角落處接觸。一個別矩形部分1245具有 $F \times 2F$ 之尺寸。該棋盤圖案係自導電部分1247a至c與STI結構1249a至c之圖案偏移，以便棋盤圖案之個別矩形部分1245部分覆蓋一導電部分1247c且部分覆蓋一STI結構1249c。此棋盤圖案保護導電部分1247a至c之區域且曝露導電部分1247a至c之其他區域。採用放置於合適位置處之光阻圖案來執行一蝕刻以便部分蝕刻(而非貫通蝕刻)導電部分1247a至c之已曝露區域。不實質上蝕刻導電部分1247a至c之受保護區域。

圖12B顯示導電部分1247a至c與STI結構1249a至c在依據圖12A之圖案加以圖案化之後的視圖。在此視圖中將受光阻保護之區域用陰影表示。對未受保護區域加以蝕刻且其具有一已減小(與導電部分之未蝕刻區域相比)厚度(z軸尺寸)。形成在導電部分1247a至c及STI結構1249a至c上延伸之介電層與導電層(圖12B未顯示)。接著圖案化並蝕刻一

包括導電部分、介電層及導電層之堆疊以形成字線並形成獨立浮動閘(其係與其上之字線自對準)。圖12B顯示字線1251a至c之輪廓。對字線1251a至c間之區域加以蝕刻以便將導電層分成獨立字線。在相同蝕刻中，貫通蝕刻(至少下至下部閘極介電質)導電部分1247a至c，以便在字線1251a至c下形成獨立浮動閘。

圖13A顯示亦可用以形成具圖11所示配置之浮動閘的一替代圖案。圖13A之圖案之一光阻部分1353在x方向上具有F之尺寸且在y方向上具有大於2F之尺寸。此處y方向上之尺寸係 $2F+D$ ，其中D比F小。光阻部分間之空間在y方向上具有 $2F-D$ 之尺寸。因此，光阻部分沿其側之部分彼此接觸，而不是僅僅在角落處接觸。此使得導電部分1355a至c中為光阻所覆蓋之區域為連續區域。使用一依據圖12A或13A之圖案蝕刻導電部分1355a至c之後，如先前所述，移除光阻部分，回蝕STI結構1357a至c以及在基板上沈積介電層與導電層。

圖13B顯示導電部分1355a至c與STI結構1357a至c在依據13A之圖案加以圖案化的視圖。圖13B之導電部分1355a之未蝕刻部分形成一沿導電部分1355a之蛇形圖案。與不連續或稍微接觸之未蝕刻部分(像圖12B之未蝕刻部分)相比，連續未蝕刻部分形成機械更強之結構。此類結構可更好地耐受程序(例如化學機械拋光(CMP))期間出現的可能有破壞性之力。圖13B顯示字線1359a至c之輪廓。雖然圖12B與13B之圖案具有某些差異，但此等差異係位於字線

1359a至c之間。因此，蝕刻以形成獨立字線1359a至c及浮動閘之後，移除此等不同特徵且兩圖案之所得結構係相同的。

沿列之反面對浮動閘

圖14顯示依據本發明之另一具體實施例的另一替代浮動閘配置。如先前所述，浮動閘沿x方向之斷面為L形。一系列1461b之浮動閘之方位與鄰接列1461a、1461c之對置浮動閘之方位相反。不過，與先前範例不同，此處浮動閘的方位沿一系列(例如列1461b)交替。因此，沿一系列之交替浮動閘具有一第一方位(L方位)，而沿該列之其餘交替浮動閘具有一第二方位(倒L方位)。

圖15A顯示一可用以形成具有圖14之配置之浮動閘的圖案。可執行直至圖15A所示階段之處理，如圖4至6所示。圖15A顯示一用作蝕刻光罩以部分蝕刻導電部分1563a至c之棋盤圖案。該圖案包括具有長度為 $2F$ 之側的方形，例如方形1565a。該圖案係與下部導電部分1563a至c及STI結構1567a至c對準，因此方形與STI結構1567a至c間有一偏移。方形1565b覆蓋一STI結構1567b且在任一側上均在導電部分1563a、1563b上延伸大約一半長度。因此，方形1565b在任一側上均在導電部分1563a、1563b上延伸大約 $F/2$ 。圖15A之圖案的一替代圖案具有在y方向上延伸超過 $2F$ 之光阻部分，因此方形沿其側接觸。如先前所述，此一圖案可導致獲得之結構比藉由具有僅在角落處接觸之方形的圖案所形成之結構實體強。

圖 15B 顯示採用圖 15A 之圖案(其係放置於合適位置處)的蝕刻結果。對導電部分 1563a 至 d 之非陰影區域加以蝕刻，以具有一小於導電部分 1563a 至 d 之其餘區域之垂直厚度的垂直厚度。如同以上範例中一樣，顯示字線 1565a 至 c 之輪廓。此處，可看到，沿一字線之浮動閘之方位交替(蝕刻區域係位於導電部分之交替側上)。如先前所述，在 STI 結構與導電部分上沈積介電層與導電層。接著，將一字線光罩對準，以便字線 1565a 至 c 如圖所示延伸，圖案之角落出現在字線 1565a 至 c 之間。將導電層分離成獨立字線，且同時將導電部分 1563a 至 d 分離成獨立浮動閘。

雖然圖 14 所示範例顯示沿列(X方向)與行(Y方向)均具有交替方位之浮動閘，但情況並非始終如此。在其他範例中，浮動閘可沿列而非沿行具有交替方位。因此，一特定行中之所有浮動閘可具有相同方位，而相鄰行之浮動閘具有一不同方位。可使用一光阻圖案來形成此類浮動閘，該光阻圖案係由行進在行方向上以部分覆蓋一 STI 結構之任一側上之導電部分的條帶組成。

雖然已就本發明之範例性具體實施例說明本發明之各方面，但是應瞭解，本發明有權在所附申請專利範圍之全部範疇內受到保護。

### 【圖式簡單說明】

圖 1 顯示依據本發明之具體實施例的一記憶體系統，其包括一記憶體陣列。

圖 2 顯示圖 1 之記憶體陣列(其包括浮動閘記憶體單元

NAND串)之詳細視圖。

圖3A顯示圖2之一記憶體單元之一浮動閘之詳細視圖，該浮動閘之斷面為L形。

圖3B顯示圖3A之浮動閘之一刻面，包括與一矩形浮動閘之比較。

圖4顯示圖2之記憶體陣列在一先前製造階段之斷面圖，包括一閘極介電層、第一導電層及遮罩層(具有一覆蓋遮罩層之圖案化光阻層)。

圖5以相同視圖顯示在將光阻層之圖案轉印至遮罩層且接著使用遮罩層來建立STI結構之位置之後的圖4之結構。

圖6A顯示在以一第二導電層取代遮罩層部分並加以平坦化之後的圖5之結構。

圖6B顯示圖6A之結構的一替代結構，其中使用一薄的第二導電層取代遮罩層部分，隨後添加一介電層且接著加以平坦化。

圖7A顯示在形成一光阻圖案(其覆蓋導電部分及STI結構)並使用該光阻圖案來部分蝕刻導電部分之後的圖6A之結構。

圖7B顯示在以一部分覆蓋該導電部分之蝕刻光罩進行部分蝕刻之後的圖6B之替代具體實施例之一個別導電部分。

圖8A顯示在移除光阻部分並將STI結構回蝕至一接近基板表面之位準之後的圖7A之結構。

圖8B顯示在移除介電質留下一窄上部部分之後的圖7B之個別導電部分。

圖9顯示在沈積一介電層及一覆蓋該介電層之導電層之後的圖8A之結構。

圖10顯示依據本發明之一具體實施例之一記憶體陣列的L形浮動閘。

圖11顯示本發明之另一具體實施例之L形浮動閘，一串之浮動閘具有交替方位，一系列之浮動閘具有相同方位。

圖12A顯示一可用以由導電部分形成圖11之浮動閘的蝕刻光罩。

圖12B顯示藉由圖12A之蝕刻光罩加以圖案化之導電部分以及形成於已圖案化導電部分上之字線之位置。

圖13A顯示一可用以由導電部分形成圖11之浮動閘的替代蝕刻光罩。

圖13B顯示藉由圖13A之蝕刻光罩加以圖案化之導電部分以及形成於已圖案化導電部分上之字線之位置。

圖14顯示本發明之另一具體實施例之L形浮動閘，該等浮動閘沿位元線方向具有交替方位且該等浮動閘沿字線方向亦具有交替方位。

圖15A顯示一可用以由導電部分形成圖14之浮動閘的蝕刻光罩。

圖15B顯示藉由圖15A之蝕刻光罩加以圖案化之導電部分以及形成於已圖案化導電部分上之字線之位置。

#### 【主要元件符號說明】

100

記憶體系統

110

記憶體單元陣列

130	位元線解碼器與驅動器電路
135	控制與狀態信號線
140	線
145	線
150	線
160	匯流排
170	線
180	記憶體控制器
190	字線解碼器與驅動器電路
195	控制與狀態信號線
210a	淺渠溝隔離(STI)結構
210b	淺渠溝隔離(STI)結構
210c	淺渠溝隔離(STI)結構
210d	淺渠溝隔離(STI)結構
220a	串
220b	串
220c	串
224	記憶體單元
230	浮動閘
240a	導電源極/汲極區域
240b	導電源極/汲極區域
301	基底
303	突出部分
405	閘極介電層

405a	閘極介電層部分
405b	導電源極/汲極區域
405c	導電源極/汲極區域
407	基板
409	第一導電層
409a	第一導電部分
409b	第一導電部分
409c	第一導電部分
411	遮罩層
411a	遮罩部分
411b	遮罩部分
411c	遮罩部分
413a	光阻部分
413b	遮罩部分
413c	遮罩部分
515a	STI 結構
515b	STI 結構
515c	STI 結構
515d	STI 結構
617a	第二導電部分
617b	第二導電部分
617c	第二導電部分
618a	導電部分
618b	導電部分

618c	導電部分
619a	第二導電部分
619b	第二導電部分
619c	第二導電部分
621a	導電部分
621b	導電部分
621c	導電部分
723a	遮罩部分/光阻部分
723b	遮罩部分/光阻部分
723c	遮罩部分/光阻部分
725	剩餘介電材料
829	垂直突出部分
931	介電層
933	控制閘層
1035a	列
1035b	列
1035c	列
1037a	浮動閘
1037b	浮動閘
1037c	浮動閘
1141a	列
1141b	列
1141c	列
1143a	上部部分

1143b	上部部分
1245	個別矩形部分
1247a	導電部分
1247b	導電部分
1247c	導電部分
1249a	STI 結構
1249b	STI 結構
1249c	STI 結構
1251a	字線
1251b	字線
1251c	字線
1353	光阻部分
1355a	導電部分
1355b	導電部分
1355c	導電部分
1357a	STI 結構
1357b	STI 結構
1357c	STI 結構
1359a	字線
1359b	字線
1359c	字線
1461a	列
1461b	列
1461c	列

1563a	導電部分
1563b	導電部分
1563c	導電部分
1565a	字線
1565b	方形/字線
1565c	字線
1567a	STI 結構
1567b	STI 結構
1567c	STI 結構

## 五、中文發明摘要：

在一使用浮動閘儲存電荷之非揮發性記憶體中，個別浮動閘係L形。L形浮動閘之方位可在一位元線方向上交替且亦可在一字線方向上交替。藉由使用不同圖案之蝕刻光罩蝕刻導電部分，以獲得不同方位之浮動閘來形成L形浮動閘。

## 六、英文發明摘要：

In a nonvolatile memory using floating gates to store charge, individual floating gates are L-shaped. Orientations of L-shaped floating gates may alternate in the bit line direction and may also alternate in the word line direction. L-shaped floating gates are formed by etching conductive portions using etch masks of different patterns to obtain floating gates of different orientations.

## 十、申請專利範圍：

1. 一種形成一NAND快閃記憶體之方法，其包含：  
形成沿一第一方向串聯連接在一起之複數個記憶體單元，該複數個記憶體單元各具有一浮動閘；  
將該複數個記憶體單元之該等浮動閘中的若干浮動閘在一垂直於該第一方向之平面中的斷面定形為L形。
2. 如請求項1之方法，其中該等浮動閘之第一交替浮動閘具有一第一方位，該等浮動閘之第二交替浮動閘具有一與該第一方位相反的第二方位。
3. 如請求項2之方法，其中該等浮動閘之該等第一交替浮動閘沿一垂直於該第一方向之第二方向之斷面為L形，而該等浮動閘之該等第二交替浮動閘沿該第二方向之斷面為倒L形。
4. 如請求項1之方法，其中該定形包括依據一圖案移除導電浮動閘材料，將該導電浮動閘材料移除至一小於該浮動閘材料之總厚度的深度。
5. 如請求項1之方法，其中藉由沈積一多晶矽層；隨後形成複數個淺渠溝隔離結構，其將該多晶矽層分成導電部分；隨後依據一棋盤圖案蝕刻該等導電部分；及隨後將該等導電部分分成個別浮動閘，來形成浮動閘。
6. 如請求項5之方法，其進一步包含在該等導電部分上形成一介電層並在該介電層上形成一控制閘層，依據一圖案使該控制閘層形成為複數個字線，該將該等導電部分分成個別浮動閘亦係依據該圖案。

7. 如請求項6之方法，其中一個別字線下之浮動閘在一第一方位與一第二方位間交替。
8. 如請求項7之方法，其中浮動閘沿該第一方向在該第一方位與該第二方位間交替。
9. 一種形成快閃記憶體陣列之方法，其包含：
  - 形成一第一導電層，其橫跨一基板之一表面延伸；
  - 形成複數個淺渠溝隔離結構，其在一第一方向上延伸且在一垂直於該第一方向之第二方向上分離，該複數個淺渠溝隔離結構穿過該第一導電層延伸至該基板中，藉此將該第一導電層分成複數個第一導電部分；
  - 形成複數個第二導電部分，該複數個第二導電部分覆蓋該複數個第一導電部分，藉由該複數個淺渠溝隔離結構之鄰接淺渠溝隔離結構在該第二方向上定義一個別第二導電部分；及
  - 部分蝕刻該複數個第二導電部分以形成窄化第二導電部分，該等窄化第二導電部分在該第二方向上係比該等第一導電部分窄，藉由一淺渠溝隔離結構在一側上定義一窄化第二導電部分。
10. 如請求項9之方法，其進一步包含將該複數個第一導電部分及上覆窄化第二導電部分分離成複數個浮動閘，該複數個浮動閘沿一垂直於該第一方向之平面的斷面具有一非對稱形狀。
11. 如請求項10之方法，其進一步包含形成一覆蓋該複數個第二導電部分之介電層及形成一覆蓋該介電層之導電控

制閘層，且其中在將該複數個第一導電部分及上覆窄化第二導電部分分離成該複數個浮動閘的相同步驟中將該導電控制閘層分離成個別字線。

12. 如請求項9之方法，其中該複數個第二導電部分之部分蝕刻係在一棋盤圖案中。
13. 如請求項10之方法，其中該複數個浮動閘具有沿該第一方向在一第一方位與一第二方位間交替之非對稱形狀。
14. 如請求項10之方法，其中該複數個浮動閘具有沿該第二方向在一第一方位與一第二方位間交替之非對稱形狀。
15. 如請求項10之方法，其中該複數個浮動閘具有沿該第一方向在一第一方位與一第二方位間交替且沿該第二方向在該第一方位與該第二方位間交替的非對稱形狀。
16. 一種NAND快閃記憶體陣列，其包含：
  - 複數個記憶體單元串；
  - 一個別記憶體單元串，其包含沿一第一方向串聯連接之複數個記憶體單元；及
  - 該複數個單元之一個別單元，其具有一浮動閘，該浮動閘沿一垂直於該第一方向之平面的斷面為L形。
17. 如請求項16之NAND快閃記憶體，其中該複數個單元之第一交替單元垂直於該第一方向之斷面具有一第一方位，且該複數個單元之第二交替單元垂直於該第一方向之斷面具有一第二方位，該第二方位係與該第一方位相反。
18. 如請求項17之NAND快閃記憶體，其中該複數個單元之

該等第一交替單元垂直於該第一方向之斷面為L形，且該複數個單元之該等第二交替單元垂直於該第一方向之斷面為倒L形。

19. 如請求項16之NAND快閃記憶體，其中該浮動閘在該第一方向上具有一尺寸且在一垂直於該第一方向之第二方向上具有相同尺寸，該尺寸係等於一用以形成該個別單元之微影程序之最小特徵大小。
20. 如請求項16之NAND快閃記憶體，其中複數個字線在一垂直於該第一方向之第二方向上延伸，藉由該複數個字線之一所連接之記憶體單元形成一列，沿該列之第一交替浮動閘沿該第二方向之斷面具有一第一方位，且沿該列之第二交替浮動閘沿該第二方向之斷面具有一第二方位。
21. 如請求項20之NAND快閃記憶體，其中第一交替浮動閘沿該第二方向之斷面為L形，且第二交替浮動閘沿該第二方向之斷面為倒L形。
22. 如請求項16之NAND快閃記憶體，其中複數個字線在一垂直於該第一方向之第二方向上延伸，藉由該複數個字線之一所連接之記憶體單元形成一列，沿一列之浮動閘沿該第二方向之斷面具有交替方位，且沿該個別串之浮動閘沿該第二方向之斷面具有交替方位。
23. 如請求項16之NAND快閃記憶體，其中該浮動閘包括在一垂直於該第一方向之第二方向上具有一第一尺寸的一下部部分，及在該第二方向上具有一第二尺寸的一上部

部分，該第一尺寸係等於一用以形成該浮動閘之微影程序之最小特徵大小，該第二尺寸係小於該第一尺寸。

24. 如請求項23之NAND快閃記憶體，其中該第二尺寸係該第一尺寸之一半。

25. 如請求項23之NAND快閃記憶體，其中該第二尺寸係小於該第一尺寸之一半，藉由一導電層之沈積決定該第二尺寸，該第二尺寸係獨立於圖案對準。

26. 一種快閃記憶體陣列，其包含：

複數個記憶體單元，該複數個記憶體單元各具有一浮動閘；

複數個字線，其係在一第一方向上延伸，該複數個字線覆蓋該複數個浮動閘；

複數個行，其係在一垂直於該第一方向之第二方向上延伸；

複數個浮動閘之第一交替浮動閘，其係沿該複數個行之一個別行，其沿該第一方向之斷面具有一第一方位；及

該複數個浮動閘之第二交替浮動閘，其係沿該行，其沿該第一方向之斷面具有一第二方位，該第二方位係與該第一方位相反。

27. 如請求項26之快閃記憶體，其中該複數個記憶體單元之該等第一交替記憶體單元與該等第二交替記憶體單元係在該第二方向上串聯連接在一起以形成一NAND串。

28. 如請求項26之快閃記憶體，其中該複數個浮動閘之該等第一交替浮動閘沿該第一方向之斷面為L形且該複數個

浮動閘之該等第二交替浮動閘沿該第一方向之斷面為倒L形。

29. 如請求項26之快閃記憶體，其中該複數個記憶體單元中共用一字線之記憶體單元形成一列，沿一列之浮動閘沿該第一方向具有交替方位。
30. 如請求項29之快閃記憶體，其中該複數個浮動閘之第一交替浮動閘沿該第一方向之斷面為L形，該複數個浮動閘之第二交替浮動閘沿該第一方向之斷面為倒L形，及沿該列之浮動閘沿該第一方向之斷面為交替L形與倒L形。
31. 如請求項26之快閃記憶體，其中該複數個浮動閘覆蓋一閘極介電質，該複數個浮動閘之一個別浮動閘具有一與該閘極介電質接觸之表面，該表面為方形，一側尺寸係等於一用以形成該記憶體陣列之微影程序的最小特徵大小。
32. 如請求項26之快閃記憶體，其進一步包含在該第二方向上延伸之複數個淺渠溝隔離結構，一個別淺渠溝隔離結構在兩個鄰接行之間延伸。
33. 一種NAND快閃記憶體，其包含：
  - 複數個記憶體單元串，其在一第一方向上延伸且在一垂直於該第一方向之第二方向上分離；
  - 複數個字線，其在該複數個記憶體單元上在該第二方向上延伸，該複數個字線在該第一方向上分離；
  - 一第一複數個浮動閘，其沿該第二方向具有一第一方

位；

一 第二複數個浮動閘，其沿該第二方向具有一與該第一方位相反之第二方位；及

其中沿一字線交替定位該第一複數個浮動閘之若干浮動閘與該第二複數個浮動閘之若干浮動閘。

34. 如請求項 33 之 NAND 快閃記憶體，其中沿該複數個串之一個別串交替定位該第一複數個浮動閘之若干浮動閘與該第二複數個浮動閘之若干浮動閘。

35. 如請求項 33 之 NAND 快閃記憶體，其中該第一複數個浮動閘沿該第二方向之斷面為 L 形，且該第二複數個浮動閘沿該第二方向之斷面為倒 L 形。

36. 如請求項 33 之 NAND 快閃記憶體，其中該第一複數個浮動閘與該第二複數個浮動閘沿該第二方向之斷面均為三角形。

37. 如請求項 33 之 NAND 快閃記憶體，其進一步包含在該第一方向上延伸之複數個淺渠溝隔離結構，該複數個淺渠溝隔離結構之一個別淺渠溝隔離結構在該複數個記憶體單元串之鄰接記憶體單元串之間延伸。

十一、圖式：

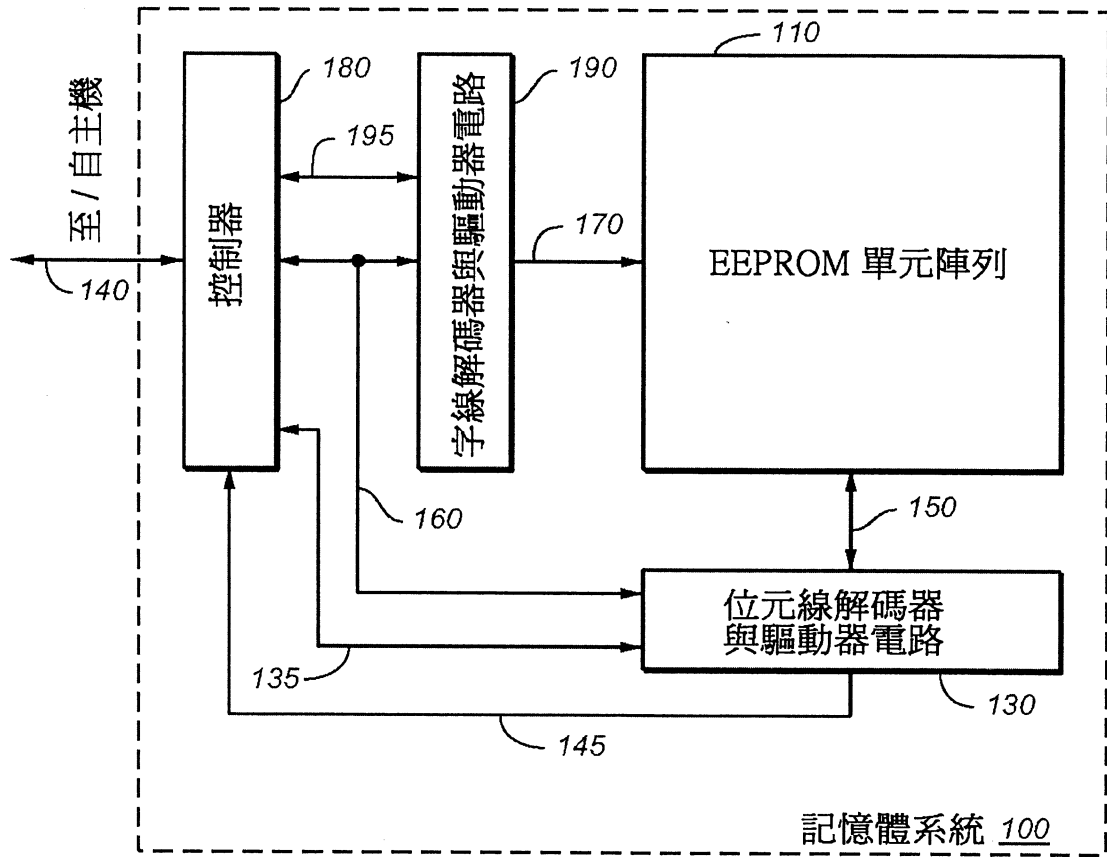


圖 1

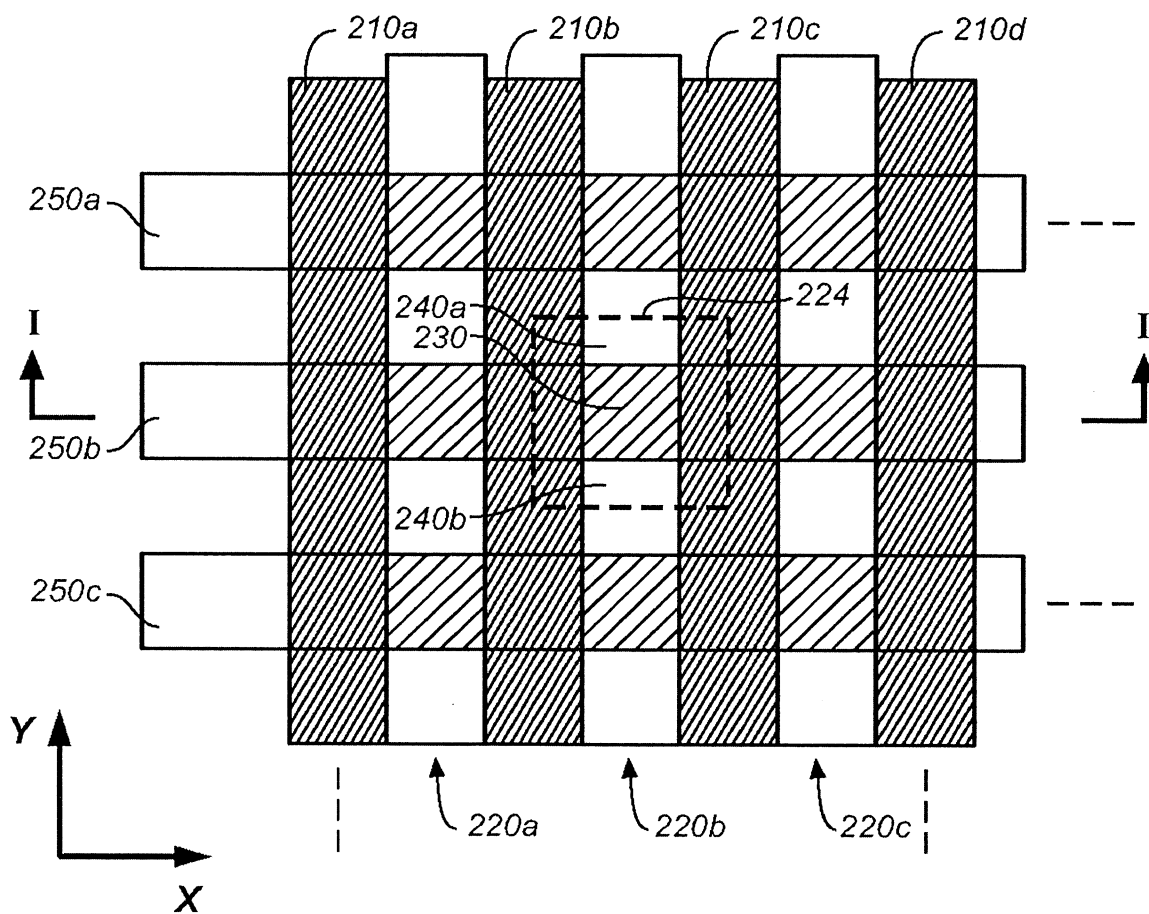


圖 2

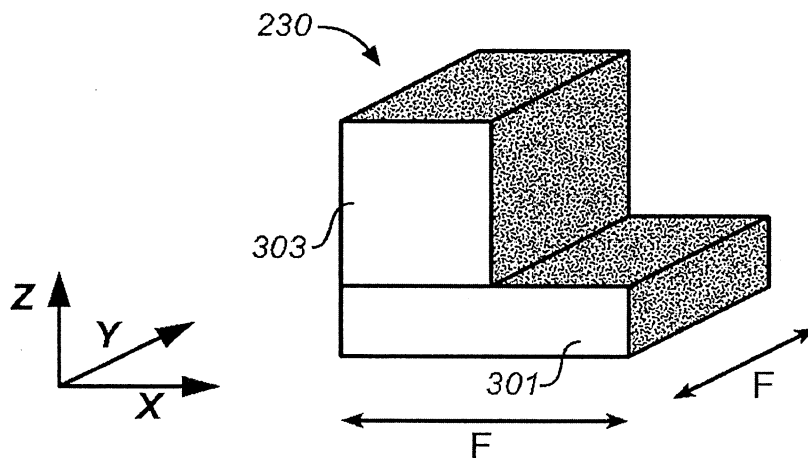


圖 3A

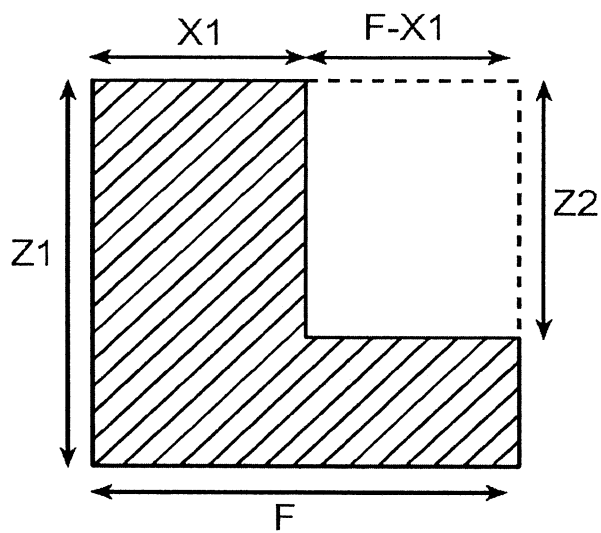


圖 3B

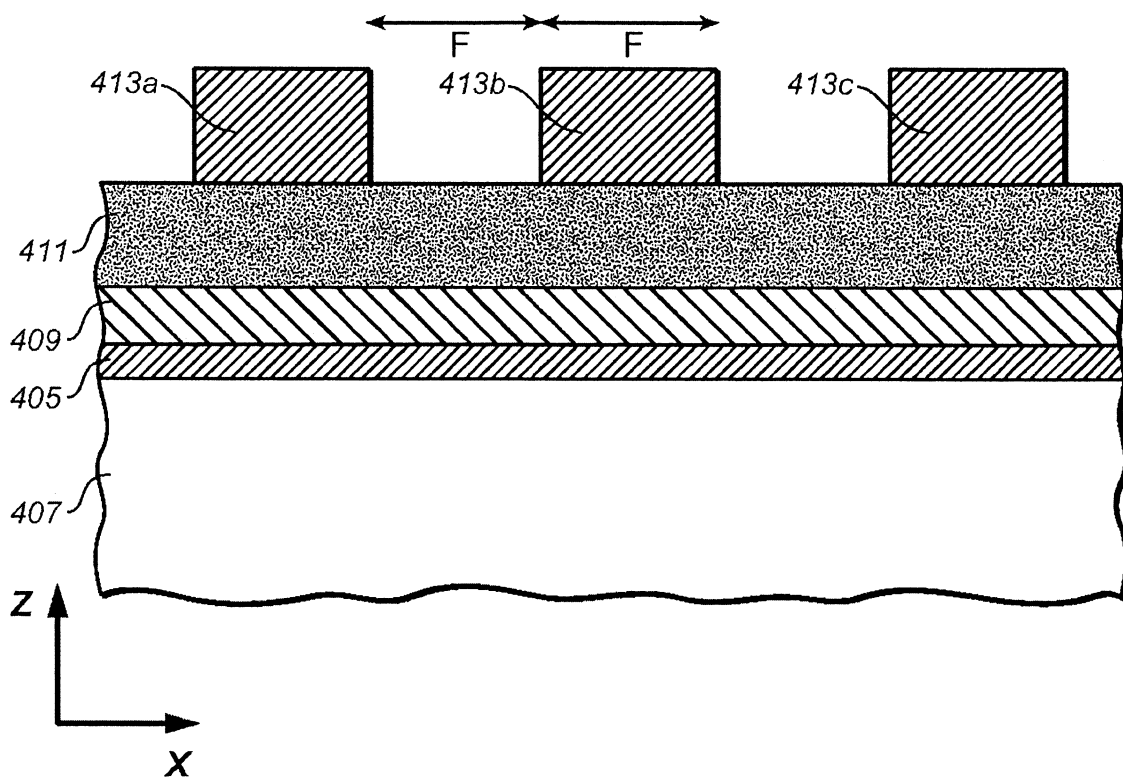


圖 4

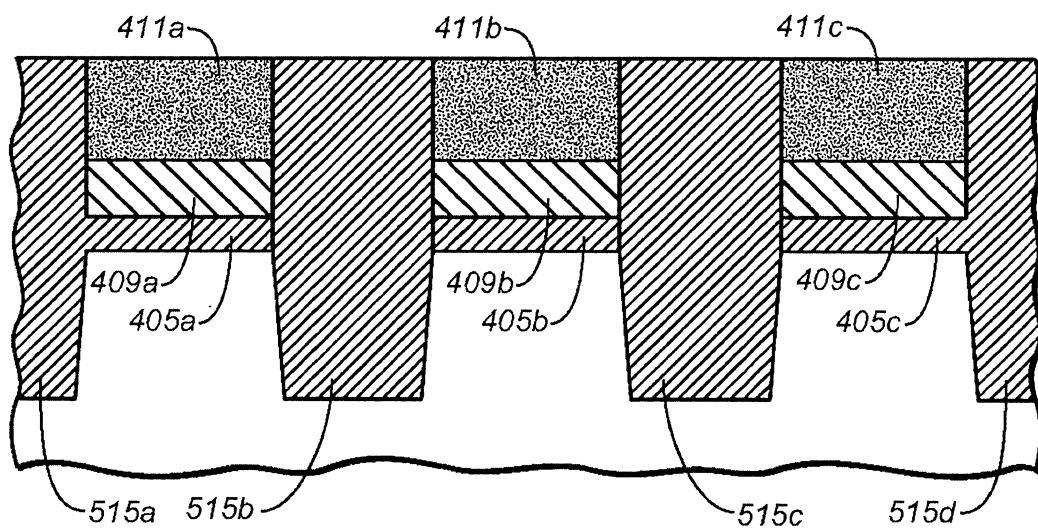


圖 5

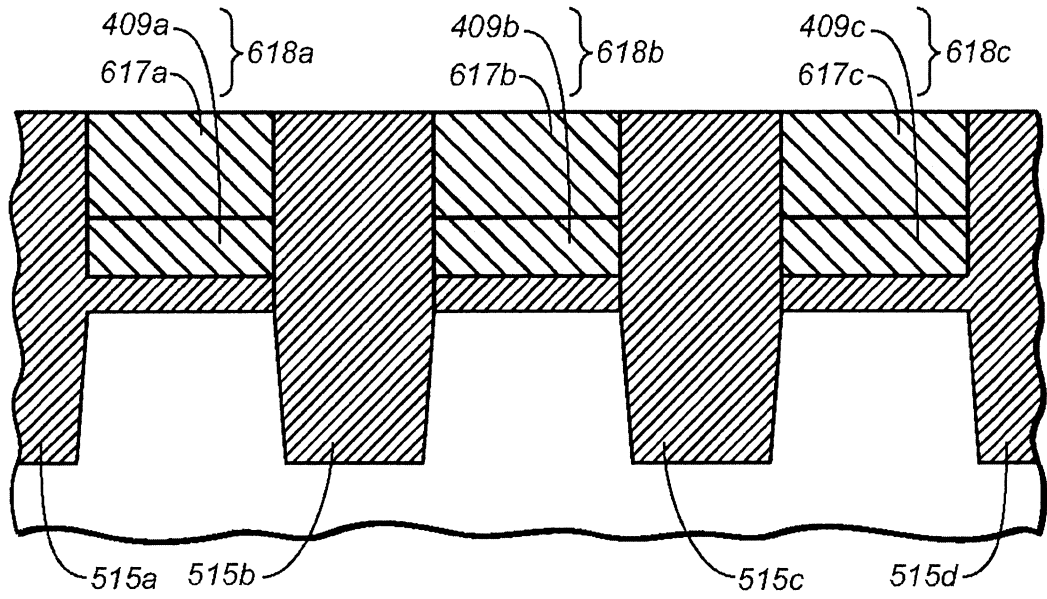


圖 6A

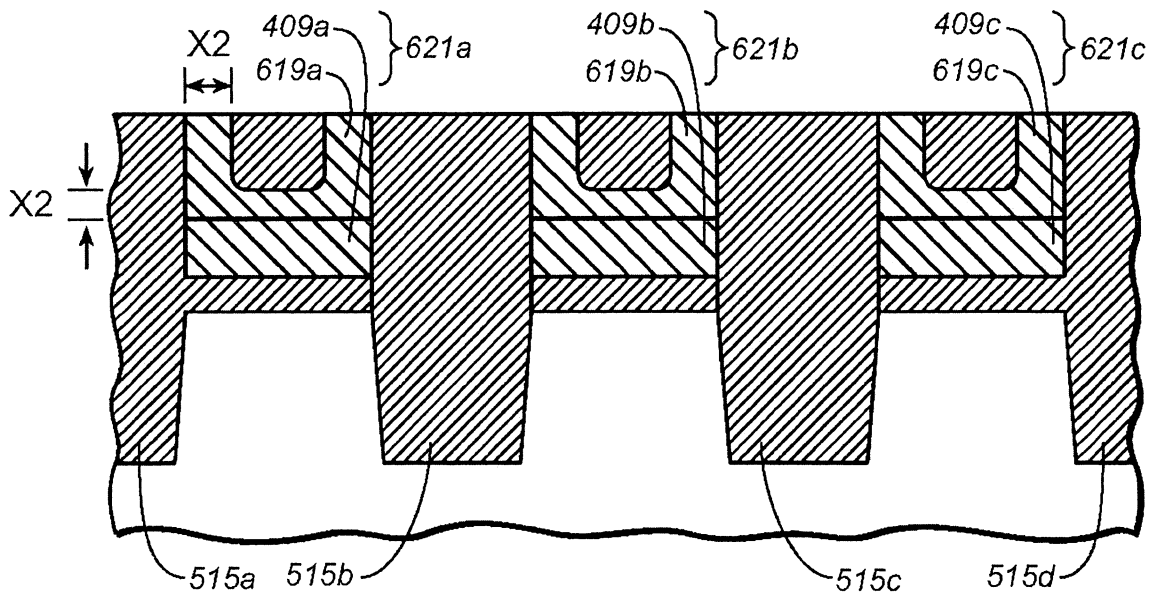


圖 6B

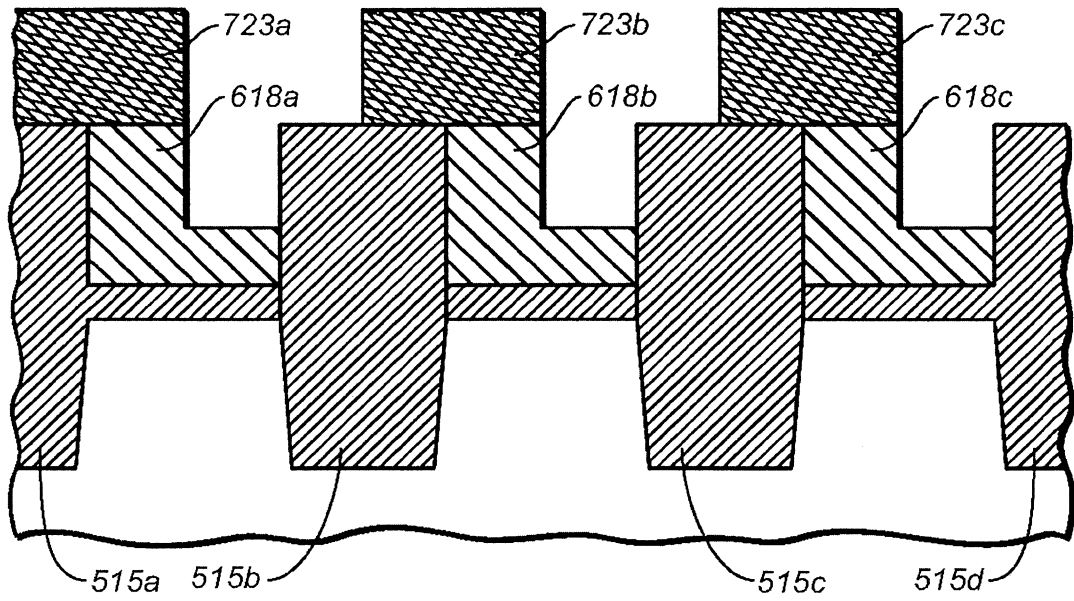


圖 7A

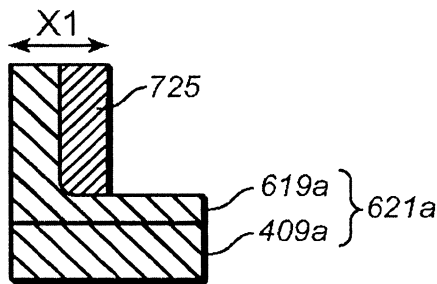


圖 7B

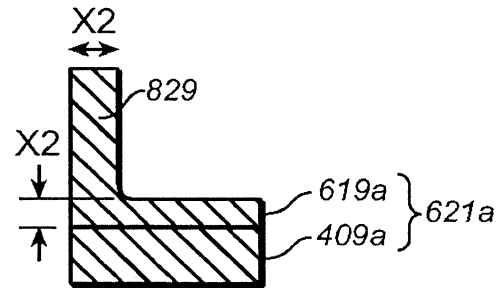


圖 8B

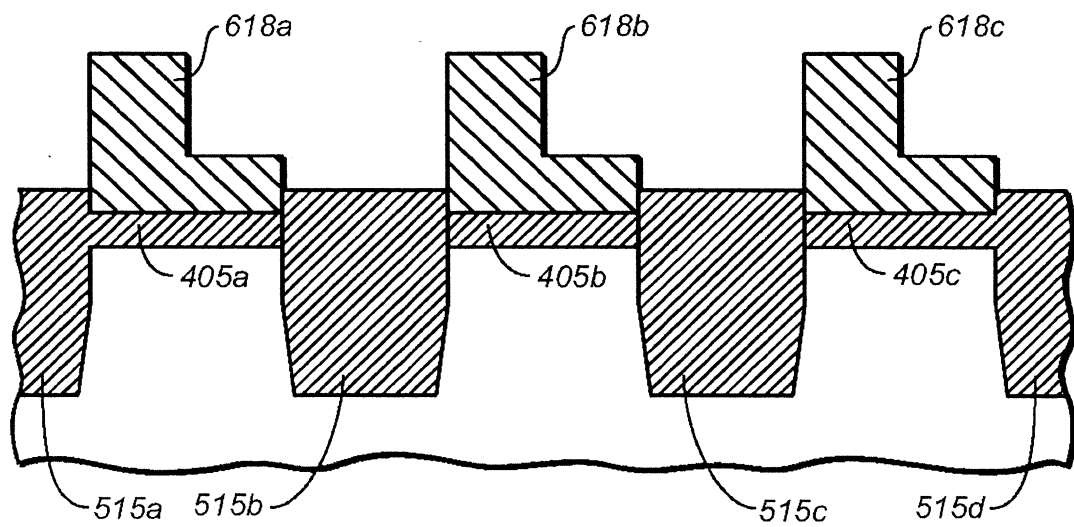


圖 8A

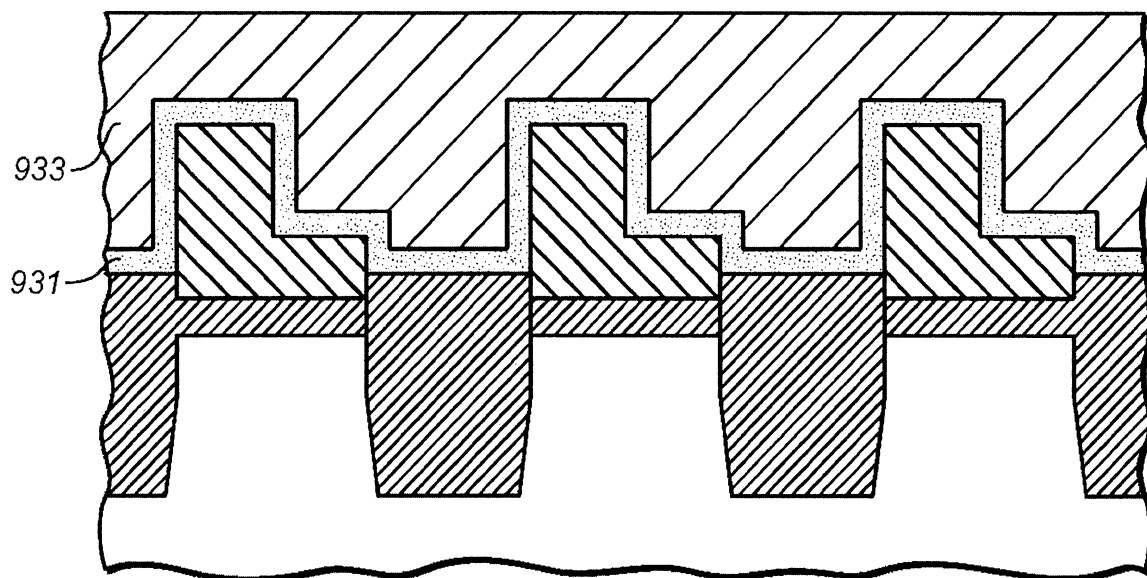


圖 9

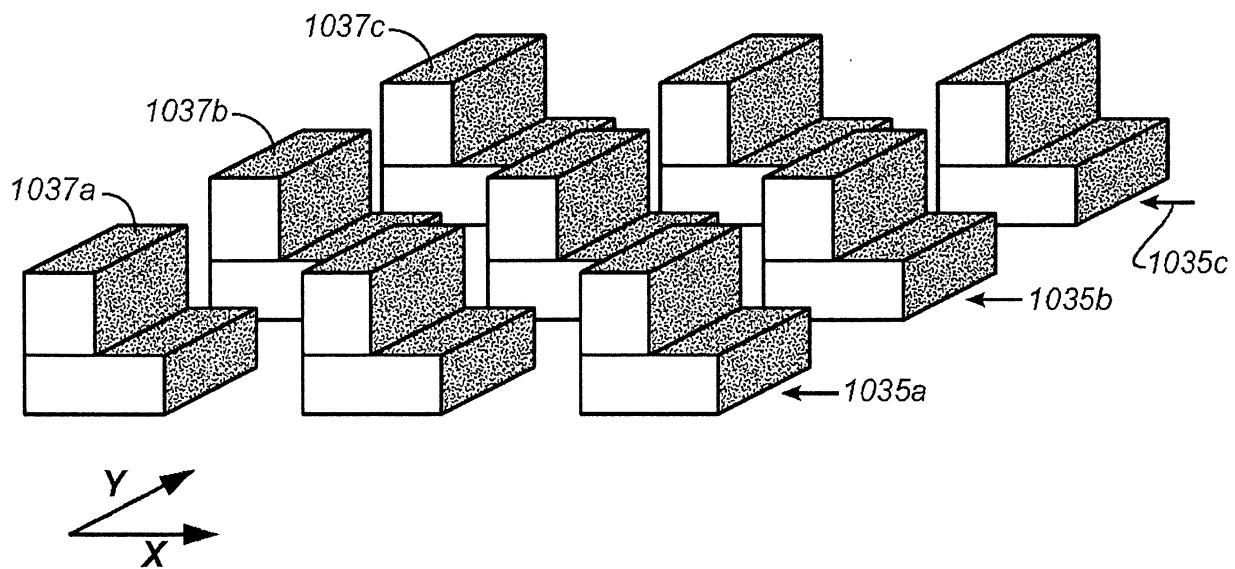


圖 10

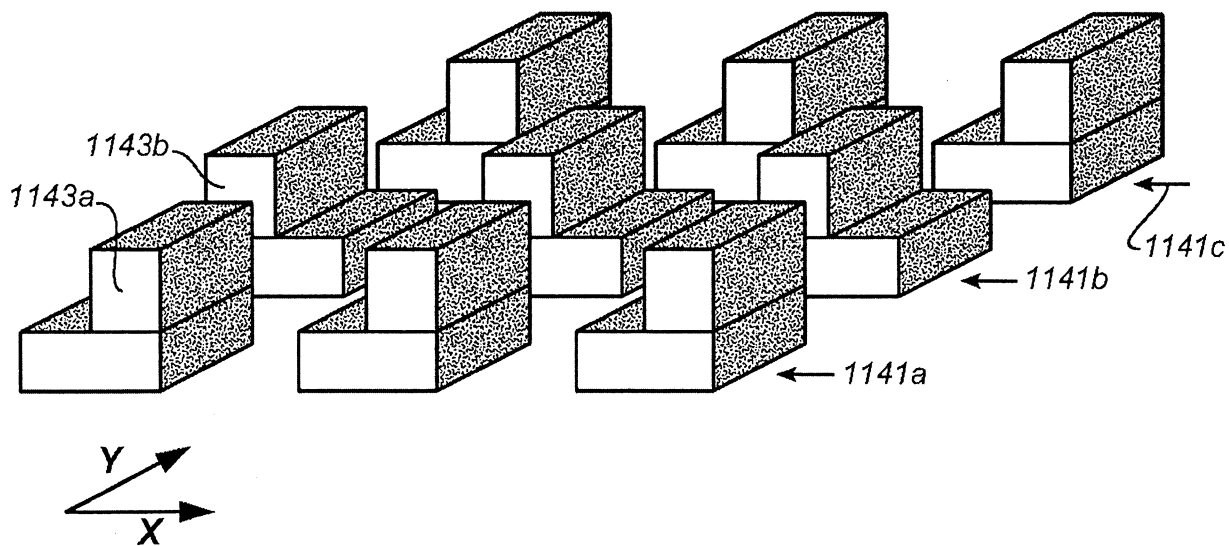


圖 11

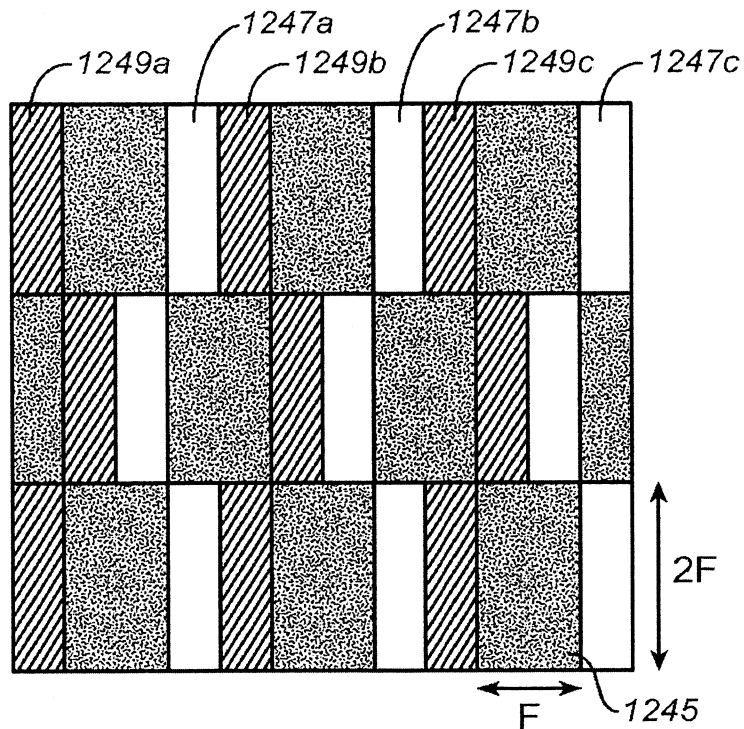


圖 12A

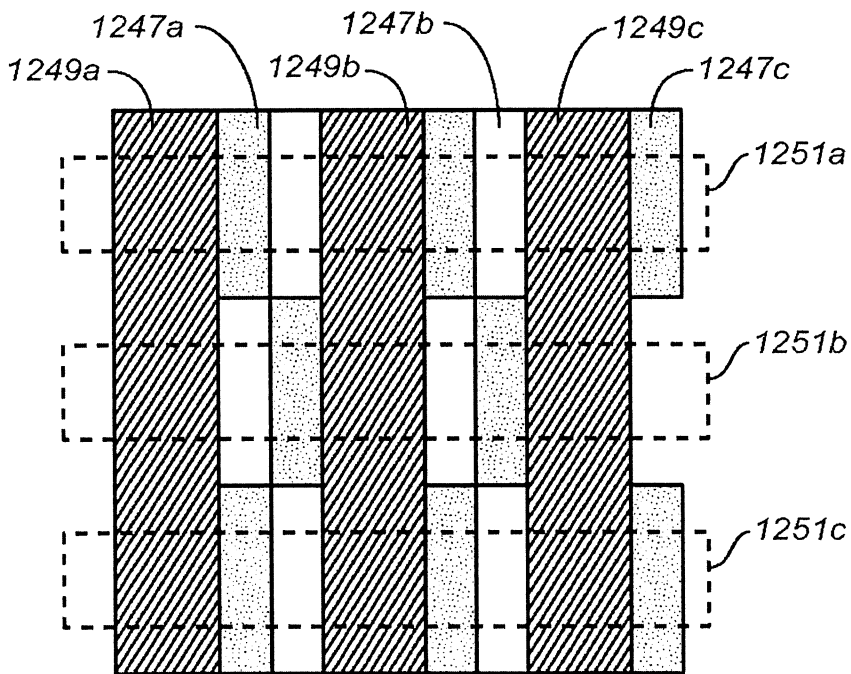


圖 12B

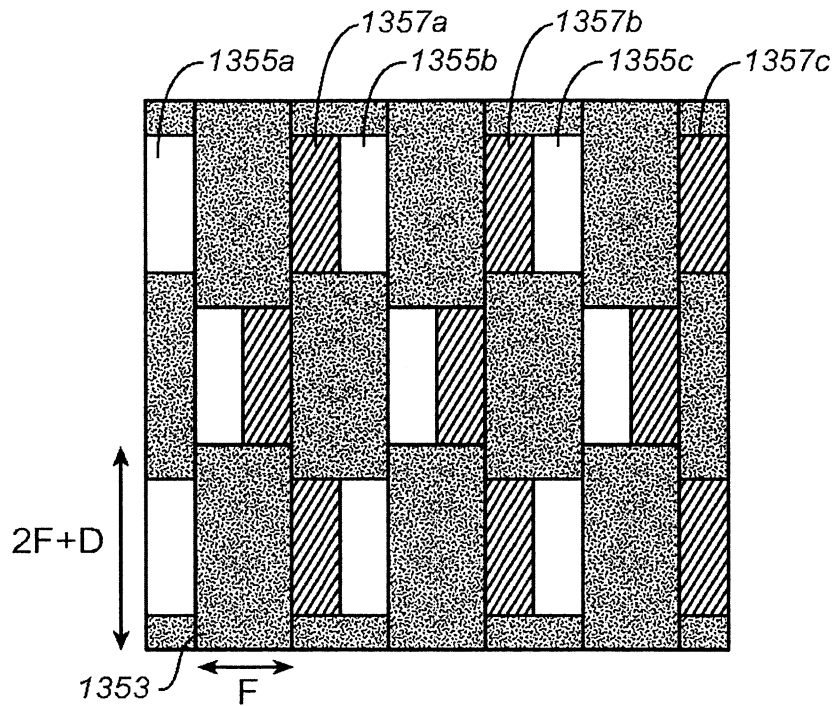


圖 13A

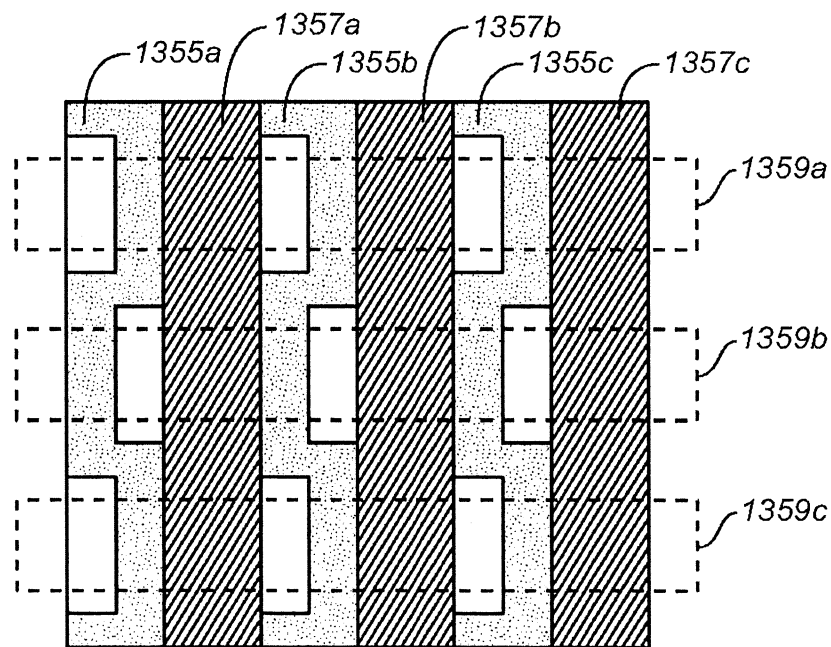


圖 13B

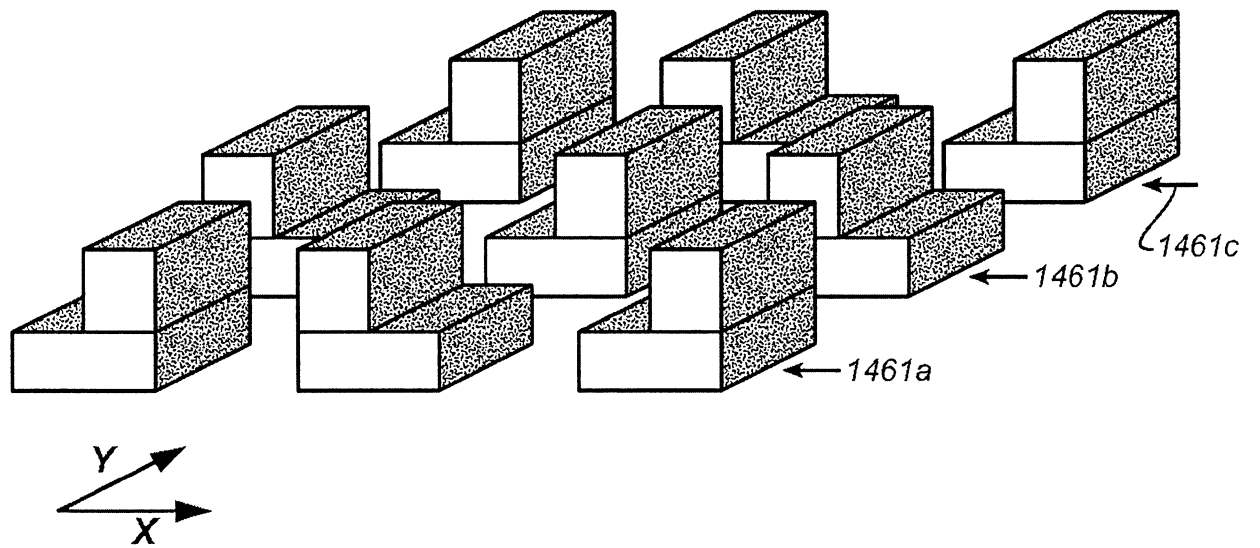


圖 14

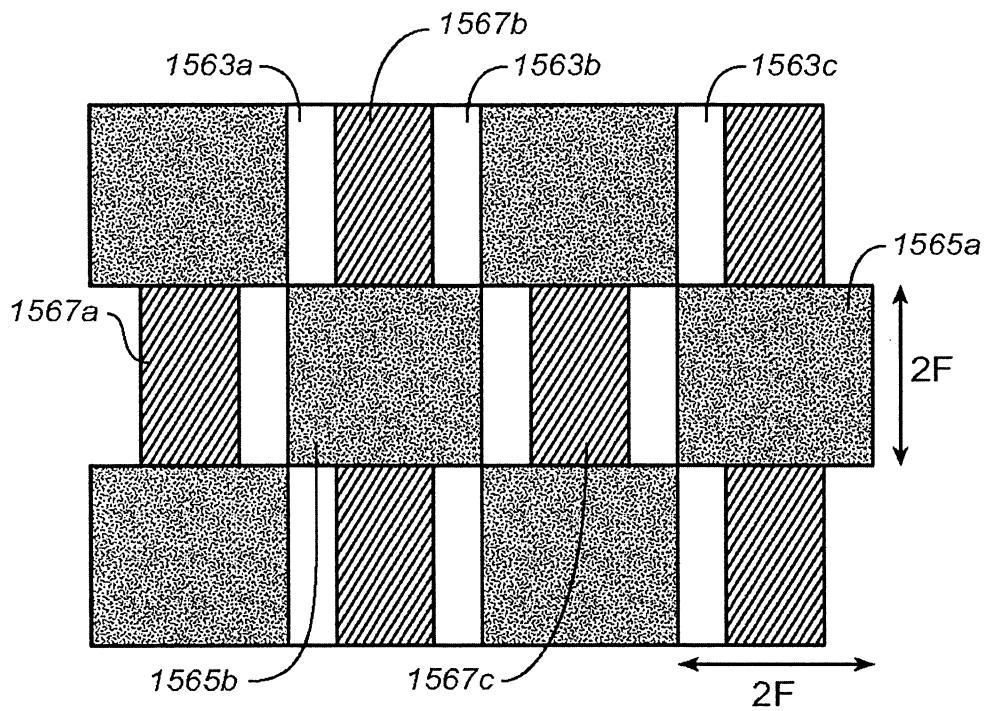


圖 15A

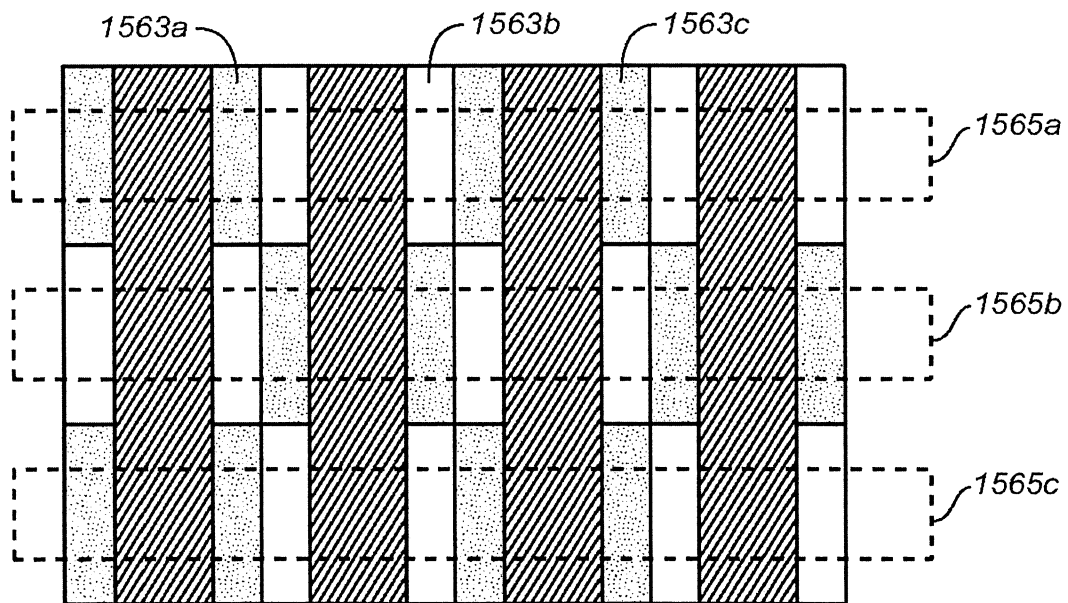


圖 15B

七、指定代表圖：

(一)本案指定代表圖為：第 ( 2 ) 圖。

(二)本代表圖之元件符號簡單說明：

210a	淺渠溝隔離(STI)結構
210b	淺渠溝隔離(STI)結構
210c	淺渠溝隔離(STI)結構
210d	淺渠溝隔離(STI)結構
220a	串
220b	串
220c	串
224	記憶體單元
230	浮動閘
240a	導電源極/汲極區域
240b	導電源極/汲極區域

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)