

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H03F 3/60 (2006.01)

H03F 3/26 (2006.01)



[12] 发明专利说明书

专利号 ZL 01820340. X

[45] 授权公告日 2007 年 1 月 10 日

[11] 授权公告号 CN 1294698C

[22] 申请日 2001.10.9 [21] 申请号 01820340. X

US6121842A 2000.9.19 H03F3/14

[30] 优先权

审查员 李楠

[32] 2000.10.10 [33] US [31] 60/239,470

[74] 专利代理机构 永新专利商标代理有限公司

[32] 2000.10.10 [33] US [31] 60/239,474

代理人 蹇炜

[32] 2001.5.4 [33] US [31] 60/288,601

[86] 国际申请 PCT/US2001/031813 2001.10.9

[87] 国际公布 WO2002/031967 英 2002.4.18

[85] 进入国家阶段日期 2003.6.10

[73] 专利权人 加利福尼亚技术协会

地址 美国加利福尼亚

[72] 发明人 青木一朗 赛德 - 阿里 · 赫杰米里
戴维 · 拉特利奇

[56] 参考文献

US5066925 1991.11.19 H03F3/26

权利要求书 10 页 说明书 22 页 附图 12 页

US5130664A 1992.7.14 H03F3/60

[54] 发明名称

分布式环状几何图形功率放大器体系结构

[57] 摘要

本发明公开一种分布式功率放大器拓扑结构以及器件，它能有效且经济地增强要被放大的 RF 信号的功率输出。该功率放大器包括若干互相连接成新颖环状几何图形的推挽放大器，它们最好能当作有源变压器的一个初级绕组，该有源变压器的相邻放大器件的信号输入由幅值相等、相位相反的输入信号驱动。该拓扑结构也公开了使用一个与初级绕组的几何形状相匹配的次级绕组以及能够有效合成这些独立功率放大器功率的其他变化形式。该新颖的体系结构能够设计 RF、微波以及毫米波频率的低成本、全集成、高功率放大器。

1、一个用于放大射频输入信号的、分布式的、环状几何图形的功率放大器，它包括：

多个推挽放大器，每个放大器包括两个增益块，每个增益块具有一个带有正负端的输入端口以及一个带有正负端的输出端口，其中：

(i) 每个推挽放大器的两个增益块在它们各自输出端口的正端经由一条电感通路互相连接，而且在它们各自输出端口的正端共用一个公共供电电压；

(ii) 每个推挽放大器的每个增益块的输出端口的负端被连接到一个相邻推挽放大器的一个增益块的输出端口的负端，使得这些放大器组成一个互相连接的环状几何图形，相邻增益块的互相连接的负端被连接到一起形成一个虚拟交流接地点；而且

(iii) 每个增益块的输入端口适合于接收一个至少与相邻增益块的输入端口幅值相等、相位相反的交流输入信号。

2、如权利要求1所述的功率放大器，其中，所述多个推挽放大器包括：

(a) 一个适合于放大射频输入信号的第一推挽放大器，它包括一个第一增益块与一个第二增益块，每个增益块都具有一个带有正负端的输入端口以及一个带有正负端的输出端口，这些增益块在它们各自输出端口的正端经由一条电感通路互相连接；以及

(b) 一个第二推挽放大器，它包括一个与该第二增益块相邻的第三增益块以及一个第四增益块，该第三与第四增益块中每块都具有一个带有正负端的输入端口以及一个带有正负端的输出端口，该第二推挽放大器的增益块在它们各自输出端口的正端经由一条电感通路互相连接，

其中该相邻的第二与第三增益块在它们各自输出端口的负端互相连接而形成一个虚拟交流接地点，而且该第四增益块的输出端口的负端被连接到该第一增益块的输出端口的负端，使得从该第四增益块流出的所有交流电流基本上都流入该第一增益块，而且

其中每个相邻增益块的输入端口适合于接收一个至少基本上幅值相等、相位相反的输入信号。

3、如权利要求2所述的功率放大器，其中这些推挽放大器互相连接，使得对基频运行而言，虚拟交流接地点出现在这些增益块的输出端口的负端。

4、如权利要求2所述的功率放大器，它还包括至少一个附加的、具有一对互联增益块的推挽放大器，使得该第四增益块的输出端口的负端经由至少一个附加推挽放大器被间接地连接到该第一增益块的输出端口的负端。

5、如权利要求2所述的功率放大器，它还包括：

(a) 一个具有第五与第六增益块的第三推挽放大器，每个增益块都具有一个带有正负端的输入端口以及一个带有正负端的输出端口，该第五与第六增益块在它们各自输出端口的正端经由一条电感通路互相连接，以及

(b) 一个具有第七与第八增益块的第四推挽放大器，每个增益块都具有一个带有正负端的输入端口以及一个带有正负端的输出端口，该第七与第八增益块在它们各自输出端口的正端经由一条电感通路互相连接，其中该第四增益块的输出端口的负端被连接到该第五增益块的输出端口的负端，

该第六增益块的输出端口的负端被连接到该第七增益块的输出端口的

负端，而且

该第八增益块的输出端口的负端被连接到该第一增益块的输出端口的负端。

6、如权利要求2所述的功率放大器，其中每个增益块包括至少一个第一与一个最末三端有源器件，每个器件具有一个阴极、一个阳极与一个控制端，每个增益块的有源器件被以渥尔漫放大形式联接到一起，使得该第一有源器件的阴极被用作每个增益块的输出端口的负端，该最末有源器件的阳极被用作每个增益块的输出端口的正端，而且该第一有源器件的控制端是该增益块的输入端口。

7、如权利要求2所述的功率放大器，其中这些推挽放大器以单片电路方式集成。

8、如权利要求2所述的功率放大器，其中每个推挽放大器的电感通路是一块金属片。

9、如权利要求8所述的功率放大器，其中该电感通路基本上是一块平直金属片。

10、如权利要求2所述的功率放大器，它还包括一个连接在相邻推挽放大器的相邻增益块的输出端口的正端之间的共振谐波调节电容器。

11、如权利要求2所述的功率放大器，它还包括一个安排在相邻推挽放大器的相邻增益块的输入端口之间的电感回路，以便调节对该射频输入信号呈现的阻抗。

12、如权利要求2所述的功率放大器，它还包括一个将需要放大的同相平衡输入信号对称地连接到所有增益块的输入端口的输入功率分离网络。

13、如权利要求12所述的功率放大器，其中该输入功率分离网络对称

地连接来自该功率放大器环状几何图形内部某点的同相平衡输入信号。

14、如权利要求12所述的功率放大器，其中该输入功率分离网络对称地连接来自该功率放大器环状几何图形外部多个点的同相平衡输入信号。

15、如权利要求2所述的功率放大器，它还包括一个连接到这些推挽放大器的、能对由每个推挽放大器放大的信号进行合成的功率合成电路。

16、如权利要求15所述的功率放大器，其中这些推挽放大器被设计成一个第一闭合回路来构成有源变压器的一个环状几何图形初级绕组，而且该功率合成电路被设计成位于该初级绕组附近、并与之具有磁耦合的该有源变压器的一个次级绕组，该次级绕组具有一个能提供该第一闭合回路中这些推挽放大器输出之和的输出。

17、如权利要求16所述的功率放大器，其中该次级绕组是一个单匝电路。

18、如权利要求16所述的功率放大器，其中该次级绕组是一个具有多个可变宽度部分的导电体。

19、如权利要求16所述的功率放大器，它还包括一个能将需要放大的、来自该功率放大器的环状几何图形内部某点的同相平衡输入信号对称地连接到每个增益块的每个输入端口的输入功率分离网络。

20、如权利要求19所述的功率放大器，其中该输入功率分离网络包括多个位于该次级绕组附近的曲折输入回路，从而提供来自该次级绕组的磁耦合，以便提高每个推挽放大器的增益与线性度。

21、如权利要求16所述的功率放大器，它还包括至少一个位于该初级与次级绕组附近、并与之具有磁耦合的附加次级绕组以便形成一个交叉指型变压器。

22、如权利要求16所述的功率放大器，它还包括至少一个位于该初级与次级绕组附近、并与之具有磁耦合的附加环状几何图形初级绕组以便形成一个交叉指型变压器。

23、如权利要求1所述的功率放大器，其中，所述多个推挽放大器中的每一个包括：

一个第一三端有源器件与一个第二三端有源器件，每个有源器件都具有一个阳极、一个阴极与一个控制电极，而且适合于放大输入信号，其中：

(i) 每个推挽放大器的两个有源器件在它们各自的阳极经由一条电感通路互相连接，而且在它们的各自阳极共用一个公共供电电压；

(ii) 每个推挽放大器的一个有源器件的阴极被直接连接到一个相邻推挽放大器的一个相邻有源器件的阴极，使得这些放大器构成一个互相连接的环状几何图形，相邻有源器件的那些直接相连的阴极被连接到一起来形成一个虚拟交流接地点；而且

(iii) 每个相邻有源器件的控制电极适合于接收一个至少基本上幅值相等、相位相反的输入信号。

24、如权利要求1所述的功率放大器，其中，所述多个推挽放大器包括：

(a) 一个适合于放大射频输入信号的第一推挽放大器，它包括：

(i) 一个具有一个阳极、一个阴极与一个控制电极的第一三端有源器件，

(ii) 一个具有一个阳极、一个阴极与一个控制电极的第二三端有源器件，以及

(iii) 一条将该第一与第二有源器件的阳极互相连接的电感通路，这些阳极共用一个公共供电电压；以及

(b) 一个适合于进一步放大该射频输入信号的第二推挽放大器，它包括：

- (i) 一个邻近该第二有源器件、且具有一个阳极、一个阴极与一个控制电极的第三三端有源器件，
- (ii) 一个具有一个阳极、一个阴极与一个控制电极的第四三端有源器件，以及
- (iii) 一条将该第三与第四有源器件的阳极互相连接的第二电感通路，该第三与第四有源器件的阳极共用一个公共供电电压，

其中该第一与第二推挽放大器被互相连接成一个环状几何图形，使得该第二有源器件的阴极被连接到该第三有源器件的阴极以便形成一个虚拟交流接地点，该第一有源器件的阴极被连接到该第四有源器件的阴极，使得从该第四有源器件流出的所有交流电流基本上都流入该第一有源器件，而且

其中每个相邻有源器件的控制电极适合于接收一个至少基本上幅值相等、相位相反的输入信号。

25、如权利要求24所述的功率放大器，其中该第二有源器件的阴极被直接连接到该第三有源器件的阴极，而且该第一有源器件的阴极经由至少一个附加的推挽放大器被间接连接到该第四有源器件的阴极。

26、如权利要求25所述的功率放大器，它还包括：

(a) 一个具有第五与第六有源器件的第三推挽放大器，每个器件都具有一个阳极、一个阴极与一个控制电极，该第五与第六器件在阳极处经由一条电感通路互相连接，以及

(b) 一个具有第七与第八有源器件的第四推挽放大器，每个器件都具

有一个阳极、一个阴极与一个控制电极，该第七与第八器件在阳极处经由一条电感通路互相连接，其中

该第四有源器件的阴极被连接到该第五有源器件的阴极，

该第六有源器件的阴极被连接到该第七有源器件的阴极，而且

该第八有源器件的阴极被连接到该第一有源器件的阴极。

27、如权利要求24所述的功率放大器，其中该推挽放大器以单片电路方式集成。

28、如权利要求24所述的功率放大器，其中每个推挽放大器的电感通路是一块金属片。

29、如权利要求28所述的功率放大器，其中该电感通路基本上是一块平直金属片。

30、如权利要求24所述的功率放大器，它还包括一个连接在相邻推挽放大器的相邻增益块的输出端口的正端之间的共振谐波调节电容器。

31、如权利要求24所述的功率放大器，它还包括一条安排在相邻推挽放大器的相邻有源器件的两个控制电极之间的电感回路，以便调节对该射频输入信号呈现的阻抗。

32、如权利要求24所述的功率放大器，它还包括一个将需要放大的同相平衡输入信号对称地连接到每个有源器件的每个控制电极的输入功率分离网络。

33、如权利要求32所述的功率放大器，其中该输入功率分离网络对称地连接来自该功率放大器环状几何图形内部某点的同相平衡输入信号。

34、如权利要求32所述的功率放大器，其中该输入功率分离网络对称地连接来自该功率放大器环状几何图形外部多个点的同相平衡输入信号。

35、如权利要求24所述的功率放大器，它还包括一个连接到这些推挽放大器、对由每一个这些推挽放大器放大的信号进行合成的功率合成电路。

36、如权利要求35所述的功率放大器，其中这些推挽放大器被设计成一个第一闭合回路来形成有源变压器的一个环状几何图形初级绕组，而且该功率合成电路被设计成一个该有源变压器的位于该初级绕组附近、并与之具有磁耦合的次级绕组，该次级绕组具有一个能提供该第一闭合回路中的推挽放大器的输出之和的输出。

37、如权利要求36所述的功率放大器，其中该次级绕组是一个单匝电路。

38、如权利要求36所述的功率放大器，其中该次级绕组是一个具有多个可变宽度部分的导电体。

39、如权利要求36所述的功率放大器，它还包括一个将来自该功率放大器的环状几何图形内部某点待放大的同相平衡输入信号对称地连接到每个有源器件的每个控制电极的输入功率分离网络。

40、如权利要求39所述的功率放大器，其中该输入功率分离网络包括多个位于该次级绕组附近的曲折输入回路，从而提供来自次级绕组的磁耦合，以便提高每个推挽放大器的增益与线性度。

41、如权利要求36所述的功率放大器，它还包括至少一个位于该初级与次级绕组附近、并与之具有磁耦合的附加次级绕组以便构成一个交叉指型变压器。

42、如权利要求36所述的功率放大器，它还包括至少一个位于该初级与次级绕组附近、并与之具有磁耦合的附加环状几何图形初级绕组以便构成一个交叉指型变压器。

43、如权利要求1所述的功率放大器，其中，所述多个推挽放大器包括：

(a) 一个第一推挽放大器，它包括一个第一三端有源器件与一个第二三端有源器件，每个器件都具有一个阴极、一个阳极与一个控制电极，这些有源器件在它们各自的阳极经由一条第一电感通路互相连接，这些阳极在该电感通路上的某点共用一个公共供电电源；

(b) 一个第二推挽放大器，它包括一个第三三端有源器件与一个第四三端有源器件，每个器件都具有一个阴极、一个阳极与一个控制电极，该第三与第四有源器件在它们各自的阳极经由一条第二电感通路互相连接，这些阳极在该电感通路的某点共用一个公共供电电源；

(c) 一个第三推挽放大器，它包括一个第五三端有源器件与一个第六三端有源器件，每个器件都具有一个阴极、一个阳极与一个控制电极，该第五与第六有源器件在它们各自的阳极经由一条第三电感通路互相连接，这些阳极在该电感通路的某点共用一个公共供电电源；以及

(d) 一个第四推挽放大器，它包括一个第七三端有源器件与一个第八三端有源器件，每个器件都具有一个阴极、一个阳极与一个控制电极，该第七与第八有源器件在它们各自的阳极经由一条第四电感通路互相连接，这些阳极在该电感通路的某点共用一个公共供电电源；

这些放大器被互相连接成一个环状几何图形，使得每个放大器的每个有源器件的阴极被连接到相邻放大器的相邻有源器件的阴极，两个阴极被互相连接形成一个虚拟交流接地点，而且

每个有源器件按照与相邻推挽放大器的相邻有源器件的相位相反的相位来运行。

44、一种对多个推挽放大器的已放大输出进行合成来构成一个功率放

大器的方法，每个推挽放大器具有两个电感性互相连接的增益块，该方法包括：

- (a) 配置该多个放大器来构成一个第一闭合回路，使得相邻放大器的相邻增益块被互相连接，而且在互相连接后形成虚拟交流接地点；以及
- (b) 用至少等幅且反相的输入信号来驱动相邻推挽放大器的相邻增益块。

45、如权利要求44所述的方法，它还包括在位于该第一闭合回路附近、并与之具有磁耦合的次级线圈中对该第一闭合回路内的推挽放大器的输出功率进行合成。

分布式环状几何图形功率放大器体系结构

技术领域

本发明涉及高频功率放大器，更特别的是涉及用单片电路或其他方式来合成单独的功率放大器以便实现功率合成以及阻抗变换的技术。

背景技术

设计具有适当功率电平、效率以及增益的高频功率放大器仍然是单片集成收发器研究中的主要挑战之一。尽管在这个方向上已经取得了某些进展，但是在有损耗片基（譬如硅或硅锗）上设计真正集成的功率放大器一直是一个令人困惑的目标。

多种外加部件（譬如连接引线与外部平衡-不平衡变换器）被用作被调元件以便采用CMOS晶体管来获得超过1W的输出功率电平。譬如可以参看K. C. Tsai与P. R. Gray的“*A 1.9 GHz, 1-W CMOS Class-B Power Amplifier for Wireless Communications*”（一个用于无线通信的1.9GHz、1W、B类CMOS功率放大器），*IEEE Journal of Solid-State Circuits*, vol. 34, no. 7, pp. 962-969, July 1999 [1]；以及C. Yoo与Q. Huang的“*A Common-Gate Switched, 0.9W Class-B Power Amplifier with 41% PAE in 0.25μm CMOS*”（一个以0.25μmCMOS制造的具有41% PAE的共栅切换的、0.9W、B类功率放大器），*Symposium on VLSI Circuits Digest*, pp. 56-57, Honolulu, June 2000 [2]。利用硅双极型(Si-Bipolar)晶体管可以获得类似的性能。譬如可以参看Simbürger等人的“*A Monolithic Transformer Coupled 5-W Silicon Power Amplifier with 59% PAE at 0.9 GHz*”（一个59%PAE、0.9GHz的单片电路变压器耦合的5W硅功率放大器）”，*IEEE Journal of Solid-State Circuits*, vol. 34, no. 12, pp.

1881-1892, Dec. 1999 [3]; 以及W. Simbürger等人的“ A Monolithic 2.5V, 1W Silicon Bipolar Power Amplifier with 55% PAE at 1.9GHz (一个55%PAE、1.9GHz的单片电路2.5V、1W硅双极性功率放大器) ”, *IEEE MTT-S Digest*, vol. 2, pp. 853-856, Boston, June, 2000 [4]。

而且, 用于具有更高击穿电压与更高片基电阻系数的有源器件的其他技术也已经被用来增加集成放大器的输出功率与效率。譬如, 具有20V击穿电压的LDMOS晶体管已经在半绝缘片基上使用, 但是这种设计也只能提供200mW。参看Y. Tan等人的“ A 900-MHz Fully Integrated SOI Power Amplifier for Single-Chip Wireless Transceiver Applications (单芯片无线收发器应用中的一个900MHz全集成SOI功率放大器) ”, *IEEE Solid-State Circ.*, vol. 35, no. 10, pp. 1481-1485, Oct. 2000[5]。此外, 绝缘片基上的砷化镓金属半导体场效应晶体管(MESFET)也已经被用来集成功率放大器。可参见I. Portilla, H. Garcia与E. Artal的“ High Power-Added Efficiency MMIC Amplifier for 2.4 GHz Wireless Communications (用于2.4GHz无线通信的高功率加效率的MMIC放大器) ” *IEEE Journal of Solid State Circuits*, vol. 34, no. 1, pp. 120-123, Jan. 1999 [6]。遗憾的是, 与传统的硅基晶体管(譬如CMOS)技术相比, 这些技术成本显著上升, 制造也困难得多。

在设计高频、低电压功率放大器方面的这些现有成就如表1所示。

表1

频率 (GHz)	Pout (W)	供电 电压	PAE %	引线连接 的电感器?	外加部 件?	有源器件	参考 文献号
1.9	1.0	2	41	有	有	CMOS	[1]
0.9	1.0	1.9	41	有	有	CMOS	[2]
0.9	5.0	4.5	59	无	有	Si Bipolar	[3]
1.9	1.4	2.5	55	无	有	Si Bipolar	[4]
0.9	0.2	5	49	无	无	SOI LDMOS	[5]
2.4	0.25	7	79	无	无	MESFET	[6]

在采用传统硅技术(譬如CMOS)的全集成高速固态功率放大器的设计

中存在两个明显的问题：（1）使芯片上电感器与变压器的损耗增加的有损耗片基的低电阻系数；以及（2）晶体管的低击穿电压。在为了更快速地运行而按比例逐步降低晶体管（如CMOS）的最小特征尺寸时，这些问题会变得更加突出。

更特别的是，有损耗片基的高导电率使长金属导线（包括在同一块片基上制造的传统螺旋电感器）产生很大的功率损耗。如果使这些金属导线变宽来减少电阻，那么金属与片基之间的电容耦合效应会使部分电流泄漏到该片基，从而增加了功率耗散。另一方面，如果将这些金属导线变得足够窄来有效克服这一问题，那么该金属电阻会显著增加，同样会吸收（消耗）该功率中相当大的部分。

举例来说，传统晶体管（譬如CMOS）的低击穿电压限制了该晶体管的最大允许漏极电压变化幅度。因此就必须进行形式的阻抗变换来获得更大的输出功率。譬如说，如果不进行这种阻抗变换，那么 $\pm 2V$ 的漏极电压变化幅度只能向一个 50Ω 负载提供 $40mW$ 。虽然阻抗变换可以采用一个 $1:n$ 的变压器来实现，不过，在一块标准CMOS片基上的 $1:n$ 芯片螺旋变压器的损耗很大，它会大大降低该放大器的性能。另一种方法是，可以采用芯片共振匹配技术，但是这种技术也会产生显著的功率损耗。

总之，由于所有高频功率放大器都明显地需要某些电感器——实际上就是长金属导线——来进行匹配、供电连接以及形式的功率合成，所以传统的功率放大器往往功率效率很低，而且超过了某些功率与频率就无法在商业上实施。

所以，非常希望有一种能用于功率放大器的低成本、全集成的拓扑结构，它能够以低成本、硅基处理方式制造，并能够在微波与毫米波频率范围内提供相当高的输出功率电平。同时也希望这样一种拓扑结构能够利用若干单独的功率放大器以及单片集成技术来实现。在理想情况下，这种体系结构对有损耗片基IC以及无损耗片基IC的设计都是有用的。

发明内容

本发明满足这些需求，它属于一种分布式的、环状几何图形的功率放大器，它可以被用作一种功率合成与阻抗变换的装置来以小型组件的形式获得一个很高的输出功率，而且能够克服传统有源器件（譬如短通道MOS晶体管）低击穿电压的缺点。

特别是，本发明属于一种用于放大RF输入信号的、分布式的、环状几何图形的功率放大器，它包括若干较小的推挽放大器。每个放大器包括两个增益块，每块具有一个带有正负端的输入端口以及一个带有正负端的输出端口。每个推挽放大器的两个增益块在它们各自输出端口的正端经由一个电感通路互相连接，而且共用一个连接到它们各自输出端口正端的公共供电电压。每个推挽放大器的每个增益块的输出端口的负端被连接到相邻推挽放大器的一个增益块的输出端口的负端，从而使得这些放大器被排列成互相连接的环状几何图形，其中相邻增益块的相连的负端被连到一起以便形成一个虚拟的ac(交流)接地点。

在运行时，每个增益块的输入端口适合于接收一个ac输入信号，该信号至少基本上与相邻增益块的输入端口信号幅值相等、相位相反。这些推挽放大器互相连接，使得对运行中的基频而言，各增益块输出端口的负端成为虚拟ac接地点。

按照本发明的一个更加详细的方面，该分布式环状几何图形的功率放大器包括至少两个设计得能够放大RF输入信号的推挽放大器。一个第一推挽放大器包括一个第一增益块与一个第二增益块，每个增益块都具有一个带有正负端的输入端口与一个带有正负端的输出端口，这些增益块在它们各自输出端口的正端经由一条电感通路互相连接。一个第二推挽放大器包括一个第三增益块与一个第四增益块，该第三与第四增益块中每一个都具有一个带有正负端的输入端口与一个带有正负端的输出端口，该第二推挽放大器的增益块在它们各自输出端口的正端经由一条电感通路互相连接。为了形成该“环状”闭合回路，该第二与第三增益块在它们各自输出端口的负端互相连接，而该第四增益块的输出端口的负端被连接到该第一增益块的输出端口的负端，从而使得从该第四增益块流出的所有ac电流基本上都流入该第一增益块。该第四与第一增益块可以（但通常不会）直接彼此相连。在典型的结构中，在该第四与第一增益块之间提供至少一个（最好多于一个）具有一对互联增益块的附加推挽放大器，以使得该第四增益块的输出端口的负端间接地经由这至少一个附加的推挽放大器被连接到该第一增益块的输出端口的负端。

在一个更为详细的实施例中，该功率放大器还包括一个第三与第四推挽放大器，从而形成一个具有八个增益块的四侧推挽功率放大器。特别是，该第三推挽放大器具有第五与第六增益块，每个增益块都具有一个带有正负端的输入端口与一个带有正负端的输出端口，该第五与第六增益块在它们各自输出端口的正端经由一条电感通路互相连接。类似地，该第四推挽放大器具有第七与第八增益块，每个增益块都具有一个带有正负端的输入端口与一个带有正负端的输出端口，该第七与第八增益块在它们各自输出

端口的正端经由一条电感通路互相连接。该四侧放大器器件互相连接，使得该第四增益块的输出端口的负端被连接到该第五增益块的输出端口的负端，该第六增益块的输出端口的负端被连接到该第七增益块的输出端口的负端，而该第八增益块的输出端口的负端被连接到该第一增益块的输出端口的负端。

包含本发明所采用的这些推挽放大器的增益块可以根据希望的增益、电路复杂程度、成本以及其他因素而采用不同的结构。在一个基本的实施例中，每个推挽放大器的每个增益块都包括一个单独的三端有源器件，譬如一个CMOS或双极性晶体管，它们具有一个阴极、一个阳极与一个控制端。在另一个实施例中，每个推挽放大器的每个增益块都包括一个合成器件，它至少有一个第一与一个最末三端有源器件。每个增益块的有源器件以渥尔漫放大（cascoded）形式被连接到一起，使得该第一有源器件的阴极被当作每个增益块的输出端口的负端，该最末有源器件的阳极被当作每个增益块的输出端口的正端，而该第一有源器件的控制端被当作该增益块的输入端口。与每个增益块使用一个单独晶体管的设计相比，由于采用了这种结构，所以每个推挽放大器，从而每个功率放大器，都可以方便地提供更高的增益。

本发明的功率放大器可以使这些推挽放大器能够单片集成到一块单独的芯片上。而且，每个推挽放大器的电感通路都只需要一块金属片，更独特的是，实际上只需要一块平直的金属片。

在对本发明的设计的进一步改进中，该功率放大器还可以包括一个连接在相邻推挽放大器的相邻增益块的正端之间的共振谐波调节电容器。该放大器还可以包括一条放置在相邻推挽放大器的相邻增益块的输入端口之间的电感回路，以便调节对该RF输入信号的阻抗。

现在讨论RF输入信号这一侧，为了使该电路正常运行，必须为所有增益块的所有输入端口提供平衡的输入。为实现这一点，包括了一个输入功率分离网络，它将需要放大的同相平衡输入信号对称地连接到所有增益块的输入端口。该输入功率分离网络可以对称地连接来自该功率放大器的环状几何图形内侧某点或者来自该功率放大器的环状几何图形外侧若干点的同相平衡输入信号。

在该优选实施例中，该功率放大器还包括一个连接到这些推挽放大器的、将被每个推挽放大器放大的信号加以合成的功率合成电路。为了进行功率合成，这些推挽放大器最好被设计成一个第一闭合回路以便构成有源变压器的一个环状几何图形的初级绕组，而且该功率合成电路被设计成位于该初级绕组附近并与之具有磁耦合的、该有源变压器的一个次级绕组。这样，该次级绕组就具有一个能提供该第一闭合回路中这些推挽放大器的输出之和的单独输出。

而且，该次级绕组可以方便地包括一个由宽度可变的金属导线构成的单匝或多匝电感器。该金属导线具有对该片基呈现低ac电压的若干较宽部分与对该片基呈现高ac电压的若干较窄部分。这种几何形状的优点是它进一步降低了功率损耗，因为它利用了在该ac电压信号低的位置上较宽金属具有低金属电阻系数的特点，所以降低了损耗，而且利用了对该ac电压信号高的位置上的较窄金属片基具有低电容耦合的特点，从而进一步降低了损耗。采用这种方式，无论金属电阻损耗还是电容耦合损耗都会被降低。

现在再回到该输入电路，上面公开的输入功率分离网络可以方便地包括位于该次级绕组附近的许多曲折输入回路，从而提供了来自该次级绕组的磁耦合。这种几何形状提供了一个优点，即它进一步提高了该功率放大

器中每个推挽放大器的增益或线性度。

按照本发明的该希望实施例的另一个更为详细的方面，可以提供一个在该初级与次级绕组附近并与之具有磁耦合的附加次级绕组，以便形成一个交叉指型变压器，它具有因较低功率损耗而产生的优点。另一种方法，或者说除了采用多个次级绕组的改进方法外，本发明的功率放大器还可以包括位于该初级与次级绕组附近并与之具有磁耦合的至少一个附加环状几何图形初级绕组，以便形成一个交叉指型变压器。

本发明还公开了一种将许多推挽放大器的已经放大的输出进行合成来构成一个功率放大器的方法。在这种方法中，每个放大器包括两个经由一条电感通路互相连接的电感增益块。该方法包括设计若干放大器来形成一个第一闭合回路，以使相邻放大器的相邻增益块互相连接，并且在这样互相连接后，在它们的连接处形成虚拟ac接地点，而且该方法包括以至少基本相等且相反的输入信号来驱动相邻推挽放大器的相邻增益块。按照本发明的一个更为详细的方面，该方法还包括在一个次级线圈中将该第一闭合回路中的推挽放大器的输出功率进行合成，其中该次级线圈位于该第一闭合回路附近并与之具有磁耦合。

本发明还描述了可以沉积在处理电压信号的集成电路的一块片基上的一个低损耗电感器，该电感器包括一个沉积在该片基上且具有第一与第二端点的长形导电体、沉积在这些端点之间的导电部分以及一个跨越该导电体的平均ac信号电压，其中信号电压被认定低于跨越该导电体的平均ac信号电压的部分要比信号电压被认定高于跨越该导电体的平均ac信号电压的另一个部分更宽。

本发明另外还描述了一种使沉积在一个集成电路的一块片基上的电感

器的电气损耗下降的方法，该电感器具有一个由若干互相连接的导电部分构成的长形主体、一个平均宽度以及一个跨越该主体的平均ac信号电压。该方法包括使该电感器主体上ac电压信号高于跨越该电感器主体的平均ac信号电压的那一部分的宽度小于该平均宽度；而使该电感器本体上ac电压信号低于跨越该电感器本体的平均ac信号电压的另一部分的宽度大于该平均宽度。

在下面结合所附例图而作的详细说明中，本发明的其他特征与优点将会变得显而易见，这些例图采用示例方式来阐明本发明的原理。

附图说明

图1a是推挽放大器的一幅示意图，该放大器包括一对用作本发明的基本构成块的增益块；

图1b是图1a所示推挽放大器的实施例的一幅示意图，其中这些增益块是经由一条电感通路互相连接的若干单个晶体管；

图1c是一个与图1b所示推挽放大器等价的电路；

图1d是图1a所示推挽放大器的一个第二实施例的一幅电路图，其中每个增益块包括多个串联到一起的晶体管；

图2a是本发明的分布式功率合成放大器结构的一幅上层示意图，其中四个图1a所示类型的推挽放大器在相邻放大器输出的相邻负端互相连接而构成一个“环状几何图形”；

图2b是本发明的分布式功率合成放大器结构的实施例的一幅示意图，其中四个图1b所示类型的推挽放大器在相邻的阴极处互相连接而构成一个“环状几何图形”；

图3a是对图2b所示分布式放大器结构的改进的一幅示意图，其中一个

用于阻抗变换的单匝导电线圈由该四推挽放大器结构加以连接，一个共振电容器被连接在相邻成对晶体管的阳极之间；

图3b是对图3a所示分布式放大器结构的改进的一幅示意图，其中一个用于阻抗变换的、具有可变宽度的单匝导电线圈由该四推挽放大器结构加以连接，一个共振电容器被连接在相邻成对晶体管的阳极之间；

图4是对图3所示分布式放大器结构的改进的一幅示意图，它表示该四侧推挽放大器设计中具有代表性的一角，其中一个单独的回路电感使相邻晶体管的控制电极互相连接；

图5是本发明的集成环状几何图形功率放大器的一幅示意图，它表示一个新颖的输入电路以及该输入信号与每个有源器件连接的几何图形；

图6是本发明的四侧推挽有源变压器功率放大器的一个示意图的一幅顶视图，它表示一种对该有源器件施加正反馈的、改进的输入连接几何图形；

图7a表示对本发明的四侧推挽有源变压器功率放大器的另一种改进，其中该有源变压器的输入线圈与该输出线圈构成交叉指型；

图7b表示与图7a所示不同的另一种交叉指型，其中多个次级回路与多个初级回路构成交叉指型；

图8是本发明的四侧推挽环状几何图形放大器的一幅电气示意图，图中画出了一个信号输入电路；

图9是一幅曲线图，它说明根据本发明设计制造的一个2.2W、2.4GHz、单级全集成功率放大器在2V供电情况下的增益与功率加效率（PAE）对输出功率的关系；

图10是一幅曲线图，它说明根据本发明设计制造的一个2.2W、2.4GHz、

单级全集成功率放大器在1V供电情况下的增益与PAE对输出功率的关系。

具体实施方式

本发明改进了高频功率放大器的性能与效率，特别是那些调制解调通信设备与系统中的放大器。

本发明公开了用作放大器或开关、或者用作放大器或开关部件的三端有源器件的新组合。术语“增益块”在这里一般被用来描述能够提供增益的任何部件或部件组合。所以，一个增益块可以包括一个单独的三端有源器件（譬如一个晶体管），或者它们的组合。一个有源器件的三端在这里是指“控制端”、“阳极”以及“阴极”，举例来说，它们分别对应于一个FET晶体管（场效应晶体管）的栅极（g）、漏极（d）与源极（s），而且分别对应于一个BJT晶体管（双极结式晶体管）的基极、集电极与发射极。所以，这些术语应按照它们最广的意义来加以理解。因而，下文采用FET晶体管来加以说明与演示的实施例仅仅是为了示例，绝非试图对本发明加以限制。

现在说明形成本发明的希望实施例的设计演变过程。

A) 推挽驱动器

图1表示第一种基本推挽放大器的一幅上层的概念示意图，该推挽放大器被用作本发明的分布式功率放大器的主要构成块。该放大器包括一个第一增益块2，它具有一个带有正负端的输入端口3与一个带有正负端的输出端口4；一个第二增益块6，它具有一个带有正负端的输入端口7与一个带有正负端的输出端口8。这些放大器在它们的输出的各自正端经由一条电感通路9被连接到一起。正如输入端口3的“+”号与输入端口7的“-”号所示，使该设计成为“推挽”放大器的特征就是，增益块2的输入端口3与增益块6的

输入端口7按差动方式驱动，即由幅值相等但相位相反的RF信号驱动。这种拓扑结构在接近电感通路9的中心位置形成一个“虚拟ac接地点”，如图所示，在需要时它能够被用作供应dc偏压Vdd的一个点，从而降低了对供电的滤波要求。

图1b表示图1a所示推挽放大器的一个特定实施例。在这个实施例中，每个增益块仅仅是一个单独的三端有源器件，这里画成一个FET晶体管。特别是，该放大器包括一个第一晶体管12，它具有一个控制端（栅极）14、一个阳极（漏极）16与一个阴极（源极）18；还有一个第二晶体管22，它具有一个控制端（栅极）24、一个阳极（漏极）26与一个阴极（源极）28。阳极16与26经由一块金属片20互相连接，并由一个公共漏极电压Vdd 29提供偏压。正如图1c的等价电路图所示，该金属片20就像一个漏极调节电感器20那样来使晶体管寄生电容与控制谐波信号发生共振。如同下面将要讨论的那样，该金属片还可以作为分布式有源变压器的一个初级电路或该电路的一部分。由于这些输入以差动方式驱动，所以这种拓扑结构在Vdd供电节点21（大约在、但并非一定在金属片20的中点）为该漏极电压的基频以及奇次谐波形成一个虚拟ac接地点。这种虚拟接地是该推挽驱动器的一个重要特点，这样就没有必要在该供电处采用一个独立的扼流电感器以及/或者一个大型的片上旁路电容器。

图1b所示的推挽放大器被用来作为下面开发与演示的环状几何图形有源变压器功率放大器的一个希望实施例的主要构成块。然而，应当清楚地理解，本发明中所用的推挽放大器并不局限于图1b所示的单独成对晶体管。本发明的拓扑结构实际上包含了任何互相适当连接的、作为推挽放大器来加以驱动的成对增益块。举例来说，图1a所示的每个增益块2与6可以包括

一个复合有源器件结构来获得比单个成对晶体管更高的增益。

一种这样的希望实施例是串联设计，其中两个或多个有源器件被串联到一起以便产生增益更高的推挽放大器。特别是，在图1d所示的串联增益块30中，第一个共阴极有源器件32的阴极33被用作该增益块输出端口的负端，最末的串联有源器件36的阳极38被用作该增益块的输出端口的正端，而该第一共阴极器件32的控制端34是该增益块的正输入。下面将会进一步说明，在该第一与最末有源器件之间可以连接一个或多个附加有源器件以便进一步提高该增益块的增益。

人们将会理解，其他已知的复合有源器件，譬如成对Darlington（达灵顿）晶体管，也可以被用作本发明所实施的增益块。

B) 四侧推挽环状几何图形

如图2a所示，在一个优选实施例中，该“环状几何图形”放大器包括四个推挽放大器40、60、80与100，总共有8个图1a所示类型的增益块。如图所示，该器件被排列得使相邻放大器的增益块在它们各自输出端口的负端被互相连接以便构成一个闭合回路。所以，正如从一角所见，放大器40的增益块50的输出端口的负端被连接到放大器60的增益块70的输出端口的负端。

图2b表示图2a的放大器的一个实施例，其中每个图1a所示类型的推挽放大器都是图1b所示类型的一个单独的双晶体管推挽放大器，它们构成了一个正方形的一侧。由于四个推挽放大器40、60、80与100的这种整体布局，所以能够分别使用四个平直宽边的金属导线42、62、82、102来作为漏极电感器。与一个品质因数 Q 为5至10的螺旋电感器相比，一个片状电感器具有较高的品质因数，举例来说，其 Q 值为20至30，因此降低了该无源网络中的

功率损耗。如图所示，该片状电感器还为从供电电源流向晶体管漏极的电流提供了固有的低电阻通路。

在各个角上，相邻放大器的相邻晶体管的源极被连接到一起，而且共用一个公共接地点。正如符号“+”与“-”所示，在每个角上的两个相邻晶体管按照相反的相位被驱动。举例来说，推挽放大器40的晶体管50的阴极（源极）58与放大器60的晶体管70的阴极（源极）72互相连接并被接地，标记为GND。而且，当推挽放大器40的晶体管50的控制端（栅极）56受一个正相位信号驱动时，推挽放大器60的晶体管70的控制端（栅极）71则受一个负相位信号驱动。这样，就在该正方形的每个角上产生一个虚拟ac接地点。这是该环状几何图形的一个重要特征，因为如图2b的电流回路所示，该ac信号的基波与奇次谐波将不会离开包含这四个金属片的回路。所以，从这个正方形到供电电压或接地点的任何连接将不会运载任何基频或它的奇次谐波的ac信号。这实际上将供电连接中的损耗局限为该连线的dc电阻损耗，而采用较宽的金属导线很容易使它达到最小。而且，供电滤波只需要一个很小的电容器，甚至不需要电容器。值得注意的是，图2a与图2b的拓扑结构不会在供电与接地节点处对偶次谐波形成虚拟接地点。所以，与基波及奇次谐波相比，晶体管对偶次谐波具有较高的阻抗。这些相邻的晶体管也共用一个公共电源。

应当理解，图2a与图2b所示的、贯穿在其他图形中的四（4）推挽放大器设计方案仅仅是本发明的环状几何图形的一个示例。本发明的拓扑结构至少包括两（2）个如上所述互相连接并被驱动的推挽放大器，每个推挽对包括两（2）个增益块。增加互相连接的推挽对的数目具有两个有利的效果。首先，整个电路输出功率容量随推挽放大器的数量增加而明显增加。第二，

该电路越来越明显地呈现圆环形状。之所以希望如此，是因为该电路越接近一个真正的圆形，该拓扑结构的效率就越高。

这种拓扑结构形成一个具有独立辐射式RF功率输出的分布式放大器。在下面“D”部分描述的实施例中，这些功率输出被加以合成以便提供一个单独的输出，该输出实际上是这些独立输出的和，而且其效率大大高于传统上能得到的效率。但是应当理解，根据应用场合不同，这些输出可以是电磁合成的，也可以不是电磁合成的。举例来说，这些输出可以只是在自由空间辐射，或者只驱动独立的负载。

C) 阻抗与谐波控制

为该功率放大器提供正确的阻抗对于正确运行是至关重要的。所有放大器在基频都必须对该晶体管呈现正确的阻抗，而且对该放大器内的信号中较高阶次的谐波分量进行控制在一个开关放大器的性能中起着重要的作用。正如图3a与图3b所示，该正方形的每个角有一个电容器，通过在相邻晶体管的漏极之间连接四个电容器110、120、130与140就可以实现这些功能。这些电容器有助于控制这些晶体管在基频所面临的阻抗、降低该输出端的谐波电平，而且有助于向这些晶体管提供合适的阻抗以便用作开关放大器。因为基本推挽电路中使用了电感器，所以若不采取适当的措施，在基频下对晶体管呈现的阻抗实际上很明显是电感性的。将这些电容器与该电感并联，就可以根据需要运行的类型而适当改变该阻抗。譬如说，A类运行通常要求电容器的大小能使基频下的阻抗呈现纯电阻性。这些电容器的第二个优点是，它们在谐波下的低阻抗将有助于从该输出信号中过滤掉这些频率，从而降低了对附加后置放大器滤波的需求。第三个优点体现在作为一个高效开关放大器运行的情形，那就是安排这个电容器可以使谐波调

节适合于实现E/F运行。由于它们被连接在两个晶体管的漏极之间，所以它们将只影响基波与奇次谐波，这是因为偶次谐波电压幅值与相位在这些电容器的两端均相等。所以这些电容器被用来在基频下获得希望的电感性阻抗，而且被用来在奇次谐波下提供很低的阻抗，同时对偶次谐波则保持高阻抗。这种选择性的阻抗控制可以使每个推挽放大器能被当作一个运行在“逆F”类型、或者运行在一个被称为“E/F类型”的组合类型的节省功率的开关放大器来加以驱动，举例来说，后者包括E/F₃类型以及E/F_{odd}类型。这种拓扑结构还可以被用于许多其他放大器类型，譬如线性类型A、AB、B或C，或者非线性放大器类型，方法是通过调整漏极感抗以及拐角电容来使晶体管漏-体电容产生共振，从而为这些类型提供合适的负载。

D) 输出功率合成

在该优选实施例中，图2b所示的、其四个较宽的片状电感器构成正方几何形状的四侧推挽放大器设计被用来作为一个磁耦合有源变压器的初级电路，以便合成这四个推挽放大器的输出功率并使它们的小漏极阻抗与典型的 50Ω 非平衡或平衡负载相匹配。为了避免采用外部平衡-不平衡变换器来驱动共用单端天线、发射线路、滤波器以及RF开关，具有驱动一个非平衡负载的能力是至关重要的。正如图2b所示，由交变相位驱动的这四个推挽放大器在基频下沿该正方形产生一个均匀的环形电流，从而产生一个穿过该正方形的强磁通。

如图3a所示，这个初级线圈功率放大器正方形内部的一个单匝金属线圈150可以被用来利用这个交变磁通产生电力，并作为该变压器次级回路工作。它也提供一个8:1的阻抗变换比，以便对这些晶体管的漏极呈现大约 6.25Ω ($50\Omega/8$) 的阻抗。如果忽略这些损耗，那么对线性运行模式中的 $\pm 2V$

漏极电压变化，这个变换与合成过程对 50Ω 负载会使放大器的可能输出功率从 $P_{out} = V_{dd}^2/(2 \times R_{out}) = 2^2/(2 \times 50\Omega) = 40mW$ 提高到 $P_{out} = 8 \times V_{dd}^2/(2 \times R_{out}/8) = 8 \times 2V^2/(2 \times 50/8) = 2.56W$ 。因为该变压器耦合因子 k 低于1(通常大约为 $k = 0.6 \sim 0.8$)，所以一个电容器204被并联到该输出(见图8)以便补偿该变压器的泄漏电感。

在图3所示的次级绕组150的一个变体中，该次级绕组可以具有更有利的形式，即它可以包括一条宽度可变的金属导线。从概念上讲，该金属导线上ac电压比沉积该金属导线的片基低的某些部分比较宽，而ac电压比沉积该金属导线的片基高的某些部分比较窄。这种几何形状提供了进一步降低功率损耗的优点，因为它利用了ac电压信号(比该片基)低的位置上较宽金属具有较低金属电阻的特点，所以降低了损耗，而且它利用了ac电压(比该片基)高的位置上对一个较窄金属的片基具有低电容耦合的特点，从而进一步降低了损耗。采用这种方式，无论金属电阻损耗还是电容耦合损耗都会下降。

所以作为一个示例，如图3b所示，该初级线圈内部的一个宽度可变的单匝正方形金属线圈被用来利用该交变磁通产生电力，并被用作该变压器的次级回路，这又进一步改进了该器件的效率。特别是，从输出逆时针进行观察，该基本上为正方形的次级线圈的平直部分150a~150e逐渐变宽，从而形成一个不平衡的单匝正方形电感器。该电感器沿整个长度的平均宽度可以与图3a所示的不可变次级回路情况相等，所以能够保持相同的总导体电阻，而同时降低总体损耗。对这种以及其他的应用场合，也可以采用不改变宽度就能降低电感器上损耗的其他几何形状，譬如多匝正方形螺旋线、多匝环形螺旋线、带有分度间隔的线形电感器、一个锥状线形

电感器以及一个弯曲线形电感器。

现在回到图3a，由于推挽拓扑结构的对称性，这些偶次谐波受到明显排斥，所以不会有效地耦合到次级150。而且晶体管的漏-体电容以及拐角电容器实际上会短路除基频信号以外的所有奇次谐波，从而衰减了该输出中的奇次谐波。

与传统谐波控制放大器类型（譬如类型F、逆类型F）的设计相比，本发明的环状几何图形有源变压器拓扑结构还提供了另一个优点。与需要对每个谐波进行独立调整的这些单端谐波控制放大器类型不同，为了实现E/F类型的设计，这个拓扑结构在设计过程中只需要在基频下进行调整。一旦基频设置完毕，所有其他谐波将会自动具有需要的阻抗。这是因为该E/F运行模式可以通过在选定的奇次谐波下呈现低阻抗、在偶次谐波下呈现一个容性阻抗 $1/(j\omega C_s)$ 、而在基波下呈现一个具有合适电感量的负载阻抗来实现。采用较大的调节电容器110、120、130与140就可以对奇次谐波获得低阻抗，这些电容器在奇次谐波下与该晶体管漏极有效并联。然而，对偶次谐波，这些晶体管只“看见”它们自己的输出电容。这是因为每个晶体管在这些频率下具有相同的信号幅值与相位，所以该电路中连接在这些晶体管之间的所有其他部件都不会导通这些谐波的电流，因而它们对阻抗不产生影响。为了在比该基频略高的频率上产生共振，调节连接在晶体管漏极之间的RLC电路就可以获得该电感性基频阻抗。改变这种调节，就可以改变该基频下的负载阻抗来实现能获得高效运行的零电压切换条件。所以，利用该电路对称性来分离偶次与奇次谐波，该电路就可以按照这种方法来提供奇次谐波下的低阻抗、偶次谐波下的电容性阻抗以及一个合适的电感性负载，从而只需要仔细调节基频阻抗即可。

E) 输入功率分离与匹配

现在再看输入信号，在图2a、图2b与图3的四侧推挽设计中，一个典型的 50Ω 不平衡输入必须加以匹配并被变换成为八（8）个栅极上的四个平衡驱动信号，这一难题与对输出网络所述的情况相似。为了处理这一问题，在该正方形每角的栅极之间连接了一个栅极匹配电感回路，总共四（4）个回路，以便使栅极电容在基频发生共振。图4画出了一个角，其中一个电感回路180被连接在晶体管160与170各自的栅极162与172之间，图中示意性地画成一个电感器180。与通常的螺旋电感器相比，该单独的差动驱动回路电感器具有较高的Q值（10~15）。这些电感回路的中点形成虚拟ac接地点，所以就不需要利用一个大电容器来使这点ac接地，同时还能阻断该ac电压。

如图5所示，该输入功率分离网络包括三个部分，即：（1）一个1:1的输入螺旋变压器平衡-不平衡变换器190；（2）将平衡信号传送到该正方形中心点195的差动接线192a与192b；以及（3）将中心点195对称连接到所有晶体管栅极的分离网络194。所以，分离网络194向每个推挽的成对晶体管的栅极提供同相平衡输入信号。在图6所示的一个优选实施例中，分离网络194包括精确成形的金属导线194a~194f，它们沿着预定的曲折通路到达晶体管。这就提供了从输出变压器（次级线圈）196到每个输入连接点的正向磁耦合，从而进一步提高了每个独立放大器的增益，也就提高了整个放大器的增益。

一个并联电容器205（见图8）以及串联电容器206、207a与207b也被连接到该输入端以便使泄漏电感产生共振，并在1:1螺旋式片上平衡-不平衡变换器190的输入侧提供对 50Ω 的匹配。可以发现，因为不采用任何连接导线来作为电感器，所以就不需要为获得最佳运行而精确调节它们的数值。

输入馈送也可以换一种方法从该回路的外部进行，从而降低由该输出的磁耦合所感应的电流引起的功率损耗。

F) 交叉指型

对本发明的有源变压器耦合的功率放大器的另一种改进如图7a所示。在这里所讨论的类型的高频平面有源变压器中，初级回路200中的电流往往集中在它们的金属导体的面向次级电路204的边缘。而且，该次级电路的电流也集中在它的导体的面向该初级绕组的边缘。这种“电流集聚”增加了较宽金属导体中的损耗，因为这些导体实际上正在被当成具有较高电阻的较窄导体来使用。

为了降低这些损耗，该初级电路可以包括一个安排在该次级回路或输出回路204路径内部的第二回路202，从而使这些线圈构成“交叉指型”。采用这种方法，该初级的电流就被分离到、或分布到一对输入回路200与202的边缘，从而有效地使流过电流的边缘数加倍。这样就能有效地降低总体金属电阻，从而降低总体损耗。应当理解，这些次级回路可以被连接到一起，也可以不连接到一起。还可以采用其他的交叉指型方案。一个这样的方案如图7b所示，其中多个次级回路与多个初级回路构成交叉指型。

G) 试验结果

如上所述，本发明的新颖环状几何图形拓扑结构既可以被用来实现线性功率放大器，也可以被用来实现开关功率放大器。作为本发明的概念的演示，制造了一个2.2W、2.4GHz、E/F₃类型、单级全集成环状几何图形开关功率放大器，并以BiCMOS处理技术、采用0.35μm CMOS晶体管进行了测试。

该处理过程产生了三个金属层，顶层厚3μm，距片基4.3μm，该片基具

有 $8\Omega \cdot \text{cm}$ 的电阻系数。该芯片连同垫片的面积为 $1.3\text{mm} \times 2.0\text{mm}$ 。为了核实该放大器的性能，作为该设计环节的一部分，在一个完整的结构上进行了采用SONNET的准3D电磁模拟以及采用ADS的电路模拟。

该设计电路的完整电路图如图8所示。这些电气部件通常对应于图2~图5所示的物理部件。特别是，构成图2b所示有源变压器初级线圈的四个推挽放大器40、60、80与100在图8中被画成漏极电感器 L_d ，每一端有一个被彼此反相驱动的晶体管。图4的晶体管输入匹配回路180用栅极电感器 L_g 180表示，180在该正方形的每个角重复出现。图3~图5所示的正方形次级线圈150用变压器151、152、153与154的四个串联次级线圈表示，它们分别与作为推挽放大器40、60、80及100的构成部分的四个初级线圈相匹配。输入匹配变压器或平衡-不平衡变换器190用变压器T1（190）表示。正如该示意图所示（图中没有明确画出物理连接），变换后的平衡输入信号具有一个正输入210与一个负输入212，它们被分离后送到该放大器作了相应标记的输入。具体地讲，正输入210被连接到每个推挽放大器的适当晶体管的“+”相位栅极，“-”相位输入212被连接到每个推挽放大器的适当晶体管的“-”相位栅极。该样机也实现了图6所示的曲折输入回路设计以便进行输入功率分离。

在测试该设计的性能时，该芯片直接用导电粘合剂粘到一个镀金黄铜散热器以便有效散热。该芯片接地垫片用导线连接到该散热器。该输入与输出端用导线连接到一块印刷电路板（PCB）上的 50Ω 微波传输带导线。该供电与栅极偏压垫片也用导线连接。该输入采用通过一个有向耦合器连接到该电路输入的商业功率放大器驱动以便测量该输入回波损耗。该输出通过一个 20dB 衰减器以及 2.9GHz 低通滤波器被连接到一块功率表以避免测量

谐波信号功率。所有的系统功率损耗都已经过校准，包括接头与杜劳特铬合金钢（Duroid）板损耗。该连接导线的功率损耗被包含在该放大器的被测性能之内。

采用一个2V供电获得了2.4GHz下2.2W的输出功率，增益为8.5dB。相应的功率加效率（PAE）为31%，漏极效率为36%。若以差动方式获得输出，那么在 P_{out} 为1.9W、增益为8.7dB、漏极效率为48%时，PAE达到41%。图8与图9分别表示2V与1V供电时增益与PAE对输出功率的关系。小信号增益为14dB，而输入反射系数为-9dB。该3dB带宽为中心点在2.44GHz的510MHz。20GHz以下的所有谐波都低于基波，其差超过64dB。这个芯片显示，本发明的单片电路设计的可实施性与性能都比传统设计有所提高。

本发明详细说明了以单片电路方式合成有源器件输出功率的技术。在如此描述了本发明的示例性实施例后就可以明显地看到，那些熟悉技术的人员也会想到其他的方法、修改与改进。此外也很明显的是，本发明并不限于CMOS技术、任何特定的频率范围、任何特定的输出功率电平、任何特定的有源器件数量、任何类型的运行方式或谐波调节策略。因而，本发明只由如下权利要求加以界定。

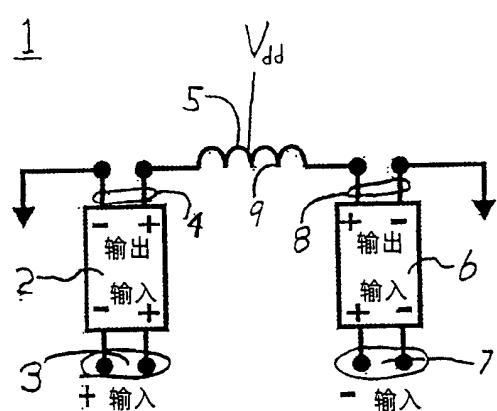


图1a

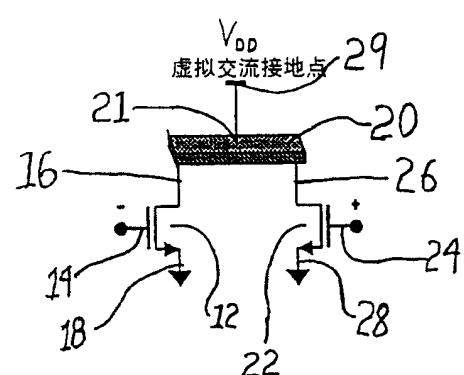


图1b

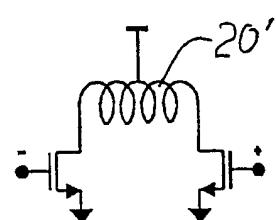


图1c

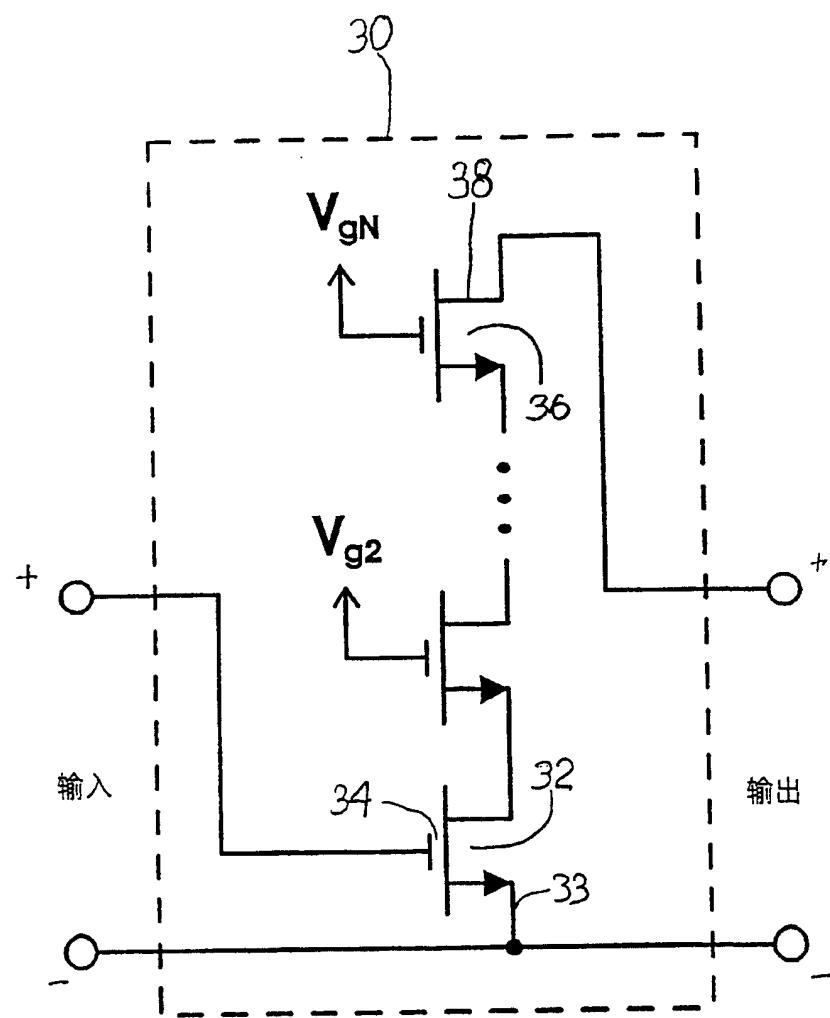


图1d

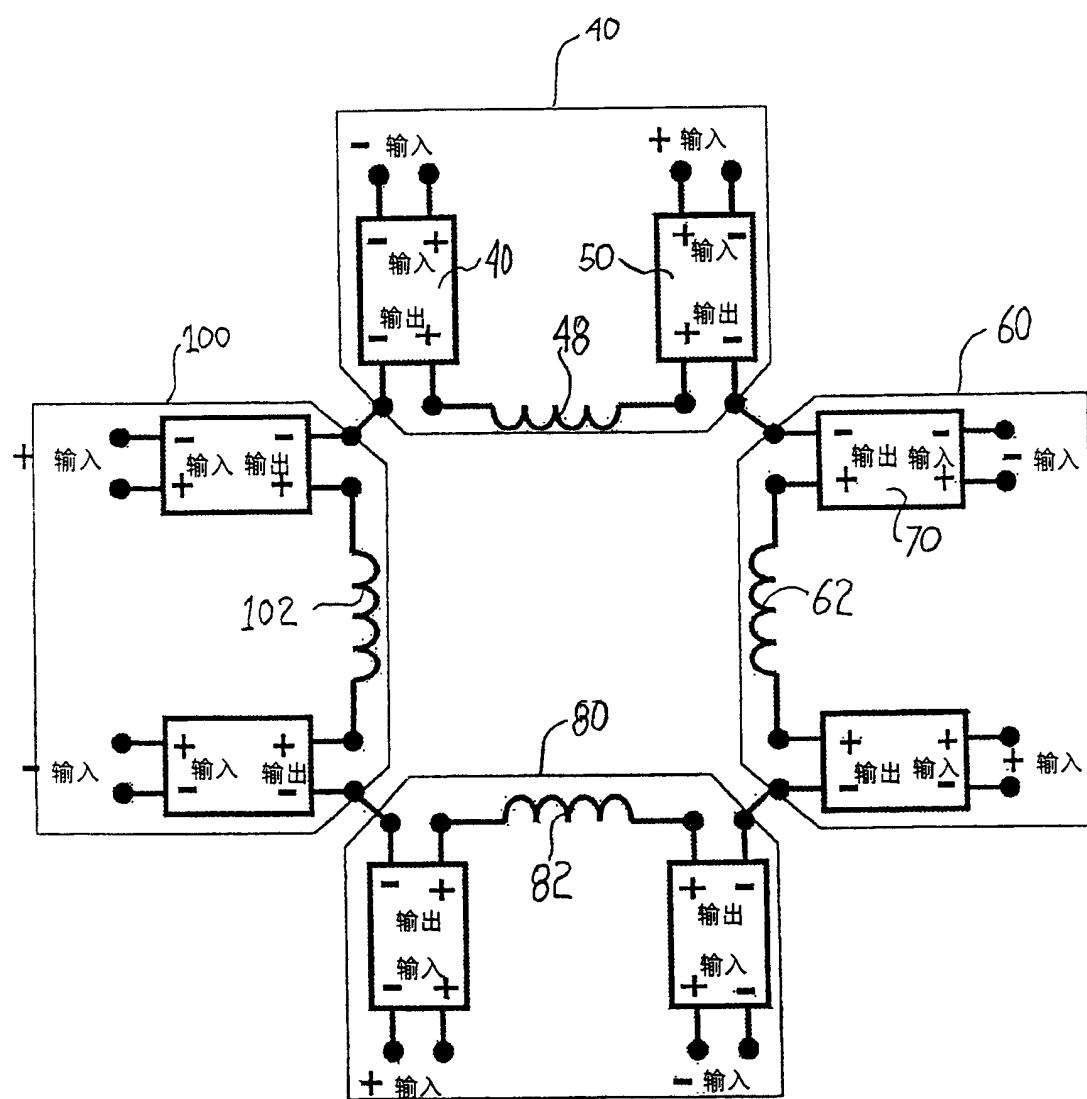


图2a

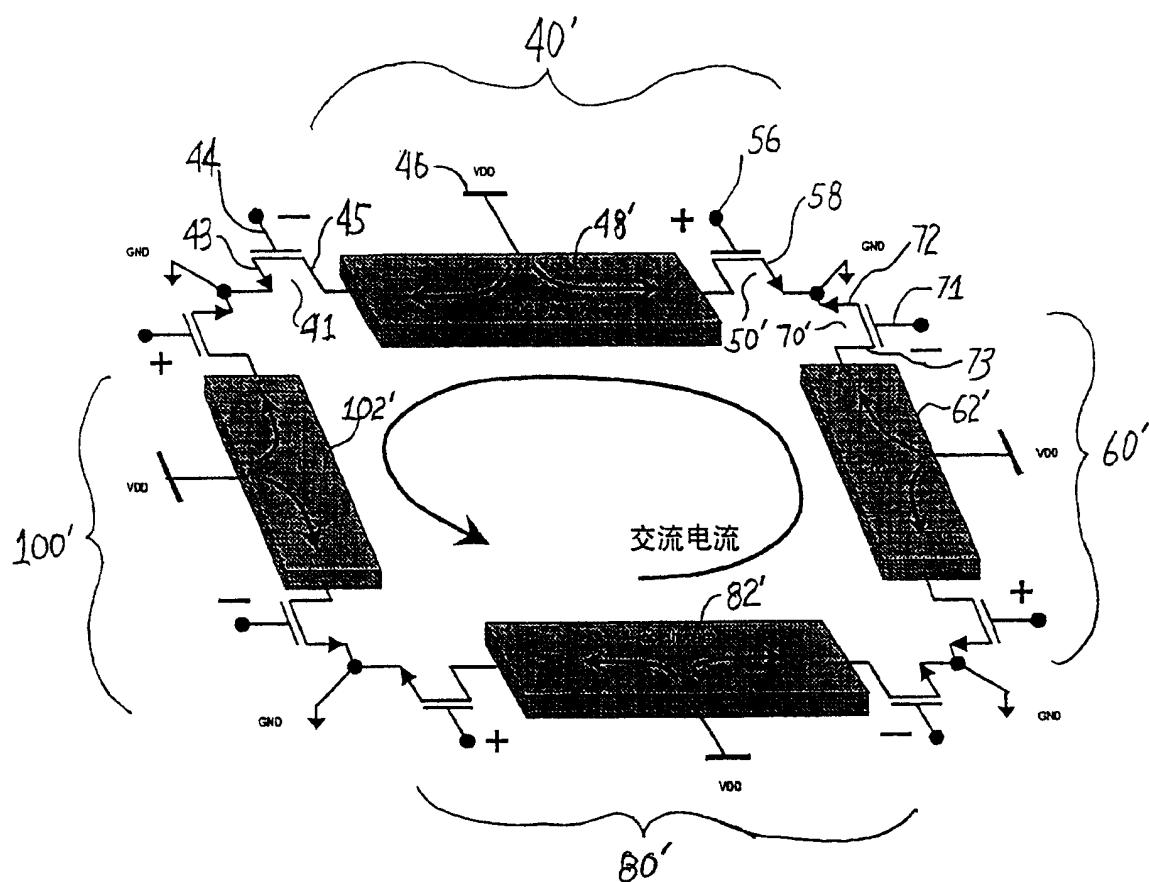


图2b

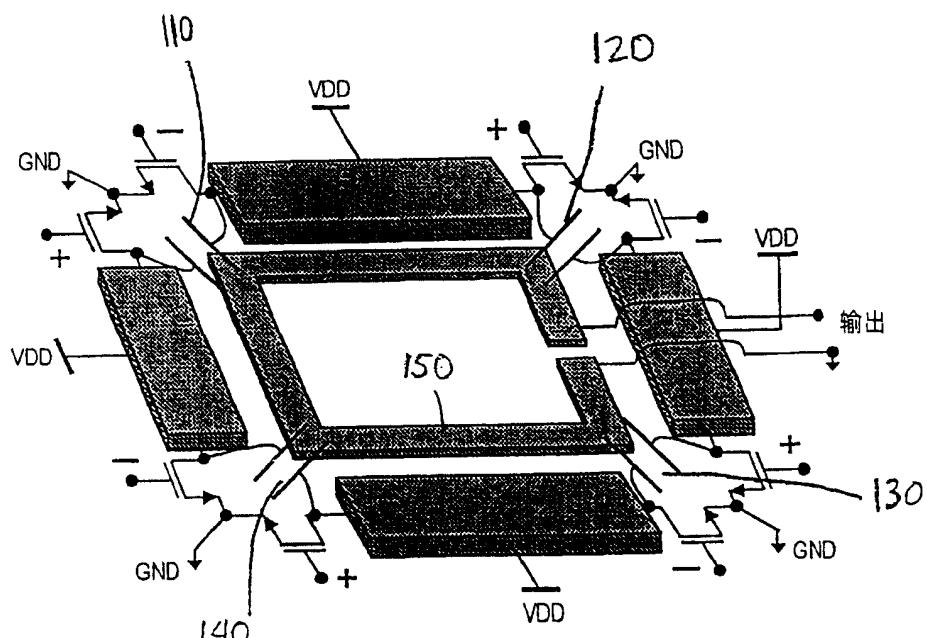


图3a

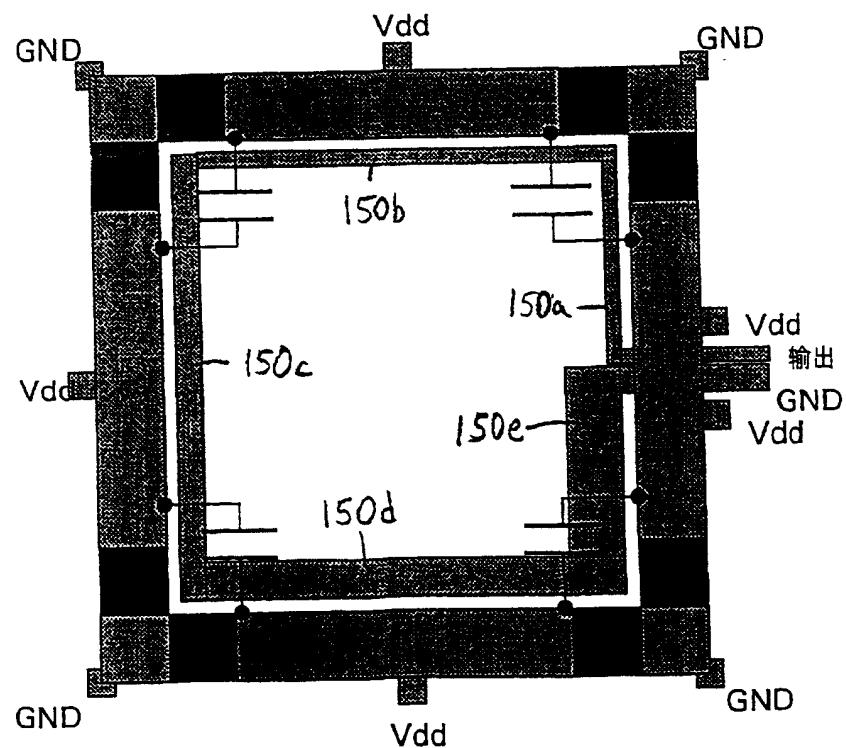


图3b

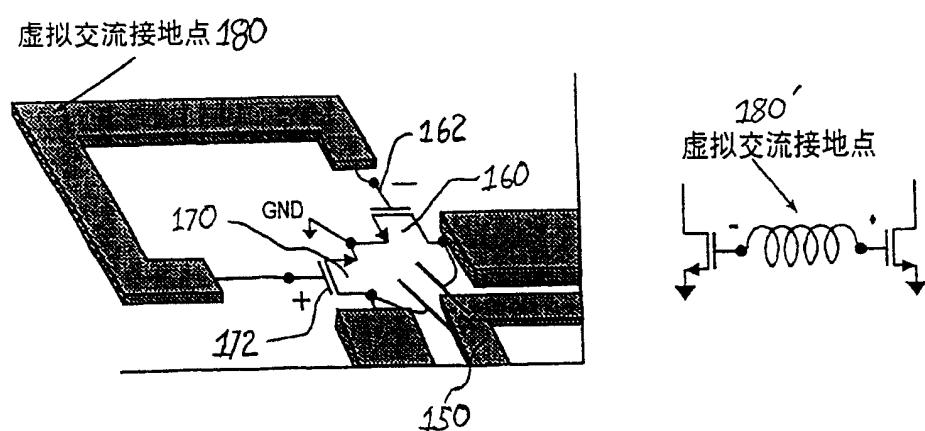


图4

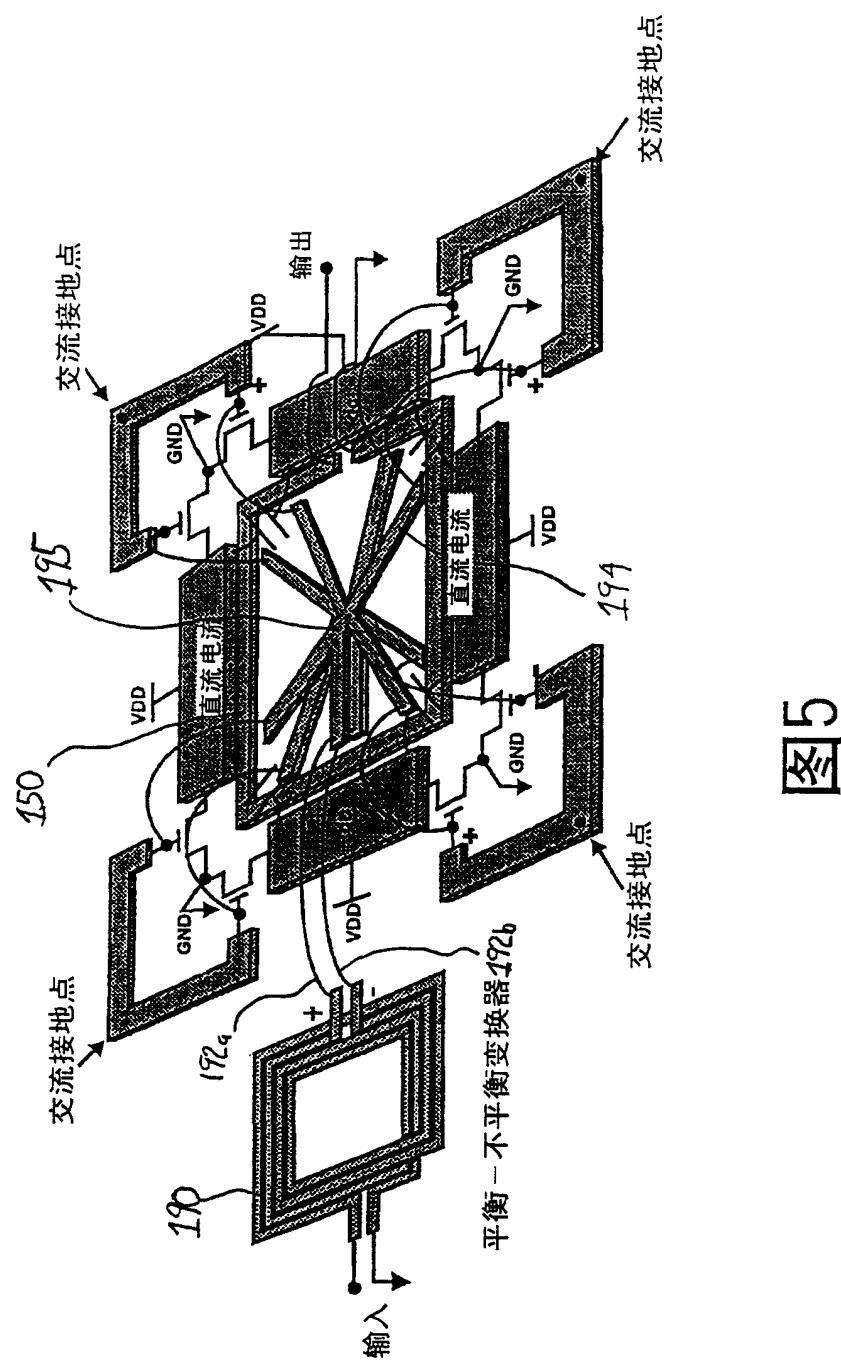


图5

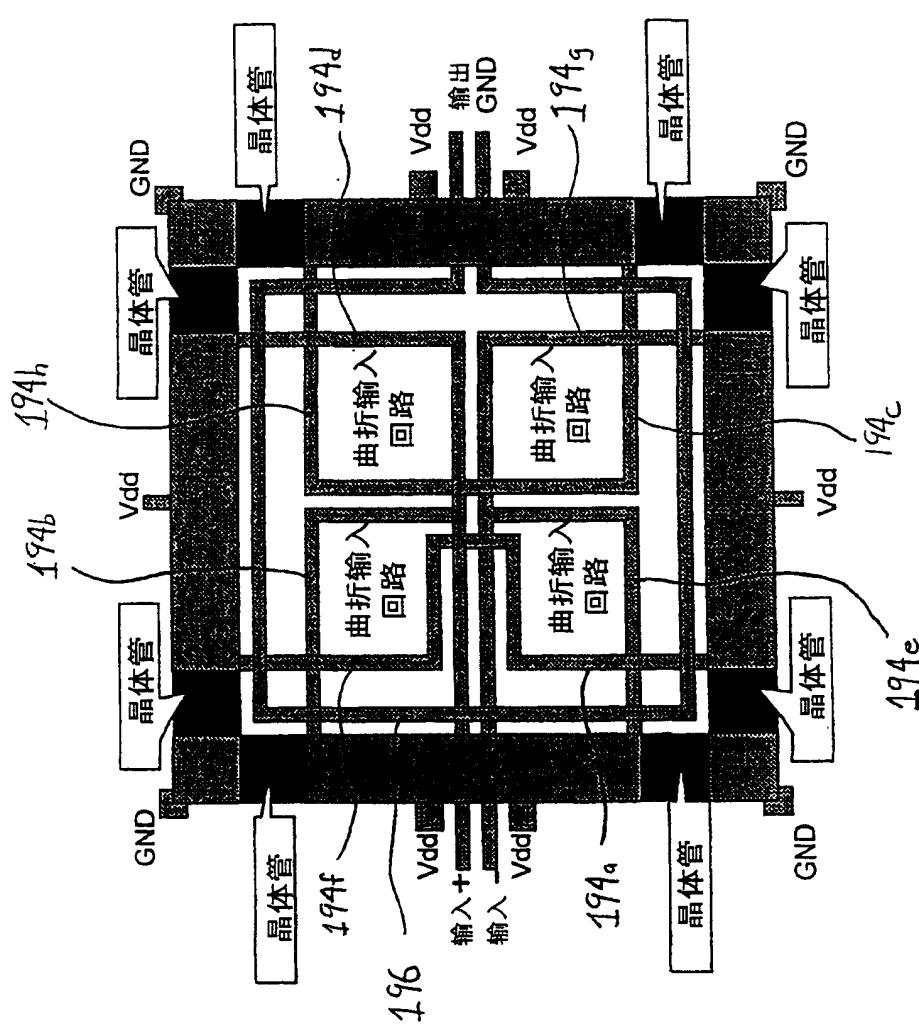


图6

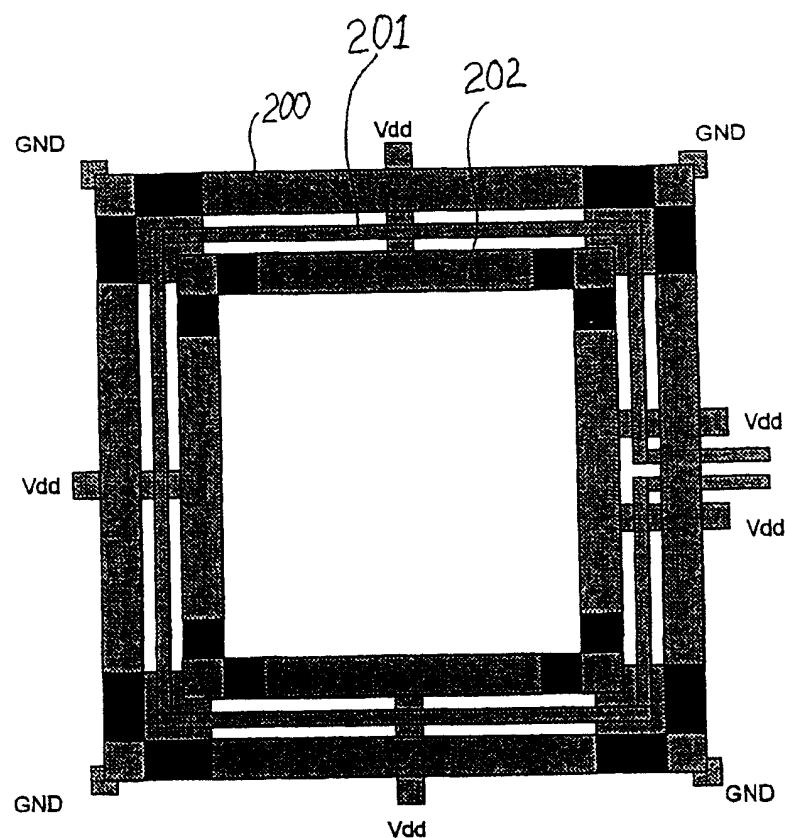


图7a

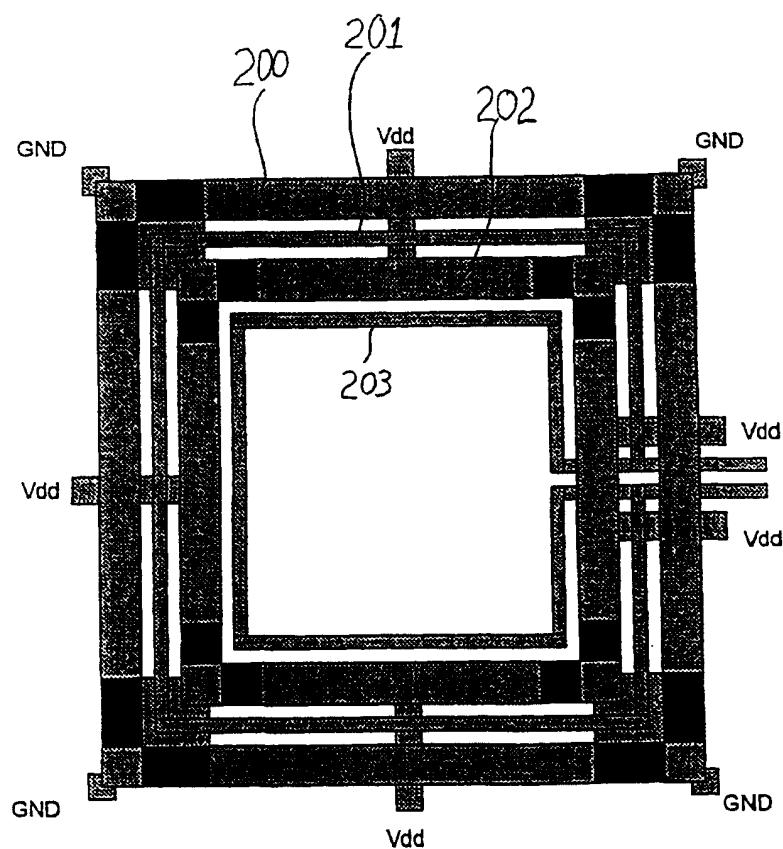


图7b

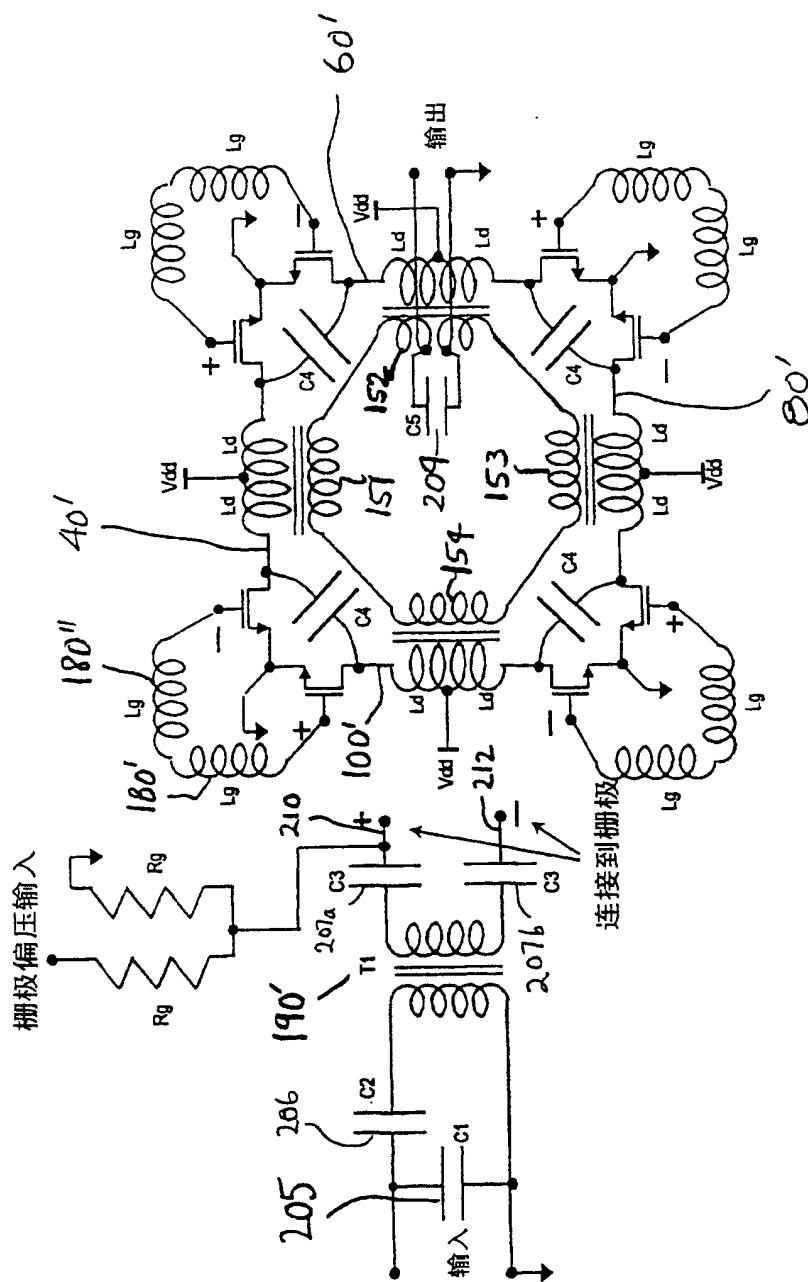


图8

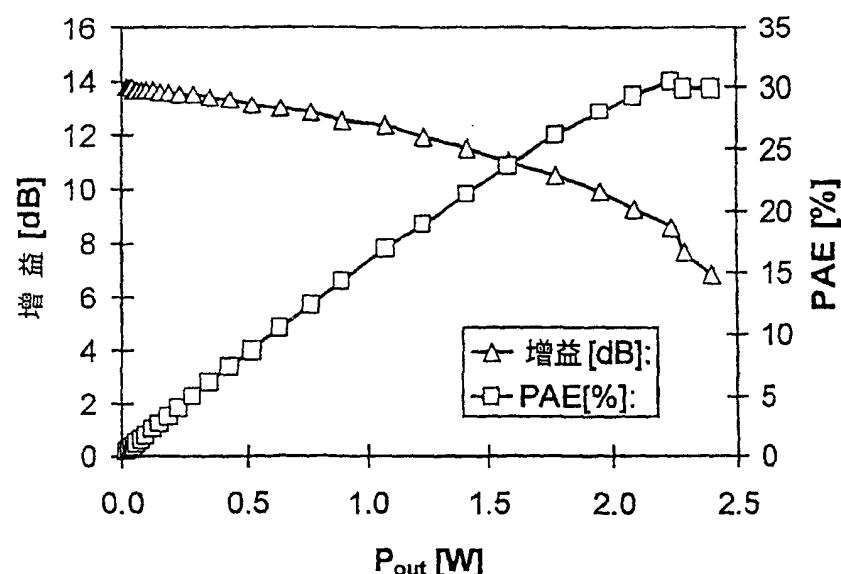


图9

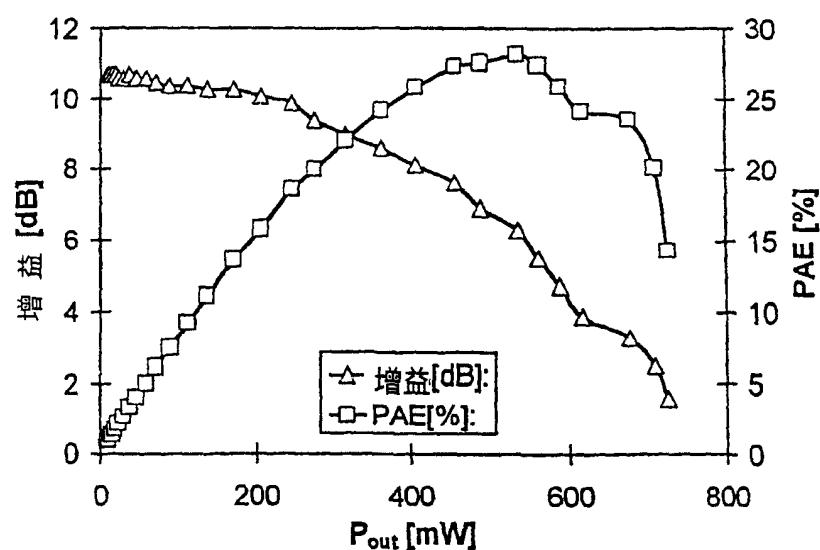


图10