



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년03월09일
(11) 등록번호 10-2224946
(24) 등록일자 2021년03월02일

- (51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) H01L 21/02 (2006.01)
H01L 29/26 (2006.01) H01L 29/78 (2006.01)
- (52) CPC특허분류
H01L 29/7869 (2013.01)
H01L 21/02565 (2013.01)
- (21) 출원번호 10-2015-7010061
- (22) 출원일자(국제) 2013년10월09일
심사청구일자 2018년09월13일
- (85) 번역문제출일자 2015년04월17일
- (65) 공개번호 10-2015-0067207
- (43) 공개일자 2015년06월17일
- (86) 국제출원번호 PCT/JP2013/078115
- (87) 국제공개번호 WO 2014/061713
국제공개일자 2014년04월24일
- (30) 우선권주장
JP-P-2012-230365 2012년10월17일 일본(JP)
- (56) 선행기술조사문헌
JP2011171727 A*
JP2012074125 A*
JP2012134475 A*
KR1020120059416 A*
*는 심사관에 의하여 인용된 문헌

- (73) 특허권자
가부시킴가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
- (72) 발명자
야마자키 슌페이
일본국 2430036 가나가와켄 아쓰기시 하세 398 가
부시킴가이샤 한도오따이 에네루기 켄큐쇼 내
스자와 히데오미
일본국 2430036 가나가와켄 아쓰기시 하세 398 가
부시킴가이샤 한도오따이 에네루기 켄큐쇼 내
(뒷면에 계속)
- (74) 대리인
특허법인 광장리앤코

전체 청구항 수 : 총 13 항

심사관 : 이양근

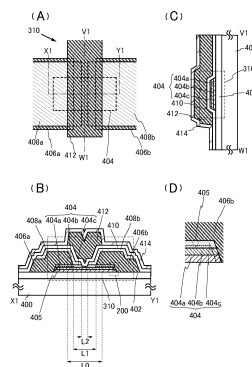
(54) 발명의 명칭 반도체 장치

(57) 요약

본 발명은, 산화물 반도체를 이용한 반도체 장치의 전기 특성의 변동을 억제하고, 신뢰성이 높은 반도체 장치를 제공하는 것을 과제로 한다.

산화물 반도체층의 하측에 제공된 하지 절연층 및 산화물 반도체층의 상측에 제공된 게이트 절연층으로부터 채널 (뒷면에 계속)

대표도 - 도1



형성 영역에 산소를 공급함으로써, 채널 영역에 형성될 수 있는 산소 결손을 보충한다. 또한, 산화물 반도체층에서 형성되는 채널 영역의 근방에서, 소스 전극층 또는 드레인 전극층에 의한 산화물 반도체층으로부터의 산소의 추출을 억제함으로써, 채널 영역에서의 산소 결손을 억제한다. 또한, 게이트 전극층 위에, 수소의 함유량이 낮고, 산소의 투과성이 낮은 배리어층으로서 기능하는 보호 절연층을 형성함으로써, 게이트 절연층 및/또는 하지 절연층으로부터의 산소의 이탈을 억제하여, 채널 형성 영역에 효과적으로 산소를 공급한다.

(52) CPC특허분류

H01L 21/02617 (2013.01)

H01L 29/26 (2013.01)

H01L 29/78 (2013.01)

(72) 발명자

사사가와 신야

일본국 2430036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오따이 에네루기 켄큐쇼 내

타나카 테츠히로

일본국 2430036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오따이 에네루기 켄큐쇼 내

명세서

청구범위

청구항 1

반도체 장치로서,
 하지 절연층;
 상기 하지 절연층 위의 제 1 산화물층;
 상기 제 1 산화물층 위의 산화물 반도체층;
 상기 산화물 반도체층 위의 제 2 산화물층;
 각각 상기 제 2 산화물층의 상면과 접촉하는 제 1 소스 전극층 및 제 1 드레인 전극층;
 각각 상기 제 1 소스 전극층 및 상기 제 1 드레인 전극층 위에 있고, 상기 제 2 산화물층의 상기 상면과 접촉하는 제 2 소스 전극층 및 제 2 드레인 전극층;
 상기 제 2 소스 전극층 및 상기 제 2 드레인 전극층 위에 있고, 상기 제 2 소스 전극층과 상기 제 2 드레인 전극층 사이의 상기 제 2 산화물층의 상기 상면과 접촉하는 게이트 절연층; 및
 상기 게이트 절연층을 사이에 끼우고 상기 산화물 반도체층과 중첩하는 게이트 전극층을 포함하고,
 상기 하지 절연층과 상기 게이트 절연층은 서로 접촉하고,
 상기 게이트 절연층은 상기 제 1 소스 전극층 및 상기 제 1 드레인 전극층과 접촉하고,
 상기 제 2 소스 전극층과 상기 제 2 드레인 전극층 사이의 간격은 상기 제 1 소스 전극층과 상기 제 1 드레인 전극층 사이의 간격보다 작은, 반도체 장치.

청구항 2

반도체 장치로서,
 하지 절연층;
 상기 하지 절연층 위의 제 1 산화물층;
 상기 제 1 산화물층 위의 산화물 반도체층;
 각각 상기 산화물 반도체층의 상면과 접촉하는 제 1 소스 전극층 및 제 1 드레인 전극층;
 상기 제 1 소스 전극층 및 상기 제 1 드레인 전극층 위의 제 2 산화물층;
 상기 제 2 산화물층 위의 제 2 소스 전극층 및 제 2 드레인 전극층;
 상기 제 2 소스 전극층 및 상기 제 2 드레인 전극층 위에 있고, 상기 제 2 소스 전극층과 상기 제 2 드레인 전극층 사이의 상기 제 2 산화물층의 상면과 접촉하는 게이트 절연층; 및
 상기 게이트 절연층을 사이에 끼우고 상기 산화물 반도체층과 중첩하는 게이트 전극층을 포함하고,
 상기 하지 절연층과 상기 게이트 절연층은 서로 접촉하고,
 상기 제 1 소스 전극층 및 상기 제 1 드레인 전극층의 재료는 상기 제 2 소스 전극층 및 상기 제 2 드레인 전극층의 재료보다 쉽게 산소와 결합되는, 반도체 장치.

청구항 3

제 1 항 또는 제 2 항에 있어서,
 상기 게이트 전극층은 상기 제 1 소스 전극층 및 상기 제 1 드레인 전극층과 중첩하는, 반도체 장치.

청구항 4

제 1 항 또는 제 2 항에 있어서,

상기 게이트 전극층은 상기 제 1 소스 전극층 및 상기 제 1 드레인 전극층과 중첩하지 않는, 반도체 장치.

청구항 5

제 1 항 또는 제 2 항에 있어서,

상기 게이트 전극층은 상기 제 2 소스 전극층 및 상기 제 2 드레인 전극층과 중첩하는, 반도체 장치.

청구항 6

제 1 항 또는 제 2 항에 있어서,

상기 게이트 전극층은 적층 구조를 가지는, 반도체 장치.

청구항 7

제 1 항 또는 제 2 항에 있어서,

상기 하지 절연층과 상기 게이트 절연층은 산소를 함유하고,

상기 제 2 소스 전극층 및 상기 제 2 드레인 전극층은 질소를 함유하는, 반도체 장치.

청구항 8

제 7 항에 있어서,

상기 제 2 소스 전극층 및 상기 제 2 드레인 전극층 각각은 질화 금속막인, 반도체 장치.

청구항 9

제 1 항 또는 제 2 항에 있어서,

상기 산화물 반도체층은 결정부를 포함하고,

상기 결정부의 c축은 상기 산화물 반도체층의 표면의 법선 벡터에 평행한, 반도체 장치.

청구항 10

제 1 항에 있어서,

상기 제 2 소스 전극층 및 상기 제 2 드레인 전극층은 각각 상기 제 1 소스 전극층 및 상기 제 1 드레인 전극층을 덮는, 반도체 장치.

청구항 11

제 1 항에 있어서,

상기 제 1 소스 전극층 및 상기 제 1 드레인 전극층은, 상기 제 1 산화물층의 측면, 상기 산화물 반도체층의 측면, 및 상기 제 2 산화물층의 측면과 접촉하는, 반도체 장치.

청구항 12

제 2 항에 있어서,

상기 제 1 소스 전극층 및 상기 제 1 드레인 전극층은, 상기 제 1 산화물층의 측면 및 상기 산화물 반도체층의 측면과 접촉하는, 반도체 장치.

청구항 13

제 2 항에 있어서,

상기 반도체 장치는 제 3 소스 전극층 및 제 3 드레인 전극층을 더 포함하고,

상기 제 3 소스 전극층은 상기 제 2 산화물층, 상기 제 2 소스 전극층, 및 상기 게이트 절연층에 제공된 제 1 콘택트홀을 통해 상기 제 1 소스 전극층과 접촉하고,

상기 제 3 드레인 전극층은 상기 제 2 산화물층, 상기 제 2 드레인 전극층, 및 상기 게이트 절연층에 제공된 제 2 콘택트홀을 통해 상기 제 1 드레인 전극층과 접촉하는, 반도체 장치.

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

발명의 설명

기술 분야

[0001] 본 명세서 등에서 개시하는 발명은 반도체 장치 및 반도체 장치의 제작 방법에 관한 것이다.

[0002] 본 명세서 등에서, 반도체 장치란, 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 가리키고; 전기 광학 장치, 화상 표시 장치, 반도체 회로 및 전자기기는 모두 반도체 장치이다.

배경 기술

[0003] 절연 표면을 가지는 기판 위에 형성된 반도체 박막을 이용하여 트랜지스터를 형성하는 기술이 주목받고 있다. 이 트랜지스터는 집적회로(IC)나 화상 표시 장치(간단히 표시 장치라고도 표기함)와 같은 전자 디바이스에 널리 응용되고 있다. 트랜지스터에 적용할 수 있는 반도체 박막으로서 실리콘계 반도체 재료가 널리 알려져 있다. 그 외의 재료로서 산화물 반도체가 주목받고 있다.

[0004] 예를 들면, 산화물 반도체로서 산화 아연, 또는, In-Ga-Zn계 산화물 반도체를 이용하여 트랜지스터를 제작하는 기술이 개시되어 있다(특허문헌 1 및 특허문헌 2 참조).

선행기술문헌

특허문헌

- [0005] (특허문헌 0001) 일본국 특개 2007-123861호 공보
- (특허문헌 0002) 일본국 특개 2007-96055호 공보

발명의 내용

해결하려는 과제

- [0006] 본 발명의 일 양태는, 양호한 전기 특성을 가지는 산화물 반도체를 포함한 반도체 장치를 얻는 것을 과제의 하나로 한다.
- [0007] 또한, 본 발명의 일 양태는, 산화물 반도체를 이용한 반도체 장치의 전기 특성의 변동을 억제하여, 신뢰성이 높은 반도체 장치를 제공하는 것을 과제의 하나로 한다.

과제의 해결 수단

- [0008] 산화물 반도체를 포함하는 트랜지스터를 형성하는 경우, 산화물 반도체의 캐리어의 공급원의 하나로서, 산소 결손을 들 수 있다. 트랜지스터의 채널 형성 영역을 포함한 산화물 반도체에 산소 결손이 많이 존재하면, 채널 형성 영역 내에 전자를 일으키게 하여, 전기 특성의 불량을 일으키는데; 예를 들면, 트랜지스터의 노멀리 온 (normally-on)화, 리크 전류의 증대, 스트레스 인가에 의한 문턱 전압의 시프트 등이다. 또한, 산화물 반도체층에서 수소, 실리콘, 질소, 탄소, 및 주성분 이외의 금속 원소는 불순물이 된다. 예를 들면, 산화물 반도체층 내에서 수소는 도너 준위를 형성하여, 캐리어 밀도를 증대시킨다. 산화물 반도체층 내에서 실리콘은 불순물 준위를 형성한다. 이 불순물 준위가 트랩이 되어, 트랜지스터의 전기 특성을 열화시키는 경우가 있다.
- [0009] 따라서, 산화물 반도체를 포함한 반도체 장치에서 안정된 전기 특성을 가지기 위해서는, 이 산화물 반도체층의 산소 결손을 저감하고, 또한, 수소 및 실리콘 등의 불순물 농도를 저감하는 조치를 강구하는 것이 요구된다.
- [0010] 본 발명의 일 양태의 반도체 장치에서는, 산화물 반도체층의 하측에 제공된 하지 절연층 및 산화물 반도체층의 상측에 제공된 게이트 절연층으로부터 채널 형성 영역에 산소를 공급함으로써, 채널 영역에 생성될 수 있는 산소 결손을 보충한다. 또한, 산화물 반도체층에서 형성되는 채널 영역의 근방에서, 소스 전극층 또는 드레인 전극층에 의한 산화물 반도체층으로부터의 산소의 추출을 억제함으로써, 채널 영역에서의 산소 결손을 억제한다. 또한, 게이트 전극층 위에, 수소의 함유량이 낮고, 산소의 투과성이 낮은 배리어층으로서 기능하는 보호 절연층을 형성함으로써, 게이트 절연층 및/또는 하지 절연층으로부터의 산소의 이탈을 억제하여, 채널 형성 영역에 효과적으로 산소를 공급한다.
- [0011] 또한, 채널을 형성하는 산화물 반도체층의 상측 및 하측에 접촉하고, 이 산화물 반도체층을 형성하는 금속 원소를 일종 이상 포함한 산화물층을 형성한다. 이것에 의해, 채널을 게이트 절연층으로부터 분리할 수 있다. 또한, 이 산화물층과 산화물 반도체층의 계면에는, 계면 준위가 형성되기 어렵기 때문에, 트랜지스터의 문턱 전압 등의 전기 특성의 편차를 저감할 수 있다.
- [0012] 본 발명의 일 양태에 따른 반도체 장치는 상술한 구성을 가짐으로써, 채널로서 기능하는(캐리어의 주된 경로가 됨) 산화물 반도체층의 불순물 농도를 저감하여, 고순도 진성화할 수 있다. 고순도 진성화란, 산화물 반도체층을 진성 또는 실질적으로 진성으로 하는 것을 말한다. 단, 본 명세서 등에서 실질적으로 진성이라고 하는 경우, 산화물 반도체층의 캐리어 밀도는 $1 \times 10^{17}/\text{cm}^3$ 미만, $1 \times 10^{15}/\text{cm}^3$ 미만, 또는 $1 \times 10^{13}/\text{cm}^3$ 미만이다. 산화물 반도체층을 고순도 진성화함으로써, 트랜지스터는 안정된 전기 특성을 가질 수 있다.
- [0013] 보다 구체적으로는, 예를 들면 이하의 구성으로 할 수 있다.
- [0014] 본 발명의 일 양태는, 산소를 함유하는 하지 절연층과; 하지 절연층 위에 제공된 섬 형상의 산화물 적층과; 섬 형상의 산화물 적층의 상면의 일부 및 채널 형성 방향의 측면과 접촉하는 제 1 소스 전극층 및 제 1 드레인 전극층과; 제 1 소스 전극층 및 제 1 드레인 전극층 위에 각각 제공되고, 산화물 적층의 상면의 일부에 접촉하는, 질화 금속막으로 이루어지는 제 2 소스 전극층 및 제 2 드레인 전극층과; 제 2 소스 전극층 및 제 2 드레인 전극층 위에 제공되고, 제 2 소스 전극층 및 제 2 드레인 전극층 사이에서 산화물 적층의 상면과 접촉하는 게이트 절연층과; 게이트 절연층을 사이에 끼우고 산화물 적층과 중첩하는 게이트 전극층과; 게이트 절연층 및 게이트

전극층 위에 접촉하여 제공된 보호 절연층을 포함하는 반도체 장치이다. 산화물 적층은 적어도 채널을 형성하는 산화물 반도체층과; 산화물 반도체층과 하지 절연층 사이에 제공된 제 1 산화물층과; 산화물 반도체층과 게이트 절연층 사이에 제공된 제 2 산화물층을 포함한다. 하지 절연층과 게이트 절연층은 섬 형상의 산화물 적층의 외주부에서 접촉한다. 보호 절연층은 게이트 절연층보다 산소에 대한 투과성이 낮다.

[0015] 본 발명의 또 다른 일 양태는, 산소를 함유하는 하지 절연층과; 하지 절연층 위에 제공된 섬 형상의 산화물 적층과; 섬 형상의 산화물 적층의 상면의 일부 및 채널 형성 방향의 측면과 접촉하는 제 1 소스 전극층 및 제 1 드레인 전극층과; 제 1 소스 전극층 및 제 1 드레인 전극층 위에 각각 제공되고, 산화물 적층의 상면의 일부에 접촉하는, 질화 금속막으로 이루어지는 제 2 소스 전극층 및 제 2 드레인 전극층과; 제 2 소스 전극층 및 제 2 드레인 전극층 위에 제공되고, 제 2 소스 전극층 및 제 2 드레인 전극층의 사이에서 산화물 적층의 상면과 접촉하는 게이트 절연층과; 게이트 절연층 사이에 끼우고, 산화물 적층, 제 2 소스 전극층 및 제 2 드레인 전극층의 일부와 중첩하는 게이트 전극층과; 게이트 절연층 및 게이트 전극층 위에 접촉하여 제공된 보호 절연층을 포함하는 반도체 장치이다. 산화물 적층은 적어도 채널을 형성하는 산화물 반도체층과; 산화물 반도체층과 하지 절연층 사이에 제공된 제 1 산화물층과; 산화물 반도체층과 게이트 절연층 사이에 제공된 제 2 산화물층을 포함한다. 하지 절연층과 게이트 절연층은 섬 형상의 산화물 적층의 외주부에서 접촉한다. 보호 절연층은 게이트 절연층보다 산소에 대한 투과성이 낮다.

[0016] 상기의 반도체 장치에 있어서, 산화물 반도체층, 제 1 산화물층 및 제 2 산화물층은, In-M-Zn 산화물(M은 Al, Ti, Ga, Y, Zr, La, Ce, Nd, 또는 Hf)이며, 제 1 산화물층 및 제 2 산화물층은 In에 대한 M의 원자수비가 산화물 반도체층보다 큰 것이 바람직하다.

[0017] 또한, 상기의 반도체 장치에서, 산화물 반도체층은 결정부를 포함하고, 결정부의 c축은 산화물 반도체층의 표면의 법선 벡터에 평행한 것이 바람직하다.

[0018] 또한, 상기의 반도체 장치에서, 제 1 소스 전극층 및 제 1 드레인 전극층에는 제 2 소스 전극층 및 제 2 드레인 전극층보다 산소와 결합하기 쉬운 재료를 이용하여 형성된다.

[0019] 또한, 상기의 반도체 장치에서, 보호 절연층에 포함되는 수소 농도는 $5 \times 10^{19} \text{ cm}^{-3}$ 미만인 것이 바람직하다.

발명의 효과

[0020] 본 발명의 일 양태에 의해, 산화물 반도체를 포함한 반도체 장치에 양호한 전기 특성을 가질 수 있다.

[0021] 또한, 본 발명의 일 양태에 의해, 산화물 반도체를 포함한 반도체 장치의 전기 특성의 변동을 억제하여, 신뢰성이 높은 반도체 장치를 제공할 수 있다.

도면의 간단한 설명

- [0022] 도 1의 (A) 내지 도 1의 (D)는 반도체 장치의 일 양태를 설명하는 평면도 및 단면도.
- 도 2의 (A) 내지 도 2의 (C)는 반도체 장치의 일 양태를 설명하는 평면도 및 단면도.
- 도 3의 (A) 내지 도 3의 (D)는 반도체 장치의 일 양태를 설명하는 단면도.
- 도 4의 (A) 내지 도 4의 (C)는 반도체 장치의 제작 방법의 일례를 설명하는 단면도.
- 도 5의 (A) 내지 도 5의 (D)는 반도체 장치의 제작 방법의 일례를 설명하는 단면도.
- 도 6의 (A) 및 도 6의 (B)는 산화물 적층의 밴드 구조를 설명하는 도면.
- 도 7의 (A) 및 도 7의 (B)는 산화물 적층의 밴드 구조를 설명하는 도면.
- 도 8은 산화물 적층의 밴드 구조를 설명하는 도면.
- 도 9의 (A) 내지 도 9의 (C)는 반도체 장치의 일 양태를 설명하는 평면도 및 단면도.
- 도 10은 트랜지스터에 포함되는 적층 구조를 나타내는 개념도.

- 도 11의 (A) 및 도 11의 (B)는 SIMS 측정 결과를 나타내는 도면.
- 도 12의 (A) 및 도 12의 (B)는 SIMS 측정 결과를 나타내는 도면.
- 도 13의 (A) 및 도 13의 (B)는 SIMS 측정 결과를 나타내는 도면.
- 도 14의 (A) 및 도 14의 (B)는 SIMS 측정 결과를 나타내는 도면.
- 도 15의 (A) 및 도 15의 (B)는 시트 저항의 측정 결과를 나타내는 도면.
- 도 16은 시트 저항의 측정 결과를 나타내는 도면.
- 도 17의 (A) 및 도 17의 (B)는 시트 저항의 측정 결과를 나타내는 도면.
- 도 18의 (A) 및 도 18의 (B)는 TDS 분석 결과를 나타내는 도면.
- 도 19는 반도체 장치의 일 양태를 나타내는 단면도.
- 도 20의 (A) 및 도 20의 (B)는 본 발명의 일 양태의 반도체 장치의 회로도.
- 도 21의 (A) 내지 도 21의 (C)는 본 발명의 일 양태의 반도체 장치의 회로도 및 개념도.
- 도 22는 본 발명의 일 양태의 반도체 장치의 블록도.
- 도 23은 본 발명의 일 양태의 반도체 장치의 블록도.
- 도 24는 본 발명의 일 양태의 반도체 장치의 블록도.
- 도 25의 (A) 및 도 25의 (B)는 본 발명의 일 양태의 반도체 장치를 적용할 수 있는 전자기기.

발명을 실시하기 위한 구체적인 내용

- [0023] 이하에서는, 개시하는 발명의 실시형태에 대하여 도면을 이용하여 상세하게 설명한다. 단, 본 명세서에 개시하는 발명은 이하의 설명에 한정되는 것은 아니고, 그 형태 및 상세한 사항을 다양하게 변경할 수 있는 것은 당업자라면 용이하게 이해할 수 있다. 따라서, 본 명세서에 개시하는 발명은 이하에 나타내는 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다.
- [0024] 단, 이하에 나타내는 본 발명의 일 양태의 구성에 있어서, 동일 부분 또는 같은 기능을 가지는 부분에는, 동일한 부호를 다른 도면 간에 공통으로 이용하고, 그 반복 설명은 생략한다. 또한, 같은 기능을 가리키는 경우에는, 같은 헤치 패턴을 사용하고, 특별히 부호를 붙이지 않는 경우가 있다.
- [0025] 단, 본 명세서 등에서 "제 1", "제 2" 등의 서수사는 구성 요소의 혼동을 피하기 위하여 붙인 것이며, 수적으로 한정하는 것은 아니다.
- [0026] 단, 트랜지스터의 "소스"나 "드레인"의 기능은, 다른 극성의 트랜지스터를 채용하는 경우나, 회로 동작에서 전류의 방향이 변화하는 경우 등에는 바뀌는 일이 있다. 이 때문에, 본 명세서에서는, "소스"나 "드레인"이라는 용어는 서로 바꾸어 이용할 수 있는 것으로 한다.
- [0027] (실시형태 1)
- [0028] 본 실시형태에서는, 본 발명의 일 양태의 반도체 장치에 함유되는 적층 구조에 대하여, 도 10을 이용하여 설명한다.
- [0029] <적층 구조의 구성>
- [0030] 도 10에 적층 구조의 일례의 개념도를 나타낸다.
- [0031] 반도체 장치에 포함되는 적층 구조는, 하지 절연층(402)과 게이트 절연층(410) 사이에, 산화물 적층(404)을 포함한다. 또한, 산화물 적층(404)은 제 1 산화물층(404a), 산화물 반도체층(404b), 및 제 2 산화물층(404c)을 포함한다.
- [0032] 제 1 산화물층(404a) 및 제 2 산화물층(404c)은 산화물 반도체층(404b)을 형성하는 금속 원소를 일종 이상 포함한 산화물층이다.

- [0033] 산화물 반도체층(404b)으로서는, 적어도 인듐, 아연, 및 M(Al, Ga, Ge, Y, Zr, Sn, La, Ce, 또는 Hf 등의 금속)를 포함한 In-M-Zn 산화물로 표기되는 층을 포함한다. 산화물 반도체층(404b)이 인듐을 포함하면, 트랜지스터의 캐리어 이동도가 높아지기 때문에, 바람직하다.
- [0034] 산화물 반도체층(404b)의 하층의 제 1 산화물층(404a)으로서는 In-M-Zn 산화물(Al, Ti, Ga, Ge, Y, Zr, Sn, La, Ce, 또는 Hf 등의 금속)로 표기되고, 산화물 반도체층(404b)보다 M의 원자수비가 높은 산화물층을 포함한다. 구체적으로는, 제 1 산화물층(404a)으로서 산화물 반도체층(404b)보다 상술한 원소를 1.5배 이상, 바람직하게는 2배 이상, 더욱 바람직하게는 3배 이상 높은 원자수비로 포함한 산화물층을 이용한다. 상술한 원소는 인듐보다 산소와 강하게 결합하기 때문에, 산소 결손이 산화물층에 생기는 것을 억제하는 기능을 가진다. 즉, 제 1 산화물층(404a)은 산화물 반도체층(404b)보다 산소 결손이 생기기 어려운 산화물층이다.
- [0035] 또한, 산화물 반도체층(404b)의 상층의 제 2 산화물층(404c)으로서는, 제 1 산화물층(404a)과 마찬가지로 In-M-Zn 산화물(Al, Ti, Ga, Ge, Y, Zr, Sn, La, Ce, 또는 Hf 등의 금속)로 표기되고, 산화물 반도체층(404b)보다 M의 원자수비가 높은 산화물층을 포함한다. 구체적으로는, 제 2 산화물층(404c)으로서 산화물 반도체층(404b)보다 상술한 원소를 1.5배 이상, 바람직하게는 2배 이상, 더욱 바람직하게는 3배 이상 높은 원자수비로 포함한 산화물층을 이용한다.
- [0036] 즉, 제 1 산화물층(404a), 산화물 반도체층(404b), 제 2 산화물층(404c)이 적어도 인듐, 아연, 및 M(Al, Ti, Ga, Ge, Y, Zr, Sn, La, Ce, 또는 Hf 등의 금속)을 포함하는 In-M-Zn 산화물일 때, 제 1 산화물층(404a)을 $In : M : Zn = x_1 : y_1 : z_1$ [원자수비], 산화물 반도체층(404b)을 $In : M : Zn = x_2 : y_2 : z_2$ [원자수비], 제 2 산화물층(404c)을 $In : M : Zn = x_3 : y_3 : z_3$ [원자수비]로 하면, y_1/x_1 및 y_3/x_3 이 y_2/x_2 보다 커지는 것이 바람직하다. y_1/x_1 및 y_3/x_3 은 y_2/x_2 보다 1.5배 이상, 바람직하게는 2배 이상, 더욱 바람직하게는 3배 이상으로 한다. 이 때, 산화물 반도체층(404b)에 있어서, y_2 가 x_2 이상이면 트랜지스터는 안정된 전기 특성을 가질 수 있다. 단, y_2 가 x_2 의 3배 이상이 되면, 트랜지스터의 전계 효과 이동도가 저하되기 때문에; y_2 는 x_2 와 같거나 3배 미만인 것이 바람직하다.
- [0037] 단, 제 1 산화물층(404a)이 In-M-Zn 산화물일 때, In과 M의 원자수 비율은 바람직하게는 In이 50 atomic% 미만, M이 50 atomic% 이상, 더욱 바람직하게는 In이 25 atomic% 미만, M이 75 atomic% 이상으로 한다. 산화물 반도체층(404b)이 In-M-Zn 산화물일 때, In과 M의 원자수 비율은 바람직하게는 In이 25 atomic% 이상, M이 75 atomic% 미만, 더욱 바람직하게는 In이 34 atomic% 이상, M이 66 atomic% 미만으로 한다. 제 2 산화물층(404c)이 In-M-Zn 산화물일 때, In과 M의 원자수 비율은 바람직하게는 In이 50 atomic% 미만, M이 50 atomic% 이상, 더욱 바람직하게는 In이 25 atomic% 미만, M이 75 atomic% 이상으로 한다.
- [0038] 제 1 산화물층(404a)과 제 2 산화물층(404c)은, 다른 구성 원소를 포함하는 층으로 해도 좋고, 같은 구성 원소를 동일한 원자수비로, 또는 다른 원자수비로 포함하는 층으로 해도 좋다.
- [0039] 제 1 산화물층(404a), 산화물 반도체층(404b), 및 제 2 산화물층(404c)에는, 예를 들면, 인듐, 아연, 및 갈륨을 포함한 산화물 반도체를 이용할 수 있다.
- [0040] 제 1 산화물층(404a)의 두께는 3 nm 이상 100 nm 이하, 바람직하게는 3 nm 이상 50 nm 이하로 한다. 산화물 반도체층(404b)의 두께는 3 nm 이상 200 nm 이하, 바람직하게는 3 nm 이상 100 nm 이하, 더욱 바람직하게는 3 nm 이상 50 nm 이하로 한다.
- [0041] 제 1 산화물층(404a) 및 제 2 산화물층(404c)은 산화물 반도체층(404b)을 형성하는 금속 원소를 일종 이상 포함하고, 전도대 하단의 에너지가 산화물 반도체층(404b)보다 0.05 eV, 0.07 eV, 0.1 eV, 0.15 eV 중 어느 하나 이상이며, 2 eV, 1 eV, 0.5 eV, 0.4 eV 중 어느 하나 이하의 범위에서 진공 준위에 가까운 산화물 반도체로 형성하는 것이 바람직하다.
- [0042] 이러한 구조에서, 게이트 전극층(410)을 사이에 끼우고 산화물 적층(404)과 중첩하는 게이트 전극층에 전계를 인가하면, 산화물 적층(404) 중, 전도대 하단의 에너지가 가장 작은 산화물 반도체층(404b)에 채널이 형성된다. 즉, 산화물 반도체층(404b)과 게이트 절연층(410)사이에서 제 2 산화물층(404c)이 형성되어 있는 것에 의해, 트랜지스터의 채널을 게이트 절연층(410)과 접촉하지 않는 구조를 얻을 수 있다.
- [0043] <산화물 적층의 밴드 구조>
- [0044] 산화물 적층(404)의 밴드 구조를 설명한다. 밴드 구조의 해석은 제 1 산화물층(404a) 및 제 2 산화물층(404c)

에 상당하는 층으로서 에너지 갭이 3.15 eV인 In-Ga-Zn 산화물, 산화물 반도체층(404b)에 상당하는 층으로서 에너지 갭이 2.8 eV인 In-Ga-Zn 산화물을 이용하여 산화물 적층(404)에 상당하는 적층을 제작하여 행하고 있다. 단, 편의적으로 상기 적층을 산화물 적층, 상기 적층을 형성하는 각각의 층을 제 1 산화물층, 산화물 반도체층, 제 2 산화물층이라고 칭하여 설명한다.

- [0045] 제 1 산화물층, 산화물 반도체층, 제 2 산화물층의 막 두께는 각각 10 nm로 한다. 에너지 갭은 분광 타원 해석기(HORIBA JOBIN YVON사 제조, UT-300)를 이용하여 측정했다. 또한, 제 1 산화물층과 산화물 반도체층의 계면 근방의 에너지 갭은 3 eV, 제 2 산화물층과 산화물 반도체층의 계면 근방의 에너지 갭은 3 eV로 했다.
- [0046] 도 6의 (A)는 산화물 적층을 제 2 산화물층으로부터 예칭하면서, 각 층의 진공 준위와 가전자대 상단의 에너지차를 측정하여, 그 값을 플롯한 도면이다. 진공 준위와 가전자대 상단의 에너지차는 자외선 광전자 분광 분석(UPS: Ultraviolet Photoelectron Spectroscopy) 장치(PHI사(ULVAC-PHI, Inc.) 제조, VersaProbe)를 이용하여 측정했다.
- [0047] 도 6의 (B)는 진공 준위와 가전자대 상단의 에너지차와 각 층의 에너지 갭의 차분으로서 산출되는 진공 준위와 전도대 하단의 에너지차(전자 친화력)를 플롯한 도면이다.
- [0048] 그리고, 도 6의 (B)을 모식적으로 나타낸 밴드 구조의 일부가 도 7의 (A)이다. 도 7의 (A)에서는, 제 1 산화물층 및 제 2 산화물층과 접촉하고, 산화 실리콘막을 제공한 경우에 대하여 설명한다. 여기서, E_v 는 진공 준위의 에너지, E_{c1} 및 E_{c2} 는 산화 실리콘막의 전도대 하단의 에너지, E_{cS1} 은 제 1 산화물층의 전도대 하단의 에너지, E_{cS2} 는 산화물 반도체층의 전도대 하단의 에너지, E_{cS3} 은 제 2 산화물층의 전도대 하단의 에너지를 나타낸다.
- [0049] 도 7의 (A)에 도시한 바와 같이, 제 1 산화물층, 산화물 반도체층, 제 2 산화물층에서, 전도대 하단의 에너지가 연속적으로 변화된다. 이것은 제 1 산화물층, 산화물 반도체층, 제 2 산화물층의 조성이 근사함으로써, 산소가 제 1 산화물층 및 산화물 반도체층 사이의 계면을 통하여, 그리고 산화물 반도체층 및 제 2 산화물층 사이의 계면을 통하여 서로 확산되기 쉬운 점에서도 이해된다.
- [0050] 단, 도 7의 (A)에서는 제 1 산화물층 및 제 2 산화물층이 같은 에너지 갭을 가지는 산화물층인 경우에 대하여 도시하였지만, 각각이 다른 에너지 갭을 가지는 산화물층이어도 상관없다. 예를 들면, E_{cS3} 보다 E_{cS1} 가 높은 에너지를 가지는 경우, 밴드 구조의 일부는 도 7의 (B)과 같이 도시된다. 또한, 도 7의 (A) 및 도 7의 (B)에 도시하지 않았지만, E_{cS1} 보다 E_{cS3} 이 높은 에너지를 가져도 상관없다.
- [0051] 도 6의 (A), (B) 및 도 7의 (A), (B)로부터, 산화물 적층에서의 산화물 반도체층이 웰(well)이 되고, 산화물 적층을 포함한 트랜지스터에서, 채널이 산화물 반도체층에 형성되는 것을 알 수 있다. 단, 산화물 적층은 전도대 하단의 에너지가 연속적으로 변화하고 있기 때문에, U자형 웰(U Shape Well)이라고도 부를 수 있다. 또한, 이러한 구성으로 형성된 채널을 매립 채널로 할 수도 있다.
- [0052] 제 1 산화물층(404a) 및 제 2 산화물층(404c)은 산화물 반도체층(404b)을 형성하는 금속 원소를 일종 이상 포함한 산화물층이기 때문에, 산화물 적층(404)은 주성분을 공통으로 하여 적층된 산화물 적층이라고도 할 수 있다. 주성분을 공통으로 하여 적층된 산화물 적층은 각 층을 단지 적층하는 것뿐만 아니라 연속 접합(여기에서는, 특히 전도대 하단의 에너지가 각 층의 사이에서 연속적으로 변화하는 U자형의 웰 구조)을 가지도록 형성한다. 이것은, 각 층의 계면에 산화물 반도체에 있어 트랩 중심이나 재결합 중심과 같은 결함 준위, 혹은 캐리어의 흐름을 저해하는 배리어를 형성하는 불순물이 혼재하고 있으면, 에너지 밴드의 연속레가 없어져 계면에서 캐리어가 트랩 혹은 재결합에 의해 소멸하게 되기 때문이다.
- [0053] 연속 접합을 형성하기 위해서는, 로드록실을 포함한 멀티 체임버 방식의 성막 장치(스퍼터링 장치)를 이용하여 각 층을 대기에 노출시키지 않고 연속하여 적층하는 것이 필요하다. 스퍼터링 장치에서의 각 체임버는 산화물 반도체에 있어 불순물이 되는 물 등을 가능한 한 제거하기 위하여 크라이오 펌프와 같은 흡착식의 진공 배기 펌프를 이용하여 고진공 배기(1×10^{-4} Pa ~ 5×10^{-7} Pa 정도까지)하는 것이 바람직하다. 또는, 터보 분자 펌프와 콜드 트랩을 조합하여 배기계로부터 체임버 내에 기체가 역류하지 않게 해 두는 것이 바람직하다.
- [0054] 고순도 진성 산화물 반도체를 얻기 위해서는, 체임버 내를 고진공 배기할 뿐만 아니라 스퍼터링 가스의 고순도화도 필요하다. 스퍼터링 가스로서 이용하는 산소 가스나 아르곤 가스는 노점이 -40°C 이하, 바람직하게는 -80°C 이하, 더욱 바람직하게는 -100°C 이하까지 고순도화된 가스를 이용함으로써 산화물 반도체에 수분 등이 들어가는 것을 가능한 한 막을 수 있다.

- [0055] 산화물 반도체층(404b)의 상층 또는 하층에 제공되는 제 1 산화물층(404a) 및 제 2 산화물층(404c)은 배리어층으로서 기능하고, 산화물 적층(404)에 접촉하는 절연층(하지 절연층(402) 및 게이트 절연층(410))과 산화물 적층(404)의 계면에 형성되는 트랩 준위의 영향이 트랜지스터의 캐리어의 주된 경로(carrier path)가 되는 산화물 반도체층(404b)에 미치는 것을 억제할 수 있다.
- [0056] 예를 들면, 산화물 반도체층에 포함되는 산소 결손은 산화물 반도체의 에너지 갭 내의 깊은 에너지 위치에 존재하는 국제 준위로서 현재화한다. 이러한 국제 준위에 캐리어가 트랩됨으로써, 트랜지스터의 신뢰성이 저하된다. 이 때문에, 산화물 반도체층에 포함되는 산소 결손을 저감하는 것이 필요하다. 산화물 적층(404)에 있어서는, 산화물 반도체층(404b)과 비교하여 산소 결손이 생기기 어려운 산화물층을 산화물 반도체층(404b)의 상하에 접촉하여 제공함으로써, 산화물 반도체층(404b)에서의 산소 결손을 저감할 수 있다. 예를 들면, 산화물 반도체층(404b)은 일정 전류 측정법(CPM: Constant Photocurrent Method)에 의해 측정된 국제 준위에 의한 흡수 계수를 $1 \times 10^{-3} / \text{cm}$ 미만, 바람직하게는 $1 \times 10^{-4} / \text{cm}$ 미만으로 할 수 있다.
- [0057] 또한, 산화물 반도체층(404b)이 구성 원소가 다른 절연층(예를 들면, 산화 실리콘막을 포함한 하지 절연층)과 접촉하는 경우, 2층의 계면에 계면 준위가 형성되고, 이 계면 준위는 채널을 형성하는 경우가 있다. 이러한 경우, 문턱 전압이 다른 제 2 트랜지스터가 출현하여, 트랜지스터의 외관상의 문턱 전압이 변동하는 경우가 있다. 그러나, 산화물 적층(404)에 있어서는 산화물 반도체층(404b)을 구성하는 금속 원소를 일종 이상 포함하여 제 1 산화물층(404a)이 구성되기 때문에, 제 1 산화물층(404a)과 산화물 반도체층(404b)의 계면에 계면 준위를 형성하기 어려워진다. 따라서 제 1 산화물층(404a)을 형성하는 것에 의해, 트랜지스터의 문턱 전압 등의 전기 특성의 편차를 저감할 수 있다.
- [0058] 게이트 절연층(410)과 산화물 반도체층(404b)의 계면에 채널이 형성되는 경우, 이 계면에서 계면 산란이 일어나, 트랜지스터의 전계 효과 이동도가 낮아진다. 그러나, 산화물 적층(404)에서는 산화물 반도체층(404b)을 형성하는 금속 원소를 일종 이상 포함하여 제 2 산화물층(404c)이 구성되기 때문에, 산화물 반도체층(404b)과 제 2 산화물층(404c)의 계면에서는 캐리어의 산란이 일어나기 어렵고, 트랜지스터의 전계 효과 이동도를 높게 할 수 있다.
- [0059] 또한, 제 1 산화물층(404a) 및 제 2 산화물층(404c)은 산화물 적층(404)에 접촉하는 절연층(하지 절연층(402), 게이트 절연층(410))의 구성 원소가 산화물 반도체층(404b)에 혼입되어, 불순물에 의한 준위가 형성되는 것을 억제하기 위한 배리어층으로서도 기능한다.
- [0060] 예를 들면, 산화물 적층(404)에 접촉하는 하지 절연층(402), 및 게이트 절연층(410)으로서 실리콘을 포함한 절연층을 이용하는 경우, 이 절연층 내의 실리콘, 또는 절연층 내에 혼입될 수 있는 탄소가 제 1 산화물층(404a) 또는 제 2 산화물층(404c) 내에 계면으로부터 수 nm 정도까지 혼입되는 일이 있다. 실리콘, 탄소 등의 불순물이 산화물 반도체층 내에 들어오면 불순물 준위를 형성한다. 불순물 준위가 도너가 되어 전자를 생성함으로써 n형화하는 경우가 있다.
- [0061] 그러나, 제 1 산화물층(404a) 및 제 2 산화물층(404c)의 막 두께가 수 nm보다 두꺼우면, 혼입된 실리콘, 탄소 등의 불순물이 산화물 반도체층(404b)에까지 도달하지 않기 때문에, 불순물 준위의 영향은 저감된다.
- [0062] 여기서, 산화물 반도체층에 포함되는 실리콘의 농도는 $3 \times 10^{18} / \text{cm}^3$ 이하, 바람직하게는 $3 \times 10^{17} / \text{cm}^3$ 이하로 한다. 또한, 산화물 반도체층에 포함되는 탄소의 농도는 $3 \times 10^{18} / \text{cm}^3$ 이하, 바람직하게는 $3 \times 10^{17} / \text{cm}^3$ 이하로 한다. 특히 산화물 반도체층(404b)에 제 14 족 원소인 실리콘 또는 탄소가 많이 혼입되지 않도록, 제 1 산화물층(404a) 및 제 2 산화물층(404c)에서 캐리어 패스가 되는 산화물 반도체층(404b)을 사이에 끼우거나, 또는 둘러싸는 구성으로 하는 것이 바람직하다. 즉, 산화물 반도체층(404b)에 포함되는 실리콘 및 탄소의 농도는 제 1 산화물층(404a) 및 제 2 산화물층(404c)에 포함되는 실리콘 및 탄소의 농도보다 낮은 것이 바람직하다.
- [0063] 단, 산화물 반도체층 내의 불순물 농도는 2차 이온 분석법(SIMS: Secondary Ion Mass Spectrometry)으로 측정할 수 있다.
- [0064] 또한, 수소나 수분이 불순물로서 산화물 반도체층에 포함되게 되면 도너를 만들어 n형화하기 때문에; 산화물 적층(404)의 상부에 수소나 수분이 외부로부터 침입하는 것을 방지하는 보호 절연층(질화 실리콘층 등)을 제공하는 것은 웰형 구조를 실현하는데 있어서 유용하다.
- [0065] 단, 도 8에 도시한 바와 같이, 제 1 산화물층 및 제 2 산화물층과, 산화 실리콘막 등의 절연막의 계면 근방에는

불순물이나 결함에 기인한 트랩 준위가 형성될 수 있고, 제 1 산화물층 및 제 2 산화물층이 있음으로써, 산화물 반도체층과 상기 트랩 준위를 멀리할 수 있다. 그러나, EcS1 또는 EcS3와, EcS2와의 에너지차가 작은 경우, 산화물 반도체층의 전자가 제 1 산화물층 또는 제 2 산화물층을 넘어 트랩 준위에 이르는 경우가 있다. 트랩 준위에 전자가 포획됨으로써, 마이너스의 고정 전하가 되고, 트랜지스터의 문턱 전압은 플러스 방향으로 시프트하게 된다.

- [0066] 따라서, EcS1 및 EcS2와, EcS3 및 EcS2와의 에너지차를 0.1 eV 이상, 바람직하게는 0.15 eV 이상으로 함으로써, 트랜지스터의 문턱 전압의 변동이 저감되어 안정된 전기 특성을 가진다.
- [0067] <산화물 적층의 성막>
- [0068] 다층 구조에 포함되는 각 산화물층은 적어도 인듐(In)을 포함하고, 스퍼터링법, 바람직하게는 DC 스퍼터링법으로 형성할 수 있는 스퍼터링 타겟을 이용하여 형성한다. 스퍼터링 타겟에 인듐을 포함시킴으로써 도전성이 높아지기 때문에; DC 스퍼터링법으로 성막하는 것을 용이하게 한다.
- [0069] 제 1 산화물층(404a) 및 제 2 산화물층(404c)을 형성하는 재료는 In-M-Zn 산화물(Al, Ti, Ga, Ge, Y, Zr, Sn, La, Ce, 또는 Hf 등의 금속)로 표기되는 재료를 이용한다. M으로서, Ga를 이용하는 것이 바람직하다. 그러나, 포함시키는 Ga의 비율이 많은, 구체적으로는 InGa_YZn_YO_Z로 표기할 수 있는 재료로 Y = 10을 넘으면 성막 시에 가루가 발생할 우려가 있어, 스퍼터링법으로 성막하는 것이 곤란하기 때문에 부적합하다.
- [0070] 단, 제 1 산화물층(404a) 및 제 2 산화물층(404c)은 산화물 반도체층(404b)에 이용하는 재료보다 인듐의 원자수 비가 적은 재료를 이용한다. 산화물층 내의 인듐이나 갈륨 등의 함유량은 비행 시간형 2차 이온 질량 분석법(TOF-SIMS)이나, X선 전자 분광법(XPS)으로 비교할 수 있다.
- [0071] 제 1 산화물층(404a)은 하지 절연층(402)의 구성 원소(예를 들면, 실리콘)를 불순물로서 함유함으로써, 비정질 구조를 가지는 경우가 있다. 단, 채널을 형성하는 산화물 반도체층(404b)은 결정부를 가지는 것이 바람직하다. 비정질 구조를 가지는 제 1 산화물층(404a) 위에 결정부를 가지는 산화물 반도체층(404b)을 적층하는 경우, 상기 산화물 적층을 결정 구조가 다른 헤테로 구조라고 부를 수 있다.
- [0072] 또한, 제 2 산화물층(404c)은 비정질 구조를 가져도 좋고, 결정부를 포함하고 있어도 좋다. 결정부를 가지는 산화물 반도체층(404b) 위에 제 2 산화물층(404c)을 형성하면, 제 2 산화물층(404c)도 결정 구조를 가지는 막이 되기 쉽다. 그 경우에는 산화물 반도체층(404b)과 제 2 산화물층(404c)의 경계를 단면 TEM(TEM: Transmission Electron Microscope) 관찰에서는 판별하는 것이 곤란해지는 경우도 있다. 단, 제 2 산화물층(404c)의 결정성은 산화물 반도체층(404b)보다 낮다. 따라서, 결정성의 정도로 경계를 판별할 수 있다고 할 수 있다.
- [0073] 산화물 적층(404)에 있어서, 적어도 산화물 반도체층(404b)은 CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)층인 것이 바람직하다. 본 명세서 등에서, CAAC-OS층은 c축이 산화물 반도체층의 표면에 대략 수직인 결정부를 포함한 산화물 반도체막을 말한다.
- [0074] 산화물 반도체층의 구조를 이하에 설명한다.
- [0075] 산화물 반도체층은 대략 단결정 산화물 반도체층과 비단결정 산화물 반도체층으로 분류된다. 비단결정 산화물 반도체층은 비정질 산화물 반도체층, 미결정 반도체층, 다결정 반도체층, CAAC-OS막 등 중에서 어느 것을 포함한다.
- [0076] 비정질 산화물 반도체층은 원자 배열이 불규칙하고, 결정 성분을 갖지 않는다. 미소 영역에서도 결정부를 갖지 않고, 막전체가 완전한 비정질 구조의 산화물 반도체층이 전형이다.
- [0077] 미결정 산화물 반도체층은 예를 들면, 1 nm 이상 10 nm 미만의 크기를 가지는 미결정(나노 결정이라고도 함)을 포함한다. 따라서, 미결정 산화물 반도체층은 비정질 산화물 반도체층보다 원자 배열의 규칙성이 높다. 그러므로, 미결정 산화물 반도체층의 결함 준위 밀도가 비정질 산화물 반도체층의 결함 준위 밀도보다 낮다.
- [0078] CAAC-OS막은 복수의 결정부를 포함하는 산화물 반도체층 중 하나이고, 대부분의 결정부는 한 변이 100nm 미만의 입방체 내에 들어가는 크기이다. 따라서, CAAC-OS막에 포함되는 결정부는 한 변이 10nm 미만, 5nm 미만, 또는 3nm 미만의 입방체 내에 들어가는 크기의 경우도 포함된다. CAAC-OS막은 미결정 산화물 반도체층보다 결함 준위 밀도가 낮다는 특징이 있다. 이하, CAAC-OS막에 대하여 상세한 설명을 행한다.
- [0079] CAAC-OS막을 투과형 전자 현미경(TEM: Transmission Electron Microscope)에 의해 관찰하면, 결정부들간의 명확한 경계, 즉 결정립계(그레인 바운더리라고도 함)를 확인할 수 없다. 그러므로, CAAC-OS막은 결정립계에 기

인하는 전자 이동도의 저하가 일어나기 어렵다고 할 수 있다.

- [0080] CAAC-OS막을 시료면과 대략 평행한 방향으로부터 TEM에 의해 관찰(단면 TEM 관찰)하면, 결정부에서, 금속 원자가 층상으로 배열되어 있는 것을 확인할 수 있다. 금속 원자의 각 층은 CAAC-OS막의 막을 형성하는 면(피형성면이라고도 함) 또는 상면의 요철을 반영한 형상이며, CAAC-OS막의 피형성면 또는 상면과 평행하게 배열된다.
- [0081] 한편, CAAC-OS막을 시료면과 대략 수직인 방향으로부터 TEM에 의해 관찰(평면 TEM 관찰)하면, 결정부에서, 금속 원자가 삼각 형상 또는 육각 형상으로 배열되어 있는 것을 확인할 수 있다. 그러나, 다른 결정부간에서, 금속 원자의 배열에 규칙성은 볼 수 없다.
- [0082] 단면 TEM 관찰 및 평면 TEM 관찰에 의해, CAAC-OS막의 결정부는 배향성을 가지고 있는 것을 알 수 있다.
- [0083] CAAC-OS막에 대하여, X선 회절(XRD: X-Ray Diffraction) 장치를 이용하여 구조 해석을 행한다. 예를 들면 InGaZnO₄의 결정을 포함하는 CAAC-OS막의 out-of-plane법에 의한 해석에서는 회절각(2 θ)이 31° 근방에 피크가 나타나는 경우가 있다. 이 피크는 InGaZnO₄의 결정의 (009)면에 귀속되기 때문에, CAAC-OS막의 결정이 c축 배향성을 가지고, c축이 피형성면 또는 상면에 대략 수직인 방향을 향하고 있는 것을 확인할 수 있다.
- [0084] 한편, CAAC-OS막에 대하여, c축으로 대략 수직인 방향으로부터 X선을 입사시키는 in-plane법에 의한 해석에서는 2 θ 가 56° 근방에 피크가 나타나는 경우가 있다. 이 피크는 InGaZnO₄의 결정의 (110)면에 귀속된다. 여기서, 2 θ 를 56° 근방에 고정하고, 시료면의 법선 벡터를 축(ϕ 축)으로서 시료를 회전시키면서 분석(ϕ 스캔)을 행한다. InGaZnO₄의 단결정 산화물 반도체막인 경우, 피크가 6개 관찰된다. 6개의 피크는 (110)면과 등가인 결정면에 귀속된다. 이에 비해, CAAC-OS막의 경우는 2 θ 를 56° 근방에 고정하여 ϕ 스캔한 경우에도, 명료한 피크가 나타나지 않는다.
- [0085] 이상으로부터, CAAC-OS막에서는, 다른 결정부간에서는 a축 및 b축의 배향은 불규칙하지만, c축 배향성을 가지고, 또한, c축이 피형성면 또는 상면의 법선 벡터에 평행한 방향을 향하고 있는 것을 알 수 있다. 따라서, 상술한 단면 TEM 관찰로 확인된 층상으로 배열한 금속 원자의 각 층은 결정의 ab면에 평행한 면이다.
- [0086] 단, 결정부는 CAAC-OS막을 성막할 때, 또는 가열 처리 등의 결정화 처리를 행할 때에 형성된다. 상술한 바와 같이, 결정의 c축은 CAAC-OS막의 피형성면 또는 상면의 법선 벡터에 평행한 방향으로 배향한다. 따라서, 예를 들면, CAAC-OS막의 형상을 에칭 등에 의해 변화시킨 경우, 결정의 c축이 CAAC-OS막의 피형성면 또는 상면의 법선 벡터와 평행이 되지 않는 경우도 있다.
- [0087] 또한, CAAC-OS막 중의 결정화도가 균일하지 않아도 좋다. 예를 들면, CAAC-OS막의 결정부가 CAAC-OS막의 상면 근방으로부터의 결정 성장에 의해 형성되는 경우, 상면 근방의 영역은 피형성면 근방의 영역보다 결정화도가 높아지는 경우가 있다. 또한, CAAC-OS막에 불순물을 첨가하는 경우, 불순물이 첨가된 영역의 결정화도가 변화하여, 부분적으로 결정화도가 다른 영역이 형성되는 경우도 있다.
- [0088] 단, InGaZnO₄의 결정을 가지는 CAAC-OS막의 out-of-plane법에 의한 해석에서는 2 θ 가 31° 근방의 피크 외에, 2 θ 가 36° 근방에도 피크가 나타나는 경우가 있다. 2 θ 가 36° 근방의 피크는 c축 배향을 갖지 않는 결정이 CAAC-OS막 중의 일부에 포함되는 것을 나타낸다. CAAC-OS막은 2 θ 가 31° 근방에 피크를 나타내고, 2 θ 가 36° 근방에 피크를 나타내지 않는 것이 바람직하다.
- [0089] CAAC-OS막을 이용한 트랜지스터는 가시광이나 자외광의 조사에 의한 전기 특성의 변동이 작다. 따라서, 상기 트랜지스터는 신뢰성이 높다.
- [0090] 단, 산화물 반도체층은 예를 들면, 비정질 산화물 반도체층, 미결정 산화물 반도체층, CAAC-OS막 중, 2종 이상을 포함하는 적층막이어도 좋다.
- [0091] 단 산화물 적층(404)에 포함되는 제 1 산화물층(404a) 및 제 2 산화물 반도체층(404c)은 상기 산화물 반도체층과 같은 구조를 가질 수 있다.
- [0092] 단, 산화물 적층(404)에서, 제 1 산화물층(404a)은 비정질 구조를 갖는 것이 바람직하고, CAAC-OS막은 산화물 반도체층(404b)으로 이용되는 비정질 구조의 표면으로부터 성막되는 것이 바람직하다.
- [0093] <CAAC-OS막의 형성 방법>
- [0094] CAAC-OS막은, 예를 들면, 다결정인 산화물 반도체 스퍼터링용 타겟을 이용하여 스퍼터링법에 의해 형성된다.

상기 스퍼터링용 타겟에 이온이 충돌하면, 스퍼터링용 타겟에 포함되는 결정 영역이 a-b면으로부터 벽개하여; 즉, a-b면에 평행한 면을 가지는 (평판 형상 또는 펠릿 형상의) 스퍼터링 입자로서 박리하는 경우가 있다. 이 경우, 상기 평판 형상의 스퍼터링 입자가 결정 상태를 유지한 채로 기판에 도달함으로써, CAAC-OS막을 형성할 수 있다.

- [0095] 평판 형상의 스퍼터링 입자는, 예를 들면, a-b면에 평행한 면의 원 상당 직경이 3 nm 이상 10 nm 이하, 두께(a-b면에 수직인 방향의 길이)가 0.7 nm 이상 1 nm 미만이다. 단, 평판 형상의 스퍼터링 입자는 a-b면에 평행한 면이 정삼각형 또는 정육각형이어도 좋다. 여기서, "면의 원 상당 직경"이란, 면의 면적과 동일한 정원의 직경을 말한다.
- [0096] CAAC-OS막을 형성하기 위하여, 이하의 조건을 이용하는 것이 바람직하다.
- [0097] 성막 시의 기판 온도를 높임으로써, 기판 도달 후에 스퍼터링 입자의 마이그레이션(migration)이 일어난다. 구체적으로는, 기판 온도를 100℃ 이상 740℃ 이하, 바람직하게는 200℃ 이상 500℃ 이하로 하여 성막한다. 성막 시의 기판 온도를 높임으로써, 평판 형상의 스퍼터링 입자가 기판에 도달한 경우, 기판 위에서 마이그레이션이 일어나, 스퍼터링 입자의 평평한 면이 기판에 부착된다. 이 때, 스퍼터링 입자가 양으로 대전함으로써, 스퍼터링 입자들이 반발하면서 기판에 부착되기 때문에; 스퍼터링 입자가 치우쳐 불균일하게 증착되지 않고, 두께가 균일한 CAAC-OS막을 성막할 수 있다.
- [0098] 성막 시의 불순물 혼입을 저감함으로써, 불순물에 의해 결정 상태가 무너지는 것을 억제할 수 있다. 예를 들면, 성막실 내에 존재하는 불순물 농도(수소, 물, 이산화탄소 및 질소 등)를 저감하면 좋다. 또한, 성막 가스 중의 불순물 농도를 저감하면 좋다. 구체적으로는, 노점이 -80℃ 이하, 바람직하게는 -100℃ 이하인 성막 가스를 이용한다.
- [0099] 또한, 성막 시의 플라즈마 대미지를 경감하기 위해, 성막 가스 중의 산소 비율을 높여 전력을 최적화하는 것이 바람직하다. 성막 가스 중의 산소 비율은 30 체적% 이상, 바람직하게는 100 체적%로 한다.
- [0100] CAAC-OS막을 성막한 후, 가열 처리를 행하여도 좋다. 가열 처리의 온도는 100℃ 이상 740℃ 이하, 바람직하게는 200℃ 이상 500℃ 이하로 한다. 또한, 가열 처리의 시간은 1분 이상 24시간 이하, 바람직하게는 6분 이상 4시간 이하로 한다. 가열 처리는 불활성 분위기 또는 산화성 분위기에서 행하면 좋다. 바람직하게는, 불활성 분위기에서 가열 처리를 행한 후, 산화성 분위기에서 가열 처리를 행한다. 불활성 분위기에서의 가열 처리에 의해, CAACOS막의 불순물 농도를 단시간에 저감할 수 있다. 동시에, 불활성 분위기에서의 가열 처리에 의해 CAAC-OS막에 산소 결손이 생성되는 경우가 있다. 그 경우, 산화성 분위기에서의 가열 처리에 의해 이 산소 결손을 저감할 수 있다. 가열 처리를 행함으로써, CAAC-OS막의 결정성을 더욱 높일 수 있다. 단, 가열 처리는 1000 Pa 이하, 100 Pa 이하, 10 Pa 이하 또는 1 Pa 이하의 감압 하에서 행하여도 좋다. 감압 하에서는, CAAC-OS막의 불순물 농도를 더욱 단시간에 저감할 수 있다.
- [0101] 스퍼터링용 타겟의 일례로서 In-Ga-Zn-O 화합물 타겟에 대하여 이하에 나타낸다.
- [0102] In_x 분말, Ga_y 분말 및 Zn_z 분말을 소정의 mol수비로 혼합하고, 가압 처리한 후, 1000℃ 이상 1500℃ 이하의 온도에서 가열 처리를 함으로써 다결정인 In-Ga-Zn-O 화합물 타겟으로 한다. 단, X, Y, 및 Z는 임의의 양수이다. 여기서, 소정의 mol수비는, 예를 들면, In_x 분말, Ga_y 분말, 및 Zn_z 분말이 2 : 2 : 1, 8 : 4 : 3, 3 : 1 : 1, 1 : 1 : 1, 4 : 2 : 3, 또는 3 : 1 : 2이다. 분말의 종류, 및 그 혼합하는 mol수비는 제작하는 스퍼터링용 타겟에 따라 적절히 변경하면 좋다.
- [0103] 또는, CAAC-OS막은 이하의 방법에 의해 형성한다.
- [0104] 우선, 제 1 산화물 반도체막을 1 nm 이상 10 nm 미만의 두께로 형성한다. 제 1 산화물 반도체막은 스퍼터링법을 이용하여 형성한다. 구체적으로는, 기판 온도를 100℃ 이상 500℃ 이하, 바람직하게는 150℃ 이상 450℃ 이하로 하고, 성막 가스 중의 산소 비율을 30 체적% 이상, 바람직하게는 100 체적%로 하여 성막한다.
- [0105] 다음에, 가열 처리를 행하여, 제 1 산화물 반도체막을 결정성이 높은 제 1 CAAC-OS막으로 한다. 가열 처리의 온도는 350℃ 이상 740℃ 이하, 바람직하게는 450℃ 이상 650℃ 이하로 한다. 또한, 가열 처리의 시간은 1분 이상 24시간 이하, 바람직하게는 6분 이상 4시간 이하로 한다. 가열 처리는 불활성 분위기 또는 산화성 분위기에서 행하면 좋다. 바람직하게는, 불활성 분위기에서 가열 처리를 행한 후, 산화성 분위기에서 가열 처리를 행한다. 불활성 분위기에서의 가열 처리에 의해, 제 1 산화물 반도체막의 불순물 농도를 단시간에 저감할 수 있다. 동시에, 불활성 분위기에서의 가열 처리에 의해 제 1 산화물 반도체막에 산소 결손이 생성되는 경우가 있다.

다. 그 경우, 산화성 분위기에서의 가열 처리에 의해 이 산소 결손을 저감할 수 있다. 단, 가열 처리는 1000 Pa 이하, 100 Pa 이하, 10 Pa 이하 또는 1 Pa 이하의 감압 하에서 행하여도 좋다. 감압 하에서는, 제 1 산화물 반도체막의 불순물 농도를 더욱 단시간에 저감할 수 있다.

[0106] 제 1 산화물 반도체막은 두께가 1 nm 이상 10 nm 미만이기 때문에, 두께가 10 nm 이상인 경우와 비교하여 가열 처리에 의해 용이하게 결정화시킬 수 있다.

[0107] 다음에, 제 1 산화물 반도체막과 같은 조성인 제 2 산화물 반도체막을 10 nm 이상 50 nm 이하의 두께로 형성한다. 제 2 산화물 반도체막은 스퍼터링법을 이용하여 형성한다. 구체적으로는, 기판 온도를 100℃ 이상 500℃ 이하, 바람직하게는 150℃ 이상 450℃ 이하로 하고, 성막 가스 중의 산소 비율을 30 체적% 이상, 바람직하게는 100 체적%로 하여 성막한다.

[0108] 다음에, 가열 처리를 행하고, 제 2 산화물 반도체막을 제 1 CAAC-OS막으로부터 고상 성장시킴으로써, 결정성이 높은 제 2 CAAC-OS막으로 한다. 가열 처리의 온도는 350℃ 이상 740℃ 이하, 바람직하게는 450℃ 이상 650℃ 이하로 한다. 또한, 가열 처리의 시간은 1분 이상 24시간 이하, 바람직하게는 6분 이상 4시간 이하로 한다. 가열 처리는 불활성 분위기 또는 산화성 분위기에서 행하면 좋다. 바람직하게는, 불활성 분위기에서 가열 처리를 행한 후, 산화성 분위기에서 가열 처리를 행한다. 불활성 분위기에서의 가열 처리에 의해, 제 2 산화물 반도체막의 불순물 농도를 단시간에 저감할 수 있다. 동시에, 불활성 분위기에서의 가열 처리에 의해 제 2 산화물 반도체막에 산소 결손이 생성되는 경우가 있다. 그 경우, 산화성 분위기에서의 가열 처리에 의해 이 산소 결손을 저감할 수 있다. 단, 가열 처리는 1000 Pa 이하, 100 Pa 이하, 10 Pa 이하 또는 1 Pa 이하의 감압 하에서 행하여도 좋다. 감압 하에서는 제 2 산화물 반도체막의 불순물 농도를 더욱 단시간에 저감할 수 있다.

[0109] 이상과 같이 하여, 합계의 두께가 10 nm 이상인 CAAC-OS막을 형성할 수 있다. 상기 CAAC-OS막을 산화물 적층에서의 산화물 반도체층으로서 적합하게 이용할 수 있다.

[0110] 이상, 본 실시형태에 나타내는 구성, 방법 등은 다른 실시형태에 나타내는 구성, 방법 등과 적절히 조합하여 이용할 수 있다.

[0111] (실시형태 2)

[0112] 본 실시형태에서는, 실시형태 1에 나타낸 적층 구조를 포함한 반도체 장치의 일 양태를 도 1의 (A) 내지 도 1의 (D), 도 2의 (A) 내지 도 2의 (C), 도 3의 (A) 내지 도 3의 (D), 도 9의 (A) 내지 도 9의 (C), 및 도 19를 이용하여 설명한다. 본 실시형태에서는, 반도체 장치의 일례로서 산화물 반도체층을 포함하는 탑 게이트 구조의 트랜지스터를 나타낸다.

[0113] <반도체 장치의 구성예 1>

[0114] 도 1의 (A) 내지 도 1의 (D)에 트랜지스터(310)의 구성예를 나타낸다. 도 1의 (A)는 트랜지스터(310)의 평면도이며, 도 1의 (B)는 도 1의 (A)의 X1-Y1에서의 단면도이며, 도 1의 (C)는, 도 1의 (A)의 V1-W1에서의 단면도이다. 도 1의 (D)는 도 1의 (B)의 영역(200)의 부분 확대도이다. 단, 도 1의 (A)에서는, 번잡하게 되는 것을 피하기 위해, 트랜지스터(310)의 구성 요소의 일부(예를 들면, 보호 절연층(414) 등)를 생략하여 도시하였다.

[0115] 도 1의 (A) 내지 도 1의 (D)에 나타내는 트랜지스터(310)는 기판(400) 위에 형성된 하지 절연층(402); 하지 절연층(402) 위에 형성된 섬 형상의 산화물 적층(404); 섬 형상의 산화물 적층(404)의 상면의 일부 및 채널 형성 방향의 측면과 접촉하는 제 1 소스 전극층(406a) 및 제 1 드레인 전극층(406b)과; 제 1 소스 전극층(406a) 및 제 1 드레인 전극층(406b) 위에 각각 제공되고, 산화물 적층(404)의 상면의 일부에 접촉하는, 질화 금속막으로 형성되는 제 2 소스 전극층(408a) 및 제 2 드레인 전극층(408b)과; 제 2 소스 전극층(408a) 및 제 2 드레인 전극층(408b) 위에 제공되고, 제 2 소스 전극층(408a) 및 제 2 드레인 전극층(408b) 사이에서 산화물 적층(404)의 상면과 접촉하는 게이트 절연층(410)과; 게이트 절연층(410)을 사이에 끼우고 산화물 적층(404)과 중첩하는 게이트 전극층(412)과; 게이트 절연층(410) 및 게이트 전극층(412) 위에 접촉하여 제공된 보호 절연층(414)을 포함한다. 단, 보호 절연층(414)의 상부에 다른 절연층을 형성해도 좋다.

[0116] <<기판>>

[0117] 기판(400)은 단순한 지지 재료에 한정하지 않고, 다른 트랜지스터 등의 디바이스가 형성된 기판이어도 좋다. 이 경우, 트랜지스터(310)의 게이트 전극층(412), 제 1 소스 전극층(406a), 제 1 드레인 전극층(406b), 제 2 소

스 전극층(408a) 또는 제 2 드레인 전극층(408b) 중 적어도 하나는 상기의 다른 디바이스와 전기적으로 접속되어도 좋다.

- [0118] <<하지 절연층>>
- [0119] 하지 절연층(402)은 기관(400)으로부터의 불순물의 확산을 방지하는 역할을 가지는 것 외에 산화물 적층(404)에 산소를 공급하는 역할을 담당하기 때문에, 산소를 포함한 절연층을 이용하는 것으로 한다. 또한, 위에서 설명한 바와 같이 기관(400)이 다른 디바이스가 형성된 기관인 경우, 하지 절연층(402)은 층간 절연막으로서의 기능도 가진다. 그 경우는, 표면이 평탄하게 되도록 CMP(Chemical Mechanical Polishing)법 등으로 평탄화 처리를 행하는 것이 바람직하다.
- [0120] 본 실시형태의 트랜지스터(310)에서, 산소를 함유하는 하지 절연층(402)이 산화물 반도체층을 포함한 적층 구조(산화물 적층(404))의 하방에 제공되어 있다. 이러한 구성으로 함으로써, 하지 절연층(402)에 포함되는 산소를 채널 형성 영역에 공급하는 것이 가능하게 된다. 하지 절연층(402)은 화학량론적 조성보다 과잉으로 산소를 함유하는 영역을 가지는 것이 바람직하다. 하지 절연층(402)이 과잉으로 산소를 함유함으로써, 채널 형성 영역에 산소를 공급하는 것이 보다 촉진될 수 있다.
- [0121] 단, 본 명세서 등에 있어서, 과잉의 산소란, 산화물 반도체층 내, 또는 산화 질화 실리콘 내, 또는 산화 질화 실리콘 내를 이동할 수 있는 산소, 또는, 본래의 화학량론비에 있는 산소보다 과잉으로 존재하는 산소, 또는, 산소의 부족에 의한 Vo(oxygen vacancies(공공))를 만족시키거나 또는 충전하는 기능을 가지는 산소를 나타낸다.
- [0122] <<게이트 절연층>>
- [0123] 산화물 적층(404)의 상방에 접촉하여 제공된 게이트 절연층(410)으로부터도 산화물 적층(404)에 산소가 공급된다. 게이트 절연층(410)은 섬 형상의 산화물 적층(404)의 외주부에서 하지 절연층(402)과 접촉한다. 따라서, 게이트 절연층(410)과 하지 절연층(402)이 접촉하는 영역으로부터, 게이트 절연층(410)을 경로(path)로 하여 하지 절연층(402)에 포함되는 산소를 산화물 적층(404)으로 공급할 수 있다.
- [0124] 게이트 절연층(410)은 하지 절연층(402)에 포함되는 산소를 산화물 적층(404)에 공급하는 경로가 되는 층이다. 게이트 절연층(410)은, 산화 알루미늄, 산화 마그네슘, 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 갈륨, 산화 게르마늄, 산화 이트륨, 산화 지르코늄, 산화 란탄, 산화 네오디뮴, 산화 하프늄, 및 산화 탄탈을 일종 이상 포함한 절연층을 이용하여 형성할 수 있다. 또한, 게이트 절연층(410)은 상기 재료의 적층이어도 좋다.
- [0125] 산화물 적층(404)의 하측 및 상측으로부터 산소가 공급되기 때문에, 이 산화물 적층(404)에 포함될 수 있는 산소 결손을 저감할 수 있다.
- [0126] <<보호 절연층>>
- [0127] 트랜지스터(310)에서, 게이트 절연층(410) 및 게이트 전극층(412) 위에 제공되는 보호 절연층(414)으로서 게이트 절연층(410)보다 산소에 대한 투과성이 낮은(산소에 대한 배리어성이 높은) 절연층을 제공한다. 게이트 절연층(410) 및 게이트 전극층(412) 위에 접촉하여 산소에 대한 배리어성을 가지는 보호 절연층(414)을 제공함으로써, 게이트 절연층(410)으로부터의 산소의 이탈을 억제할 수 있다. 게이트 절연층(410)은 채널 형성 영역에 산소를 공급하는 경로가 되는 절연층이기 때문에, 이 게이트 절연층(410)으로부터의 산소의 이탈을 억제함으로써, 게이트 절연층(410)에 포함되는 산소 결손에 기인한 산화물 적층(404)으로부터의 산소의 추출을 억제할 수 있어, 결과적으로 채널 형성 영역의 산소 결손을 억제할 수 있다. 이러한 보호 절연층으로서, 예를 들면, 질화 실리콘막 또는 질화 산화 실리콘막을 제공할 수 있다.
- [0128] 또한, 산화물 반도체는 산소 결손에 더하여 수소가 캐리어의 공급원이 된다. 산화물 반도체 내에 수소가 포함되면, 전도대로부터 얇은 준위에서 도너가 생성되어 저저항화(n형화)하게 된다. 따라서, 보호 절연층(414)에 포함되는 수소 농도를 저감하는 것이 바람직하다. 구체적으로는, 보호 절연층(414)에 포함되는 수소 농도는 $5 \times 10^{19} \text{ cm}^{-3}$ 미만으로 하는 것이 바람직하고, $5 \times 10^{18} \text{ cm}^{-3}$ 미만으로 하는 것이 보다 바람직하다.
- [0129] <<산화물 적층>>
- [0130] 산화물 적층(404)은 적어도 채널을 형성하는 산화물 반도체층(404b)과, 산화물 반도체층(404b)과 하지 절연층(402) 사이에 제공된 제 1 산화물층(404a)과, 산화물 반도체층(404b)과 게이트 절연층(410) 사이에 제공된 제 2 산화물층(404c)을 포함하여 구성된다.

- [0131] 제 1 산화물층(404a) 및 제 2 산화물층(404c)은 산화물 반도체층(404b)을 형성하는 금속 원소를 일종 이상 포함 한 산화물층이다. 산화물 적층(404)의 상세한 사항은 실시형태 1을 참조할 수 있다.
- [0132] 산화물 적층(404)에서, 채널을 형성하는 산화물 반도체층(404b)의 상측 및 하측에 접촉하여, 산화물 반도체층(404b)보다 산소 결손이 생기기 어려운 산화물층을 형성함으로써, 트랜지스터의 채널에서의 산소 결손의 형성을 억제할 수 있다.
- [0133] 단, 산화물 반도체층을 진성 또는 실질적으로 진성으로 하기 위해서는, SIMS의 분석에서, 실리콘 농도를 1×10^{19} atoms/cm³ 미만, 바람직하게는 5×10^{18} atoms/cm³ 미만, 바람직하게는 3×10^{18} atoms/cm³ 미만, 바람직하게는 1×10^{18} atoms/cm³ 미만으로 한다. 또한, 수소 농도는 2×10^{20} atoms/cm³ 이하, 바람직하게는 5×10^{19} atoms/cm³ 이하, 보다 바람직하게는 1×10^{19} atoms/cm³ 이하, 더욱 바람직하게는 5×10^{18} atoms/cm³ 이하로 한다. 또한, 질소 농도는 5×10^{19} atoms/cm³ 미만, 바람직하게는 5×10^{18} atoms/cm³ 이하, 보다 바람직하게는 1×10^{18} atoms/cm³ 이하, 더욱 바람직하게는 5×10^{17} atoms/cm³ 이하로 한다.
- [0134] 산화물 반도체층이 결정을 포함한 경우, 실리콘이나 탄소가 고농도로 포함되면, 산화물 반도체층의 결정성을 저하시키는 일이 있다. 산화물 반도체층의 결정성을 저하시키지 않기 위해서는, 실리콘 농도를 1×10^{19} atoms/cm³ 미만, 바람직하게는 5×10^{18} atoms/cm³ 미만, 더욱 바람직하게는 1×10^{18} atoms/cm³ 미만으로 하면 좋고, 탄소 농도를 1×10^{19} atoms/cm³ 미만, 바람직하게는 5×10^{18} atoms/cm³ 미만, 더욱 바람직하게는 1×10^{18} atoms/cm³ 미만으로 하면 좋다.
- [0135] 또한, 위에서 설명한 바와 같이 고순도화된 산화물 반도체막을 채널 형성 영역에 이용한 트랜지스터의 오프 전류는 매우 작다. 예를 들면, 고순도화된 산화물 반도체막을 포함한 트랜지스터가 오프 상태일 때의 드레인 전류는 실온(25℃ 정도)에서 1×10^{-18} A 이하, 바람직하게는 1×10^{-21} A 이하, 더욱 바람직하게는 1×10^{-24} A 이하, 또는 85℃에서 1×10^{-15} A 이하, 바람직하게는 1×10^{-18} A 이하, 더욱 바람직하게는 1×10^{-21} A 이하로 할 수 있다. 트랜지스터가 오프 상태란, n 채널형의 트랜지스터의 경우, 게이트 전압이 문턱 전압보다 충분히 작은 상태를 말한다. 구체적으로는, 게이트 전압이 문턱 전압보다 1 V 이상, 2 V 이상, 또는 3 V 이상 작으면, 트랜지스터는 오프 상태가 된다.
- [0136] <<소스 전극층 및 드레인 전극층>>
- [0137] 트랜지스터(310)에서 소스 전극층 및 드레인 전극층은 산화물 적층(404)의 채널 길이 방향의 측면과 접촉하는 제 1 소스 전극층(406a) 및 제 1 드레인 전극층(406b)과, 제 1 소스 전극층(406a) 및 제 1 드레인 전극층(406b) 위에 제공되고, 제 1 소스 전극층(406a) 및 제 1 드레인 전극층(406b)보다 채널 길이 방향으로 연장된 영역을 가지는 제 2 소스 전극층(408a) 및 제 2 드레인 전극층(408b)을 포함한다.
- [0138] 제 1 소스 전극층(406a) 및 제 1 드레인 전극층(406b)에는 산소와 결합하기 쉬운 도전 재료를 이용할 수 있다. 예를 들면, Al, Cr, Cu, Ta, Ti, Mo, W 등을 이용할 수 있다. 후의 프로세스 온도를 비교적 높게 할 수 있는 것 등으로 인하여, 용점이 높은 W를 이용하는 것이 특히 바람직하다. 단, 산소와 결합하기 쉬운 도전 재료에는, 산소가 확산되기 쉬운 재료도 포함된다.
- [0139] 이러한 도전 재료와 산화물 적층(404)을 접촉시키면, 산화물 적층(404) 내의 산소가 산소와 결합하기 쉬운 도전 재료층에 들어간다. 트랜지스터의 제작 공정에는 몇 개의 가열 공정이 있기 때문에, 상기 산소의 이동에 의해, 산화물 적층(404)에서 제 1 소스 전극층(406a) 및 제 1 드레인 전극층(406b)과 접촉한 계면 근방의 영역에 산소 결손이 발생하고, n형화한 영역(405)이 형성된다(도 1의 (D) 참조). 따라서, n형화한 영역(405)은 트랜지스터(310)의 소스 또는 드레인으로서 작용시킬 수 있다.
- [0140] 단, 영역(405)에는 제 1 소스 전극층(406a) 및 제 1 드레인 전극층(406b)의 구성 원소가 혼입되는 경우가 있다. 또한, 영역(405)에 접촉하는 제 1 소스 전극층(406a) 및 제 1 드레인 전극층(406b)의 일부에서는 산소의 농도가 높은 영역을 가질 수 있다. 영역(405)에 접촉하는 제 1 소스 전극층(406a) 및 제 1 드레인 전극층(406b)에서는 산화물 적층(404)의 구성 원소가 혼입되는 경우가 있다. 즉, 산화물 적층(404)과 제 1 소스 전극층(406a) 및 제 1 드레인 전극층(406b) 사이의 계면 근방에는 상기 접촉한 2층의 혼합 영역 또는 혼합층이라고 부를 수 있는 개소가 형성되는 경우도 있다. 단, n형화한 영역(405)과 n형 도전성을 가지지 않도록 만들어진 영역의 계면을

모식적으로 점선으로 도시하였다. 이것은 이후의 도면에서도 마찬가지이다.

- [0141] 또한, 채널 길이가 매우 짧은 트랜지스터를 형성하는 경우, 상기 산소 결손의 발생에 의해 형성된 n형화한 영역이 트랜지스터의 채널 길이 방향으로 연장되는 경우가 있다. 이 경우, 트랜지스터의 전기 특성은 변한다; 예를 들면, 문턱 전압이 시프트되거나, 게이트 전압으로 트랜지스터의 온 오프를 제어할 수 없는 상태(도통 상태)가 나타난다. 따라서, 채널 길이가 매우 짧은 트랜지스터를 형성하는 경우는, 소스 전극 및 드레인 전극에 산소와 결합하기 쉬운 도전 재료를 이용하는 것은 바람직하지 않다.
- [0142] 따라서, 제 1 소스 전극층(406a) 및 제 1 드레인 전극층(406b)보다 채널 길이 방향으로 연장된 영역을 가지는 제 2 소스 전극층(408a) 및 제 2 드레인 전극층(408b)을 제 1 소스 전극층(406a) 및 제 1 드레인 전극층(406b)에 적층으로 하고, 채널 길이를 정하는 제 2 소스 전극층(408a) 및 제 2 드레인 전극층(408b)에는 산소와 결합하기 어려운 도전 재료를 이용한다. 상기 도전 재료로서는, 예를 들면, 질화 탄탈, 질화 티탄 등을 이용하는 것이 바람직하다. 단, 산소와 결합하기 어려운 도전 재료에는 산소가 확산되기 어려운 재료도 포함된다.
- [0143] 단, 도 1의 (A) 내지 도 1의 (D)의 구조의 트랜지스터에 있어서, 채널 길이란, 제 2 소스 전극층(408a)과 제 2 드레인 전극층(408b)의 간격 L2를 말한다.
- [0144] 또한, 도 1의 (A) 내지 도 1의 (D)의 구조의 트랜지스터에 있어서, 채널이란, 제 2 소스 전극층(408a)과 제 2 드레인 전극층(408b)의 사이에서의 산화물 반도체층(404b)을 말한다.
- [0145] 또한, 도 1의 (A) 내지 도 1의 (D)의 구조의 트랜지스터에서, 채널 형성 영역이란, 제 2 소스 전극층(408a)과 제 2 드레인 전극층(408b)의 사이에서의 제 1 산화물층(404a), 산화물 반도체층(404b), 제 2 산화물층(404c)을 말한다.
- [0146] 상기 산소와 결합하기 어려운 도전 재료를 제 2 소스 전극층(408a) 및 제 2 드레인 전극층(408b)에 이용함으로써, 산화물 적층(404)에 형성되는 채널 형성 영역에 산소 결손이 형성되는 것을 억제할 수 있어, 채널의 n형화를 억제할 수 있다. 따라서, 채널 길이가 매우 짧은 트랜지스터라도 양호한 전기 특성을 가질 수 있다.
- [0147] 상기 산소와 결합하기 어려운 도전 재료만으로 소스 전극층 및 드레인 전극층을 형성하면, 산화물 적층(404)과의 콘택트 저항이 지나치게 높아지기 때문에; 도 1의 (B)에 도시한 바와 같이, 제 1 소스 전극층(406a) 및 제 1 드레인 전극층(406b)을 산화물 적층(404) 위에 형성하여, 제 1 소스 전극층(406a) 및 제 1 드레인 전극층(406b) 위에 접촉하도록 제 2 소스 전극층(408a) 및 제 2 드레인 전극층(408b)을 형성하는 것이 바람직하다.
- [0148] 동시에, 산화물 적층(404)은 제 1 소스 전극층(406a) 및 제 1 드레인 전극층(406b)과의 접촉 면적을 크게 하고, 제 2 소스 전극층(408a) 및 제 2 드레인 전극층(408b)과의 접촉 면적은 작게 하는 것이 바람직하다. 산화물 적층(404)과 제 1 소스 전극층(406a) 및 제 1 드레인 전극층(406b) 사이의 콘택트 저항은 산소 결손 생성에 의한 n형화한 영역(405)에 의해 감소된다. 반면, 산화물 적층(404)과 제 2 소스 전극층(408a) 및 제 2 드레인 전극층(408b) 사이의 콘택트 저항은, 산화물 적층(404)과 제 1 소스 전극층(406a) 및 제 1 드레인 전극층(406b) 사이의 콘택트 저항보다 높다. 따라서, 제 2 소스 전극층(408a) 및 제 2 드레인 전극층(408b)과 산화물 적층(404)과의 접촉 면적이 크면 트랜지스터의 전기 특성을 저하시키는 경우가 있다.
- [0149] 제 2 소스 전극층(408a)과 제 2 드레인 전극층(408b)의 간격 L2는, 제 1 소스 전극층(406a)과 제 1 드레인 전극층(406b)의 간격 L1보다 작은 값으로 할 수 있고, 예를 들면, 30 nm 이하로 해도 양호한 트랜지스터의 전기 특성을 가질 수 있다.
- [0150] <<게이트 전극층>>
- [0151] 게이트 전극층(412)은 Al, Ti, Cr, Co, Ni, Cu, Y, Zr, Mo, Ru, Ag, Ta, 및 W 등으로 형성된 도전막을 이용할 수 있다.
- [0152] 상기 본 발명의 일 양태에 있어서의 트랜지스터의 구성은 산화물 반도체층 내의 산소 결손의 증가를 억제할 수 있다. 따라서, 양호한 전기 특성을 가지고, 장기 신뢰성이 높은 반도체 장치를 제공할 수 있다.
- [0153] <반도체 장치의 구성예 2>
- [0154] 도 2의 (A) 내지 도 2의 (C)에 트랜지스터(320)의 구성예를 나타낸다. 도 2의 (A)는 트랜지스터(320)의 평면도이며, 도 2의 (B)는 도 2의 (A)의 X2-Y2에서의 단면도이며, 도 2의 (C)는 도 2의 (A)의 V2-W2에서의 단면도이다. 단, 도 2의 (A)에서는, 번잡하게 되는 것을 피하기 위해, 트랜지스터(320)의 구성 요소의 일부(예를 들면, 보호 절연층(414) 등)을 생략하여 도시하였다.

- [0155] 도 2의 (A) 내지 도 2의 (C)에 나타내는 트랜지스터(320)는 기판(400) 위에 형성된 하지 절연층(402); 하지 절연층 위에 형성된 섬 형상의 산화물 적층(404); 섬 형상의 산화물 적층의 상면의 일부 및 채널 형성 방향의 측면과 접촉하는 제 1 소스 전극층(406a) 및 제 1 드레인 전극층(406b)과; 제 1 소스 전극층(406a) 및 제 1 드레인 전극층(406b)을 덮도록 제공되고, 산화물 적층(404)의 상면의 일부에 접촉하는, 질화 금속막으로 형성되는 제 2 소스 전극층(408a) 및 제 2 드레인 전극층(408b)과; 제 2 소스 전극층(408a) 및 제 2 드레인 전극층(408b) 위에 제공되고, 제 2 소스 전극층(408a) 및 제 2 드레인 전극층(408b) 사이에서 산화물 적층(404)의 상면과 접촉하는 게이트 절연층(410)과; 게이트 절연층(410)을 사이에 끼우고 산화물 적층(404)과 중첩하는 게이트 전극층(412)과; 게이트 절연층(410) 및 게이트 전극층(412) 위에 접촉하여 제공된 보호 절연층(414)을 포함한다. 단, 보호 절연층(414)의 상부에 다른 절연층을 형성해도 좋다.
- [0156] 트랜지스터(310)와 트랜지스터(320)의 차이점의 하나는, 게이트 전극층(412)의 채널 길이 방향의 길이 L0이다. 트랜지스터(320)에서는, 게이트-드레인 간 및 게이트-소스 간의 기생 용량을 작게 하기 위하여, 제 1 소스 전극층(406a) 및 제 1 드레인 전극층(406b)과 게이트 전극층(412)이 중첩하지 않는 구조로 한다. 게이트 전극층(412)의 길이를 L0로 할 때, $L1 \geq L0 \geq L2$ (L0는 L2 이상 L1 이하)로 함으로써, 게이트-드레인 간 및 게이트-소스 간의 기생 용량을 매우 작게 할 수 있고, 트랜지스터의 주파수 특성을 향상할 수 있다. 단, 양호한 트랜지스터의 전기 특성을 얻기 위해서는, $(L1-L2)/2$ 를 L2의 20% 이하 미만으로 하는 것이 바람직하다.
- [0157] 트랜지스터(320)의 상면적은 $1 \sim 25 \mu\text{m}^2$ 이하로 하는 것이 바람직하다. 예를 들면, 도 2의 (A) 내지 도 2의 (C)의 트랜지스터(320)에 있어서 산화물 적층(404)의 채널 길이 방향의 길이를 300 nm로 할 때, L0를 40 nm로 하고, L2를 30 nm로 하는 것이 바람직하다. 이 때, 섬 형상의 산화물 적층(404)의 상면적을 $1 \mu\text{m}^2$ 이하로 할 수 있다.
- [0158] 단, 높은 주파수 특성을 필요로 하지 않는 반도체 장치에서는 도 1의 (B)에 도시한 바와 같이, $L0 \geq L1 \geq L2$ (L1은 L2 이상 L0 이하)로 해도 좋다. 이러한 구조에서는, 게이트 전극 형성 시의 공정의 난이도를 저감시킬 수 있다.
- [0159] 트랜지스터(310)와 트랜지스터(320)의 차이점의 다른 하나는 게이트 전극층(412)의 구성이다. 트랜지스터(320)에 있어서, 게이트 전극층(412)은 게이트 절연층(410)과 접촉하는 제 1 게이트 전극층(412a)과 제 2 게이트 전극층(412b)의 적층 구조를 가진다. 여기서, 제 1 게이트 전극층(412a)을 제 2 소스 전극층(408a) 및 제 2 드레인 전극층(408b)과 같은 재료를 이용하여 형성함으로써, 게이트 전극층(412)에 의한 게이트 절연층(410)으로부터의 산소의 추출을 방지할 수 있다.
- [0160] 트랜지스터(310)와 트랜지스터(320)의 차이점의 다른 하나는 제 2 소스 전극층(408a) 및 제 2 드레인 전극층(408b)의 구성이다. 트랜지스터(320)에서는 제 1 소스 전극층(406a)(또는 제 1 드레인 전극층(406b))의 채널 폭 방향의 폭을 W1, 제 2 소스 전극층(408a)(또는 제 2 드레인 전극층(408b))의 채널 폭 방향의 폭을 W2라고 할 때, $W1 < W2$ (W2가 W1보다 큼)로 함으로써, 제 2 소스 전극층(408a)(또는 제 2 드레인 전극층(408b))이 제 1 소스 전극층(406a)(또는 제 1 드레인 전극층(406b))을 덮는 구성을 가진다.
- [0161] 이러한 구성으로 함으로써, 게이트 절연층(410)이 산소와 결합하기 쉬운 도전 재료로 형성되는 제 1 소스 전극층(406a) 및 제 1 드레인 전극층(406b)과 접촉하는 것을 막을 수 있다. 따라서, 게이트 절연층(410)으로부터의 산소의 추출을 방지할 수 있다.
- [0162] 게이트 절연층(410)은 산화물 적층(404)에의 산소의 공급 경로가 되는 층이기 때문에, 제 1 소스 전극층(406a) 및 제 1 드레인 전극층(406b)에 의한 게이트 절연층(410)으로부터의 산소의 추출을 방지함으로써, 산화물 적층(404)에 효과적으로 산소를 공급할 수 있다. 따라서, 산화물 적층(404)에서 산소 결손의 발생을 억제할 수 있기 때문에, 트랜지스터(320)의 신뢰성을 향상시킬 수 있다.
- [0163] 단, 트랜지스터(320)의 그 외의 구성은 상술한 트랜지스터(310)와 같고; 따라서, 트랜지스터(310)의 설명을 참작할 수 있다.
- [0164] <반도체 장치의 구성예 3>
- [0165] 도 3의 (A) 및 도 3의 (B)에 상술한 트랜지스터(310) 또는 트랜지스터(320)의 변형예를 나타낸다. 도 3의 (A)에 나타내는 트랜지스터(330)는 트랜지스터(310)의 제 1 소스 전극층(406a) 및 제 1 드레인 전극층(406b)의 단부가 다른 구성이다. 도 3의 (B)에 나타내는 트랜지스터(340)는 트랜지스터(320)의 제 1 소스 전극층(406a) 및 제 1 드레인 전극층(406b)의 단부가 다른 구성이다. 단, 제 1 소스 전극층(406a) 및 제 1 드레인 전극층(406

b)의 단부 이외의 구성은 상술한 트랜지스터와 같고; 따라서, 앞의 설명을 참작할 수 있다.

[0166] 트랜지스터(330) 및 트랜지스터(340)에서, 제 1 소스 전극층(406a)의 확대도를 도 3의 (C) 및 도 3의 (D)에 나타낸다. 트랜지스터(330) 및 트랜지스터(340)에 있어서, 제 1 소스 전극층(406a) 및 제 1 드레인 전극층(406b)의 단부는 계단 형상으로 복수의 단을 포함한 형상이며, 하단의 단면은 산화물 적층(404)의 상면을 기준으로 하여 $\theta 1$ 의 각도로 형성되어 있고, 상단의 단면은 하단 상면을 기준으로 하여 $\theta 2$ 의 각도로 형성되어 있는 것이 바람직하다. 또한, 제 1 소스 전극층(406a) 및 제 1 드레인 전극층(406b)은 하단 상면과 하단 단면의 사이에는 R1의 곡률 반경을 가지는 곡면을 가지고, 상단 상면과 상단 단면의 사이에는 R3의 곡률 반경을 가지는 곡면을 가지고, 하단 상면과 상단 단면의 사이에는 R2의 곡률 반경을 가지는 곡면을 가지도록 형성되어 있는 것이 바람직하다.

[0167] 단, 도 3의 (A) 내지 도 3의 (D)에서는 제 1 소스 전극층(406a) 및 제 1 드레인 전극층(406b)의 단부에 2개의 단을 제공한 형상을 예시하고 있지만; 단수는 3개 이상이어도 좋다. 제 1 소스 전극층(406a) 및 제 1 드레인 전극층(406b)의 막 두께가 두꺼울수록, 상기 단수를 늘리는 것이 바람직하다. 단, 제 1 소스 전극층(406a) 및 제 1 드레인 전극층(406b)의 단부는 대칭적이지 않아도 좋다. 제 1 소스 전극층(406a) 및 제 1 드레인 전극층(406b)의 막 두께를 얇게 할 수 있는 경우는, 상기 단수는 1개, 즉 제 1 소스 전극층(406a) 및 제 1 드레인 전극층(406b)이 $\theta 1$, R1만을 가지는 형상이어도 좋다.

[0168] 여기서, $\theta 1$ 및 $\theta 2$ 는 20° 이상 80° 이하, 바람직하게는 25° 이상 70° 이하, 더욱 바람직하게는 30° 이상 60° 이하로 한다. R1, R2, R3은 제 1 소스 전극층(406a) 또는 제 1 드레인 전극층(406b)의 단이 형성되어 있지 않은 영역의 막 두께를 기준으로 하여, 상기 막 두께의 10% 이상 100% 이하, 바람직하게는 20% 이상 75% 이하, 더욱 바람직하게는 30% 이상 60% 이하로 한다. R2는 R1, R3 중 어느 하나, 또는 양쪽 모두보다 큰 것이 바람직하다.

[0169] 제 1 소스 전극층(406a) 및 제 1 드레인 전극층(406b)을 상기와 같은 복수의 단을 포함한 형상으로 함으로써, 그들의 상방에 형성되는 막, 구체적으로는, 제 2 소스 전극층(408a), 제 2 드레인 전극층(408b), 게이트 절연층(410) 등의 피복성이 향상되어, 트랜지스터의 양호한 전기 특성과 높은 장기 신뢰성을 가질 수 있다.

[0170] 또한, 제 2 소스 전극층(408a) 또는 제 2 드레인 전극층(408b)의 단면은 산화물 적층(404)의 상면을 기준으로 하여 $\theta 3$ 의 각도로 형성되어 있다. $\theta 3$ 은 30° 이상 80° 이하, 바람직하게는 35° 이상 75° 이하로 한다. 이러한 각도로 함으로써, 게이트 절연층(410) 등의 피복성이 향상되어, 트랜지스터는 양호한 전기 특성과 높은 장기 신뢰성을 가질 수 있다.

[0171] <반도체 장치의 구성예 4>

[0172] 도 9의 (A) 내지 도 9의 (C)에 트랜지스터(350)의 구성예를 나타낸다. 트랜지스터(350)는 도 2의 (A) 내지 도 2의 (C)의 트랜지스터(320)의 변형예이다. 도 9의 (A)는 트랜지스터(350)의 평면도이며, 도 9의 (B)는 도 9의 (A)의 X3-Y3에서의 단면도이며, 도 9의 (C)는, 도 9의 (A)의 V3-W3에서의 단면도이다. 단, 도 9의 (A)에서는 번잡하게 되는 것을 피하기 위해, 트랜지스터(350)의 구성 요소의 일부(예를 들면, 보호 절연층(414) 등)을 생략하여 도시하였다.

[0173] 트랜지스터(320)와 트랜지스터(350)의 상이점은 산화물 적층(404)과, 소스 전극층 및 드레인 전극층의 적층 순서이다. 즉, 트랜지스터(350)에서는 섬 형상의 제 1 산화물층(407a)의 채널 길이 방향의 측면과, 섬 형상의 산화물 반도체층(407b)의 채널 길이 방향의 측면 및 상면의 일부를 덮도록, 제 1 소스 전극층(406a) 및 제 1 드레인 전극층(406b)이 제공되어 있고, 제 1 소스 전극층(406a) 및 제 1 드레인 전극층(406b) 위에 접촉하여 섬 형상의 산화물 반도체층(407c)이 제공되어 있다. 그리고, 산화물 반도체층(407c) 위에 제 2 소스 전극층(408a) 및 제 2 드레인 전극층(408b)이 제공되어 있다.

[0174] 제 1 산화물층(407a), 산화물 반도체층(407b), 및 제 2 산화물층(404c)에서, 제 1 소스 전극층(406a) 또는 제 1 드레인 전극층(406b)과 접촉하는 영역에는 상기 전극에 의해 산소가 추출됨으로써, n형화한 영역(405)이 형성된다. 트랜지스터(350)에서, 하지 절연층(402)과 게이트 절연층(410)의 사이에는, 제 1 산화물층(407a), 산화물 반도체층(407b) 및 제 2 산화물층(407c)을 포함한 산화물 적층(407)이 형성된다.

[0175] 산화물 적층(407)에 포함되는 산화물 반도체층(404b)의 영역이며, 제 1 소스 전극층(406a) 및 제 1 드레인 전극층(406b)과 중첩하지 않는 영역, 즉, n형화되지 않는 영역은 제 1 소스 전극층(406a) 및 제 1 드레인 전극층(406b)의 가공 시에 일부가 에칭되어, 막 두께가 작은 영역이 되는 경우가 있다. 제 2 산화물층(404c)의, 제 2 소스 전극층(408a) 및 제 2 드레인 전극층(408b)과 중첩하지 않는 영역은 제 2 소스 전극층(408a) 및 제 2 드레인

인 전극층(408b)의 가공 시에 일부가 에칭되어, 막 두께가 작은 영역이 되는 경우가 있다.

- [0176] 도 9의 (C)에 도시한 바와 같이, 트랜지스터(350)에서는 W 길이 방향의 단면에서 섬 형상의 제 1 산화물층(407a) 및 산화물 반도체층(407b)의 측면을 제 2 산화물층(407c)에 의해 덮는 구성으로 할 수 있다. 상기 구성으로 함으로써, 산화물 적층(407)의 W 길이 방향 단부에서 발생할 수 있는 기생 채널의 영향을 저감할 수 있다. 따라서, 트랜지스터의 신뢰성을 향상시킬 수 있다.
- [0177] 도 19에 도시한 바와 같이, 제 1 소스 전극층(406a)과 제 2 소스 전극층(408a)은 보호 절연층(414) 위에 제공된 층간 절연층(424)에, 제 1 소스 전극층(406a)에 이르는 콘택트홀을 형성하고, 이 콘택트홀에 전극층(422a)을 형성함으로써 전기적으로 접속된다. 마찬가지로, 제 1 드레인 전극층(406b)과 제 2 드레인 전극층(408b)은 층간 절연층(424)에 제 1 드레인 전극층(406b)에 이르는 콘택트홀을 형성하고, 이 콘택트홀에 전극층(422b)을 형성함으로써, 전기적으로 접속된다.
- [0178] 제 1 소스 전극층(406a) 및 제 1 드레인 전극층(406b)의 크기(상면적)는 층간 절연층(424)에 제공되는 콘택트홀의 크기(개구부의 평면적) 이상이면 좋다. 트랜지스터의 미세화를 위해서는, 상기 전극층의 크기를 축소하는 것이 바람직하다.
- [0179] 층간 절연층(424)에는 유기 절연층, 또는 무기 절연층을 적절히 이용할 수 있다. 특히 평탄성이 양호한 막을 형성하는 것이 용이한 유기 수지막을 이용하는 것이 바람직하다. 전극층(422a) 및 전극층(422b)으로서는, 제 1 소스 전극층(406a) 및 제 1 드레인 전극층(406b)과 같은 재료를 이용하는 것이 바람직하다.
- [0180] 이상이 본 발명의 일 양태에서의 트랜지스터이다. 본 실시형태에 나타내는 트랜지스터는 하지 절연층에 포함되는 산소를 하지 절연층으로부터, 또는, 섬 형상의 산화물 적층의 외주부에서 하지 절연층과 접촉하는 게이트 절연층을 경로로 하여, 채널 형성 영역에 계속 공급하는 것이 가능하다. 상기 트랜지스터의 구성은 산화물 반도체층 내의 산소 결손의 증가를 억제하여, 불순물 농도를 저감할 수 있고, 산화물 반도체층을 고순도 진성화할 수 있다.
- [0181] 따라서, 채널 형성 영역의 산소 결손에 기인하여 발생할 수 있는 문턱 전압의 변동 등의 전기적 특성의 변동을 억제할 수 있다. 구체적으로는, 산화물 적층(404)을 포함하는 트랜지스터는 예를 들면, 문턱 전압의 노멀리 오프(normally-off)화를 안정적으로 성취할 수 있다. 따라서, 양호한 전기 특성을 나타냄과 동시에 장기 신뢰성이 높은 반도체 장치를 제공할 수 있다.
- [0182] 단, 본 실시형태에 나타내는 트랜지스터의 구성은 각각 자유롭게 조합할 수 있다. 예를 들면, 트랜지스터(310)의 게이트 전극층을 트랜지스터(320)로 나타내는 적층 구조로 해도 좋다.
- [0183] 단, 본 실시형태는 본 명세서에서 나타내는 다른 실시형태 또는 실시예와 적절히 조합할 수 있다.
- [0184] (실시형태 3)
- [0185] 본 실시형태에서는 실시형태 1에 설명한 트랜지스터의 제작 방법의 일례를 나타낸다. 본 실시형태에서는 도 4의 (A) 내지 도 4의 (C) 및 도 5의 (A) 내지 도 5의 (D)를 이용하여 도 3의 (B)에 나타낸 트랜지스터(340)를 제작하는 경우를 예로 설명한다.
- [0186] 우선, 절연 표면을 가지는 기판(400) 위에 하지 절연층(402)을 형성한다(도 4의 (A) 참조).
- [0187] 하지 절연층(402)의 막 두께는 1 nm 이상 100 nm 이하로 하고, 플라즈마 CVD법 또는 스퍼터링법 등에 의해, 산화 알루미늄, 산화 마그네슘, 산화 실리콘, 산화 질화 실리콘, 산화 갈륨, 산화 게르마늄, 산화 이트륨, 산화 지르코늄, 산화 란탄, 산화 네오디뮴, 산화 하프늄, 및 산화 탄탈 등의 산소를 포함한 절연막을 이용하여 형성할 수 있다.
- [0188] 하지 절연층(402)은 적어도 후에 형성되는 산화물 적층(404) 및 게이트 절연층(410)과 접촉하는 상층은 산화물 적층(404)에의 산소의 공급원이 될 수 있는 산소를 포함한 재료로 형성한다. 또한, 과잉으로 산소를 포함한 막으로 하는 것이 바람직하다.
- [0189] 하지 절연층(402)에 과잉으로 산소를 함유시키기 위해서는, 예를 들면, 산소 분위기 하에서 하지 절연층(402)을 형성하면 좋다. 또는, 형성 후의 하지 절연층(402)에 산소를 도입하여 과잉으로 산소를 함유시켜도 좋다. 쌍방의 수단을 조합해도 좋다.

- [0190] 본 실시형태에 있어서는, 형성 후의 하지 절연층(402)에 산소(302)(적어도, 산소 라디칼, 산소 원자, 산소 이온 중 어느 하나를 포함함)를 도입하여 과잉으로 산소를 함유하는 영역을 형성한다. 산소의 도입 방법으로서, 이온 주입법, 이온 도핑법, 플라즈마 잠입 이온 주입법, 플라즈마 처리 등을 이용할 수 있다.
- [0191] 산소 도입 처리에는 산소를 포함한 가스를 이용할 수 있다. 산소를 포함한 가스로서는, 산소, 일산화이질소, 이산화질소, 이산화탄소, 일산화탄소 등을 이용할 수 있다. 또한, 산소 도입 처리에 있어서, 산소를 포함한 가스에 희가스를 포함시켜도 좋다.
- [0192] 다음에, 하지 절연층(402) 위에 제 1 산화물층(404a), 산화물 반도체층(404b), 제 2 산화물층(404c)을 스퍼터링법, CVD법, MBE법, ALD법, 또는 PLD법을 이용하여 형성하고, 선택적으로 에칭을 행함으로써 산화물 적층(404)을 형성한다(도 4의 (B) 참조). 단, 에칭의 전에 가열 공정을 행하여도 좋다.
- [0193] 제 1 산화물층(404a), 산화물 반도체층(404b), 및 제 2 산화물층(404c)에는 실시형태 1에 설명한 재료를 이용할 수 있다.
- [0194] 예를 들면, 제 1 산화물층(404a)은 In:Ga:Zn = 1:3:2[원자수비]의 In-Ga-Zn 산화물, In:Ga:Zn = 1:6:4[원자수비]의 In-Ga-Zn 산화물, In:Ga:Zn = 1:9:6[원자수비]의 In-Ga-Zn 산화물, 또는 그 근방의 조성을 가지는 산화물을 이용하여 형성하는 것이 바람직하다.
- [0195] 또한, 예를 들면, 산화물 반도체층(404b)은 In:Ga:Zn = 1:1:1[원자수비]의 In-Ga-Zn 산화물, In:Ga:Zn = 3:1:2[원자수비]의 In-Ga-Zn 산화물, 또는 그 근방의 조성을 가지는 산화물을 이용하여 형성하는 것이 바람직하다.
- [0196] 또한, 예를 들면, 제 2 산화물층(404c)은 In:Ga:Zn = 1:3:2[원자수비]의 In-Ga-Zn 산화물, 또는 그 근방의 조성을 가지는 산화물을 이용하여 형성하는 것이 바람직하다.
- [0197] 단, 예를 들면, "In, Ga, Zn의 원자수비가 In:Ga:Zn = a:b:c(a+b+c = 1)인 산화물의 조성이 원자수비가 In:Ga:Zn = A:B:C(A+B+C = 1)의 산화물의 조성의 근방이라는 것"은 a, b, c가 다음의 관계를 만족시키는 것을 말한다: $(a-A)^2 + (b-B)^2 + (c-C)^2 \leq r^2$, 그리고 r로서는, 예를 들면, 0.05로 하면 좋다.
- [0198] 단, 각 산화물층의 조성은 상술한 원자수비에 한정되지 않는다. 산화물 반도체층(404b)은 제 1 산화물층(404a) 및 제 2 산화물층(404c)보다 인듐의 함유량을 많이 하면 좋다. 산화물 반도체에서는 주로 중금속의 s궤도가 캐리어 전도에 기여하고 있고, In의 함유율을 많이 함으로써, 보다 많은 s궤도가 중첩된다. 따라서, In이 Ga보다 많은 조성이 되는 산화물은 인듐이 갈륨과 동등하거나 또는 적은 조성이 되는 산화물과 비교하여 이동도가 높아진다. 또한, 갈륨은 인듐과 비교하여 산소 결손의 형성 에너지가 크고 산소 결손이 생기기 어렵다. 이 때문에, 갈륨의 함유량이 많은 산화물은 안정된 특성을 가진다.
- [0199] 그 때문에, 산화물 반도체층(404b)에 인듐의 함유량이 많은 산화물을 이용함으로써, 높은 이동도의 트랜지스터를 실현할 수 있다. 또한, 절연층과의 계면층에 갈륨의 함유량이 많은 산화물(여기서는, 제 1 산화물층(404a) 및 제 2 산화물층(404c))을 이용함으로써, 트랜지스터의 신뢰성을 높이는 것이 가능하게 된다.
- [0200] 또한, 제 1 산화물층(404a), 산화물 반도체층(404b), 및 제 2 산화물층(404c)으로서 이용할 수 있는 산화물 반도체는 적어도 인듐(In) 혹은 아연(Zn)을 포함하는 것이 바람직하다. 또는, In과 Zn의 쌍방을 포함하는 것이 바람직하다. 특히, 산화물 반도체층(404b)이 인듐을 함유하면 트랜지스터의 캐리어 이동도를 높일 수 있고, 아연을 함유하면 CAAC-OS막을 형성하기 쉬워지기 때문에 바람직하다. 산화물 반도체층을 포함한 트랜지스터의 전기 특성의 편차를 줄이기 위하여, 인듐 및 아연과 함께, 스테빌라이저(stabilizer)를 포함하는 것이 바람직하다.
- [0201] 스테빌라이저로서는, 갈륨(Ga), 주석(Sn), 하프늄(Hf), 알루미늄(Al), 또는 지르코늄(Zr) 등이 있다. 또한, 다른 스테빌라이저로서는, 란타노이드인 란탄(La), 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 사마륨(Sm), 유퀴륨(Eu), 가돌리늄(Gd), 테르븀(Tb), 디스프로슘(Dy), 홀뮴(Ho), 에르븀(Er), 툴륨(Tm), 이테르븀(Yb), 루테튬(Lu) 등이 있다.
- [0202] 예를 들면, 산화물 반도체로서 다음 중 어느 것을 이용할 수 있다: 산화 인듐, 산화 주석, 산화 아연, In-Zn 산화물, Sn-Zn 산화물, Al-Zn 산화물, Zn-Mg 산화물, Sn-Mg 산화물, In-Mg 산화물, In-Ga 산화물, In-Ga-Zn 산화물, In-Al-Zn 산화물, In-Sn-Zn 산화물, Sn-Ga-Zn 산화물, Al-Ga-Zn 산화물, Sn-Al-Zn 산화물, In-Hf-Zn 산화물, In-La-Zn 산화물, In-Ce-Zn 산화물, In-Pr-Zn 산화물, In-Nd-Zn 산화물, In-Sm-Zn 산화물, In-Eu-Zn 산화

물, In-Gd-Zn 산화물, In-Tb-Zn 산화물, In-Dy-Zn 산화물, In-Ho-Zn 산화물, In-Er-Zn 산화물, In-Tm-Zn 산화물, In-Yb-Zn 산화물, In-Lu-Zn 산화물, In-Sn-Ga-Zn 산화물, In-Hf-Ga-Zn 산화물, In-Al-Ga-Zn 산화물, In-Sn-Al-Zn 산화물, In-Sn-Hf-Zn 산화물, In-Hf-Al-Zn 산화물을 이용할 수 있다.

- [0203] 단, 실시형태 1에 상세하게 기재한 바와 같이, 제 1 산화물층(404a) 및 제 2 산화물층(404c)은 산화물 반도체층(404b)보다 전자 친화력이 커지도록 재료를 선택한다.
- [0204] 단, 산화물 적층은 스퍼터링법을 이용하여 형성하는 것이 바람직하다. 스퍼터링법으로서, RF 스퍼터링법, DC 스퍼터링법, AC 스퍼터링법 등을 이용할 수 있다. 특히, 성막 시에 발생하는 먼지를 저감할 수 있고, 또한 막 두께 분포도 균일하게 할 수 있기 때문에, DC 스퍼터링법을 이용하는 것이 바람직하다.
- [0205] 단, 제 1 산화물층(404a)을 형성한 후, 산화물 반도체층(404b)의 형성 전에, 제 1 산화물층(404a)에 대하여 산소를 도입해도 좋다. 상기 산소 도입 처리에 의해, 제 1 산화물층(404a)이 과잉으로 산소를 함유하고, 그 후의 성막 공정에서의 열 처리에 의해 이 과잉의 산소를 산화물 반도체층(404b)에 공급할 수 있다.
- [0206] 따라서, 제 1 산화물층(404a)에의 산소 도입 처리에 의해, 산화물 반도체층(404b)의 산소 결손을 보다 억제하는 것이 가능하게 된다.
- [0207] 단, 제 1 산화물층(404a)은 산소의 도입 처리에 의해 비정질화하는 경우가 있다. 산화물 적층(404)에서, 적어도 산화물 반도체층(404b)은 CAAC-OS막으로 하는 것이 바람직하다. 따라서, 상기 산소의 도입 처리는 제 1 산화물층(404a)의 형성 후, 산화물 반도체층(404b)의 형성 전에 행하는 것이 바람직하다.
- [0208] 산화물 적층(404)을 형성한 후, 제 1 가열 처리를 행하는 것이 바람직하다. 제 1 가열 처리는 250℃ 이상 650℃ 이하, 바람직하게는 300℃ 이상 500℃ 이하의 온도로, 불활성 가스 분위기, 산화성 가스를 10 ppm 이상 포함한 분위기, 또는 감압 상태에서 행하면 좋다. 또한, 가열 처리의 분위기는 불활성 가스 분위기에서 가열 처리한 후에, 이탈한 산소를 보충하기 위하여 산화성 가스를 10 ppm 이상 포함한 분위기에서 행하여도 좋다. 제 1 가열 처리에 의해, 산화물 반도체층(404b)의 결정성을 높이고, 또한 하지 절연층(402), 제 1 산화물층(404a), 산화물 반도체층(404b), 또는 제 2 산화물층(404c) 중 적어도 하나에서 수소나 물 등의 불순물을 제거할 수 있다. 단, 산화물 적층(404)을 형성하는 예칭의 전에 가열 공정을 행하여도 좋다.
- [0209] 그 후, 산화물 적층(404) 위에 제 1 소스 전극층(406a) 및 제 1 드레인 전극층(406b)이 되는 제 1 도전막을 형성한다. 제 1 도전막으로서, Al, Cr, Cu, Ta, Ti, Mo, W, 또는 이것들을 주성분으로 하는 합금 재료를 이용할 수 있다. 예를 들면, 스퍼터링법 등에 의해 100 nm의 텅스텐막을 형성한다.
- [0210] 다음에, 제 1 도전막을 산화물 적층(404) 위에서 분단하도록 예칭하여, 제 1 소스 전극층(406a) 및 제 1 드레인 전극층(406b)을 형성한다(도 4의 (C) 참조). 이 때, 제 1 소스 전극층(406a) 및 제 1 드레인 전극층(406b)의 단부는 도시하는 바와 같이 계단 형상으로 형성하는 것이 바람직하다. 상기 단부의 가공은 애싱에 의해 레지스트 마스크를 후퇴시키는 공정과 예칭의 공정을 번갈아 복수회 행함으로써 형성할 수 있다.
- [0211] 단, 도시하지 않았지만, 제 1 도전막의 오버 예칭에 의해, 산화물 적층(404)의 일부(노출되는 영역)가 예칭된 형상이 되는 경우가 있다.
- [0212] 다음에, 산화물 적층(404), 제 1 소스 전극층(406a) 및 제 1 드레인 전극층(406b) 위에, 제 2 소스 전극층(408a) 및 제 2 드레인 전극층(408b)이 되는 제 2 도전막을 형성한다. 제 2 도전막으로서, 질화 탄탈, 질화 티탄 등의 질화 금속막 또는 이것들을 주성분으로 하는 합금 재료를 이용할 수 있다. 예를 들면, 스퍼터링법 등에 의해 20 nm의 질화 탄탈막을 형성한다.
- [0213] 다음에, 제 2 도전막을 산화물 적층(404) 위에서 분단하도록 예칭하여, 제 2 소스 전극층(408a) 및 제 2 드레인 전극층(408b)을 형성한다(도 5의 (A) 참조). 이 때, 산화물 적층(404)의 일부(보다 구체적으로는, 제 2 산화물층(404c)의 일부)가 예칭된 형상으로 해도 좋다. 단, 도시하지 않았지만, 제 2 소스 전극층(408a) 및 제 2 드레인 전극층(408b)을 형성하기 위한 예칭 처리에 의해, 하지 절연층(402)에서 제 2 소스 전극층(408a) 및 제 2 드레인 전극층(408b)으로부터 노출된 영역이 예칭되어 상기 영역의 막 두께가 작아지는 경우도 있다.
- [0214] 단, 채널 길이(제 2 소스 전극층(408a)과 제 2 드레인 전극층(408b) 사이)가 매우 짧은 트랜지스터를 형성하는 경우는, 적어도 제 2 도전막을 분단하는 영역은 전자빔 노광 등의 세션 가공에 적합한 방법을 이용하여 레지스트 마스크 가공을 행하고, 예칭 공정에 의해 상기 영역을 예칭하면 좋다. 단, 상기 레지스트 마스크로서는, 포지티브형 레지스트를 이용하면, 노광 영역을 최소한으로 할 수 있어 스루풋(throughput)을 향상시킬 수 있다.

이러한 방법을 이용하면, 채널 길이를 30 nm 이하로 하는 트랜지스터를 형성할 수 있다.

- [0215] 다음에, 산화물 적층(404), 제 2 소스 전극층(408a) 및 제 2 드레인 전극층(408b) 위에 게이트 절연층(410)을 형성한다(도 5의 (B) 참조). 게이트 절연층(410)은, 산화 알루미늄, 산화 마그네슘, 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 갈륨, 산화 게르마늄, 산화 이트륨, 산화 지르코늄, 산화 란탄, 산화 네오디뮴, 산화 하프늄, 및 산화 탄탈 등을 이용하여 형성할 수 있다. 단, 게이트 절연층(410)은 상기 재료의 적층이어도 좋다. 게이트 절연층(410)은 스퍼터링법, CVD법, MBE법, ALD법, 또는 PLD법 등을 이용하여 형성할 수 있다. 특히, 게이트 절연층(410)을 CVD법, 바람직하게는 플라즈마 CVD법에 의해 형성하면, 피복성이 양호하기 때문에 바람직하다.
- [0216] 게이트 절연층(410)을 형성한 후, 제 2 가열 처리를 행하는 것이 바람직하다. 제 2 가열 처리에 의해, 게이트 절연층(410)에 포함되는 물, 수소 등의 불순물을 이탈(탈수화, 또는 탈수소화)시킬 수 있다. 제 2 가열 처리의 온도는 300℃ 이상 400℃ 이하로 하는 것이 바람직하다. 제 2 가열 처리는 불활성 가스 분위기에서 가열 처리한 후에, 이탈한 산소를 보충하기 위하여 산화성 가스를 10 ppm 이상 포함한 분위기에서 행하는 것이 바람직하다. 제 2 가열 처리에 의해, 게이트 절연층(410)으로부터 수소나 물 등의 불순물을 제거할 수 있다. 또한, 산화물 적층(404)으로부터 수소나 물 등의 불순물이 더 제거되는 경우도 있다. 또한, 산화성 가스를 포함한 분위기 하에서 가열 처리를 행함으로써 게이트 절연층(410)에 산소를 공급할 수 있다.
- [0217] 단, 제 2 가열 처리는 게이트 절연층(410)을 형성한 후, 성막실 내에서 연속적으로 행하는 것이 바람직하다. 또는, 게이트 절연층(410) 형성 시의 가열에 의해, 제 2 가열 처리를 겸할 수도 있다.
- [0218] 또한, 제 1 소스 전극층(406a) 및 제 1 드레인 전극층(406b)과, 산화물 적층(404)이 접촉한 상태로 제 2 가열 처리를 행함으로써, 산화물 적층(404)으로부터 산소와 결합하기 쉬운 제 1 소스 전극층(406a) 및 제 1 드레인 전극층(406b)에 산소가 들어간다. 따라서, 산화물 적층(404)의 제 1 소스 전극층(406a) 및 제 1 드레인 전극층(406b)에 접촉하는 계면 근방의 영역에 산소 결손이 발생하여, n형화한 영역(405)이 형성된다. 단, 제 2 가열 처리의 온도에 따라서는, n형화한 영역(405)이 형성되지 않는 경우도 있다.
- [0219] 다음에, 게이트 절연층(410) 위에 게이트 전극층(412)이 되는 도전막을 형성한다. 상기 도전막은 스퍼터링법 등에 의해 형성할 수 있다. 그리고, 채널 형성 영역과 중첩하도록 상기 도전막을 에칭하여, 게이트 전극층(412)을 형성한다(도 5의 (C) 참조).
- [0220] 본 실시형태에서는, 게이트 전극층(412)은 제 2 도전막과 같은 재료를 이용한 제 1 게이트 전극층(412a)과, 제 1 도전막과 같은 재료를 이용한 제 2 게이트 전극층(412b)을 포함하는 적층 구조를 가진다.
- [0221] 다음에, 게이트 절연층(410) 및 게이트 전극층(412) 위에, 보호 절연층(414)을 형성한다(도 5의 (D) 참조). 보호 절연층(414)으로서, 게이트 절연층(410)보다 산소에 대한 투과성이 낮은(산소에 대한 배리어성을 가짐) 절연층이 제공된다. 예를 들면, 보호 절연층(414)으로서 질화 실리콘막 또는 질화 산화 실리콘막이 제공될 수 있다.
- [0222] 단, 보호 절연층(414)은 함유되는 수소 농도를 저감하는 것이 바람직하기 때문에, 스퍼터링법에 의해 형성하는 것이 바람직하다. 보호 절연층(414)에 포함되는 수소 농도는, $5 \times 10^{19} \text{ cm}^{-3}$ 미만으로 하는 것이 바람직하고, $5 \times 10^{18} \text{ cm}^{-3}$ 미만으로 하는 것이 보다 바람직하다.
- [0223] 보호 절연층(414)을 형성한 후에, 제 3 가열 처리를 행하는 것이 바람직하다. 제 3 가열 처리의 온도는 350℃ 이상 450℃ 이하로 하는 것이 바람직하다. 제 3 가열 처리에 의해, 하지 절연층(402) 및 게이트 절연층(410)으로부터 산소가 방출되기 쉬워져, 산화물 적층(404)의 산소 결손을 저감할 수 있다.
- [0224] 또한, 제 3 가열 처리에 의해, 산화물 적층(404)으로부터 산소와 결합하기 쉬운 제 1 소스 전극층(406a) 및 제 1 드레인 전극층(406b)으로 산소가 이동할 수 있다. 따라서, n형화한 영역(405)에 있어서 보다 많은 산소 결손이 발생하는 경우가 있다. 또는, 제 2 가열 처리에 의해, 계면 근방의 영역의 n형화가 일어나지 않았던 경우에도, 제 3 가열 처리에 의해 n형화한 영역(405)으로 할 수 있다.
- [0225] 이상에 의해, 본 실시형태의 트랜지스터(340)를 제작할 수 있다.
- [0226] 단, 본 실시형태는 본 명세서에서 나타내는 다른 실시형태 또는 실시예와 적절히 조합할 수 있다.

- [0227] (실시형태 4)
- [0228] 본 발명의 일 양태에 따른 반도체 장치의 일례로서 논리 회로인 NOR형 회로의 회로도의 일례를 도 20의 (A)에 나타낸다. 도 20의 (B)는 NAND형 회로의 회로도이다.
- [0229] 도 20의 (A)에 나타내는 NOR형 회로에 있어서, p채널형 트랜지스터인 트랜지스터(801, 802)는 채널 형성 영역에 산화물 반도체 이외의 반도체 재료(예를 들면, 실리콘 등)를 이용한 트랜지스터로 하고, n 채널형 트랜지스터인 트랜지스터(803, 804)는 산화물 반도체를 포함한 산화물 적층을 포함하여 실시형태 2에 나타내는 트랜지스터와 같은 구조를 가지는 트랜지스터를 이용한다.
- [0230] 실리콘 등의 반도체 재료를 포함한 트랜지스터는 고속 동작이 용이하다. 한편, 산화물 반도체를 포함한 트랜지스터는 그 특성에 따라 장시간의 전하 유지를 가능하게 한다.
- [0231] 논리 회로의 소형화를 위하여, n 채널형의 트랜지스터인 트랜지스터(803, 804)는 p채널형의 트랜지스터인 트랜지스터(801, 802) 위에 적층되는 것이 바람직하다. 예를 들면, 단결정 실리콘 기판을 이용하여 트랜지스터(801, 802)를 형성하고, 절연층을 통하여 트랜지스터(801, 802) 위에 트랜지스터(803, 804)를 형성하는 것이 가능하다.
- [0232] 단, 도 20의 (A)에 나타내는 NOR형 회로에 있어서, 트랜지스터(803, 804)는 트랜지스터(520)와 같은 구성을 가지고, 제 2 게이트 전극의 전위를 제어하고, 예를 들면 GND로 함으로써 트랜지스터(803, 804)의 문턱 전압을 보다 플러스로 하여, 노멀리 오프의 트랜지스터로 할 수 있다.
- [0233] 도 20의 (B)에 나타내는 NAND형 회로에서, p채널형 트랜지스터인 트랜지스터(811, 814)는 채널 형성 영역에 산화물 반도체 이외의 반도체 재료(예를 들면, 실리콘 등)를 이용한 트랜지스터로 하고, n 채널형 트랜지스터인 트랜지스터(812, 813)는 산화물 반도체를 포함한 산화물 적층을 포함하고, 상기 실시형태 2에 나타내는 트랜지스터와 같은 구조를 가지는 트랜지스터를 이용한다.
- [0234] 단, 도 20의 (B)에 나타내는 NAND형 회로에서, 트랜지스터(812, 813)는 백 게이트 전극을 가지는 구성을 가지고, 백 게이트 전극의 전위를 제어함으로써, 예를 들면, 전위를 GND로 함으로써, 트랜지스터(812, 813)의 문턱 전압을 보다 플러스로 하여, 노멀리 오프의 트랜지스터로 할 수 있다.
- [0235] 도 20의 (A)에 나타내는 NOR 회로와 마찬가지로, 논리 회로의 소형화를 위하여, n 채널형의 트랜지스터인 트랜지스터(812, 813)는 p채널형의 트랜지스터인 트랜지스터(811, 812) 위에 적층되는 것이 바람직하다.
- [0236] 본 실시형태에 나타내는 반도체 장치에서는, 채널 형성 영역에 산화물 반도체를 이용한 오프 전류가 매우 작은 트랜지스터를 적용함으로써, 소비 전력을 충분히 저감할 수 있다.
- [0237] 다른 반도체 재료를 포함한 반도체 소자를 적층함으로써, 미세화 및 고집적화를 실현하고, 안정적이고 높은 전기적 특성이 부여된 반도체 장치, 및 이 반도체 장치의 제작 방법을 제공할 수 있다.
- [0238] 또한, 상기 실시형태 2에 나타내는 트랜지스터의 구성을 적용함으로써, 신뢰성이 높고, 안정된 특성을 나타내는 NOR형 회로와 NAND형 회로를 제공할 수 있다.
- [0239] 본 실시형태에서는, 실시형태 2에 나타내는 트랜지스터를 사용한 NOR형 회로와 NAND형 회로의 예를 나타냈지만; 특별히 한정되지 않고, AND형 회로나 OR 회로 등을 형성할 수도 있다.
- [0240] 이상, 본 실시형태에 나타내는 구성, 방법 등은 다른 실시형태에 나타내는 구성, 방법 등과 적절히 조합하여 이용할 수 있다.
- [0241] (실시형태 5)
- [0242] 본 실시형태에서는, 실시형태 2에 나타내는 트랜지스터를 포함하고, 전력이 공급되지 않는 상황에서도 저장된 데이터의 유지가 가능하고, 또한, 기입 횟수에도 제한이 없는 반도체 장치(기억 장치)의 일례를, 도면을 이용하여 설명한다.
- [0243] 도 21의 (A)는, 본 실시형태의 반도체 장치를 나타내는 회로도이다.
- [0244] 도 21의 (A)에 나타내는 트랜지스터(260)는 산화물 반도체 이외의 반도체 재료(예를 들면, 실리콘 등)를 포함한 트랜지스터를 적용할 수 있어, 고속 동작이 용이하다. 또한, 트랜지스터(262)에는 산화물 반도체 적층을 포함

하여 실시형태 2에 나타내는 트랜지스터와 같은 구조를 가지는 트랜지스터를 적용할 수 있고, 그 특성에 따라 장시간의 전하 유지를 가능으로 한다.

- [0245] 또한, 상기 트랜지스터는 모두 n 채널형 트랜지스터인 것으로서 설명하지만, 본 실시형태에 나타내는 반도체 장치에 이용하는 트랜지스터로서는 p채널형 트랜지스터를 이용할 수도 있다.
- [0246] 도 21의 (A)에 있어서, 제 1 배선(1st Line)과 트랜지스터(260)의 소스 전극층은 전기적으로 접속되어 있다. 제 2 배선(2nd Line)과 트랜지스터(260)의 드레인 전극층은 전기적으로 접속되어 있다. 제 3 배선(3rd Line)과 트랜지스터(262)의 소스 전극층 또는 드레인 전극층의 한쪽은 전기적으로 접속되고, 제 4 배선(4th Line)과 트랜지스터(262)의 게이트 전극층은 전기적으로 접속되어 있다. 트랜지스터(260)의 게이트 전극층과 트랜지스터(262)의 소스 전극층 또는 드레인 전극층의 다른 한쪽은 용량 소자(264)의 전극의 한쪽과 전기적으로 접속되어 있다. 제 5 배선(5th Line)과 용량 소자(264)의 전극의 다른 한쪽은 전기적으로 접속되어 있다.
- [0247] 도 21의 (A)에 나타내는 반도체 장치에서는 트랜지스터(260)의 게이트 전극층의 전위를 유지할 수 있다는 특징을 살림으로써, 다음과 같이, 정보의 기입, 저장, 판독이 가능하다.
- [0248] 정보의 기입 및 저장에 대하여 설명한다. 우선, 제 4 배선의 전위를, 트랜지스터(262)가 온 상태가 되는 전위로 하고, 트랜지스터(262)를 온 상태로 한다. 이것에 의해, 제 3 배선의 전위가 트랜지스터(260)의 게이트 전극층, 및 용량 소자(264)에 인가된다. 즉, 트랜지스터(260)의 게이트 전극층에는 소정의 전하가 인가된다(기입). 여기에서는, 다른 2개의 전위 레벨을 제공하는 전하(이하 Low 레벨 전하, High 레벨 전하라고 함) 중 한쪽이 공급되는 것으로 한다. 그 후, 제 4 배선의 전위를 트랜지스터(262)가 오프 상태가 되는 전위로 하고, 트랜지스터(262)를 오프 상태로 한다. 따라서, 트랜지스터(260)의 게이트 전극층에 공급된 전하가 유지된다(유지). 즉, 데이터가 플로팅 게이트(FG)에서 유지된다.
- [0249] 트랜지스터(262)의 오프 전류는 매우 작기 때문에, 트랜지스터(260)의 게이트 전극층의 전하는 장시간에 걸쳐 유지된다.
- [0250] 다음에 정보의 판독에 대하여 설명한다. 제 1 배선에 소정의 전위(정전위)를 인가한 상태로, 제 5 배선에 적절한 전위(판독 전위)를 인가하면, 트랜지스터(260)의 게이트 전극층에 유지된 전하량에 따라, 제 2 배선은 다른 전위를 취한다. 일반적으로, 트랜지스터(260)를 n 채널형으로 하면, 트랜지스터(260)의 게이트 전극층에 High 레벨 전하가 인가되고 있는 경우의 외관의 문턱 전압 $V_{th,H}$ 는 트랜지스터(260)의 게이트 전극층에 Low 레벨 전하가 인가되고 있는 경우의 외관의 문턱 전압 $V_{th,L}$ 보다 낮아지기 때문이다. 여기서, 외관의 문턱 전압이란, 트랜지스터(260)를 온 상태로 하기 위하여 필요한 제 5 배선의 전위를 말하는 것으로 한다. 따라서, 제 5 배선의 전위를 $V_{th,H}$ 와 $V_{th,L}$ 의 중간의 전위 V_0 로 함으로써, 트랜지스터(260)의 게이트 전극층에 공급된 전하를 판별할 수 있다. 예를 들면, 기입에서, High 레벨 전하가 공급되고 있었을 때에는, 제 5 배선의 전위가 $V_0(>V_{th,H})$ 가 되면, 트랜지스터(260)는 온 상태가 된다. Low 레벨 전하가 인가되고 있었을 때에는, 제 5 배선의 전위가 $V_0(<V_{th,L})$ 가 되어도, 트랜지스터(260)는 오프 상태인 채이다. 이 때문에, 제 2 배선의 전위를 보는 것에 의해, 저장되어 있는 데이터를 읽어낼 수 있다.
- [0251] 단, 메모리 셀을 어레이 형상으로 배치하여 이용하는 경우, 원하는 메모리 셀의 정보만을 판독할 수 있는 것이 필요하게 된다. 이와 같이 정보를 판독하지 않는 경우에는, 게이트 전극층의 상태에 관계없이 트랜지스터(260)가 오프 상태가 되는 전위, 즉, $V_{th,H}$ 보다 작은 전위를 제 5 배선에 공급하면 좋다. 또는, 게이트 전극층 상태에 관계없이 트랜지스터(260)가 온 상태가 되는 전위, 즉, $V_{th,L}$ 보다 큰 전위를 제 5 배선에 공급하면 좋다.
- [0252] 도 21의 (B)에 다른 기억 장치의 구조의 일 형태의 예를 나타낸다. 도 21의 (B)는 반도체 장치의 회로 구성의 일례를 나타내고, 도 21의 (C)는 반도체 장치의 일례를 나타내는 개념도이다. 우선, 도 21의 (B)에 나타내는 반도체 장치에 대하여 설명을 하고, 계속하여 도 21의 (C)에 나타내는 반도체 장치에 대하여, 이하 설명을 행한다.
- [0253] 도 21의 (B)에 나타내는 반도체 장치에 있어서, 비트선(BL)과 트랜지스터(262)의 소스 전극 또는 드레인 전극은 전기적으로 접속되고, 워드선(WL)과 트랜지스터(262)의 게이트 전극층은 전기적으로 접속되고, 트랜지스터(262)의 소스 전극 또는 드레인 전극과 용량 소자(254)의 제 1 단자는 전기적으로 접속되어 있다.
- [0254] 산화물 반도체를 포함한 트랜지스터(262)는 오프 전류가 매우 작다는 특징을 가진다. 따라서, 트랜지스터(26

2)를 오프 상태로 함으로써, 용량 소자(254)의 제 1 단자의 전위(혹은, 용량 소자(254)에 축적된 전하)를 매우 장시간에 걸쳐 유지하는 것이 가능하다.

- [0255] 다음에, 도 21의 (B)에 나타내는 반도체 장치(메모리 셀(250))에 정보의 기입 및 저장을 행하는 경우에 대하여 설명한다.
- [0256] 우선, 워드선(WL)의 전위를 트랜지스터(262)가 온 상태가 되는 전위로 하고, 트랜지스터(262)를 온 상태로 한다. 이것에 의해, 비트선(BL)의 전위가 용량 소자(254)의 제 1 단자에 공급된다(기입). 그 후, 워드선(WL)의 전위를 트랜지스터(262)가 오프 상태가 되는 전위로 하여, 트랜지스터(262)를 오프 상태로 한다. 따라서, 용량 소자(254)의 제 1 단자의 전위가 유지된다(유지).
- [0257] 트랜지스터(262)의 오프 전류는 매우 작기 때문에, 용량 소자(254)의 제 1 단자의 전위(혹은 용량 소자에 축적된 전하)를 장시간에 걸쳐 유지할 수 있다.
- [0258] 다음에, 정보의 판독에 대하여 설명한다. 트랜지스터(262)가 온 상태가 되면, 부유 상태인 비트선(BL)과 용량 소자(254)가 도통하여, 비트선(BL)과 용량 소자(254) 사이에 전하가 재분배된다. 그 결과, 비트선(BL)의 전위가 변화된다. 비트선(BL)의 전위의 변화량은 용량 소자(254)의 제 1 단자의 전위(혹은 용량 소자(254)에 축적된 전하)에 의해, 다른 값을 취한다.
- [0259] 예를 들면, 용량 소자(254)의 제 1 단자의 전위를 V , 용량 소자(254)의 용량을 C , 비트선(BL)이 가지는 용량 성분(이하, 비트선 용량이라고도 부름)을 C_B , 전하가 재분배되기 전의 비트선(BL)의 전위를 V_{B0} 로 하면, 전하가 재분배된 후의 비트선(BL)의 전위는 $(C_B \times V_{B0} + C \times V) / (C_B + C)$ 가 된다. 따라서, 메모리 셀(250)이 용량 소자(254)의 제 1 단자의 전위가 V_1 과 $V_0 (V_1 > V_0)$ 의 2 상태를 취한다고 하면, 전위 V_1 을 유지하고 있는 경우의 비트선(BL)의 전위(= $C_B \times V_{B0} + C \times V_1) / (C_B + C)$ 는 전위 V_0 을 유지하고 있는 경우의 비트선(BL)의 전위(= $C_B \times V_{B0} + C \times V_0) / (C_B + C)$)보다 높아지는 것을 알 수 있다.
- [0260] 그리고, 비트선(BL)의 전위를 소정의 전위와 비교함으로써, 정보를 읽어낼 수 있다.
- [0261] 이와 같이, 도 21의 (B)에 나타내는 반도체 장치는 트랜지스터(262)의 오프 전류가 매우 작다는 특징으로부터, 용량 소자(254)에 축적된 전하는 장시간에 걸쳐 유지할 수 있다. 즉, 리프레시 동작이 불필요해지거나, 또는, 리프레시 동작의 빈도를 매우 낮게 하는 것이 가능해지기 때문에, 소비 전력을 충분히 저감할 수 있다. 또한, 전력의 공급이 없는 경우에도, 장기에 걸쳐 저장된 데이터를 유지하는 것이 가능하다.
- [0262] 다음에, 도 21의 (C)에 나타내는 반도체 장치에 대하여, 설명을 행한다.
- [0263] 도 21의 (C)에 나타내는 반도체 장치는, 상부에 기억 회로로서 도 21의 (B)에 나타낸 메모리 셀(250)을 복수 포함하는 메모리 셀 어레이(251)(메모리 셀 어레이(251a) 및 메모리 셀 어레이(251b))를 포함하고, 하부에 메모리 셀 어레이(251)(메모리 셀 어레이(251a) 및 메모리 셀 어레이(251b))를 동작시키기 위하여 필요한 주변 회로(253)를 포함한다. 단, 주변 회로(253)는 메모리 셀 어레이(251)와 전기적으로 접속되어 있다.
- [0264] 도 21의 (C)에 나타낸 구성으로 함으로써, 주변 회로(253)를 메모리 셀 어레이(251)(메모리 셀 어레이(251a) 및 메모리 셀 어레이(251b))의 바로 아래에 제공할 수 있다. 따라서, 반도체 장치의 소형화를 도모할 수 있다.
- [0265] 주변 회로(253)에 제공되는 트랜지스터는 트랜지스터(262)와는 다른 반도체 재료를 이용하는 것이 보다 바람직하다. 예를 들면, 실리콘, 게르마늄, 실리콘 게르마늄, 탄화 실리콘, 또는 갈륨 비소 등을 이용할 수 있고, 단 결정 반도체를 이용하는 것이 바람직하다. 그 밖에, 유기 반도체 재료 등을 이용해도 좋다. 이러한 반도체 재료를 포함한 트랜지스터는 충분한 고속 동작이 가능하다. 따라서, 상기 트랜지스터에 의해, 고속 동작이 요구되는 각종 회로(논리 회로, 구동 회로 등)를 적합하게 실현하는 것이 가능하다.
- [0266] 단, 도 21의 (C)에 나타낸 반도체 장치에서는, 2개의 메모리 셀 어레이(251)(메모리 셀 어레이(251a)와 메모리 셀 어레이(251b))가 적층된 구성을 예시하였지만, 적층하는 메모리 셀의 수는 이것으로 한정되지 않는다. 3개 이상의 메모리 셀을 적층하는 구성으로 해도 좋다.
- [0267] 트랜지스터(262)로서 채널 형성 영역에 산화물 반도체를 포함하는 트랜지스터를 이용하는 것에 의해, 장기에 걸쳐 저장된 데이터를 유지하는 것이 가능하다. 즉, 리프레시 동작을 필요로 하지 않거나, 혹은, 리프레시 동작의 빈도가 매우 적은 반도체 기억 장치를 제공하는 것이 가능해지기 때문에, 소비 전력을 충분히 저감할 수 있다.

- [0268] 또한, 본 실시형태에 나타내는 반도체 장치로서 실시형태 1에 나타내는 산화물 적층을 포함하고, 채널 영역을 형성하는 산화물 반도체층이 산화물 적층의 표면으로부터 떨어진 반도체 장치이다. 따라서, 신뢰성이 높고, 안정된 전기 특성을 나타내는 반도체 장치를 얻을 수 있다.
- [0269] (실시형태 6)
- [0270] 본 실시형태에서는, 앞의 실시형태에 나타낸 반도체 장치를 휴대전화, 스마트 폰, 전자책 등의 전자기기에 응용한 경우의 예를 도 22, 도 23, 도 24, 및 도 25의 (A) 및 도 25의 (B)를 이용하여 설명한다.
- [0271] 도 22에 전자기기의 블럭도를 나타낸다. 도 22에 나타내는 전자기기는 RF 회로(901), 아날로그 베이스밴드 회로(902), 디지털 베이스밴드 회로(903), 배터리(904), 전원 회로(905), 애플리케이션 프로세서(906), 플래시 메모리(910), 디스플레이 컨트롤러(911), 메모리 회로(912), 디스플레이(913), 터치 센서(919), 음성 회로(917), 키보드(918) 등을 포함하고 있다. 디스플레이(913)는 표시부(914), 소스 드라이버(915), 게이트 드라이버(916)를 포함하고 있다. 애플리케이션 프로세서(906)는 CPU(907), DSP(908), 인터페이스(IF)(909)를 포함하고 있다. 일반적으로 메모리 회로(912)는 SRAM 또는 DRAM을 포함하고 있고; 이 부분에 앞의 실시형태에 설명한 반도체 장치를 채용하는 것에 의해, 고속으로 정보의 기입 및 판독을 행하고, 장기간의 기억 유지가 가능하고, 또한 소비 전력이 충분히 저감된 신뢰성이 높은 전자기기를 제공할 수 있다.
- [0272] 도 23에 디스플레이의 메모리 회로(950)에 앞의 실시형태에 설명한 반도체 장치를 사용한 예를 나타낸다. 도 23에 나타내는 메모리 회로(950)는 메모리(952), 메모리(953), 스위치(954), 스위치(955) 및 메모리 컨트롤러(951)를 포함하고 있다. 또한, 메모리 회로는 화상 데이터(입력 화상 데이터)로부터의 신호선, 메모리(952) 및 메모리(953)에 기억된 데이터(저장된 화상 데이터)를 판독, 및 제어하는 디스플레이 컨트롤러(956)와, 디스플레이 컨트롤러(956)로부터의 신호에 의해 표시하는 디스플레이(957)가 접속되어 있다.
- [0273] 우선, 어느 화상 데이터가 애플리케이션 프로세서(도시하지 않음)에 의해, 형성된다(입력 화상 데이터 A). 입력 화상 데이터 A는 스위치(954)를 통하여 메모리(952)에 유지된다. 그리고 메모리(952)에 유지된 화상 데이터(저장된 화상 데이터 A)는 스위치(955), 및 디스플레이 컨트롤러(956)를 통하여 디스플레이(957)에 보내져 표시된다.
- [0274] 입력 화상 데이터 A에 변경이 없는 경우, 저장된 화상 데이터 A는 통상 30~60 Hz 정도의 주기로 메모리(952)로부터 스위치(955)를 통하여, 디스플레이 컨트롤러(956)로부터 판독된다.
- [0275] 다음에, 예를 들면 사용자가 화면을 재기입하는 조작을 했을 때(즉, 입력 화상 데이터 A에 변경이 있는 경우), 애플리케이션 프로세서에 의해 새로운 화상 데이터(입력 화상 데이터 B)를 형성한다. 입력 화상 데이터 B는 스위치(954)를 통하여 메모리(953)에 유지된다. 이 동안도 정기적으로 메모리(952)로부터 스위치(955)를 통하여 저장된 화상 데이터 A가 판독된다. 메모리(953)에 새로운 화상 데이터(저장된 화상 데이터 B)가 다 기억되면, 디스플레이(957)의 다음의 프레임으로부터 저장된 화상 데이터 B가 판독되어, 스위치(955), 및 디스플레이 컨트롤러(956)를 통하여, 디스플레이(957)에 기억 화상 데이터 B가 보내져 표시가 행해진다. 이 판독은 다음에 새로운 화상 데이터가 메모리(952)에 더 유지될 때까지 계속된다.
- [0276] 이와 같이 메모리(952) 및 메모리(953)는 번갈아 화상 데이터의 기입과 화상 데이터의 판독을 행함으로써, 디스플레이(957)의 표시를 행한다. 단, 메모리(952) 및 메모리(953)는 각각 다른 메모리로 한정되는 것은 아니고, 하나의 메모리를 분할하여 사용해도 좋다. 앞의 실시형태에 설명한 반도체 장치를 메모리(952) 및 메모리(953)에 채용하는 것에 의해, 고속으로 정보의 기입 및 판독을 행하고, 장기간의 기억 유지가 가능하고, 또한 소비 전력이 충분히 저감할 수 있다. 또한, 외부로부터의 물, 수분 등의 침입의 영향을 받기 어려운 신뢰성이 높은 반도체 장치를 제공할 수 있다.
- [0277] 도 24에 전자책의 블럭도를 나타낸다. 도 24는 배터리(1001), 전원 회로(1002), 마이크로 프로세서(1003), 플래시 메모리(1004), 음성 회로(1005), 키보드(1006), 메모리 회로(1007), 터치 패널(1008), 디스플레이(1009), 디스플레이 컨트롤러(1010) 등을 포함한다.
- [0278] 여기에서는, 도 24의 메모리 회로(1007)에 앞의 실시형태에 설명한 반도체 장치를 이용할 수 있다. 메모리 회로(1007)는 서적의 내용을 일시적으로 유지하는 기능을 가진다. 예를 들면, 사용자가 하이라이트 기능을 사용하는 경우, 메모리 회로(1007)는 사용자가 지정한 개소의 정보를 저장하고, 유지한다. 단, 하이라이트 기능은 사용자가 전자책을 읽고 있을 때, 특정의 개소에 마킹, 예를 들면, 표시의 색을 바꾸거나, 밑줄을 긋거나, 문자를 굵

게 하거나, 문자의 서체를 바꾸는 등에 의해 마킹하여 주위와의 차이를 나타내는 것이다. 단기적인 정보의 저장을 위해서, 정보는 메모리 회로(1007)에 저장된다. 장기적인 정보의 저장을 위해서, 메모리 회로(1007)에 저장된 정보는 플래시 메모리(1004)에 카피되어도 좋다. 이러한 경우에도, 앞의 실시형태에 설명한 반도체 장치를 채용하는 것에 의해, 고속으로 정보의 기입 및 판독을 행하고, 장기간의 기억 유지가 가능하고, 또한 소비 전력을 충분히 저감할 수 있다. 또한, 외부로부터 물, 수분 등의 침입의 영향을 받기 어려운 신뢰성이 높은 반도체 장치를 제공할 수 있다.

- [0279] 도 25의 (A) 및 도 25의 (B)에 전자기기의 구체적인 예를 나타낸다. 도 25의 (A) 및 도 25의 (B)는 반으로 접을 수 있는 태블릿형 단말이다. 도 25의 (A)는 펼친 상태이다. 태블릿형 단말은 하우징(9630), 표시부(9631a), 표시부(9631b), 표시 모드 전환 스위치(9034), 전원 스위치(9035), 전력 절약 모드 전환 스위치(9036), 잠금쇠(9033), 조작 스위치(9038)를 포함한다.
- [0280] 앞의 실시형태에 나타낸 반도체 장치는 표시부(9631a), 표시부(9631b)에 이용하는 것이 가능하고, 신뢰성이 높은 태블릿형 단말로 하는 것이 가능하게 된다. 또한, 앞의 실시형태에 나타내는 기억 장치를 본 실시형태의 반도체 장치에 적용해도 좋다.
- [0281] 표시부(9631a)는 일부를 터치 패널의 영역(9632a)으로 할 수 있고, 표시된 조작 키(9638)에 접촉함으로써 데이터 입력을 할 수 있다. 또한, 표시부(9631a)에서는 일례로서 절반의 영역이 표시 기능만을 가지는 구성, 다른 절반의 영역이 터치 패널 기능을 가지는 구성을 나타내고 있지만, 이 구성으로 한정되지 않는다. 예를 들면, 표시부(9631a)의 전면을 키보드 버튼 표시시켜 터치 패널로 하고, 표시부(9631b)를 표시 화면으로서 이용할 수 있다.
- [0282] 표시부(9631b)에서도 표시부(9631a)와 마찬가지로, 표시부(9631b)의 일부를 터치 패널의 영역(9632b)으로 할 수 있다. 터치 패널의 키보드 표시 전환 버튼(9639)이 표시되어 있는 위치에 손가락이나 스타일러스 등으로 터치함으로써 표시부(9631b)에 키보드 버튼 표시할 수 있다.
- [0283] 터치 패널의 영역(9632a)과 터치 패널의 영역(9632b)에 대하여 동시에 터치 입력할 수도 있다.
- [0284] 표시 모드 전환 스위치(9034)는 표시 방향을 전환할 수 있고(예를 들면, 풍경 모드와 초상화 모드 간), 표시 모드를 선택할 수 있다(흑백 표시나 컬러 표시의 전환). 전력 절약 모드 전환 스위치(9036)는 태블릿형 단말에 내장되어 있는 광 센서로 검출되는 사용 시의 외광의 광량에 따라 표시의 휘도를 최적의 것으로 할 수 있다. 태블릿형 단말은 광 센서뿐만 아니라, 자이로스코프, 가속도 센서 등의 기울기를 검출하는 센서 등의 다른 검출 장치를 내장시켜도 좋다.
- [0285] 단, 도 25의 (A)에서는 표시부(9631b)와 표시부(9631a)의 표시 면적이 같은 예를 나타내고 있지만; 특별히 한정되지 않고, 한쪽의 사이즈와 다른 한쪽의 사이즈가 상이하여도 좋고, 표시의 품질이 상이하여도 좋다. 예를 들면 한쪽이 다른 한쪽보다 고정밀 표시를 할 수 있는 표시 패널로 해도 좋다.
- [0286] 도 25의 (B)에서 태블릿형 단말은 닫은 상태이다. 태블릿형 단말은 하우징(9630), 태양 전지(9633), 충방전 제어 회로(9634), 배터리(9635), DCDC 컨버터(9636)를 포함한다. 단, 도 12의 (B)에서는 충방전 제어 회로(9634)의 일례로서 배터리(9635), DCDC 컨버터(9636)를 포함하는 구성에 대하여 나타낸다.
- [0287] 태블릿형 단말은 반으로 접을 수 있기 때문에, 미사용 시에 하우징(9630)을 닫은 상태로 할 수 있다. 따라서, 표시부(9631a), 표시부(9631b)를 보호할 수 있기 때문에, 내구성이 우수하고, 장기 사용의 관점에서 신뢰성이 뛰어난 태블릿형 단말을 제공할 수 있다.
- [0288] 또한, 이 외에도 도 25의 (A) 및 도 25의 (B)에 나타낸 태블릿형 단말은 다양한 정보(정지 화상, 동영상, 텍스트 화상 등)를 표시하는 기능, 캘린더, 날짜 또는 시각 등을 표시부에 표시하는 기능, 표시부에 표시한 정보를 터치 입력 조작 또는 편집하는 터치 입력 기능, 다양한 소프트웨어(프로그램)에 의해 처리를 제어하는 기능, 등을 가질 수 있다.
- [0289] 본 실시형태에 나타내는 구성, 방법 등은 다른 실시형태에 나타내는 구성, 방법 등과 적절히 조합하여 이용할 수 있다.
- [0290] [실시예 1]
- [0291] 본 실시예에서는, 산화물 반도체막 위에 도전막을 형성하고, SIMS 분석에 의해, 적층된 막 사이의 원소의 이동

에 대하여 조사한 결과에 대하여 설명한다.

- [0292] 도 11의 (A) 및 도 11의 (B)는 스퍼터링법을 이용하여 IGZO막 및 텅스텐막의 적층 샘플을 제작하고, 산소 동위원소(¹⁸O)의 깊이 방향의 프로파일을 열 처리 전후로 SIMS 분석한 결과이다. 단, IGZO막은 In : Ga : Zn = 1 : 1 : 1 또는 1 : 3 : 2(원자수비)를 스퍼터링 타겟으로 하고, Ar : O₂(¹⁸O) = 2 : 1(유량비)을 성막 가스로서 이용하여 DC 스퍼터링법으로 형성하였다. 텅스텐막은 금속 텅스텐을 스퍼터링 타겟으로 하고, Ar 100%를 성막 가스로 하여 DC 스퍼터링법을 이용하여 형성했다. 단, 열 처리는 300℃, 350℃, 400℃, 450℃에서 각 1시간 동안 행하고, 열 처리를 행하지 않은 샘플을 포함하여 각 5 샘플로 비교를 행하였다.
- [0293] 여기서, In : Ga : Zn = 1 : 1 : 1(원자수비)을 스퍼터링 타겟으로서 형성한 IGZO막은 CAAC-OS막이며, In : Ga : Zn = 1 : 3 : 2(원자수비)를 스퍼터링 타겟으로서 형성한 IGZO막은 비정질의 IGZO막이다.
- [0294] 도 11의 (A) 및 도 11의 (B)에 도시한 바와 같이, 산화물 반도체막의 조성(결정성)에 상관없이, 열 처리 온도가 높아지면, 산화물 반도체막 내의 산소가 텅스텐막층에 들어가는 것을 알 수 있다.
- [0295] 트랜지스터의 제작 공정에는 몇 개의 가열 공정이 있기 때문에, 상기 현상에 의해, 산화물 반도체층의 소스 전극 및 드레인 전극과 접촉한 근방의 영역에 산소 결손이 발생하여, 상기 영역은 n형화한다. 따라서, n형화한 상기 영역은 트랜지스터의 소스 또는 드레인으로서 기능시킬 수 있다.
- [0296] 도 12의 (A) 및 도 12의 (B)는 상기 텅스텐막 대신에, 질화 탄탈막을 이용하여 제작한 샘플에 대하여 SIMS 분석한 결과이다. 질화 탄탈막은 금속 탄탈을 스퍼터링 타겟으로 하고, Ar : N₂ = 5 : 1(유량비)을 성막 가스로서 반응성 스퍼터링법(DC 스퍼터링법)으로 형성했다. 단, 열 처리로서 상기와 같은 각 4 조건에서 행하여, 열 처리를 행하지 않은 샘플을 포함하여 각 5 샘플로 비교하였다.
- [0297] 도 12의 (A)는 In : Ga : Zn = 1 : 1 : 1의 IGZO막과 질화 탄탈막의 적층 샘플에서의 SIMS 분석 결과이다. 어느 샘플도 질화 탄탈막 내로의 산소의 이동(산소가 들어가는 것)은 확인되지 않고, 도 11의 (A)에 나타난 텅스텐막과는 다른 거동을 나타냈다. 도 12의 (B)는 In : Ga : Zn = 1 : 3 : 2의 IGZO막과 질화 탄탈막의 적층 샘플에서의 SIMS 분석 결과이다. 어느 샘플도 질화 탄탈막 내로의 산소의 이동(산소가 들어가는 것)은 확인되지 않고, 도 11의 (B)에 나타난 텅스텐막과는 다른 거동을 나타냈다. 따라서, 질화 탄탈막은 산소와 결합하기 어려운 막, 또는 산소가 들어가기 어려운 막이라고 할 수 있다.
- [0298] 도 13의 (A) 및 도 13의 (B)는 상기 텅스텐막 대신에, 질화 티탄막을 이용하여 제작한 샘플에 대하여 SIMS 분석한 결과이다. 질화 티탄막은 금속 티탄을 스퍼터링 타겟으로 하고, N₂ 100%를 성막 가스로 하여 반응성 스퍼터링법(DC 스퍼터링법)으로 형성했다. 단, 열 처리로서 상기와 같은 각 4 조건에서 행하여, 열 처리를 하지 않은 샘플을 포함하여 각 5 샘플로 비교하였다.
- [0299] 도 13의 (A)는 In : Ga : Zn = 1 : 1 : 1의 IGZO막과 질화 티탄막의 적층 샘플에서의 SIMS 분석 결과이다. 어느 샘플도 질화 티탄막 내로의 산소의 이동(산소가 들어가는 것)은 확인되지 않고, 도 11의 (A)에 나타난 텅스텐막과는 다른 거동을 나타냈다. 도 13의 (B)는 In : Ga : Zn = 1 : 3 : 2의 IGZO막과 질화 티탄막의 적층 샘플에서의 SIMS 분석 결과이다. 어느 샘플도 질화 티탄막 내로의 산소의 이동(산소가 들어가는 것)은 확인되지 않고, 도 11의 (B)에 나타난 텅스텐막과는 다른 거동을 나타냈다. 따라서, 질화 티탄막은 산소와 결합하기 어려운 막, 또는 산소가 들어가기 어려운 막이라고 할 수 있다.
- [0300] 계속하여, IGZO막 내로의 불순물의 이동에 대하여 SIMS 분석에 의해 조사한 결과에 대하여 설명한다.
- [0301] 도 14의 (A) 및 도 14의 (B)는 스퍼터링법으로 IGZO막 위에 질화 탄탈 또는 질화 티탄막을 형성하고, 질소의 깊이 방향의 프로파일을 열 처리 전후로 SIMS 분석한 결과이다. 단, IGZO막은 In : Ga : Zn = 1 : 1 : 1(원자수비)을 스퍼터링 타겟으로 형성하고, Ar : O₂ = 2 : 1(유량비)을 성막 가스로서 이용하여 DC 스퍼터링법으로 형성했다. 질화 탄탈막 및 질화 티탄막은 상술한 제작 방법으로 형성했다. 단, 열 처리는 400℃, 1시간의 조건에서 행하고, 열 처리를 하지 않은 샘플을 포함하여 각 2 샘플로 비교하였다.
- [0302] 도 14의 (A) 및 도 14의 (B)에 도시한 바와 같이, 어느 샘플도 IGZO막 내로의 질소의 이동은 확인되지 않는 것을 알 수 있었다. 따라서, IGZO막 내에서 도너가 되는 질소는 질화 탄탈 및 질화 티탄막으로부터 IGZO막 내에 넓게 이동하는 일이 없기 때문에; 트랜지스터의 채널 형성 영역을 n형화시키지 않는 것을 알 수 있었다.
- [0303] 도 15의 (A) 및 도 15의 (B)는 도 14의 (A) 및 도 14의 (B)에 예시한 같은 샘플에 대하여, Ta 또는 Ti의 깊이

방향의 프로파일을 SIMS 분석한 결과이다. 도 15의 (A) 및 도 15의 (B)에 도시한 바와 같이, IGZO막 내로의 Ta 또는 Ti의 이동이 확인되지 않는 것을 알 수 있었다. 따라서, 트랜지스터의 전기 특성에 영향을 주는 불순물 Ti 및 Ta는 질화 탄탈막 또는 질화 티탄막으로부터 IGZO막 내로 넓게 이동하는 일이 없는 것을 알 수 있었다.

[0304] 이상에 의해, 질화 탄탈, 질화 티탄 등의 도전성 질화물은 산소와 결합하기 어려운 막 또는 산소가 들어가기 어려운 막이며, 상기 도전성 질화막 내의 질소 및 금속 원소는 산화물 반도체막 내로 이동하기 어렵다는 것이 나타났다.

[0305] 단, 본 실시예는 본 명세서 내에 기재하는 다른 실시형태와 적절히 조합하여 실시할 수 있다.

[0306] [실시예 2]

[0307] 본 실시예에서는, 산화물 반도체막 위에 도전막을 형성한 후에 도전막을 제거하고, 산화물 반도체막의 시트 저항값을 측정된 결과에 대하여 설명한다.

[0308] 도 16은, IGZO막을 에칭한 깊이에 대해 다음과 같이 제작된 각 샘플의 시트 저항값을 측정된 결과이다: 샘플은 스퍼터링법을 이용하여 IGZO막을 형성하고, IGZO막에 적층하여 스퍼터링법에 의해 텅스텐막 또는 질화 티탄막을 형성하고, 그 후 텅스텐막 또는 질화 티탄막을 제거하여 형성한다. 비교로서 IGZO막 위에 도전막을 형성하지 않은 샘플도 제작했다. 단, IGZO막은 In:Ga:Zn = 1:1:1(원자수비)을 스퍼터링 타겟으로 하고, Ar:O₂(¹⁸O) = 2:1(유량비)을 성막 가스로서 이용하여 DC 스퍼터링법으로 형성했다. 텅스텐막은 금속 텅스텐을 스퍼터링 타겟으로 하고, Ar 100%를 성막 가스로서 하여 DC 스퍼터링법을 이용하여 형성했다. 질화 티탄막은 금속 티탄을 스퍼터링 타겟으로 하고, N₂ 100%를 성막 가스로서 반응성 스퍼터링법(DC 스퍼터링법)으로 형성했다. 텅스텐막 및 질화 티탄막의 에칭에는 과산화 수소수를 이용했다. IGZO막의 에칭에는 과산화 수소수와 암모니아의 혼합 수용액을 이용했다. 에칭 후에 IGZO막의 잔막의 두께는, IGZO막이 에칭된 깊이를 얻기 위해, 에칭의 전후에서의 분광 타원 해석기를 이용하여 측정했다.

[0309] 도 16에 도시한 바와 같이, IGZO막 위에 텅스텐막을 형성한 샘플에서는 IGZO막의 표면으로부터 약 5 nm의 깊이 까지 저저항화하고 있는 것을 확인할 수 있었다. 이것은 IGZO막의 표면 근방에 저저항인 IGZO와 텅스텐의 혼합층이 형성되어 있는 것, 또는 IGZO막 내의 산소가 텅스텐막 내에 들어감으로써, IGZO막의 표면 근방의 산소 결손에 의한 n형화한 영역이 형성되고 있는 것 등을 시사하고 있다.

[0310] 한편, IGZO막 위에 질화 티탄을 형성한 샘플, 및 도전막을 형성하고 있지 않은 샘플에서는 IGZO막의 저저항화는 확인할 수 없었다. 이것은 질화 티탄을 구성하는 원소가 IGZO막 내에 들어가기 어려운 것, 또는, IGZO막 내의 산소는 질화 티탄막에 들어가기 어려운 것 등을 시사하고 있다.

[0311] 도 17의 (A)는, IGZO막을 에칭한 깊이에 대해 다음과 같이 제작된 각 샘플의 시트 저항값을 측정된 결과이다: 샘플은 스퍼터링법을 이용하여 IGZO막을 형성하고, IGZO막에 적층하여 스퍼터링법에 의해 텅스텐막 또는 질화 티탄막을 형성하고, 열처리를 행하고, 그 후 텅스텐막 또는 질화 티탄막을 제거하여 형성한다. 비교로서 IGZO막 위에 도전막을 형성하지 않은 샘플도 제작했다. 단, IGZO막, 텅스텐막, 질화 티탄막의 형성 및 제거는 상술한 것과 마찬가지로 행하였다. 가열 처리는 N₂ 분위기 하에서 400℃, 1h의 조건에서 행하였다.

[0312] 도 17의 (A)에 도시한 바와 같이, 어느 샘플에서도, IGZO막의 저저항화가 확인되었다. 여기서, IGZO막 위에 텅스텐막을 형성한 샘플이 표면 근방에서 가장 저저항화되고, 또한, 가장 깊게까지 저저항화되고 있는 것을 확인할 수 있었다. 이것은 텅스텐막에 IGZO막 내의 산소가 가장 들어가기 쉽다는 것을 나타낸다. 또한, IGZO막 위에 질화 티탄을 형성한 샘플에서는, IGZO막 위에 도전막을 형성하지 않는 샘플과 같은 거동을 나타낸다. 즉, IGZO막 위에 텅스텐막이 형성된 샘플에서는 텅스텐막에 IGZO막 내의 산소가 들어감으로써 IGZO막의 저저항화가 생기는 것에 비해, IGZO막 위에 질화 티탄막을 형성한 샘플에서는 IGZO막으로부터 방출되는 산소는 질화 티탄막을 투과하여 상방으로 방출되는 것을 시사하고 있다. 이 결과는, 실시예 1에 나타난 SIMS 분석의 결과와 잘 일치하고 있다.

[0313] 도 17의 (B)는, IGZO막을 에칭한 깊이에 대해 다음과 같이 제작된 각 샘플의 시트 저항값을 측정된 결과이다: 샘플은 스퍼터링법을 이용하여 산화 실리콘막을 형성하고, 스퍼터링법을 이용하여 산화 실리콘막 위에 IGZO막을 형성하고, IGZO막에 적층하여 스퍼터링법에 의해 텅스텐막 또는 질화 티탄막을 형성하고, 열처리를 행하고, 그 후 텅스텐막 또는 질화 티탄막을 제거하여 형성한다. 비교로서 IGZO막 위에 도전막을 형성하지 않은 샘플도 제

작했다. 산화 실리콘막은 실리콘을 스퍼터링 타겟으로 하여, O₂ 100%를 성막 가스로서 반응성 스퍼터링법(DC 스퍼터링법)으로 형성했다. 단, IGZO막, 텅스텐막, 질화 티탄막의 형성 및 제거는 상술한 것과 마찬가지로 행하였다. 가열 처리는 N₂ 분위기 하에서 400℃, 1h의 조건에서 행하였다.

[0314] 도 17의 (B)에서는, 도 17의 (A)에 나타난 결과와 비교하여, IGZO막이 저저항화되는 영역이 두께 방향으로 얇아지고 있는 것을 확인할 수 있었다. 이것은 열 처리에 의해 산화 실리콘막으로부터 IGZO막에 산소가 공급됨으로써, IGZO막 내의 산소 결손이 저감되어; IGZO막이 고저항화된 것을 나타낸다. 이와 같이, IGZO막보다 하층에 산소 방출 가능한 막을 이용함으로써, IGZO막이 저저항화되는 영역의 두께를 제어할 수 있는 것을 알 수 있었다.

[0315] 이상에 의해, 다음과 같은 것을 알 수 있었다. 텅스텐막 등의 산소가 들어가기 쉬운 도전막을 IGZO막과 접촉하여 형성함으로써, IGZO막이 이 도전막과 접촉하는 근방의 영역을 저저항화시킬 수 있는 것을 확인할 수 있었다. 또한, 열 처리를 함으로써, IGZO막 내의 저저항화하는 영역을 깊이 방향으로 확대시킬 수 있는 것을 확인할 수 있었다. 또한, IGZO막의 근방에 산소 방출 가능한 막을 형성함으로써, 저저항화하는 영역의 두께를 제어할 수 있는 것을 알 수 있었다.

[0316] 단, 본 실시예는 본 명세서 내에 기재하는 다른 실시형태와 적절히 조합하여 실시할 수 있다.

[0317] [실시예 3]

[0318] 본 실시예에서는 산화물 반도체막에 이온 주입법(ion implantation method)에 의해 산소를 첨가한 샘플을 제작한다. 그 TDS(Thermal Desorption Spectroscopy) 분석, 및 막 밀도를 평가한 결과에 대하여 설명한다.

[0319] 우선, 제작한 샘플에 대하여 설명한다. HCl 분위기 하에서 열산화 처리를 한 실리콘 웨이퍼 위에 플라즈마 CVD법에 의해 산화 질화 실리콘막을 형성한다. 다음에 산화 질화 실리콘막의 표면을 CMP법에 의해 평탄화 처리를 행하였다. 그 후, 산화 질화 실리콘막 위에 IGZO막을 형성하고, IGZO막에 대하여 이온 주입법에 의해 산소 이온(O⁺)을 첨가했다. 여기서, IGZO막은 In : Ga : Zn = 1 : 3 : 2(원자수비)를 스퍼터링 타겟으로 하고, Ar : O₂ = 2 : 1(유량비)을 성막 가스로서 이용하여 DC 스퍼터링법으로 형성했다. 산소 이온은 다음의 조건 하에서 첨가되었다: 가속 전압 5 kV, 도즈량 1.0×10¹⁶ ions/cm²의 조건에서 첨가되었다. 또한, 비교로서 산소 이온을 첨가하지 않은 샘플도 제작했다.

[0320] 도 18의 (A)는 산소 이온을 첨가하지 않은 샘플에서의, 질량수 32의 기체의 방출량을 측정한 TDS 분석 결과이다. 약 50℃로부터 약 550℃까지의 범위에서 질량수 32의 기체의 방출 피크는 확인되지 않았다. 도 18의 (B)는 산소 이온을 첨가한 샘플에서 질량수 32의 기체의 방출량을 측정한 TDS 분석 결과이다. 약 400℃ 내지 약 500℃ 부근에서 현저한 방출 피크가 확인되었다. 이것으로부터, 산화물 반도체막에 산소 이온을 첨가함으로써, 산화물 반도체막 내에 과잉의 산소를 머물게 할 수 있는 것, 또한, 산소 이온이 첨가된 산화물 반도체막을 가열함으로써, 산화물 반도체막 내로부터 과잉의 산소가 방출되는 것을 알 수 있었다. 따라서, 트랜지스터의 채널을 형성하는 산화물 반도체층에 접촉하여, 이러한 산소가 첨가된 산화물 반도체막을 형성함으로써, 이것들에 가열 처리를 함으로써, 산소가 첨가된 산화물 반도체막으로부터 채널을 형성하는 산화물 반도체층에 효과적으로 산소를 공급할 수 있다.

[0321] 산소 이온을 첨가하지 않은 샘플과 산소 이온의 첨가를 실시한 샘플에 대하여, 산화물 반도체막의 막 밀도를 X선 반사율 측정법(XRR : X-Ray Reflectivity)을 이용하여 평가했다.

[0322] 먼저, 제작한 샘플에 대하여 설명한다. HCl 분위기 하에서 열산화 처리를 행한 실리콘 웨이퍼 위에 플라즈마 CVD법에 의해 산화 질화 실리콘막을 형성하고, 이 산화 질화 실리콘막에 대하여 이온 주입법에 의해 산소 이온(O⁺)을 첨가하고, 다음에 산화 질화 실리콘막의 표면을 CMP법에 의해 평탄화 처리를 행하였다. 그 후, 산화 질화 실리콘막 위에 IGZO막을 형성하고, IGZO막에 대하여 이온 주입법에 의해 산소 이온(O⁺)을 첨가했다. 여기서, IGZO막의 형성, 및 IGZO막에 대한 산소 이온의 첨가는 상술한 것과 같은 조건에서 행하였다. 산화 질화 실리콘막에의 산소 이온은 다음의 조건 하에서 첨가되었다: 가속 전압 60 kV, 도즈량 2.0×10¹⁶ ions/cm²의 조건에서 첨가되었다. 비교로서 산소 이온을 첨가하지 않은 샘플도 제작했다.

- [0323] XRR에 의해 막 밀도를 측정된 결과, 산소 이온을 첨가하지 않은 샘플에서는 막 밀도의 값이 5.8 g/cm^3 이며, 산소 이온을 첨가한 샘플에서는, 막 밀도의 값이 5.6 g/cm^3 였다. 따라서, 산소 이온의 첨가에 의해 산화물 반도체막의 막 밀도가 저하되는 것을 알 수 있었다. 이것으로부터, 산소 이온의 첨가에 의해 산화물 반도체막은 보다 무질서한 원자 배치가 되는, 즉 현저한 비정질막에 개질하는 것이 가능하다는 것이 시사된다. 예를 들면, 산화물 반도체막 위에 결정성을 가지는 산화물 반도체막을 적층하여 이용하는 경우, 하층에 다른 결정 구조를 나타내는 결정성의 산화물 반도체막을 이용하면, 상층에 형성한 산화물 반도체막의 결정성이 저하되는 경우가 있다. 이러한 경우에도, 상층의 산화물 반도체막의 형성 전에, 하층의 산화물 반도체막에 산소 이온을 첨가하여 비정질화시킴으로써, 결정성이 향상된 산화물 반도체막을 상층에 형성할 수 있다.
- [0324] 단, 본 실시예는, 본 명세서 내에 기재하는 다른 실시형태와 적절히 조합하여 실시할 수 있다.

부호의 설명

- [0325] 200 : 영역
- 250 : 메모리 셀
- 251 : 메모리 셀 어레이
- 251a : 메모리 셀 어레이
- 251b : 메모리 셀 어레이
- 253 : 주변 회로
- 254 : 용량 소자
- 260 : 트랜지스터
- 262 : 트랜지스터
- 264 : 용량 소자
- 302 : 산소
- 310 : 트랜지스터
- 320 : 트랜지스터
- 330 : 트랜지스터
- 340 : 트랜지스터
- 350 : 트랜지스터
- 400 : 기관
- 402 : 하지 절연층
- 404 : 산화물 적층
- 404a : 제 1 산화물층
- 404b : 산화물 반도체층
- 404c : 제 2 산화물층
- 405 : 영역
- 406a : 제 1 소스 전극층
- 406b : 제 1 드레인 전극층
- 407 : 산화물 적층

407a : 제 1 산화물층
407b : 산화물 반도체층
407c : 제 2 산화물층
408a : 제 2 소스 전극층
408b : 제 2 드레인 전극층
410 : 게이트 절연층
412 : 게이트 전극층
412a : 게이트 전극층
412b : 게이트 전극층
414 : 보호 절연층
422a : 전극층
422b : 전극층
424 : 층간 절연층
801 : 트랜지스터
802 : 트랜지스터
803 : 트랜지스터
804 : 트랜지스터
811 : 트랜지스터
812 : 트랜지스터
813 : 트랜지스터
814 : 트랜지스터
901 : RF 회로
902 : 아날로그 베이스밴드 회로
903 : 디지털 베이스밴드 회로
904 : 배터리
905 : 전원 회로
906 : 애플리케이션 프로세서
907 : CPU
908 : DSP
910 : 플래시 메모리
911 : 디스플레이 컨트롤러
912 : 메모리 회로
913 : 디스플레이
914 : 표시부
915 : 소스 드라이버
916 : 게이트 드라이버

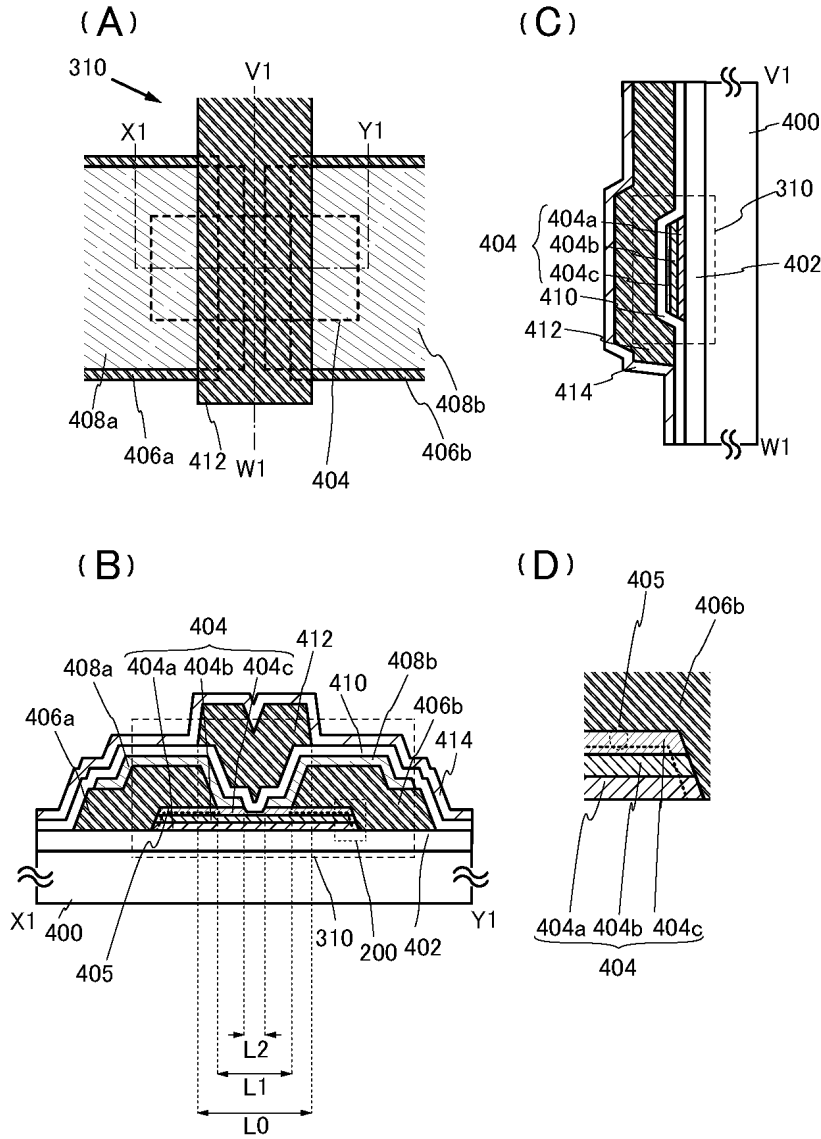
- 917 : 음성 회로
- 918 : 키보드
- 919 : 터치 센서
- 950 : 메모리 회로
- 951 : 메모리 컨트롤러
- 952 : 메모리
- 953 : 메모리
- 954 : 스위치
- 955 : 스위치
- 956 : 디스플레이 컨트롤러
- 957 : 디스플레이
- 1001 : 배터리
- 1002 : 전원 회로
- 1003 : 마이크로 프로세서
- 1004 : 플래시 메모리
- 1005 : 음성 회로
- 1006 : 키보드
- 1007 : 메모리 회로
- 1008 : 터치 패널
- 1009 : 디스플레이
- 1010 : 디스플레이 컨트롤러
- 9033 : 잠금쇠
- 9034 : 스위치
- 9035 : 전원 스위치
- 9036 : 스위치
- 9038 : 조작 스위치
- 9630 : 하우징
- 9631a : 표시부
- 9631b : 표시부
- 9632a : 영역
- 9632b : 영역
- 9633 : 태양 전지
- 9634 : 충전전 제어 회로
- 9635 : 배터리
- 9636 : DCDC 컨버터
- 9638 : 조작 키

9639 : 버튼

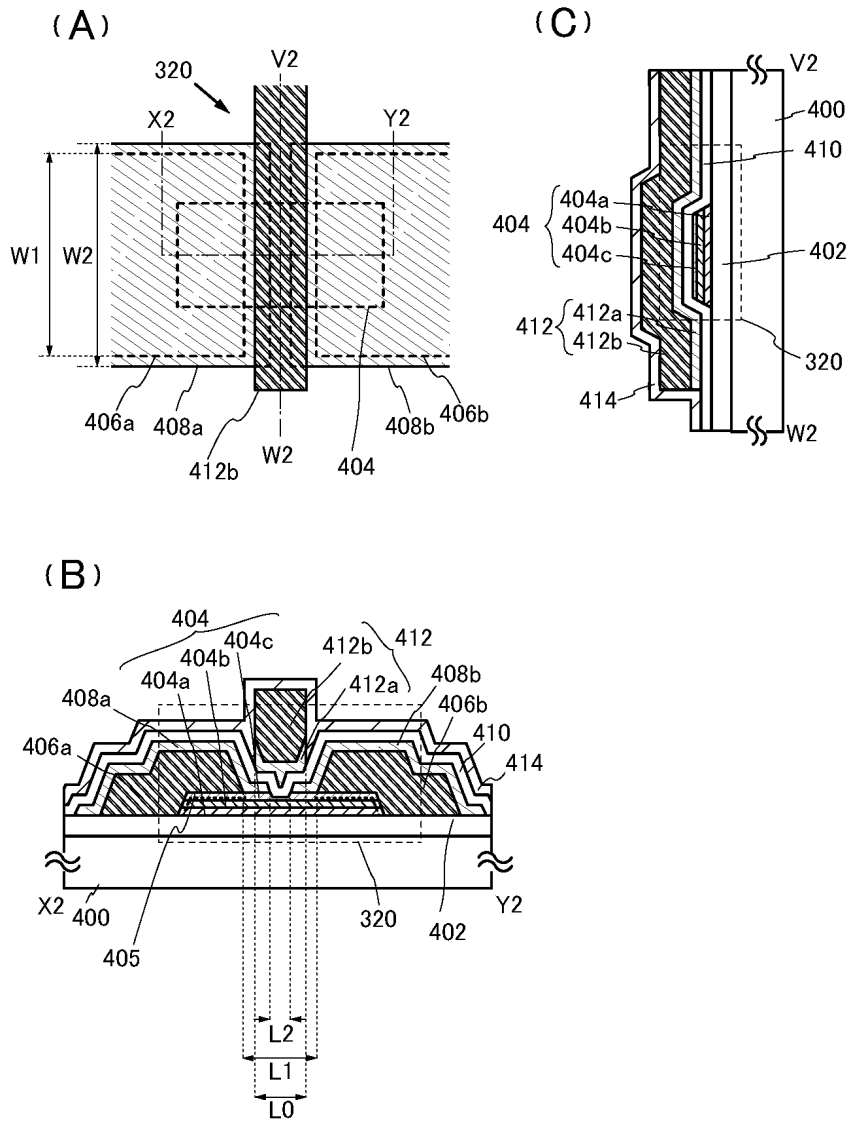
본 출원은 2012년 10월 17일에 일본 특허청에 출원된 일련 번호가 2012-230365인 일본 특허 출원에 기초하고, 본 명세서에 그 전문이 참조로 통합된다.

도면

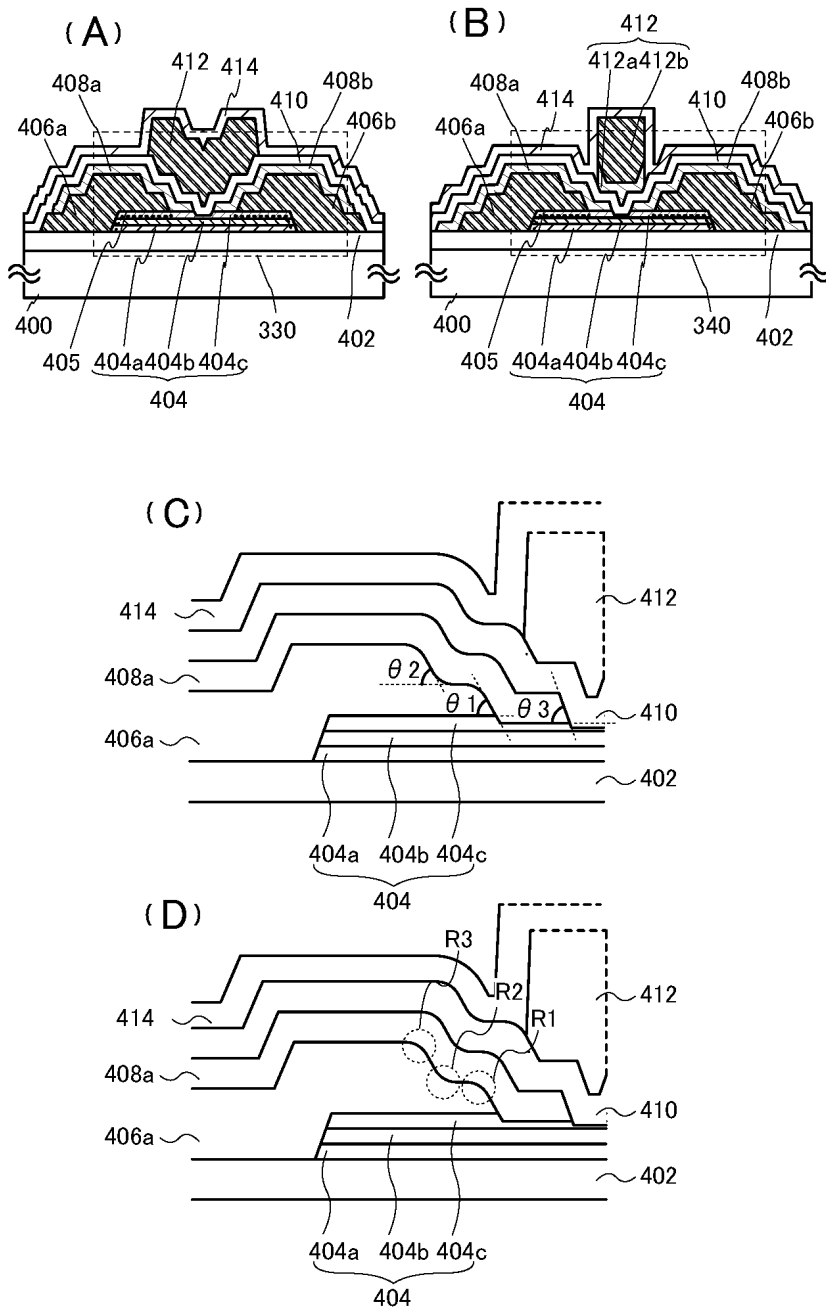
도면1



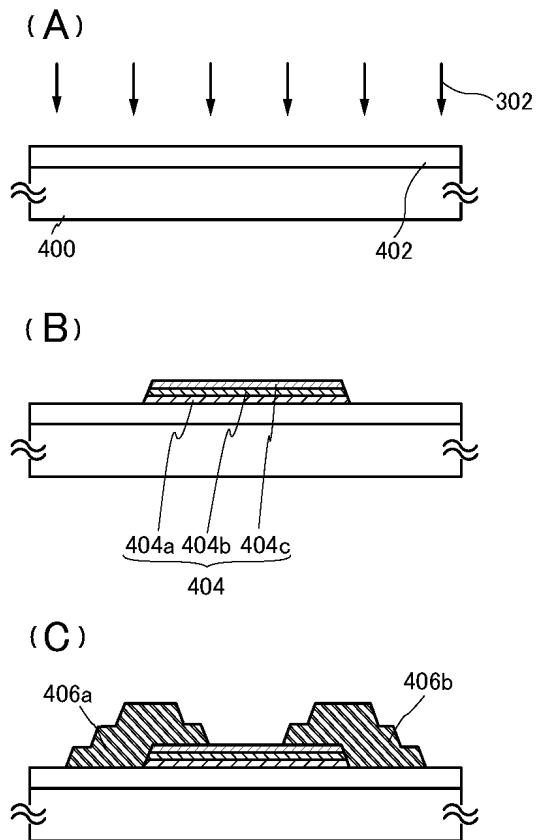
도면2



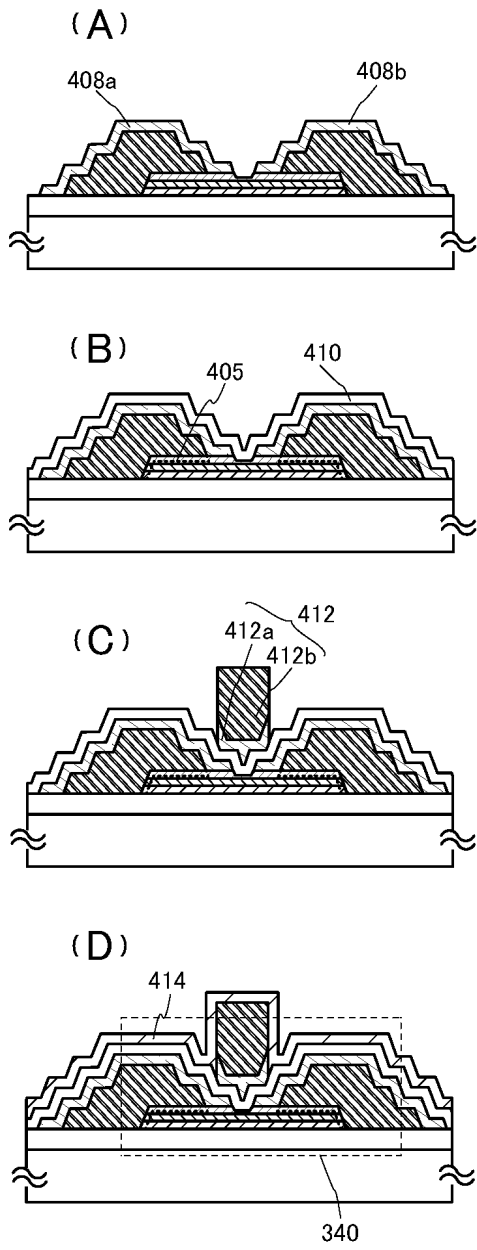
도면3



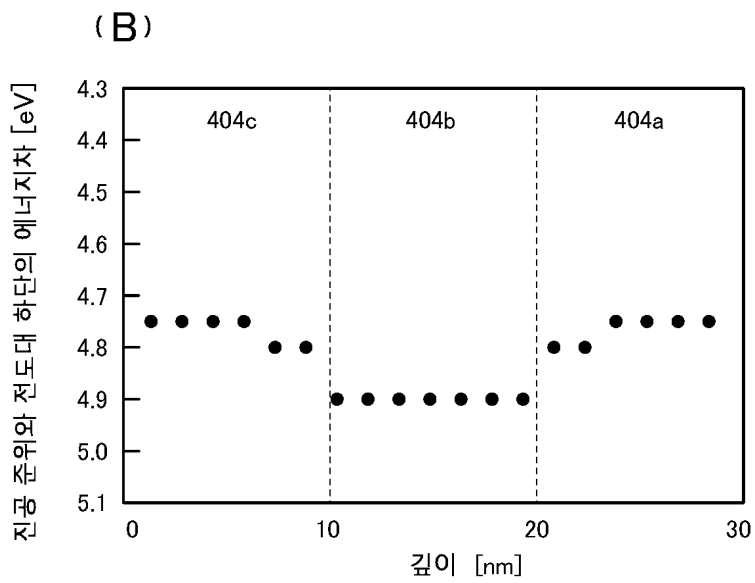
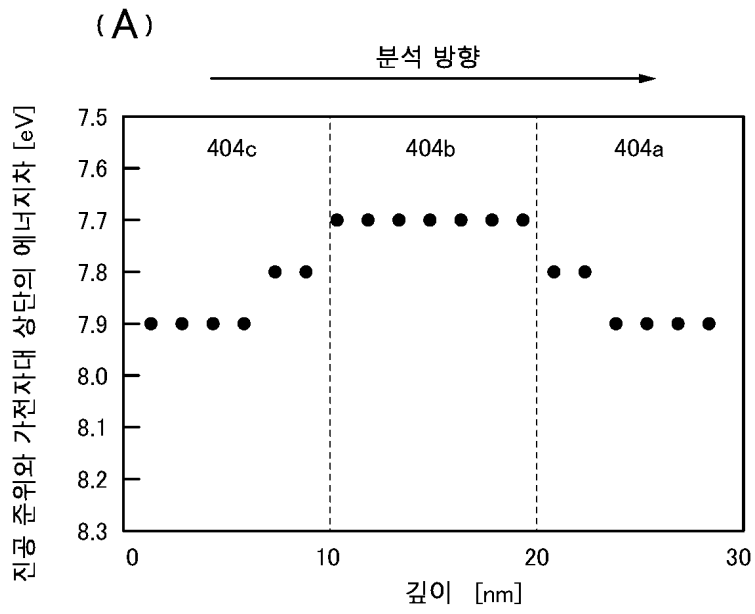
도면4



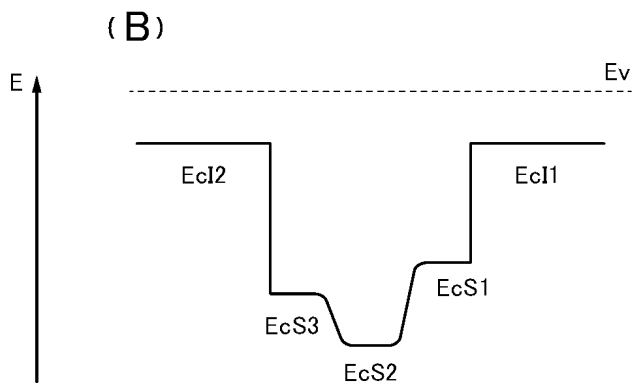
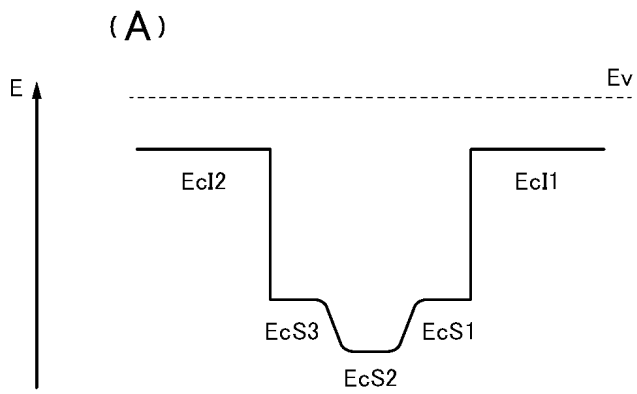
도면5



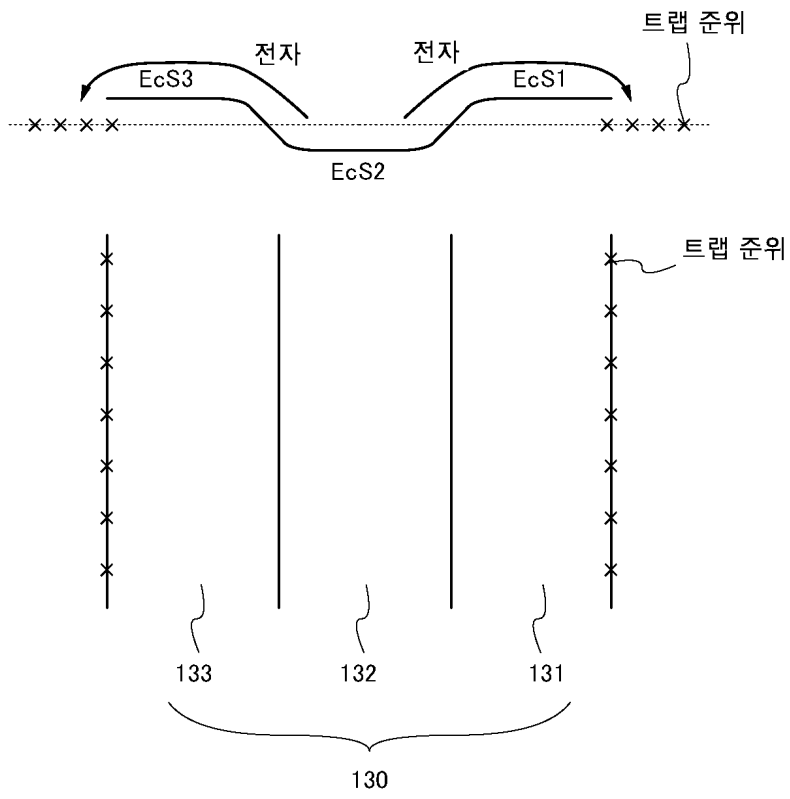
도면6



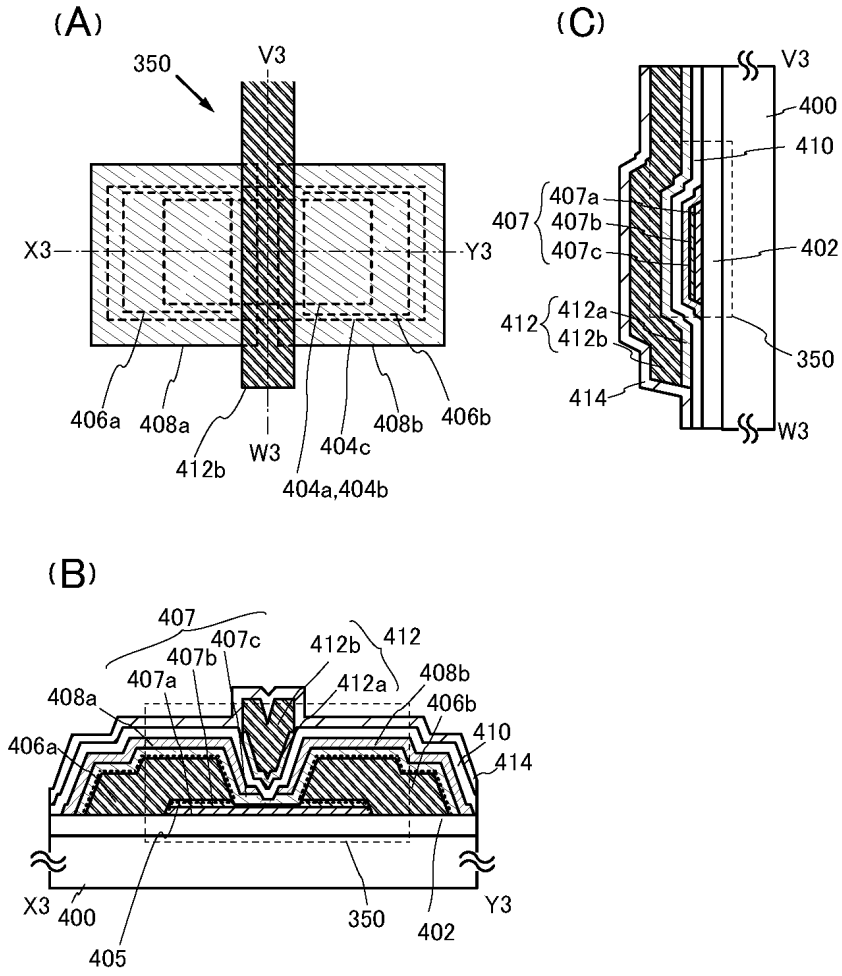
도면7



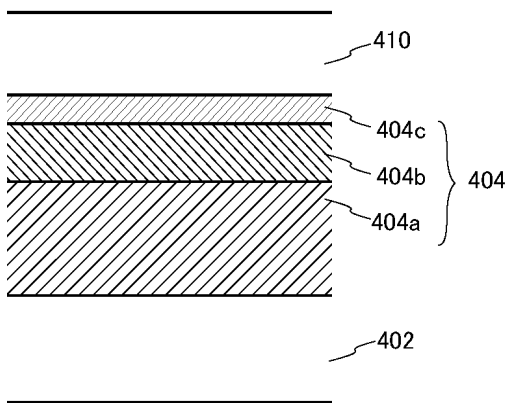
도면8



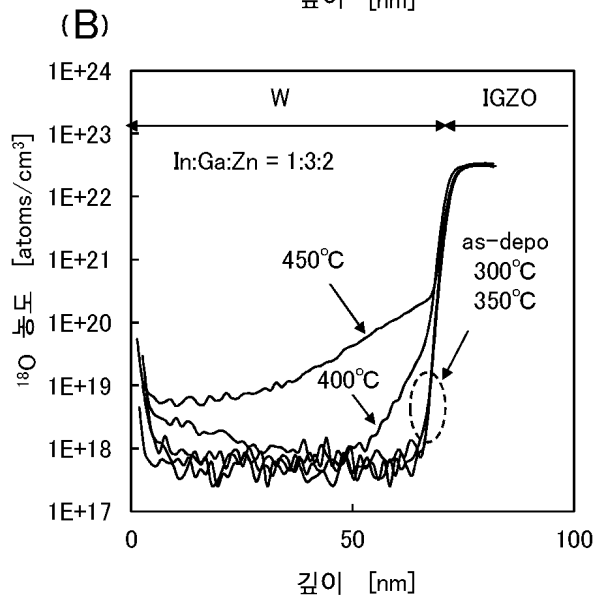
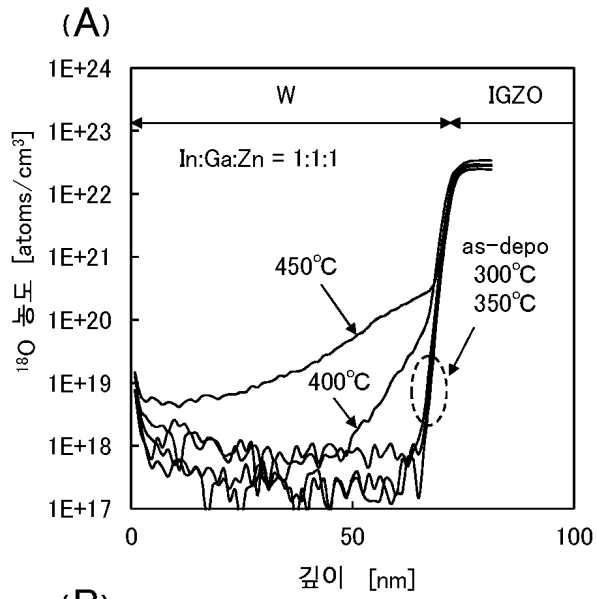
도면9



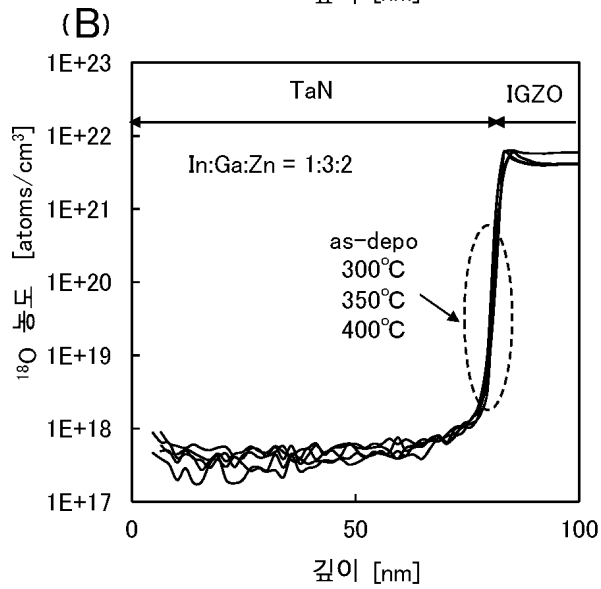
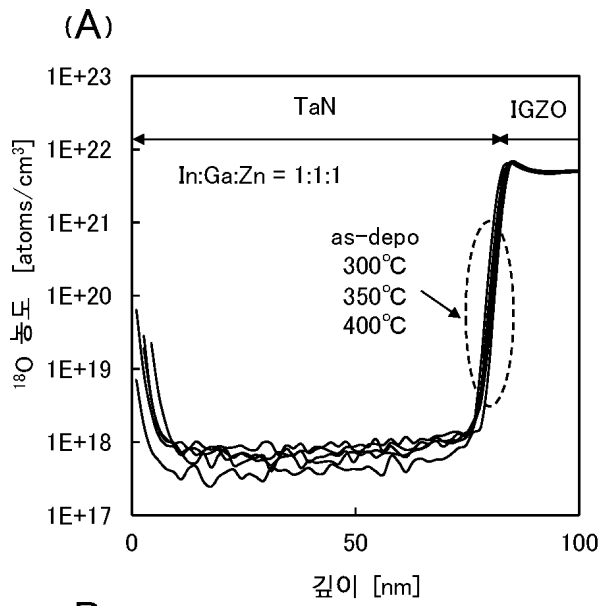
도면10



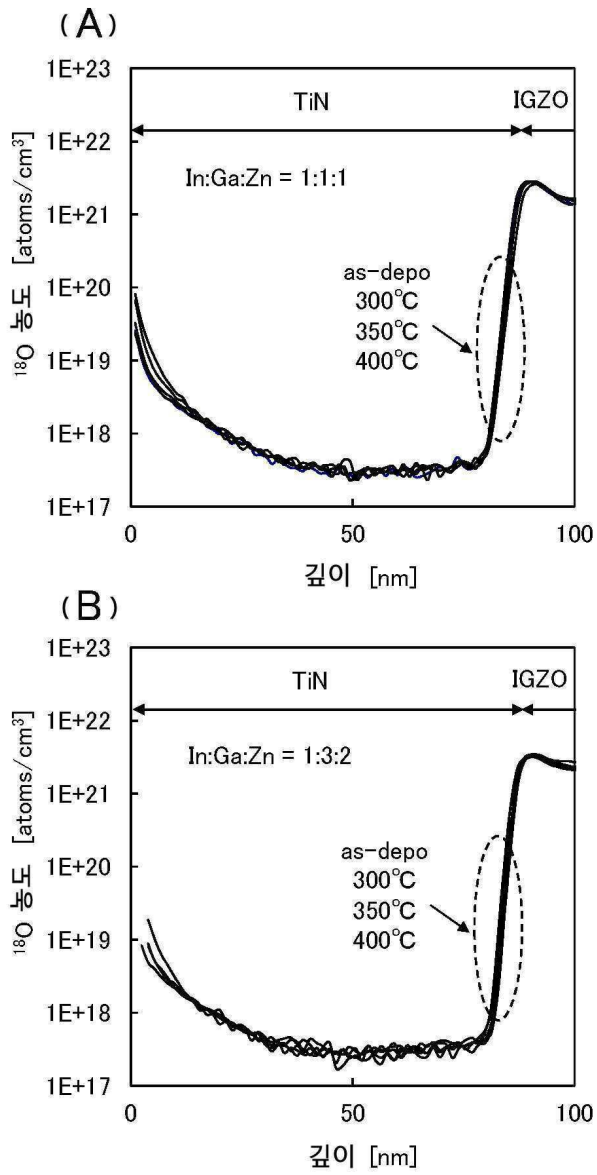
도면11



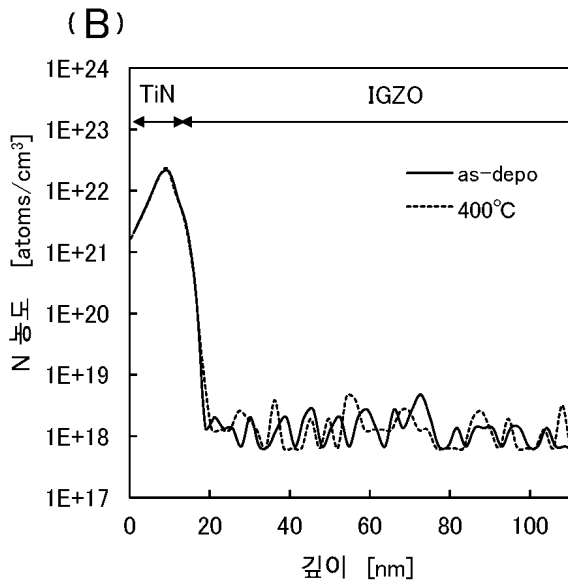
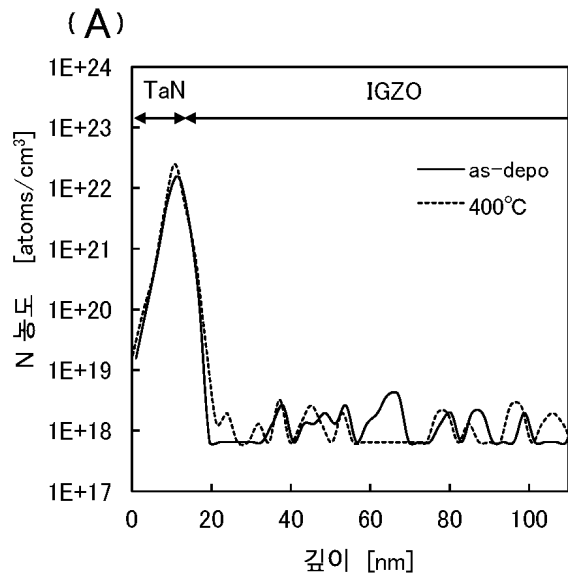
도면12



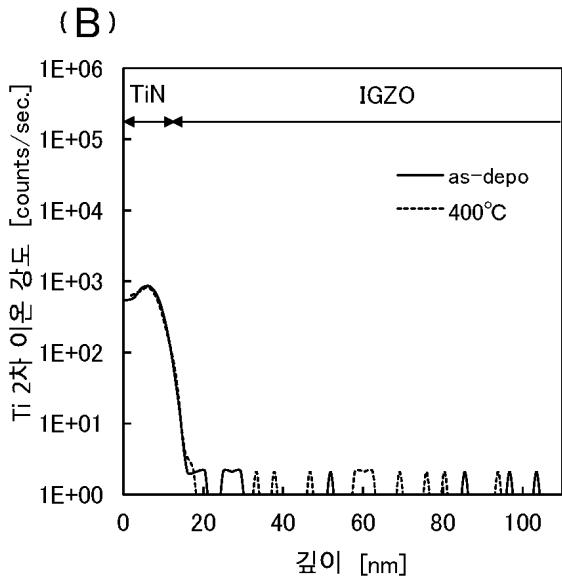
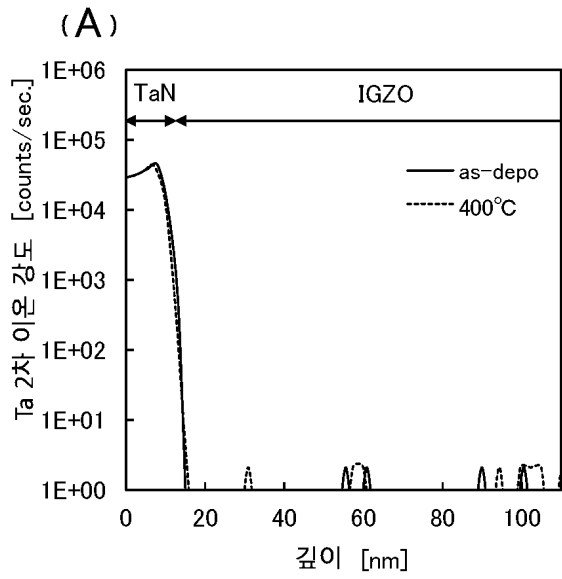
도면13



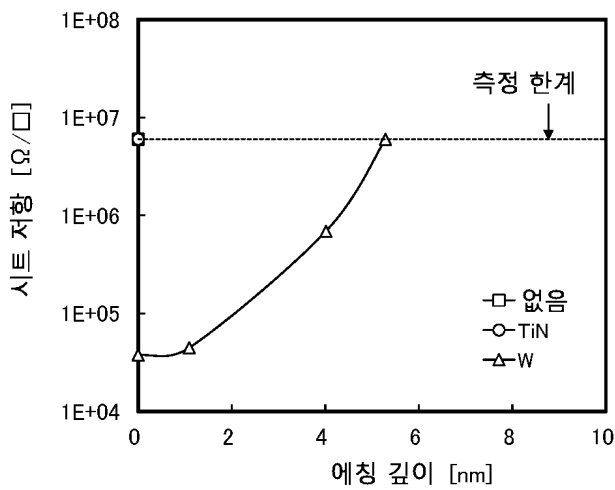
도면14



도면15

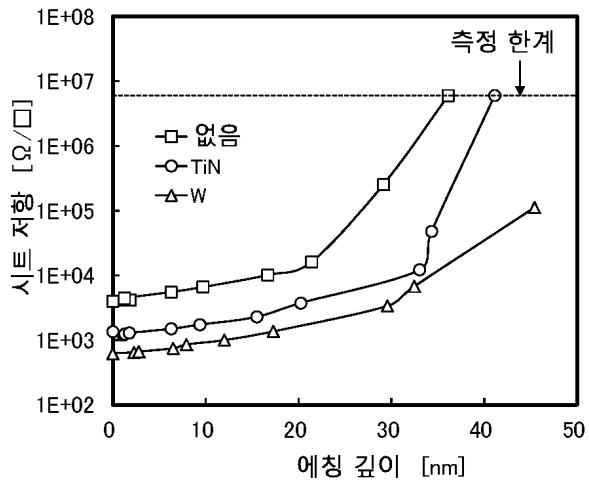


도면16

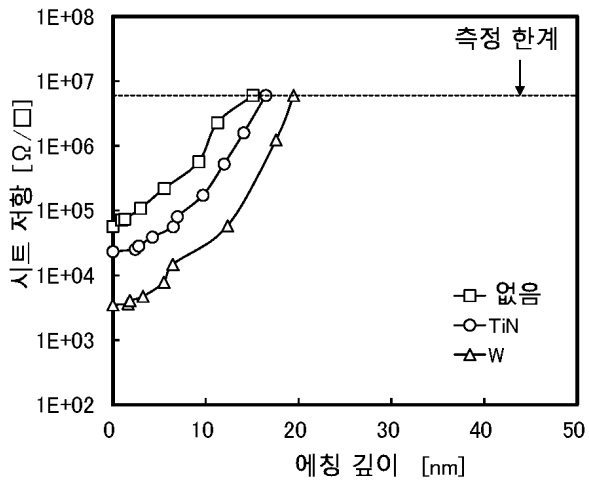


도면17

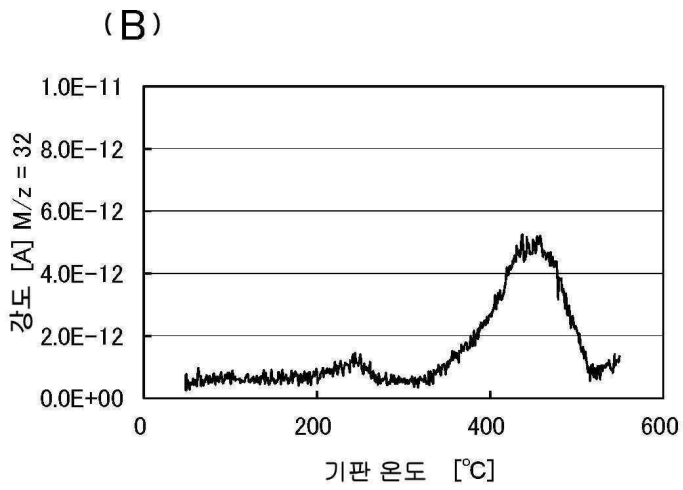
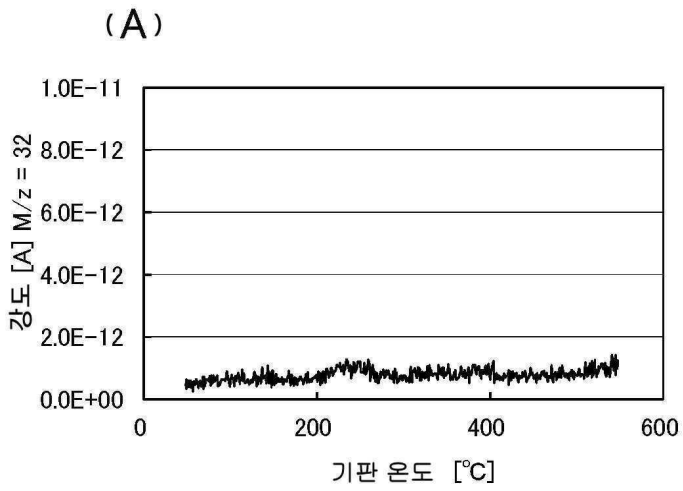
(A)



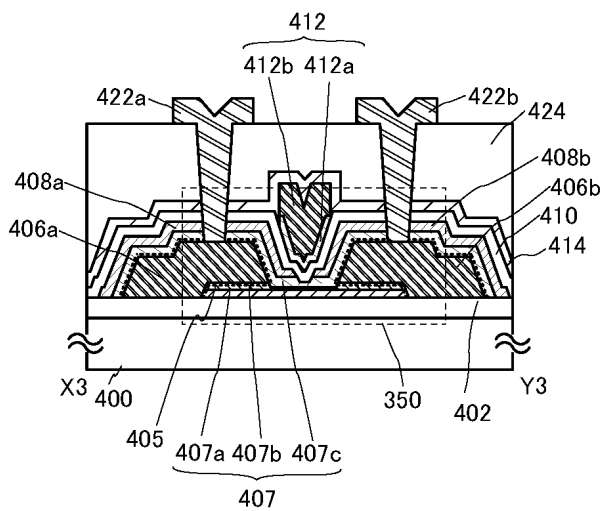
(B)



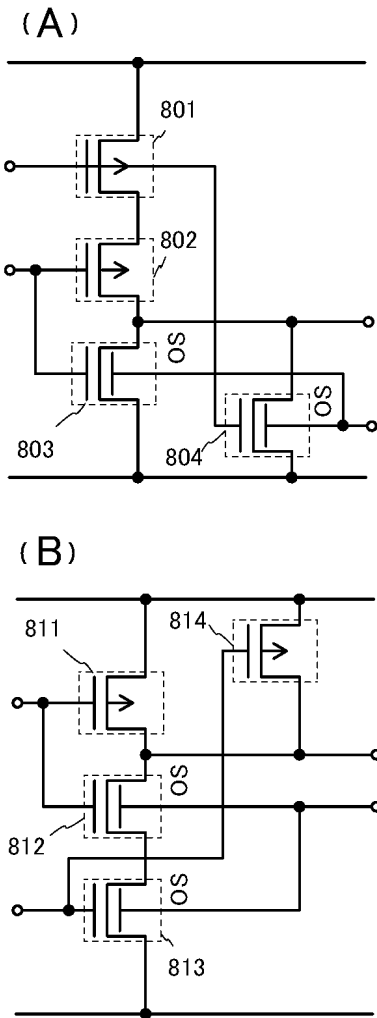
도면18



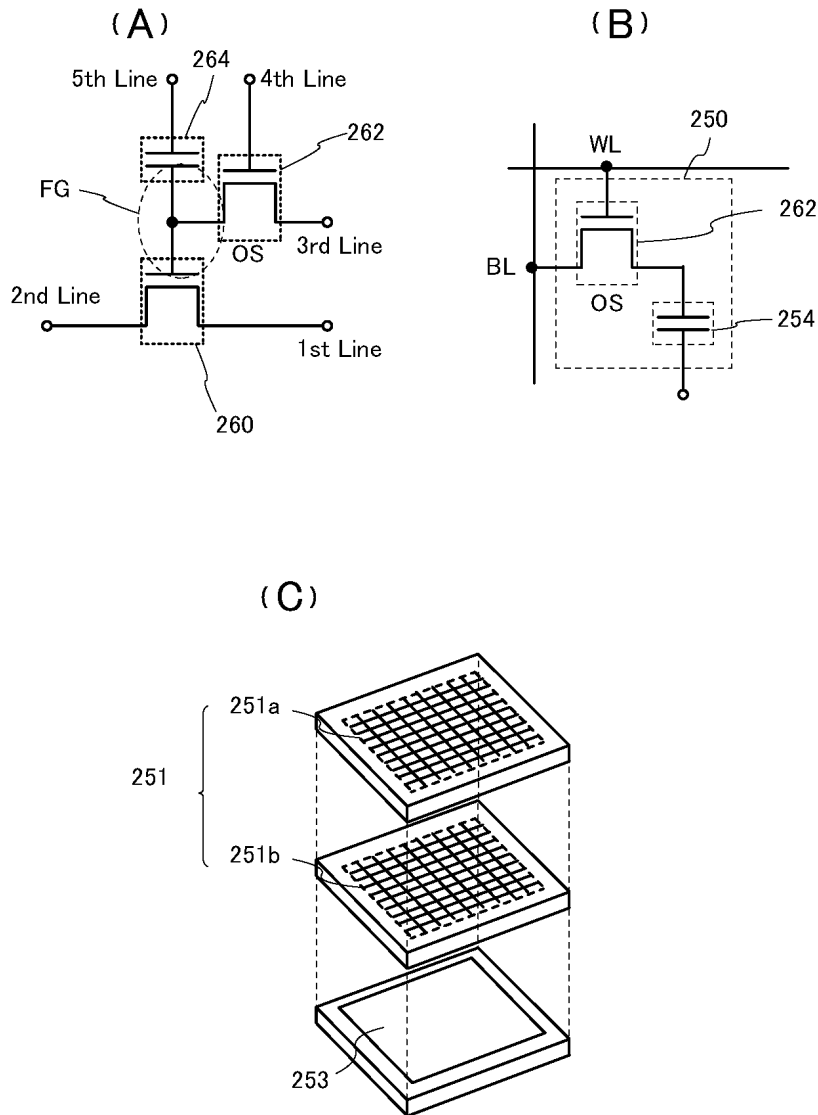
도면19



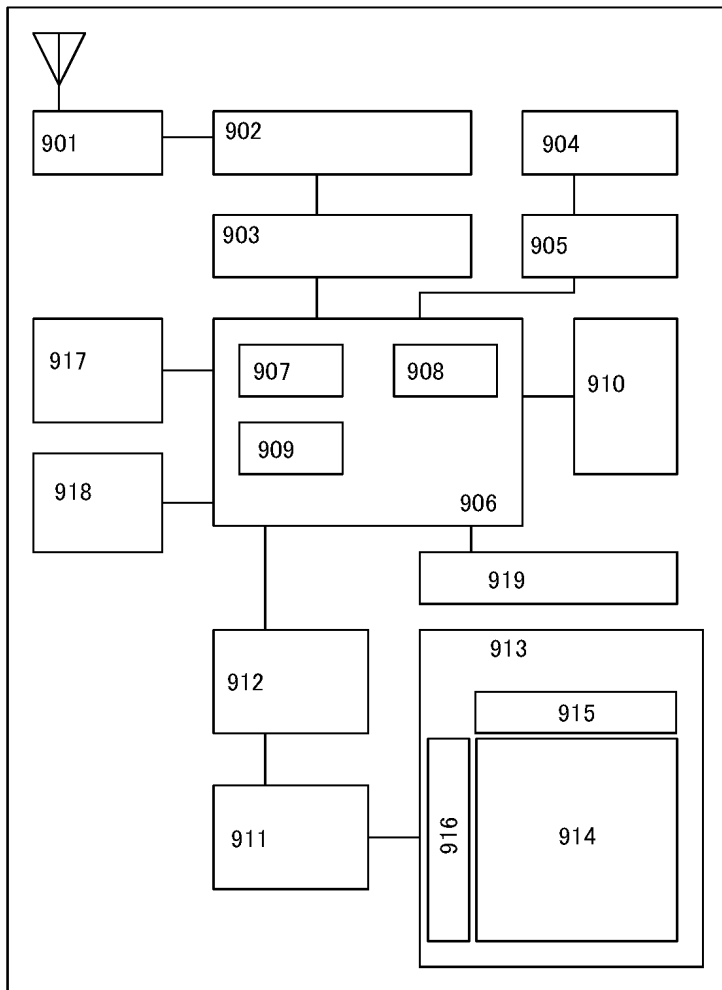
도면20



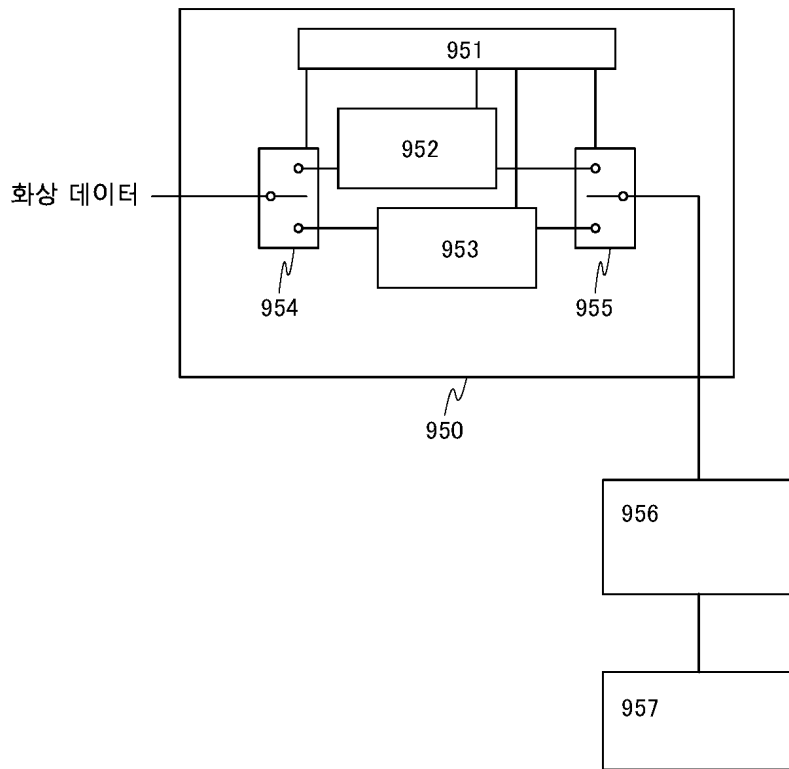
도면21



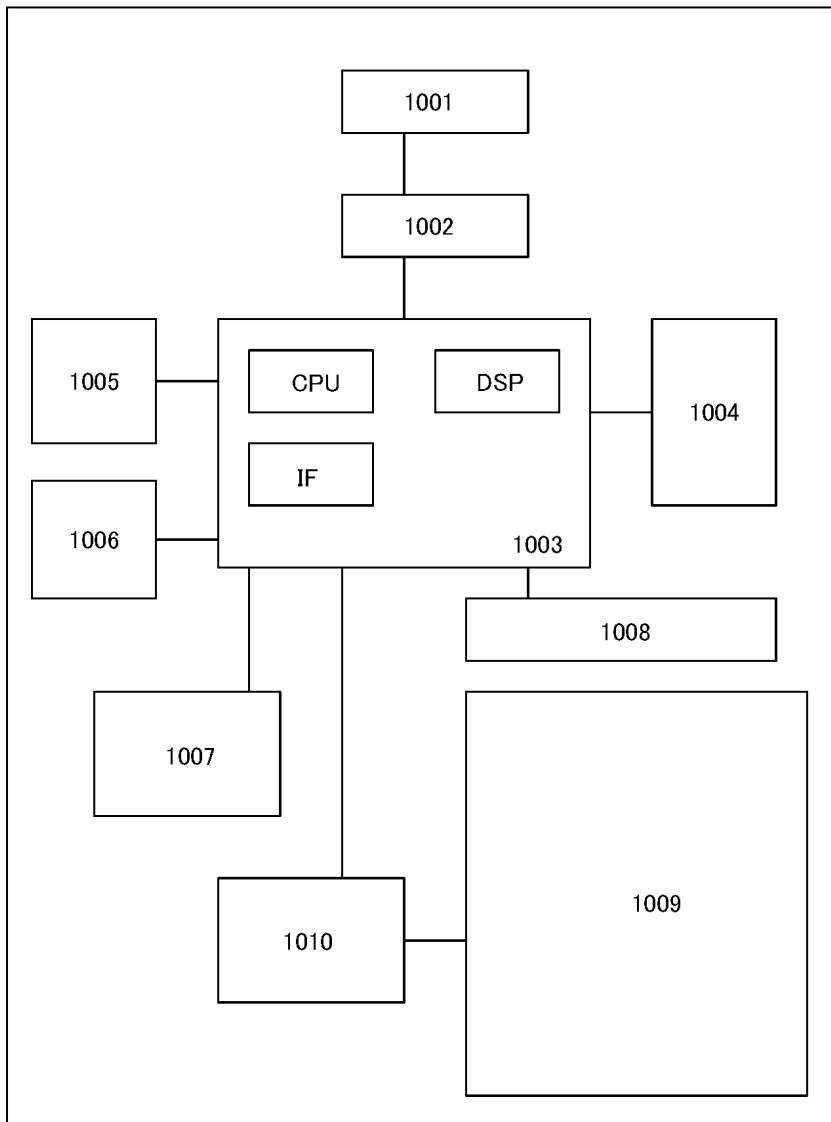
도면22



도면23



도면24



도면25

