



(12) 发明专利

(10) 授权公告号 CN 101999165 B

(45) 授权公告日 2015.09.16

(21) 申请号 200980102158.7

(56) 对比文件

(22) 申请日 2009.01.14

US 2007/0155056 A1, 2007.07.05,

(30) 优先权数据

61/020,920 2008.01.14 US

Fang 等. Electrically pumped hybrid AlGaInAs-Silicon evanescent laser. 《Optical Express》. 2006, 第 14 卷 (第 20 期),

(85) PCT 国际申请进入国家阶段日

Fang 等. Electrically pumped hybrid AlGaInAs-Silicon evanescent laser. 《Optical Express》. 2006, 第 14 卷 (第 20 期),

2010.07.14

审查员 王晓峰

(86) PCT 国际申请的申请数据

PCT/US2009/030997 2009.01.14

(87) PCT 国际申请的公布数据

WO2009/094276 EN 2009.07.30

(73) 专利权人 加利福尼亚大学董事会

地址 美国加利福尼亚州

(72) 发明人 梁迪

(74) 专利代理机构 北京律盟知识产权代理有限

责任公司 11287

代理人 王允方

(51) Int. Cl.

H01L 21/762(2006.01)

H01L 21/20(2006.01)

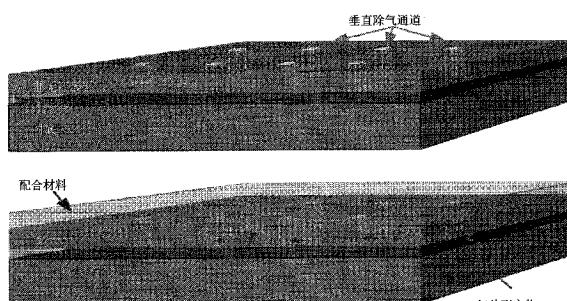
权利要求书2页 说明书13页 附图17页

(54) 发明名称

垂直除气通道

(57) 摘要

将 InP 外延材料直接接合到绝缘体上硅 (SOI) 晶片上，所述晶片在接合表面与绝缘体 (掩埋氧化物或 BOX) 层之间具有垂直除气通道 (VOC)。接近所述接合表面的 H₂O 及其它分子迁移至最靠近的 VOC 且通过与桥接氧离子组合并形成稳定非桥接羟基基团对 (Si-OH) 而快速淬灭于掩埋氧化物 (BOX) 层中。针对各种装置想象出各种通道大小及间距。



1. 一种晶片接合的装置,其包含 :

衬底晶片,其具有掩埋氧化物层及接合层,所述接合层具有在垂直除气通道 VOC 区域内的多个除气通道,每个通道耦合于所述接合层的接合表面与所述掩埋氧化物层之间,其中每个除气通道在深度方向上且界定一闭合腔,其中所述多个除气通道经设计尺寸和设置以使得在晶片接合期间生成的气体副产物穿过所述多个除气通道并且扩散进入所述掩埋氧化物层,并且其中所述多个除气通道在所述 VOC 区域内被设置为二维的第一布置,并且进一步地,其中所述多个除气通道占据所述 VOC 区域的百分比在 0.0025% 到 2.56% 的范围内;及

第二晶片,其接合到所述接合层的所述接合表面。

2. 根据权利要求 1 所述的晶片接合的装置,其中所述多个通道被形成为使得所述多个通道界定具有一致的间距的阵列,并且所述间距在 50 微米到 400 微米的范围内。

3. 根据权利要求 2 所述的晶片接合的装置,其中所述间距在 50 和 100 微米之间的范围内。

4. 根据权利要求 2 所述的晶片接合的装置,其中所述间距在 100 和 200 微米之间的范围内。

5. 根据权利要求 1 所述的晶片接合的装置,其中所述多个除气通道在所述 VOC 区域中占据的百分比在 0.225% 到 1.44% 的范围内。

6. 根据权利要求 1 所述的晶片接合的装置,其中所述多个除气通道占据所述 VOC 区域的百分比在 0.09% 到 1.44% 的范围内。

7. 根据权利要求 1 所述的晶片接合的装置,其中所述多个除气通道占据所述 VOC 区域的百分比在 0.36% 到 1.44% 的范围内。

8. 根据权利要求 2 所述的晶片接合的装置,其中所述间距在 200 微米与 400 微米之间的范围内。

9. 根据权利要求 1 所述的晶片接合的装置,其中所述衬底晶片为硅晶片。

10. 根据权利要求 1 所述的晶片接合的装置,其中所述第二晶片为 III-V 晶片。

11. 一种用于接合第一晶片与第二晶片的方法,其包含 :

给所述第一晶片图案化在垂直除气通道 VOC 区域内的多个通道,其中所述多个通道连接所述第一晶片的接合表面与所述第一晶片的掩埋氧化物层,并且其中所述多个通道中的每一个在深度方向上且界定一闭合腔,并且其中所述多个通道在所述 VOC 区域中被设置为二维的布置,并且进一步地,其中所述多个通道占据所述 VOC 区域的百分比在 0.0025% 到 2.56% 的范围内;

将所述第一晶片的所述接合表面与所述第二晶片的顶部表面耦合;

将经耦合的所述第一晶片和所述第二晶片加热到小于或等于 400℃ 的温度用以一退火时间,所述退火时间小于或等于约 120 分钟,其中加热经耦合的所述第一晶片和所述第二晶片引起气体副产物的产生;

使得所述气体副产物穿过所述通道阵列并且扩散进入所述掩埋氧化物层;及

冷却所述经耦合第一晶片与第二晶片以将所述第一晶片配合到所述第二晶片。

12. 根据权利要求 11 所述的方法,其中所述多个通道界定具有一致的间距的阵列,所述间距在 50 微米到 400 微米的范围内。

13. 根据权利要求 11 所述的方法, 其中所述多个通道占据所述 VOC 区域的百分比在 0.0225% 到 1.44% 的范围内。

14. 根据权利要求 11 所述的方法, 其中所述多个通道占据所述 VOC 区域的百分比在 0.09% 到 1.44% 的范围内。

15. 根据权利要求 11 所述的方法, 其中所述多个通道占据所述 VOC 区域的百分比在 0.36% 到 1.44% 的范围内。

16. 一种异质结装置, 其包含 :

第一衬底, 其包含装置层及掩埋层, 其中所述装置层包含在一区域中的多个通道, 每个通道耦合于所述装置层的顶部表面与所述掩埋层之间, 并且每个通道在深度方向上且界定一闭合腔, 并且其中所述多个通道在所述区域中具有一致的中心到中心间距, 所述中心到中心间距在 50 微米到 400 微米的范围内 ; 及

第二衬底, 其包含有源层, 其中所述第一衬底的所述装置层的所述顶部表面晶片接合到所述第二衬底的所述有源层,

其中所述多个通道中的每一个经设计尺寸和设置以使得在晶片接合期间生成的气体副产物穿过所述多个通道并且扩散进入所述掩埋层。

17. 根据权利要求 16 所述的异质结装置, 其中所述多个通道占据所述区域的百分比在 0.0025% 到 2.56% 的范围内。

18. 根据权利要求 16 所述的异质结装置, 其中所述中心到中心间距在 50 和 100 微米之间。

19. 根据权利要求 16 所述的异质结装置, 其中所述中心到中心间距在 100 和 200 微米之间。

20. 根据权利要求 16 所述的异质结装置, 其中所述中心到中心间距在 200 微米与 400 微米之间。

垂直除气通道

[0001] 相关申请案交叉参考

[0002] 本申请案请求对 2008 年 1 月 14 日由梁迪 (Di Liang) 提出申请且标题为“垂直除气通道 (VERTICAL OUTGASSING CHANNELS)”的美国申请案第 61/020,920 号的 35U.S.C. § 119(e) 项下的权益,所述申请案以引用方式并入本文中。

[0003] 关于由联邦政府发起的研究或开发的声明

[0004] 本发明是根据美国陆军资助的授予号 W911NF-06-1-0496 在政府支持下进行的。政府对本发明具有某些权利。

背景技术

[0005] 相关技术的说明

[0006] (注意:本申请案参考多篇不同出版文献,其在整篇说明书中由括号内的一个或一个以上参考编号(例如,[参考编号 x])指示或以上标形式指示。在下文标题为“参考文献”的章节中可找到根据这些参考编号排序的这些不同出版文献的列表。这些出版文献中的每一者以引用方式并入本文中。)

[0007] 由于来自直接带隙材料的所需功能性及标准低成本 CMOS 制造技术的吸引力,低温直接晶片接合有利于相异材料集成,尤其在 III-V 族化合物半导体到硅的集成中。

附图说明

[0008] 现在参照图式,在所有图式中相同参考编号代表对应部件:

[0009] 图 1 图解说明穿过顶部非无定形材料层以将气体副产物扩散引导到下面的无定形层中以实现有效除气的 VOC 的示意图。

[0010] 图 2 图解说明针对垂直通道间距(即,密度)研究的掩模设计。

[0011] 图 3 图解说明附接于 SOI 衬底上的直接接合的 $2 \mu\text{m}$ 厚 InP 外延层在选择性地移除 InP 衬底之后的 Nomaski 模式显微镜图像,其显示无空洞接合在具有 $100 \mu\text{m}$ 的间距的垂直除气通道所位于的突出区域,而大量界面空洞(平均密度为 $9 \times 10^3 \text{cm}^{-2}$, 最高达 $1 \times 10^6 \text{cm}^{-2}$, 直径 2 到 $20 \mu\text{m}$) 出现在不存在除气通道的边界处。

[0012] 图 4 图解说明 $6 \mu\text{m}$ 宽的垂直除气通道与直接接合于顶部上的 InP 外延材料在 2 小时的 300°C 下退火之后的 SEM 横截面图像。

[0013] 图 5 图解说明直接接合于具有可变除气通道间距的 SOI 上的 InP 外延层的面间空洞密度对通道间距及通道区域百分比。插入照片显示具有垂直除气通道设计的 SOI 上的直接接合 $2 \times 2 \text{cm}^2$ InP 外延材料的照片,其显示似镜面、无空洞外延层转移。

[0014] 图 6 图解说明面间空洞密度对退火时间,其显示可实现短退火同时仍维持低空洞密度。

[0015] 图 7 图解说明转移到 SOI 衬底的 InP 薄外延层在 (a) 不存在除气通道的情况下进行 2 小时;(b) 不存在除气通道的情况下进行 15 小时;(c) 仅存在由黄色虚线突出的平面中除气通道 (IPOC) 的情况下进行 15 小时;及 (d) 存在平面中除气通道以及 SOI 衬底上的闭

路装置图案的情况下进行 15 小时的 300℃退火之后的 Nomaski 模式显微镜图像。所有图中的比例尺为 $200 \mu\text{m}$ 。

[0016] 图 8 图解说明 (a) 在与 InP 外延层接触之前及 (b) 在与 InP 外延层接触之后 SOI 衬底上的垂直除气通道 (VOC) 的示意性卡通图 ;(c) 显示所蚀刻 VOC 的 SEM 图像的侧视图 ;(d) VOC 与接合于顶部上的 InP 外延层的 SEM 横截面图, 其显示紧密接触而无变形或分层。

[0017] 图 9 图解说明为研究作为通道间距 S 及大小 t 的函数的除气效率的实验的 VOC 图案设计。

[0018] 图 10 图解说明 InP-SOI 接合对在 30 分钟的 300℃退火之后的 Nomaski 模式显微镜图像, 其显示 (a)VOC 区 ($S = 50 \mu\text{m}$) 与非 VOC 角落之间, 及 (b)VOC 区 ($S = 50 \mu\text{m}$ 及 $100 \mu\text{m}$) 之间的明显对比, 其中所述区之间存在 1mm 宽的非 VOC 空白。

[0019] 图 11 图解说明在 3MPa 的外部压力 300℃下退火 2 小时的接合对的面间空洞密度对 VOC 间距 $S = 400, 200, 100$ 及 $50 \mu\text{m}$ 及大小 $t = 9, 7, 5$ 及 $3 \mu\text{m}$ 。绘制出关于图 7(a) 中的样本的空洞密度作为参考。

[0020] 图 12 图解说明在 3MPa 的外部压力 300℃下退火的接合对的 VOC 间距 $S = 400, 200, 100$ 及 $50 \mu\text{m}$ 以及固定大小 $t = 9 \mu\text{m}$ 的作为退火时间周期 10、20 及 120 分钟的函数的面间空洞密度。

[0021] 图 13 图解说明 $t = 7 \mu\text{m}$ 且 $S = 100$ 的接合对在 1 小时的 300℃下退火之后的作为外部压力的函数的面间空洞密度, 其显示与用于 IPOC 设计的常规 1.24MPa 压力对比, VOC 设计需要 3MPa。插入 : 在施加 3MPa 压力的情况下, $2 \times 2\text{cm}^2$ 似镜面 InP 外延层转移到 SOI 衬底。

[0022] 图 14 图解说明 (a) $S = 50 \mu\text{m}$ 且 $t = 9 \mu\text{m}$ 接合对及 (c) $S = 100 \mu\text{m}$ 且 $t = 7 \mu\text{m}$ 接合对在 30 分钟的 300℃退火之后的红外透射图像, 其中 VOC 区由黄色点线框突出。 (b) 及 (d) 分别为 (a) 及 (c) 的俯视显微镜图像, 其进一步展示 VOC 区处的强接合, (e) 为仅~ $2 \mu\text{m}$ 厚的 InP 外延层接合于 SOI 衬底上的经分割接合样本的俯视显微镜图案。最大 $6.2 \mu\text{m}$ 的脱落指示接合界面处的高表面能量。

[0023] 图 15 图解说明使用具有比图 (3) 中的 InP 外延晶片相对差的可接合性的另一 InP 外延晶片的 InP-SOI 接合对的 Nomaski 模式显微镜图像。在 30 分钟的 300℃退火之后, 在 VOC 及非 VOC 区处可见空洞形成方面的类似对比。

[0024] 图 16 图解说明转移到 SOI 衬底的 InP 外延层的 Nomaski 模式显微镜俯视图像 (a), 其中一些 VOC 未蚀刻穿过 Si 装置层, 显示于穿过 (a) 中的黄色虚线框劈开的 SEM 横截面图像 (b) 中。

[0025] 图 17 图解说明在 2 到 3 小时的 300℃退火之后的直接接合到具有 $t = 7 \mu\text{m}$ 且 $S = 100 \mu\text{m}$ 的 VOC 的 SOI 衬底的 50mm(2 英寸)、75mm(3 英寸) 及 100mm(4 英寸) InP 外延层, 其显示导致一些反射的似镜面外延转移, 即, 亮条针对 50mm 的 InP 外延层且暗条针对 75 及 100mm 的 InP 外延层。

[0026] 图 18 图解说明根据本发明的一个或一个以上实施例的过程流程图。

具体实施方式

[0027] 在对优选实施例的以下说明中, 参照形成本文的一部分且其中以说明方式显示可

实践本发明的具体实施例的附图。应理解，可利用其它实施例并且可在不背离本发明范围的情况下做出结构性改变。

[0028] 概述

[0029] 由于来自直接带隙材料的所需功能性及标准低成本 CMOS 制造技术的吸引力，低温直接晶片接合有利于相异材料集成，尤其在 III-V 族化合物半导体到硅的集成中。然而，不同于成熟的硅到硅或 SiO_2 接合技术，化合物半导体到硅接合中严格需要低温退火 ($< 400^\circ\text{C}$) 以最小化热胀失配引发的应力及潜在热材料降级。由于缺乏高退火温度以将气体副产物（大部分为 H_2O 蒸汽且一些为 H_2 、 N_2 及 CO_2 ）有效地驱使出接合界面，因此面间空洞可能在接合界面处形成。

[0030] 本发明展示通过采用垂直除气通道 (VOC) 设计而实现无定形材料上非无定形材料衬底（例如，绝缘体上硅 (SOI)）上的无空洞低温直接晶片接合的有效方法。

[0031] 垂直除气通道

[0032] 图 1 显示实质上为穿过顶部非无定形材料层以将气体副产物扩散引导到下面的无定形层中以实现有效除气的孔的 VOC 的示意图。

[0033] 尽管显示为 SOI 上 InP，但在本发明的范围内可使用其它材料，无定形材料及非无定形材料两者。如图 1 中所示，InP 外延材料直接接合到 SOI 晶片上，且迁移到最靠近的 VOC 的 H_2O 分子通过与桥接氧离子组合并形成稳定非桥接羟基基团对 (Si-OH) 而快速淬灭于掩埋氧化物 (BOX) 层中。为研究此方法的有效性，将图 2 中具有各种通道间距 50、100、200 及 $400 \mu\text{m}$ 的 VOC (在尺寸上为 $6 \times 6 \mu\text{m}$) 区图案化于 $1.1 \times 1.1 \text{cm}^2$ SOI 样本上，其中存在 1mm 宽的无 VOC 包围边界以消除来自邻近区段及边缘的潜在互动。然后在样本清洁之后执行 O_2 等离子体辅助晶片接合过程以在室温下实现 InP-SOI 自发附接。

[0034] 在 1.5MPa 外部压力 300°C 下的短退火 (10 到 120 分钟) 之后，在 HCl 溶液中选择性地移除 InP 衬底，从而产生到 SOI 上的 $\sim 2 \mu\text{m}$ 厚外延层转移。图 3 中的 Nomaski 模式的显微镜图像 (50x) 显示 2 小时退火样本上的强烈对比，其中在具有 VOC ($100 \mu\text{m}$ 间距) 的区域处实现无气泡接合，而高密度 (平均 $9 \times 10^4 \text{cm}^{-2}$) 空洞均匀分布于边界区域中，此展现高度有效的除气能力。在 VOC 区中，如被劈开样本的扫描电子显微镜横截面图像 (图 4) 中所示，InP 外延层紧紧地接合到 SOI，其中在 VOC 区域中未观察到 InP 变形。与无 VOC 的直接接合的样本相比，面间空洞密度在图 5 中已极大地从保守计数 9236cm^{-2} 减小到零，而通道间距方面差别不大。还注意到占总接合面积的 $< 1.5\%$ 的小不动产占用面积，此指示对接合强度的影响可忽略不计及及装置布局设计有很大自由。接合于 SOI 上的 $2 \times 2 \text{cm}^2$ InP 外延层的插入照片展现相同的无空洞接合，此显露接合可缩放性是有希望的，因为对 H_2O 副产物的每单位体积 SiO_2 容纳容量相同而不管晶片的大小如何。VOC 设计的另一长处是由于接合界面处向 VOC 的快速气体分子扩散而实现退火时间的急剧减少 (图 6)。在我们的实验室中将相同的 1cm^2 InP 样本接合到 SOI 上所需要的 12 到 18 小时的常规退火时间已减少到 30 分钟，而仍可在具有 $50 \mu\text{m}$ 间距的 VOC 区中获得无空洞接合。进一步退火时间减少由气体分子向 VOC 的迁移限制，此可通过减小通道间距来实现。最后注意，VOC 方法也适用于在起始强接合之前需要移除气体副产物的各种其它接合情形中。

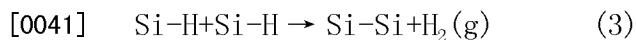
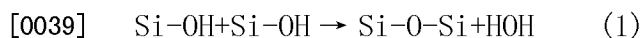
[0035] 论述

[0036] 本文中所论述的是用于 SOI 衬底上的低温无空洞 InP 到硅直接晶片接合的高度有

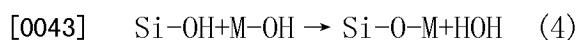
效方案。通过在顶部硅层中蚀刻小通孔的阵列,从接合聚合反应产生的气体副产物 (H_2O 、 H_2) 及气态烃可在掩埋氧化物层中被吸收并扩散,从而产生高达 5 个数量级的面间空洞密度减小(从 $> 50,000\text{cm}^{-2}$ 到 $< 3\text{cm}^{-2}$)。所需要的退火时间也减少到少于 30 分钟,与先前除气设计相比为~100X 的改善。呈现对相关联处理细节、接合表面能量、通用性及稳定性的全面研究。展示了 50、75 及 100mm InP 外延层到 SOI 衬底的成功转移,此指示除气问题的完全消除与晶片接合尺寸无关。还论述了产生灵活装置设计、低制作成本及潜在接合应变消除的数个附带优点。

[0037] 介绍

[0038] 最近随着半导体晶片制造技术的发展,半导体晶片接合已体现为有吸引力的可行大规模混合材料集成方法。当在室温下使两个镜面抛光的平坦清洁晶片接触在一起时,不管晶片材料及大小如何,范德华力 (Van der Waals force) 或氢键将两个晶片固持到位以允许将经接合对转移到随后的阶段,举例来说,用于熔融接合¹的热退火,用于阳极接合²的电场添加或用于室温接合³的长时间存储,所有这些均为了增强接合表面能量。由于在用于熔融接合及阳极接合的表面接合形成中通常涉及聚合反应(与使用面间粘合剂聚合物材料的粘合剂接合相反),因此移除气体副产物可有助于实现强共价接合。方程式 (1) 到 (2) 及 (3) 分别代表基于 Si 的亲水及恐水直接接合⁴中的基本聚合反应,所有反应产生已被实验证明是接合界面处的主要所捕获气体的气体副产物 (H_2 及 H_2O)⁵。在室温配合之后显著量的气体形成及亲水晶片的接合界面处的 2 到 3 个水分子单层的解吸附加上退火期间来自有机表面污染的气态烃可导致高内部压力⁶,随后导致局部解接合,即界面空洞形成。通常,具有小原子大小的气体分子(例如 H_2)可通过界面处的微粗糙性逐渐扩散出或快速进入多孔介质(例如 SiO_2),尤其在高温下。面间空洞在高温($> 800^\circ C$)下也可由于自然氧化物或热氧化物粘性流而被填充⁷。因此,由于所产生的无空洞强接合及其处理简单性而不需要预接合表面活化,升高温度的退火自然是优选的,举例来说,制造直径高达 300mm 的商业晶片接合的绝缘体上硅 (SOI) 晶片⁸。



[0042] 然而,由于热胀失配及潜在热材料降级或化合物半导体的分解,多数化合物半导体到硅接合中通常禁止高温退火。类似于方程式 (1),具有高电负性⁹的一些金属 M 的氢氧化物也能够聚合以在低温下形成共价接合,如方程式 (4) 中所示。因此,与接合相关的残余气体通常是接合机制固有的。嵌入厚的多孔材料(例如,热 SiO_2) 层或等离子体增强型化学气相沉积 (PECVD) 电介质层已被报告为用于 H_2O 及 H_2 扩散及吸收的有效除气介质^{10,11},但其不适用于需要两种配合材料接近地真正整合的情形。也已采用不同的预接合表面处理方法通过将表面羟基 (-OH) 基团部分地替换到其它封端基团^{12,13}来获得强 InP 到 Si 接合,尽管如何有效地移除气体副产物的问题仍然存在。



[0044] 最近已开发混合 Si 渐逝装置平台,以允许通过低温、 O_2 等离子体辅助的 InP 到 Si 晶片接合^{14,15}在 SOI 衬底上制作有源光电子组件,此代表向着实现低成本的基于 Si 的所有光学通信的突破。实现强无空洞接合对装置合格率、性能及可靠性具有直接影响。由于光

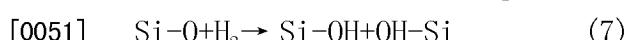
在由 SOI 衬底中的薄 Si 装置层及基于 InP 的薄化合物半导体外延层两者构成的类型的混合波导（以几个测微计尺寸为单位）中行进^{15,16}，因此即使测微计范围中的小局部脱层也可导致混合波导结构的光学散射或损失。图 7(a) 及 (b) 中的俯视 Nomaski 模式显微镜图像 (50X) 分别显示在 2 小时及 15 小时的 300℃ 下退火之后~2 μm 厚 InP 外延层到 SOI 衬底上的转移。具有密度~55,093cm⁻² 的直径为 2 ~ 20 μm 的均匀分布的面间空洞指示图 7(a) 中的严重除气问题。图 7(b) 中从 2 小时到 15 小时的扩展退火将空洞密度减小到~27,546cm⁻²，而不抑制除气问题，因为较大小的空洞由于来自邻近空洞的气体聚集而出现。

[0045] 帮助除气的经验型方式是通过在单个或两个晶片上蚀刻~10 μm 宽的沟槽或凹槽（在此文章中称为“平面中除气通道 (IPOC)”）来形成合适的“排泄”管线且将其延伸到芯片边缘以使得接合后退火中的真空有助于通过 IPOC 将气体分子拉出接合界面。图 7(c) 显示转移到 SOI 衬底的 InP 外延层的俯视 Nomaski 模式显微镜图像，其中突出 SOI 衬底上的 IPOC。将所述接合对在 5x10⁻⁴ 托真空中在 300℃ 下退火 15 小时。与不存在任何种类的除气通道的图 7(a) 及 (b) 对比，图 7(c) 中 IPOC 右上方的区域未展现空洞形成，而其中一些出现在 500 μm 宽的无通道中心区域中，此指示 IPOC 的有效性取决于通道的间距。然而，SOI 上的某一闭路布局导致环路内部的气体副产物不可能通过 IPOC 扩散出，因此在（举例来说）Si 混合渐逝轨道 - 环形共振器的通道接点（如图 7(d) 中所示）处导致空洞。除 SOI 布局设计缺乏灵活性的缺点外，IPOC 还成为隐藏的烦恼，即不需要的气体及液体可在接合后装置制作及操作期间扩散回其中，此可能导致局部解接合及装置可靠性问题。

[0046] 本发明的实施例展示用于实现低温、强健、无空洞薄 InP 外延层到 SOI 直接接合的类型的高度有效垂直除气通道 (VOC) 的设计。首先呈现 VOC 的概念，随后论述制作过程。通过变化 VOC 的间距 S (即，密度) 及尺寸 t 来研究 VOC 的除气有效性（通过比较经转移薄 InP 外延层上的界面空洞密度来评估）。当采用最佳 VOC 方案时，展示到实质上无空洞接合界面的超过 5 个数量级的空洞密度减小。还显示高达 100X 的退火时间减少对于所需接合质量及表面能量足够，从而高度改善生产效率。通过具有相对差的可接合性的 III-V 族材料到 SOI 衬底的成功转移来证明使用 VOC 的此接合过程的通用性及强健性。在最后展示 50、75mm 及 100mm 直径的 InP 外延层到 SOI 衬底上的成功直接接合以显示所述接合过程的可缩放性。

[0047] VOC 的除气原理

[0048] 如图 8(a) 的卡通图像中所图解说明，在实施例中，VOC 实质上为在大小上具有几个测微计且在与 III-V 族材料接触之前穿过顶部 Si 装置层蚀刻到下面的掩埋氧化物 (BOX) 层的孔阵列。所产生的气体副产物分子加上少量所捕获空气分子及甚至气态杂质可迁移到最靠近的 VOC 且可迅速地由图 7(b) 中的 BOX 吸收，且由于其开放网络仅具有 43% 的所占据晶格空间¹⁷ 及大的扩散横截面（通常为 0.3 到 3 μm 厚）而通过 BOX 层逐渐扩散出。除气机制的基础化学在方程式 (5) 到 (7)¹⁸ 中显露。



[0052] 众所周知，在室温下，水蒸汽可以分子形式驻存于 SiO₂ 中到几百埃的深度的间隙

位置处。在进入所述氧化物网络后，其与桥接氧离子组合以形成稳定非桥接羟基基团对，所述过程描述于方程式 (5)^{18,19} 中。氧化物中这些羟基基团的存在还往往使其对于扩散物质更具多孔性¹⁸，此也对除气有益。热 SiO₂²⁰ 中大氢渗透性加速方程式 (2) 及 (7) 中的所产生 H₂ 的吸收。所捕获的氧分子更具惰性且不与氧化物网络反应，但可与 Si 反应或作为间隙分子在 SiO₂ 中扩散，其中存在对局部氧化物环拓扑¹⁹ 敏感的能障。

[0053] 图 8(c) 是具有沟槽尺寸 $t = 6 \mu\text{m}$ 正方形且 $S = 100 \mu\text{m}$ 中心到中心间距的 VOC 的侧视扫描电子显微镜 (SEM) 图像。对应 VOC 的 SEM 横截面图（其中 $\sim 2 \mu\text{m}$ III-V 族外延层接合于顶部上）显示于图 8(d) 中，其展示 III-V 与 Si 的紧密接触，其中 VOC 上方无 III-V 变形。BOX 的缺少及底切是由于在将 VOC 图案从 SiO₂ 硬掩模转移到 Si 装置层之后所述硬掩模在 HF 溶液中的湿式蚀刻，且对 VOC 除气有效性不具有负面影响。下文论述详细的过程流程。

[0054] 实验

[0055] VOC 图案化及晶片接合过程

[0056] 此文章中所使用的商业上可购得的 150mm(100) SOI 晶片（掺杂硼，1 到 10 欧姆 $\cdot \text{cm}$ ）含有 $1 \mu\text{m}$ Si 装置层及 $1 \mu\text{m}$ 掩埋氧化物 (BOX) 层。尽管根据执行进行描述，但其它厚度及过程参数也是可行的且在本发明的范围内。在 SOI 衬底中图案化 VOC 从在 10 分钟的经修改 RCA1 ($\text{NH}_4\text{OH} : \text{H}_2\text{O}_2 : \text{H}_2\text{O} = 0.2 : 1 : 5$, 80°C) 清洁²¹ 及 HF 溶液 (0.5%) 中 30 秒的自然氧化物移除之后在湿式氧化中使 $1 \mu\text{m}$ SiO₂ 生长为硬掩模开始。进行标准接触光刻，随后将 VOC 图案转移到经缓冲 HF (BHF) 溶液 ($\text{HF} : \text{H}_2\text{O} = 1 : 7$) 中的 SiO₂ 硬掩模 ~ 10 分钟。在丙酮中剥离光致抗蚀剂后，接着通过 BCl_3/Cl_2 等离子体中的电感耦合等离子体反应性离子蚀刻 (ICP-RIE) 硅蚀刻将所述图案进一步转移到 Si 装置层。在移除所述 SiO₂ 硬掩模之前，在 100°C 下在溶液 $\text{H}_2\text{SO}_4 : \text{H}_2\text{O}_2 = 3 : 1$ 中将所述 SOI 样本再次清洁 10 分钟，从而留下无灰尘表面。使用温和物理药签在丙酮及异丙醇中清洁从 50mm 金属有机化学气相沉积 (MOCVD) 生长的外延晶片劈开的基于 InP 的 III-V 样本。在分别在 BHF 及 NH4OH (39%) 溶液中移除 SOI 样本上的 SiO₂ 硬掩模及 III-V 样本上的自然氧化物之后，在商业 EVG801 低温等离子体活化系统中对两个样本进行 O₂ 等离子体表面处理 30 秒。在 SOI 及 III-V 两个样本上生长高应变自然氧化物的薄 ($< 5\text{nm}$) 层²²，从而产生高反应性亲水表面。随后可获得高表面羟基基团 (-OH) 密度（在与富羟基基团的溶液（举例来说，H₂O 或富 H₂O 溶液）接触之后）⁴。因此最后活化步骤涉及以羟基基团封端所述亲水表面。已报告，NH₄OH 溶液中的表面活化由于一些 Si-OH 转化为具有较高接合强度的 Si-NH₂ 而产生较高接合表面能量^{21,23}。代替将样本直接浸渍于 NH₄OH 溶液中^{21,23}，开发 NH₄OH 气化过程以产生更均匀且更清洁的表面活化²⁴。将 SOI 及 III-V 样本置于带有玻璃盖的 125°C 烤盘上 5 分钟以引入 NH₄OH 蒸气并使 VOC 腔中所捕获的液体气化，从而在随后的升高温度退火中避免气体化（其随后可导致解接合）。然后在室温下手动实施自发配合。在商业 Suss SB6E 晶片接合器中进行进一步的 300°C 下退火，以获得强共价接合。需要相对高的外部压力来获得高质量接合，下文予以论述。最后在室温下在溶液 HCl : H₂O = 3 : 1 中蚀刻掉 InP 衬底，留下 200nm InGaAs 蚀刻止挡层及 SOI 衬底上 $2 \mu\text{m}$ 厚的基于 InP 的外延层的剩余部分。由于薄 InP 外延层的易碎性及柔韧性，在移除衬底之后即刻出现由于来自除气的局部内部压力或应力而产生的小变形。然后，通过在 Nomaski 模式（以获得最好对比）中的显微镜下仔

细计算空洞数目来获得面间空洞密度。

[0057] 实验设计 (DOE)

[0058] 为研究 VOC 的除气效率, 设计具有可变 VOC 间距 S 及尺寸 t 的图案。图 9 显示用于图案化 $1 \times 1 \text{cm}^2$ SOI 样本的具有 $9 \times 9 \text{mm}^2$ 正方形区域的 VOC 掩模, 其中 1mm 宽的条带区在边缘周围以用于光致抗蚀剂边缘球状物移除。具有 VOC 间距 50、100、200 及 $400 \mu\text{m}$ 的四个 $3 \times 3 \text{mm}^2$ 正方形区位于所述 $9 \times 9 \text{mm}^2$ 掩模区域上, 其中所述区彼此间且与样本边缘间存在 1mm 的无 VOC 空白, 从而最小化不同区之间的互动及从样本边缘的可能气体产物扩散及逸出。正方形形状用于所有 VOC, 其中所述尺寸在四个相应掩模区域上从 $2.4, 6 \mu\text{m}$ 变为 $8 \mu\text{m}$ 。

[0059] 结果及论述

[0060] 面间空洞密度研究

[0061] Nomaski 模式显微镜图像 (50X) 的在图 10(a) 及 (b) 中的红色虚线框分别突出样本角落周围的 $S = 50 \mu\text{m}$ 的 VOC 区以及 $S = 50 \mu\text{m}$ (左) 及 $S = 100 \mu\text{m}$ (右) 的区, 其中所述区之间具有 1mm 的无 VOC 空白。SOI 衬底上的实际 VOC 为由于图案化 SiO_2 硬掩模时进行各向同性 BHF 湿式蚀刻而具有稍微变圆的角度的约 $9 \times 9 \mu\text{m}^2$ 正方形孔。在施加约 3MPa 外部压力的情况下, 将所述接合对在 300°C 下仅退火 30 分钟。在图 10(a) 的 VOC 区中可见空洞密度明显减小到接近零, 而大量不均匀分布的空洞仍在无 VOC 的角落处存在, 其中由于到 VOC 的较小扩散路径, 密度朝向 VOC 区稍微减小。类似情形在图 10(b) 中展现, 其中具有许多空洞的无 VOC 中心区域由无空洞 $S = 50 \mu\text{m}$ 及 $S = 100 \mu\text{m}$ 区夹于中间。

[0062] 图 11 表示在 2 小时的 300°C 退火之后的接合对的面间空洞密度对通道间距 S 及不同通道尺寸 t 的关系。从不具有除气通道的样本到具有 $S = 50 \mu\text{m}$ 区的样本实现高达 5 个数量级的急剧空洞密度减小。减小通道间距 S (即, 增加通道密度) 大大增强气体副产物及表面水单层在聚集于优选位置周围 (例如, 烃表面污染及表面缺陷) 之前迁移到 VOC 且随后由 BOX 层淬灭的可能性^{5,11}。与图 7(a) 及 (b) 中不具有除气通道的接合对相比, 具有 $S = 400 \mu\text{m}$ 的样本已经将空洞密度减小多于 36X。具有 $S = 100 \mu\text{m}$ 的 VOC 的接合对与具有 ILOC 的替代地需要退火 15 到 18 小时的接合对一样好。对于 $S = 50 \mu\text{m}$ 的情况, 直径小于 $20 \mu\text{m}$ 的空洞的小于 10cm^{-2} 空洞密度被视为除气问题被完全消除, 因为不可能区分除气引发的空洞 (即, “内在” 空洞) 与表面污染及表面缺陷引发的空洞 (即, “外在” 空洞) 以在等级 100 到 1000 清洁间中进行手动清洁及接合。因此, 通道间距 S 是除气的第一大影响因素。图 11 显示较大的通道大小 t 也对稍微较低的空洞密度有所贡献, 因为较大的通道及暴露的 BOX 正方形区域在单位时间周期中提供较强的气体副产物容纳能力。较大的 t 还意味着稍微较小的有效接触区域, 即, 较小的表面羟基基团贡献气体副产物产生。因此, 参数 t 成为除气的第二大影响因素。注意, 图 11 中的空洞密度数据为从接合具有四个隔离通道区的 1cm^2 样本 (图 9) 与具有单个 VOC 方案的 1cm^2 个别样本获得的平均数目。

[0063] 众所周知, 较长的退火时间通常产生较强的接合表面能量, 所述接合表面能量在从接合界面完全移除所产生的气体副产物 (通过吸收或扩散) 的某一退火时间周期之后开始饱和到最大值^{11,25}。因此, 有兴趣确定在退火时间方面是否存在类似的除气效率阈值。作为 300°C 下的退火时间的函数的面间空洞密度显露于图 12 中。在退火 2 小时及 30 分钟的接合对上发现类似的除气效率, 而仅具有 10 分钟退火的接合对显示显著较高的空洞密度, 此指示除气效率首先依赖于向 VOC 的气体运输, 其为时间周期的函数。此文章中的 300°C 退

火温度下的最小退火时间对于最好除气效率可能为 30 分钟左右。相信可通过减小 VOC 间距 S 而获得此温度下的进一步退火时间减少。我们此处注意,先前使用 IPOC 的低温接合需要 15 ~ 18 小时的退火以获得低空洞密度 (10 到 20cm^{-2}) 接合,此可与使用 VOC 设计的 30 分钟退火的密度相当。Zhang 等人研究不存在任一类型的除气通道的情况下低温 Si-Si 接合中的空洞形成¹¹。发现必需相当长的退火时间 (在一些情况下 > 100 小时) 来达到接合聚合反应的饱和且停止新空洞形成¹¹,其在此处支持气体副产物移除的效率确定接合质量及所需退火时间 (即,生产效率) 的论点。

[0064] 然而,不同于使用 IPOC 的接合过程,使用 VOC 设计的新过程的实施例使用较高外部压力以将样本固持到位且防止 III-V 族材料的解接合或局部变形 (由于温度上升一开始 VOC 中的所捕获空气便膨胀)。假设潜在的最坏情况:大量所捕获清洁间环境空气 (99% 的 O₂ 及 N₂) 在从室温 (20°C) 到 300°C 及回到室温的整个温度循环中恒定 (即, Si 或 BOX 层中无吸收或扩散),则可根据方程式 8 中的众所周知的盖·吕萨克定律 (Gay-Lussac's Law) 计算额外压力,因为在相对低温度下 O₂ 及 N₂ 可被视为理想气体。方程式 8 中的 T、P_T 及 P₀ 分别代表摄氏温度 T 及温度 T 及 0 下的压力。在自发配合后,VOC 腔中的最大内部压力 P_{300°C} 因此为 20°C 下的压力 P_{20°C} (VOC 腔形成的压力) 的 1.96 倍。此文章中的 P_{20°C} 也等于在我们的实验室中例行用于使用 IPOC 的接合对的压力 1.24MPa,以便最小化 III-V 表面上的表面微粗糙性,因为在 IPOC 情况下无气体膨胀在真空退火室中发生。因此,使用 2.43MPa 的压力来克服气体膨胀且针对 VOC 情况实现与 IPOC 情况的接合相同质量的接合。

$$[0065] \quad P_T = P_0 \left(1 + \frac{1}{273.15} T\right) \quad (8)$$

[0066] 图 13 显示具有 t = 7 μm 及 S = 100 μm 的接合对在 1 小时的 300°C 退火之后的面间空洞密度对外部压力的实验数据。超过 4000 cm⁻² 的极高平均空洞密度出现在未按预期施加外部压力的接合对处,且当施加用于 IPOC 情况的规则 1.24MPa 时减小到 290 cm⁻² 左右。当压力增加到 3MPa (1.24MPa 的 2.41X) 时,获得与 IPOC 情况 (18 小时退火) 相当的低空洞密度 27 cm⁻²。实验中比根据盖·吕萨克模型的计算稍微高的压力相信是由于 H₂O 气体副产物及少量的所捕获微小空气携带有机粒子的聚集加上理想的盖·吕萨克模型对于实际情形的潜在误差的贡献。图 13 中的插入图像是在 3MPa 外部压力 300°C 下退火 2 小时的 2x2 cm² 样本。在选择性地移除 InP 衬底之后实现似镜面的外延层转移。如果在真空环境中进行室温下的自发配合,那么较低压力将足够。

[0067] 接合强度表征

[0068] 在移除 InP 衬底之后在接合后装置处理 (高达 320°C) 期间施加外部压力是不实际的。防止由于 VOC 腔中所捕获的气体膨胀而产生的 III-V 分层依赖于 VOC 周围的经接合区域的表面能量。因此,退火之后的接合强度 (即, 表面能量) 作为评估接合质量的另一因素。在等级 1000 清洁间环境中,对仅退火 30 分钟 (因为此对于图 12 中的有效除气看起来是足够的) 的约 1x1 cm² 接合对执行标准裂纹张开方法²⁶。较长的退火时间通常导致相等或较高的表面能量²⁵,使得仅退火 30 分钟的样本用于此测量。此测量中所使用的 SOI 样本的两个相对边缘有角度地抛光为与接合表面成 45° 角度,从而允许将 100 μm 的薄刀片容易地、正确地且可重复地插入到接合界面中。然而,当尝试将所述刀片插入穿过时,在到达所接触区域的边界时或之前剩下 ~ 400 μm InP 衬底的顶部 InP 样本全部破裂,如图 14(a) 到

(d) 的无空洞红外透射图像中一致所示,因此导致无法确定均衡裂纹长度。图 14(a) 及 (c) 中的黄色点线突出具有相应的 $S = 50 \mu\text{m}$ 且 $t = 9 \mu\text{m}$ 及 $S = 200 \mu\text{m}$ 且 $t = 7 \mu\text{m}$ 的 VOC 的所接触区域,其显示靠近 VOC 图案的边缘的 InP 衬底的裂纹。当 InP 的裂纹出现时,刀片在图中所示的位置处停止。图 14(b) 及 (c) (图 14(a) 及 (c) 中的蓝色虚线框的相应俯视显微镜 (25X) 图案) 进一步证实紧密 InP-SOI 接触的维持以使得 InP 破裂严格地遵循接触边界。暴露的 BOX 绿色边沿 (来自光致抗蚀剂边缘球状物移除的步骤) 与图 14(d) 中的 InP 衬底之间的顶部 Si 层的小穗纹指示与图 14(b) 中具有 $S = 50 \mu\text{m}$ 及 $t = 9 \mu\text{m}$ 的接合对相比相对较低的表面能量,预期此是由于图 11 中所示的显著较高的空洞密度。大小较小的样本上的 InP 衬底的裂纹指示接合表面能量高于体 InP 的破碎能量的可能性²⁴,也是马斯扎拉 (Maszara) 在测量亲水 Si-Si 接合时报告的类似情况¹。接合表面能量的准确确定需要较薄的刀片及具有较厚 InP 衬底的较大大小的样本,其更昂贵且超出此文章的范围。

[0069] 或者, III-V-SOI 接合的样本经历苛刻的分割测试,所述测试也是用于制作法布里 - 珀罗 (Fabry-Perot) 腔装置的标准过程。通过 $100 \mu\text{m}$ 厚的刀片以超过 10,000 轮 / 分钟的旋转速率来切割在 SOI 衬底上仅具有 $2.2 \mu\text{m}$ 厚的外延层的经接合样本。尽管 III-V 侧向上且在分割期间无表面保护,III-V 外延层的脱落不大于 $6.2 \mu\text{m}$ 且在图 14(e) 中始终遵循 SOI 穗纹,也展示了强接合的实现。III-V 外延材料由图 14(e) 中所示的分割灰尘层覆盖,证明在分割测试期间不采用任一种类的表面保护。

[0070] 在 InP 衬底移除之后例行继续进行在空气中将经接合对烘焙到 250°C 保持 5 到 10 分钟的另一热循环步骤,以进一步检验接合强度,因为在接合界面处具有所捕获气体副产物的任何空洞在那时变得更可见。另一方面,如果接合强度不足以将 III-V 外延层与 SOI 固持在一起,那么 VOC 腔中的剩余气体将能够在此烘焙步骤中导致分层。在 VOC 处或在 VOC 周围未发现经转移 III-V 层的明显变形或分层,此指示整个所接触区域中的高表面能量及 VOC 腔内部的气体压力的可能减小 (通过吸收或扩散)。 $S = 50 \mu\text{m}$ 及 $100 \mu\text{m}$ 情况的空洞密度在额外烘焙之后保持相同 (数据未显示),此显示除气过程完成及所述接合过程的优秀可靠性。对 2 个多月前接合的样本执行相同测试,且未注意到空洞密度及 III-V 变形方面的改变 (数据未显示),此也指示 BOX 层中的 H_2O 吸收 (方程式 (5)) 不可逆。

[0071] 此处还有趣地注意到,面间空洞形成特性与材料的表面状态密切相关联,所述状态包括 O_2 等离子体处理之后的表面粗糙性、表面外延缺陷及羟基基团密度等。图 15(a) 及 (b) 显示在 30 分钟的 300°C 退火之后的具有来自不同卖家的 III-V 材料的接合对与图 10 中所示类似的区域。不同于图 10(a) 中的大小较小的空洞 (直径 $< 20 \mu\text{m}$) 的高密度,非 VOC 区域中的空洞在图 15 中显示一个方向上甚至具有大于 $200 \mu\text{m}$ 的任意形状,此主要由于此外延晶片中的较大多数的表面缺陷 (其为气体聚集的优选成核位置¹¹) 及稍微较粗糙的表面 (其帮助气体副产物迁移相对长的距离在成核位置处集合)。在不具有 VOC 或 IPOC 的 1cm^2 样本上的接合失败 (数据未显示),因为 InP 外延层在 HCl 溶液中的退火后衬底移除期间完全被剥离,此指示此类型的晶片的内在较差可接合性及严重的除气问题。然而,借助如图 15 中所示的 VOC 仍可获得高质量无空洞接合,其中用红色框突出 $S = 100 \mu\text{m}$ 及 $50 \mu\text{m}$ ($t = 9 \mu\text{m}$) 的区。其展示可潜在降低接合晶片选择准则的此过程的强健性及通用性,因此大大降低总制造成本。还应注意,尽管上文所论述的 VOC 模型描述一般除气原理借助“檐槽”层 (例如,此文章中的 BOX 层),但在我们的实验中所观察到的面间空洞密度的值仅代表在

特定条件下测试的那些特定晶片组。对与 SOI 及 III-V 材料性质、表面化学及接合过程相关联的面间空洞形成特性的更详细研究在进行中。

[0072] 最后,通过如图 16(b) 中所示意外地未向下蚀刻到 BOX 层来进一步证实此论文中所提出并展示的除气机制,图 16(b) 为图 16(a) 中的黄色虚线突出的区的 SEM 横截面图像。由于样本的边缘处的光致抗蚀剂积累,某一 VOC 图案不完美地转移到 SiO₂硬掩模,因此导致在一些 VOC 中未完全蚀刻穿过 Si 装置。VOC 中的所聚集气体及所捕获气体导致 InP 薄外延层的明显变形,此由图 16(a) 中的一些 VOC 位置中的那些鼓胀气泡显示。穿过图 16(b) 中的气泡劈开释放所捕获气体且随后释放内部压力,但在质量上可通过沿其 (100) 结晶定向的完全 InP 破裂断定不良接合表面能量。不同于图 8(d) 中的类似横截面图中所示的强接合,图 16(b) 中的不良接合导致在劈开时 Si 及 InP 单独破裂,此显示 InP 上的良好 (100) 小面及 Si 装置层上的粗糙小面。

[0073] 接合可缩放性

[0074] 根据图 11 到 13,每一 VOC 看起来能够在某一时间周期中容纳来自相邻区的有限气体副产物,因此产生有效区域覆盖,如同 VOC 处在中心处一样。理想地,只要区域覆盖开始彼此重叠从而消除“死地带”的存在则可实现无空洞接合,此最可能是此文章中的 $S = 50 \mu\text{m}$ 的情况。换句话说,如果采用具有适当方案的 VOC 则可基本上消除除气问题,而不管晶片尺寸如何。图 17 展示直径为 50mm(2 英寸)、75mm(3 英寸) 及 100mm(4 英寸) 的基于 InP 的外延层到具有 $S = 100 \mu\text{m}$ 且 $t = 7 \mu\text{m}$ 的 VOC 的 SOI 衬底上的成功转移。所述经接合晶片在 3MPa 压力 300°C 下退火 2 到 3 小时,此显示与 1cm² 样本相同的接合质量。据我们所知,此处的 4 英寸接合为所记录的大 InP 到 Si 直接晶片接合,即,无面间氧化物或聚合物粘合剂层。将相同接合过程应用于可变大小的晶片接合的成功展示使用 VOC 的有希望过程可缩放性,只要晶片清洁、平坦且光滑。

[0075] 额外优点

[0076] 最后注意,VOC 的一些实施例的设计除前文所论述的那些外还可包涵数个更多长处及处理方便性。

[0077] 与先前所使用的 IPOC(气体及液体可流回其中)对比,使用 VOC 的接合在一些实施例中将接合界面与外部环境大致完全隔离,从而改善接合稳定性。此外,由于界面粒子、表面划伤或缺陷而产生的局部 III-V 破裂或剥离的负面影响较小(数据未显示),因为经接合区域的剩余部分不受到有害气体或液体的损坏。

[0078] 由于垂直除气过程与常规平面中电路及组件布局的兼容性,灵活的装置图案设计是可用的。

[0079] 在一些实施例中甚至针对具有小间距及相对大尺寸(即,在此文章中为 $S = 50 \mu\text{m}$ 及 $t = 9 \mu\text{m}$) 的 VOC 在 SOI 衬底上产生小占用面积。表 1 列出由于缺乏经蚀刻 Si 材料而产生的未接合区域的百分比。最大 3.24% 的面积消耗为高密度装置集成及 SOI 与 III-V 层之间的光学、电及热互连留下大量空间。

[0080] 初级 X 射线衍射研究(数据未显示)指示 VOC 甚至可充当对空洞抑制有贡献的“应力释放”图案²⁷,从而允许热失配膜经受住接合后装置处理,且最小化应力引发的缺陷。需要进一步研究来理解基础物理学。

[0081] 存在图案化并形成呈正方形、圆形、矩形等或其组合的各种形状的 VOC 的多种方

式。使用 VOC 的热退火不需要真空也不需要形成气体。使用具有 $1 \mu\text{m}$ 及 $3 \mu\text{m}$ BOX 层的 SOI 晶片不存在明显差异。其均产生所期望的制作灵活性及低成本过程。

[0082] 过程流程图

[0083] 图 18 图解说明根据本发明的一个或一个以上实施例的过程流程图。

[0084] 框 1800 图解说明给第一晶片图案化通道阵列，其中所述通道连接所述第一晶片的接合表面与所述第一晶片的掩埋氧化物层。

[0085] 框 1802 图解说明将所述第一晶片的所述接合表面与第二晶片的顶部表面耦合。

[0086] 框 1804 图解说明加热所述经耦合第一晶片与第二晶片。

[0087] 框 1806 图解说明冷却所述经耦合第一晶片与第二晶片以将所述第一晶片配合到所述第二晶片。

[0088] 总结

[0089] 引入简单的新颖垂直除气通道 (VOC) 概念且详细论述基础化学。来自低温下的接合聚合反应的主要气体副产物 H_2O 及 H_2 由 SOI 衬底中的厚 BOX 层通过 VOC 吸收。当仅薄 InP 外延层留在 SOI 衬底上时，通过恰当选择的 VOC 方案展示高达五个数量级（从 $> 50000 \text{cm}^{-2}$ 到 $\leq 3 \text{cm}^{-2}$ ）的急剧面间空洞密度减小，此显示极有效的除气能力。300°C 下所需的最小退火时间周期在 10 到 30 分钟之间以获得最佳接合质量，其也是整个除气过程完成的时间周期。其代表与先前平面中除气通道 (IPOC) 设计相比 36 到 108X 时间减少，且对于无除气通道的情况甚至是更大的减少。实验上发现必需 3MPa 外部压力来克服 VOC 腔中所捕获空气的膨胀。通过裂纹张开方法及苛刻的分割测试来表征接合强度，两者均显示高表面能量。额外的热烘焙步骤也展现使用 VOC 的接合的稳定性及可靠性。当将相同过程应用于具有良好及不良可接合性的两个不同 InP 外延晶片时，此 VOC 设计的强健性及通用性由相同的所展示除气效率证实。75mmInP 晶片到 SOI 衬底的成功外延转移表明有希望将其进一步向上缩放到较大的大小以用于大规模生产，此指示 VOC 设计是独立于晶片等级的且代表基本解决基于绝缘体上半导体的直接晶片接合中的除气问题的方法。还提及装置设计及制作、接合可靠性及接合应力最小化中的数个附带优点。因此，相同的除气原理可应用于其它低温同质或相异材料集成，其中涉及檐槽层。此外，在本发明的范围内，除硅及 InP 外，其它衬底材料（例如，其它 III-V 或 II-VI 材料、锗或其它材料）可用作任一衬底或两个衬底。

[0090] 本文中所描述的是晶片接合的装置，其具有通道以改善所述装置的接合。根据本发明的一个或一个以上实施例的晶片接合的装置包含：衬底晶片，其具有掩埋氧化物层及接合层，所述接合层具有耦合于所述接合层的接合表面与所述掩埋氧化物层之间的至少一个除气通道；及第二晶片，其接合到所述接合层的所述接合表面。

[0091] 此种装置进一步任选地包含减小所述衬底晶片与所述第二晶片之间的面间空洞密度的所述至少一个除气通道，所述至少一个除气通道为多个除气通道，所述多个除气通道布置成阵列，所述多个除气通道具有一致的横截面形状，所述一致的横截面形状为大致正方形横截面形状，所述正方形横截面形状的边缘在 2 微米与 10 微米之间，所述阵列具有一致的间距，所述一致的间距被选择为在 50 微米与 400 微米之间的距离，所述衬底晶片为硅晶片，且所述第二晶片为 III-V 晶片。

[0092] 根据本发明的一个或一个以上实施例的用于接合第一晶片与第二晶片的方法包含：给所述第一晶片图案化通道阵列，其中所述通道连接所述第一晶片的接合表面与所述

第一晶片的掩埋氧化物层；将所述第一晶片的所述接合表面与所述第二晶片的顶部表面耦合；加热所述经耦合第一晶片与第二晶片；及冷却所述经耦合第一晶片与第二晶片以将所述第一晶片配合到所述第二晶片。

[0093] 此种方法进一步任选地包含将所述经配合第一晶片与第二晶片退火及给所述经配合第一晶片与第二晶片加压。

[0094] 根据本发明的一个或一个以上实施例的异质结装置包含：第一衬底，其包含装置层及掩埋层，其中所述装置层包含耦合于所述装置层的顶部表面与所述掩埋层之间的至少一个通道；及第二衬底，其包含有源层，其中所述第一衬底的所述装置层的所述顶部表面晶片接合到所述第二衬底的所述有源层。

[0095] 此种装置进一步任选地包含减小所述装置层的所述顶部表面与所述第二衬底的所述有源层之间的面间空洞密度的所述至少一个通道，所述至少一个通道为多个通道，所述多个通道布置成阵列，所述阵列具有一致的间距，且所述一致的间距被选择为 50 微米与 400 微米之间的距离。

[0096] 参考文献

[0097] 以下参考文献以引用方式并入本文中：

[0098] ¹W. P. 马斯扎拉 (W. P. Maszara), 电化学会期刊 138, 341 (1991)。

[0099] ²W. 乔治 (W. George) 及 I. P. 丹尼尔 (I. P. Daniel), 应用物理学期刊 40, 3946 (1969)。

[0100] ³Q. -Y. 佟 (Q. -Y. Tong)、G. 方婷 (G. Fountain) 及 P. 因奎斯特 (P. Enquist), 应用物理快报 89, 042110 (2006)。

[0101] ⁴U. 高赛尔 (U. Gosele) 及 Q. Y. 佟 (Q. Y. Tong), 材料科学年度评论 28, 215 (1998)。

[0102] ⁵S. 麦克 (S. Mack)、H. 鲍曼 (H. Baumann)、U. 高赛尔 (U. Gosele)、H. 沃纳 (H. Werner) 及 R. (R. Schlogl), 电化学会期刊 144, 1106 (1997)。

[0103] ⁶S. 麦克 (S. Mack)、H. 鲍曼 (H. Baumann) 及 U. 高赛尔 (U. Gosele), 科学与行动 A : 物理 56, 273 (1996)。

[0104] ⁷E. A. 艾琳 (E. A. Irene)、E. 泰拿尼 (E. Tierney) 及 J. 安吉拉罗 (J. Angilello), 电化学会期刊 129, 2594 (1982)。

[0105] ⁸<http://soitec.com/en/about/>。

[0106] ⁹Q. -Y. 佟 (Q. -Y. Tong) 及 U. 高赛尔 (U. Gosele), 半导体晶片接合 : 科学与技术, 第 1 期 (约翰威利 & 桑斯 (John Wiley&Sons), 纽约, 1998), 第 123 页。

[0107] ¹⁰C. S. 谭 (C. S. Tan)、A. 范 (A. Fan)、K. N. 陈 (K. N. Chen) 及 R. 瑞夫 (R. Reif), 应用物理快报 82, 2649 (2003)。

[0108] ¹¹X. X. 张 (X. X. Zhang) 及 J. P. 拉斯金 (J. P. Raskin), IEEE 微机电系统期刊 14, 368 (2005)。

[0109] ¹²H. 黄 (H. Huang)、X. 任 (X. Ren)、W. 王 (W. Wang)、H. 宋 (H. Song)、Q. 王 (Q. Wang)、S. 蔡 (S. Cai) 及 Y. 黄 (Y. Huang), 90, 161102 (2007)。

[0110] ¹³Q. -Y. 佟 (Q. -Y. Tong)、Q. 甘 (Q. Gan)、G. 哈得孙 (G. Hudson)、G. 方婷 (G. Fountain) 及 P. 因奎斯特 (P. Enquist), 84, 732 (2004)。

[0111] ¹⁴A. W. 方 (A. W. Fang)、H. 帕克 (H. Park)、Y. -H. 郭 (Y. -H. Kuo)、R. 琼斯 (R. Jones)、

0. 科恩 (O. Cohen)、D. 梁 (D. Liang)、O. 拉迪 (O. Raday)、M. N. 西塞克 (M. N. Sysak)、M. J. 潘尼萨 (M. J. Paniccia) 及 J. E. 鲍沃斯 (J. E. Bowers), 今日材料 (Mat. Today) 10, 28 (2007)。
- [0112] ¹⁵H. 帕克 (H. Park)、A. W. 方 (A. W. Fang)、S. 儿玉 (S. Kodama) 及 J. E. 鲍沃斯 (J. E. Bowers), 光学快递 13, 9460 (2005)。
- [0113] ¹⁶A. W. 方 (A. W. Fang)、H. 帕克 (H. Park)、R. 琼斯 (R. Jones)、O. 科恩 (O. Cohen)、M. J. 潘尼萨 (M. J. Paniccia) 及 J. E. 鲍沃斯 (J. E. Bowers), IEEE 光子学技术学报 18, 1143 (2006)。
- [0114] ¹⁷M. 内海 (M. Itsumi), Si 微装置中的 SiO₂ (SiO₂ in Si Microdevices), 第 1 期 (施普林格 (Springer Verlag), 柏林, 2003), 第 3 页。
- [0115] ¹⁸S. K. 甘地 (S. K. Ghandhi), VLSI 制作原理 : 硅及镓砷化物, 第 1 期 (约翰威利 & 桑斯 (John Wiley&Sons), 纽约, 1983), 第 376, 377 页。
- [0116] ¹⁹T. 蓓可丝 (T. Bakos)、S. N. 拉什科夫 (S. N. Rashkeev) 及 S. T. 潘特莱得斯 (S. T. Pantelides), 物理评论快报 88, 055508–055501 (2002)。
- [0117] ²⁰A. G. 雷沃斯 (A. G. Revesz), 电化学会期刊 126, 122 (1979)。
- [0118] ²¹Q.-Y. 佟 (Q.-Y. Tong)、G. 方婷 (G. Fountain) 及 P. 因奎斯特 (P. Enquist), 应用物理快报 89, 042110 (2006)。
- [0119] ²²D. 帕斯夸列洛 (D. Pasquariello) 及 K. 约耳特 (K. Hjort), IEEE 量子电子学选题杂志 8, 118 (2002)。
- [0120] ²³Y. L. 曹 (Y. L. Chao)、Q.-Y. 佟 (Q.-Y. Tong)、T. H. 李 (T. H. Lee)、M. 赖西 (M. Reiche)、R. 肖尔茨 (R. Scholz)、J. C. S. 沃 (J. C. S. Woo) 及 U. 高赛尔 (U. Gösele), 固态电化学学报 (Electrochem. Sol. Stat. Lett.) 8, G74 (2005)。
- [0121] ²⁴D. 梁 (D. Liang)、A. W. 方 (A. W. Fang)、H. 帕克 (H. Park)、T. E. 雷诺兹 (T. E. Reynolds)、K. 华纳 (K. Warner)、D. C. 奥克利 (D. C. Oakley) 及 J. E. 鲍沃斯 (J. E. Bowers), 提交给电子材料期刊 (2007)。
- [0122] ²⁵G. 基辛格 (G. Kissinger) 及 W. 基辛格 (W. Kissinger), 科学与行动 A : 物理 36, 149 (1993)。
- [0123] ²⁶W. P. 马斯扎拉 (W. P. Maszara)、G. 戈茨 (G. Goetz)、A. 卡维利亚 (A. Caviglia) 及 J. B. 麦基特里克 (J. B. McKitterick), 应用物理学期刊 64, 4943 (1988)。
- [0124] ²⁷E. D. 金 (E. D. Kim)、N. K. 金 (N. K. Kim)、(S. C. Kim)、I. V. 格列霍夫 (I. V. Grekhov)、T. V. 阿古诺娃 (T. V. Argunova)、科斯金娜 (L. S. Kostina) 及 T. V. 库德亚特塞娃 (T. V. Kudryavtseva), 电子学学报 31, 2047 (1995)。
- [0125] 现在对本发明优选实施例的说明加以总结。出于图解说明及说明的目的呈现对本发明一个或一个以上实施例的上述说明。本文不打算包罗无遗或将本发明限制于所揭示的精确形式。根据以上教示可做出许多修改及变化。打算本发明的范围不受此详细说明限制, 但受形成本申请案的一部分的权利要求书及权利要求书的整个范围的等效物限制。

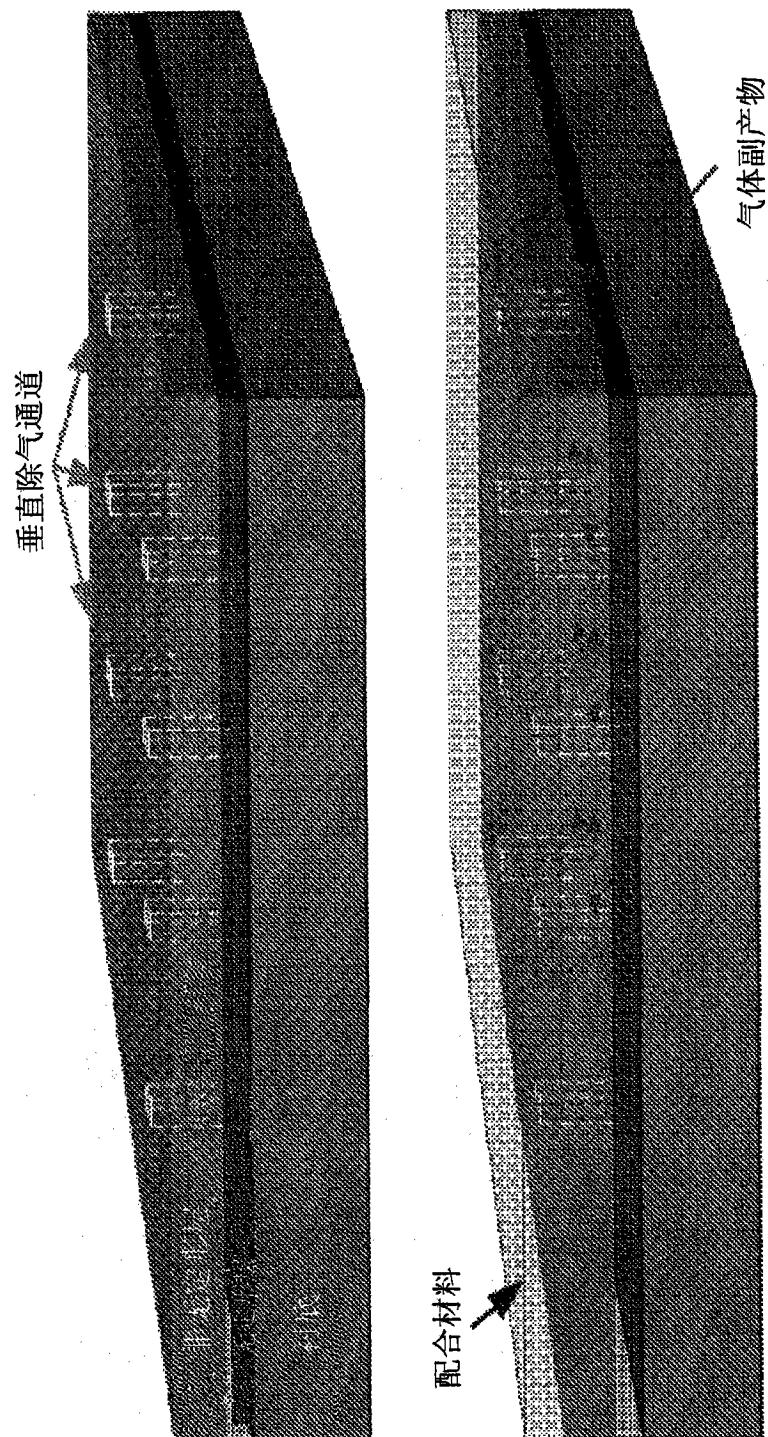


图 1

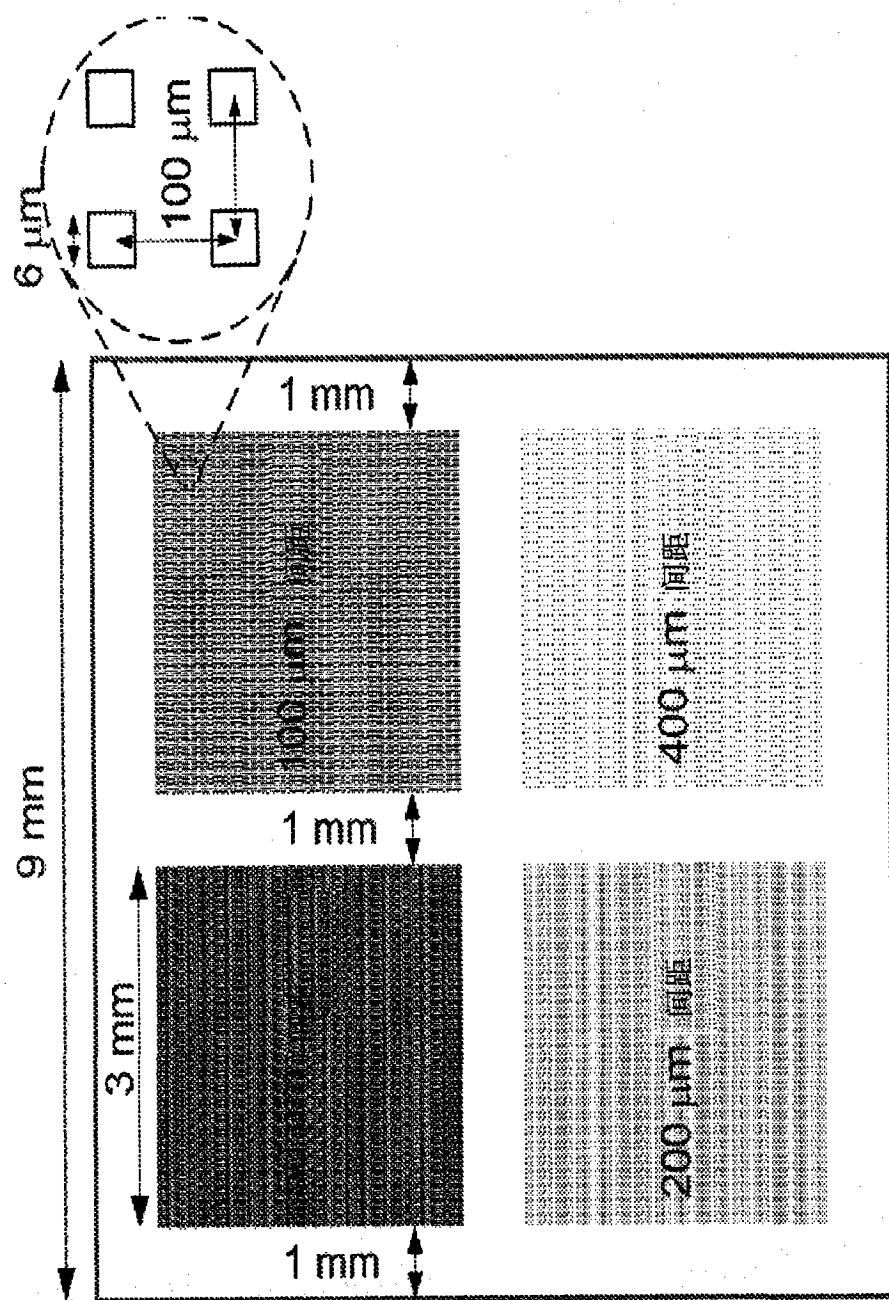


图 2

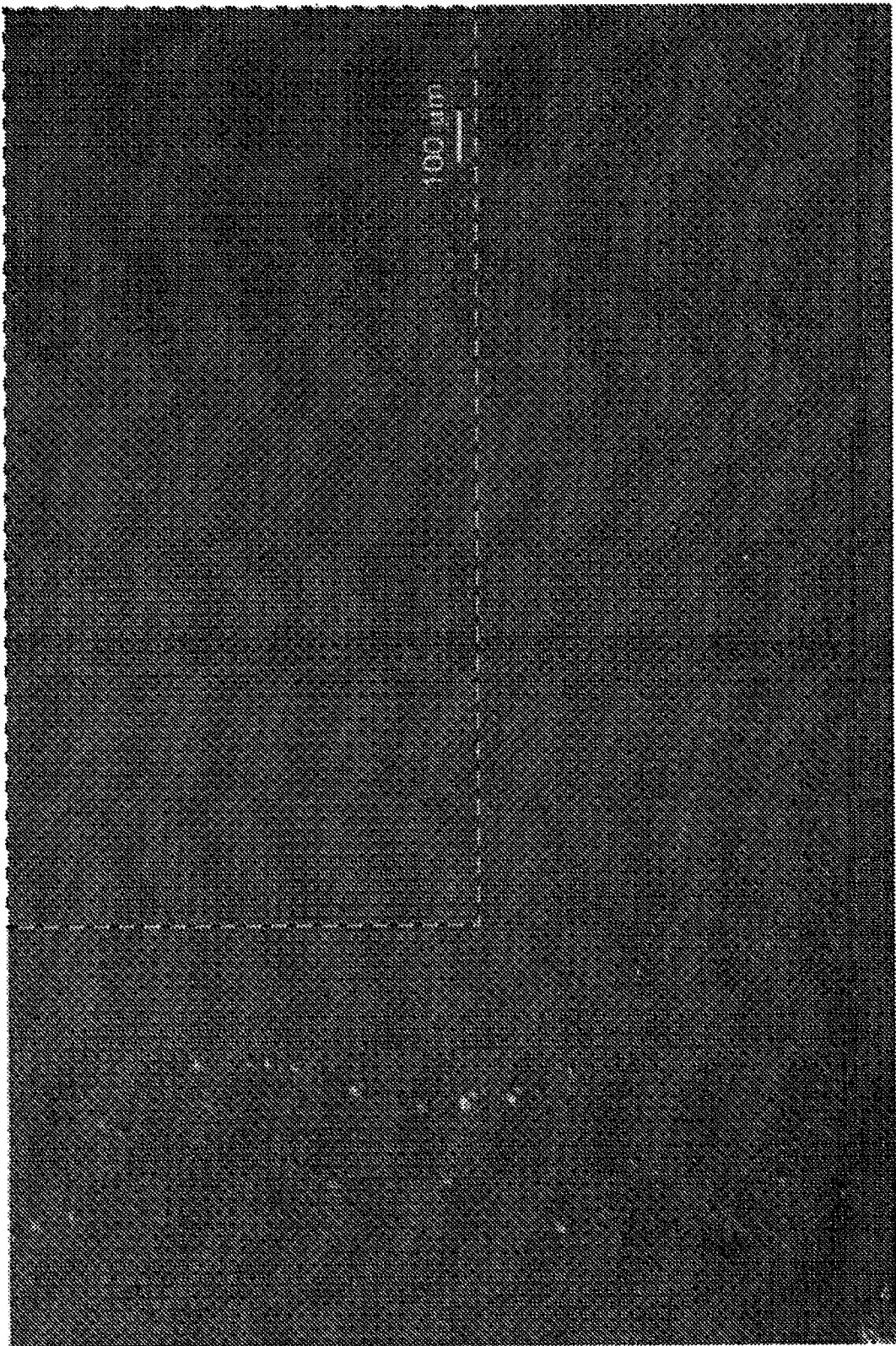


图 3

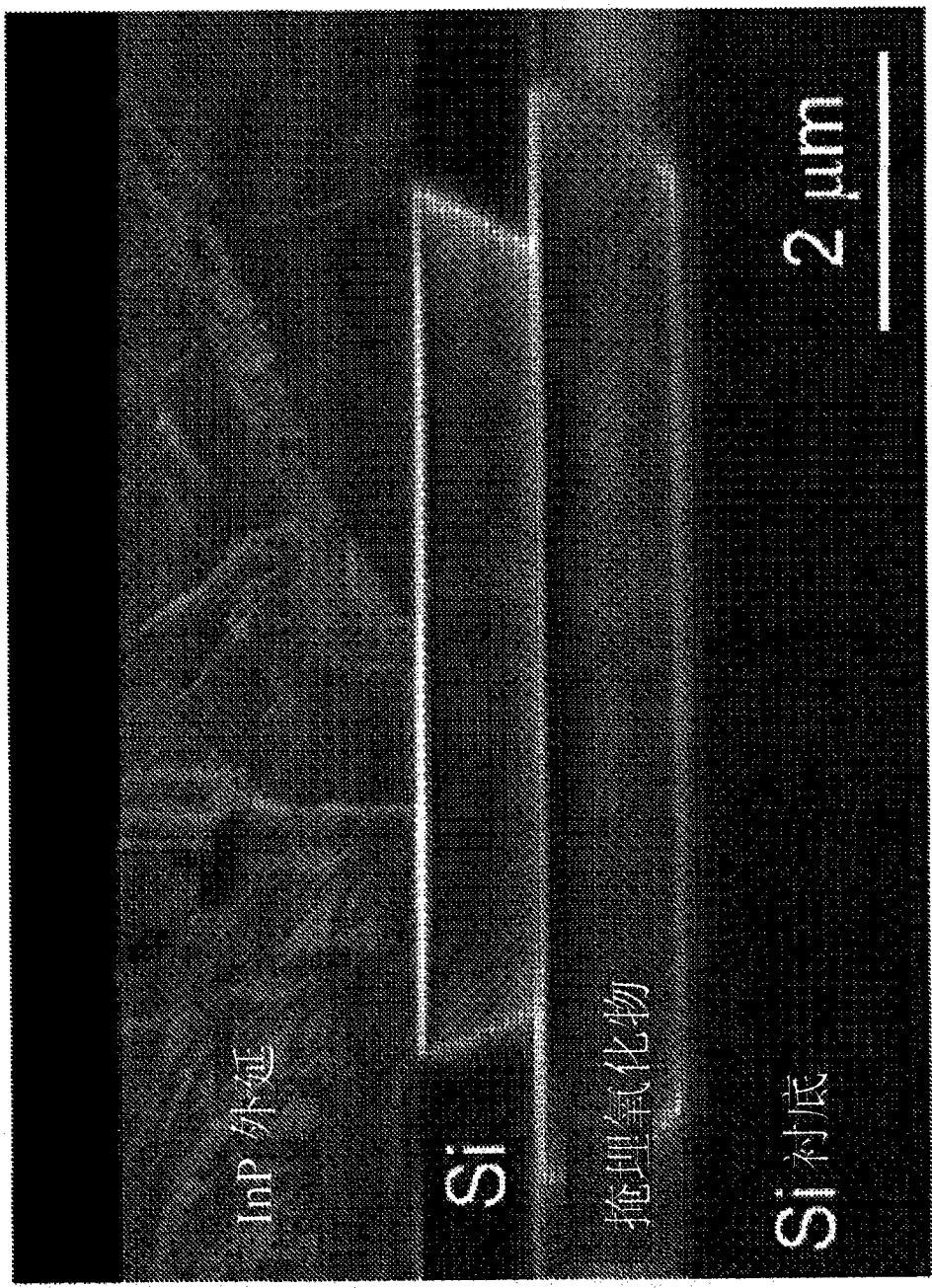


图 4

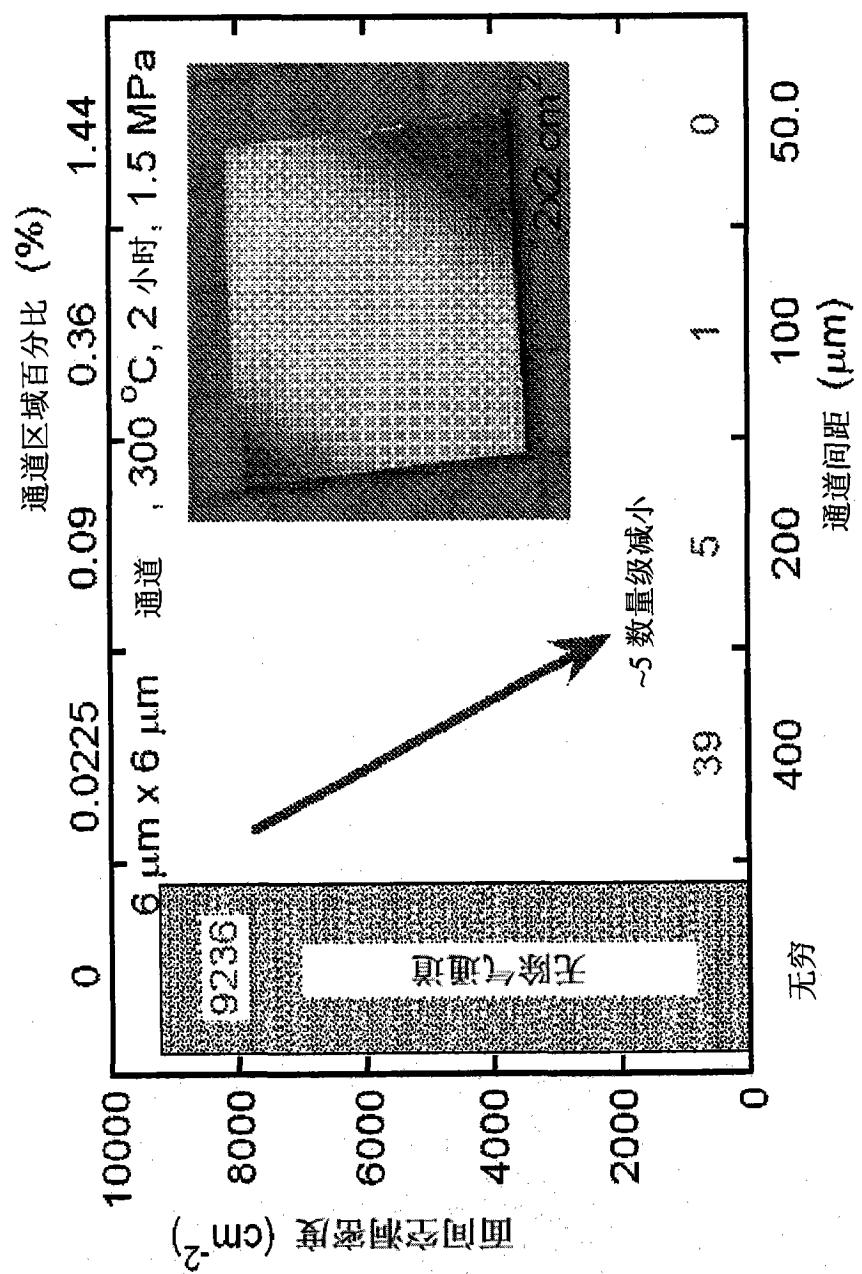


图 5

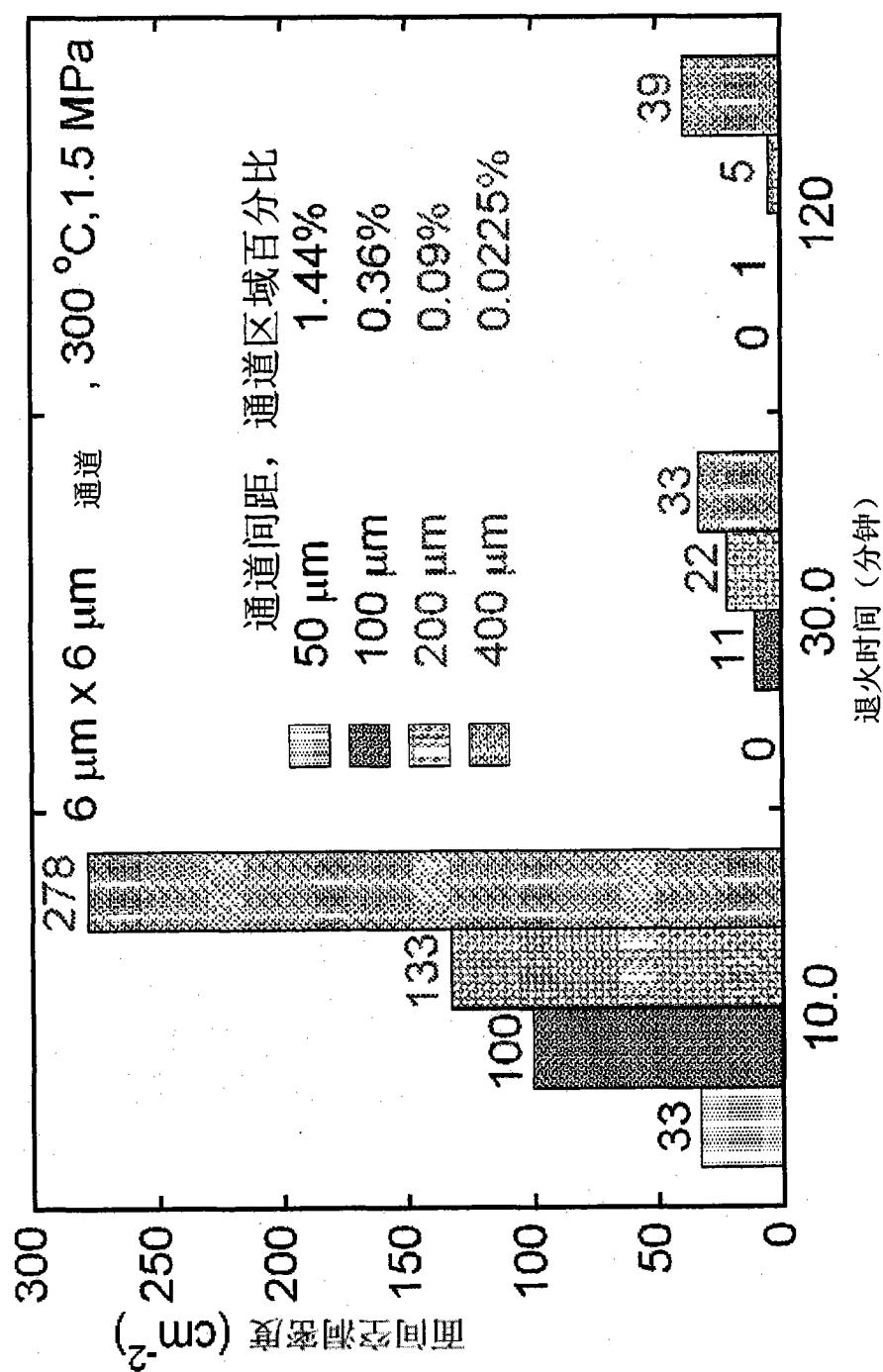


图 6

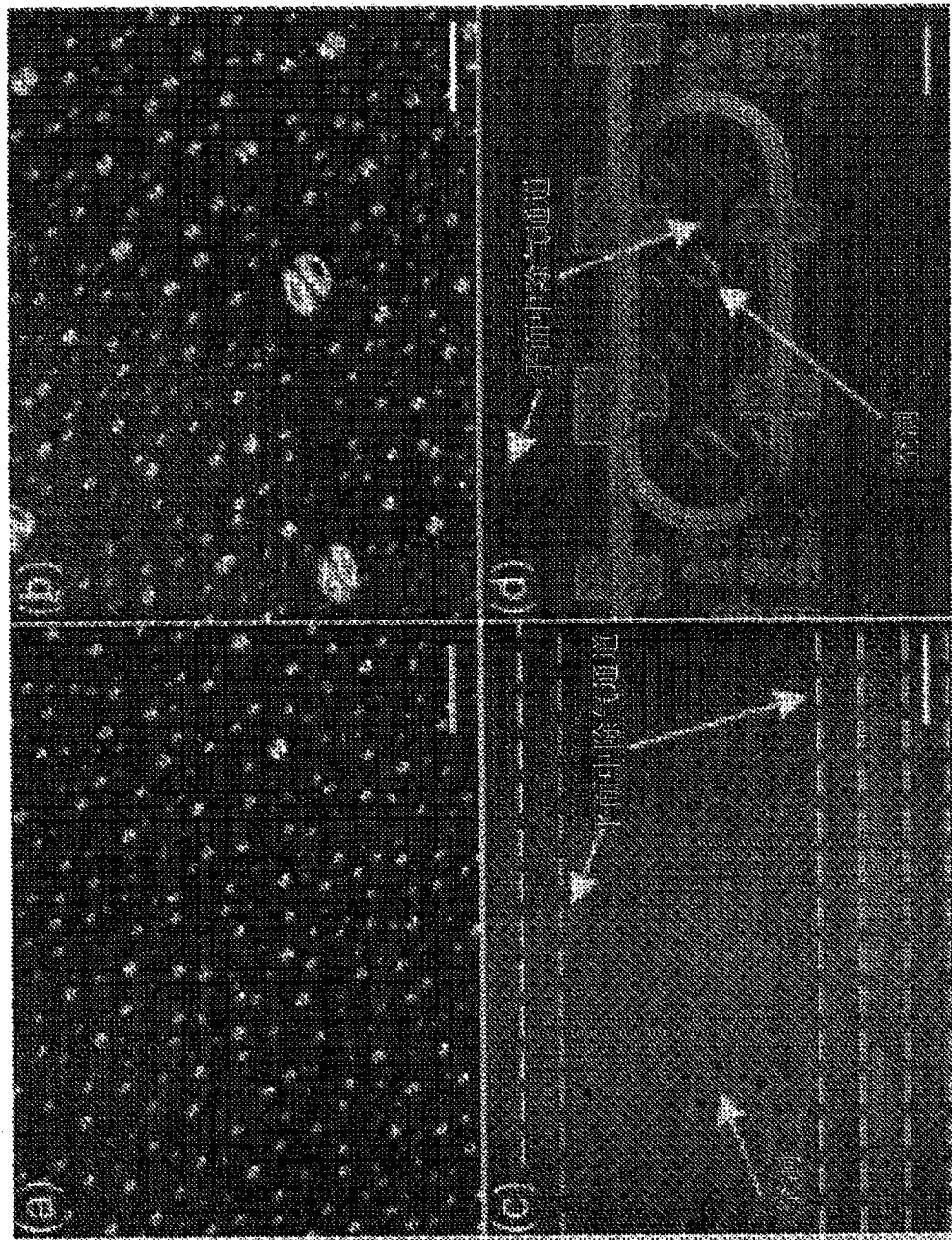


图 7

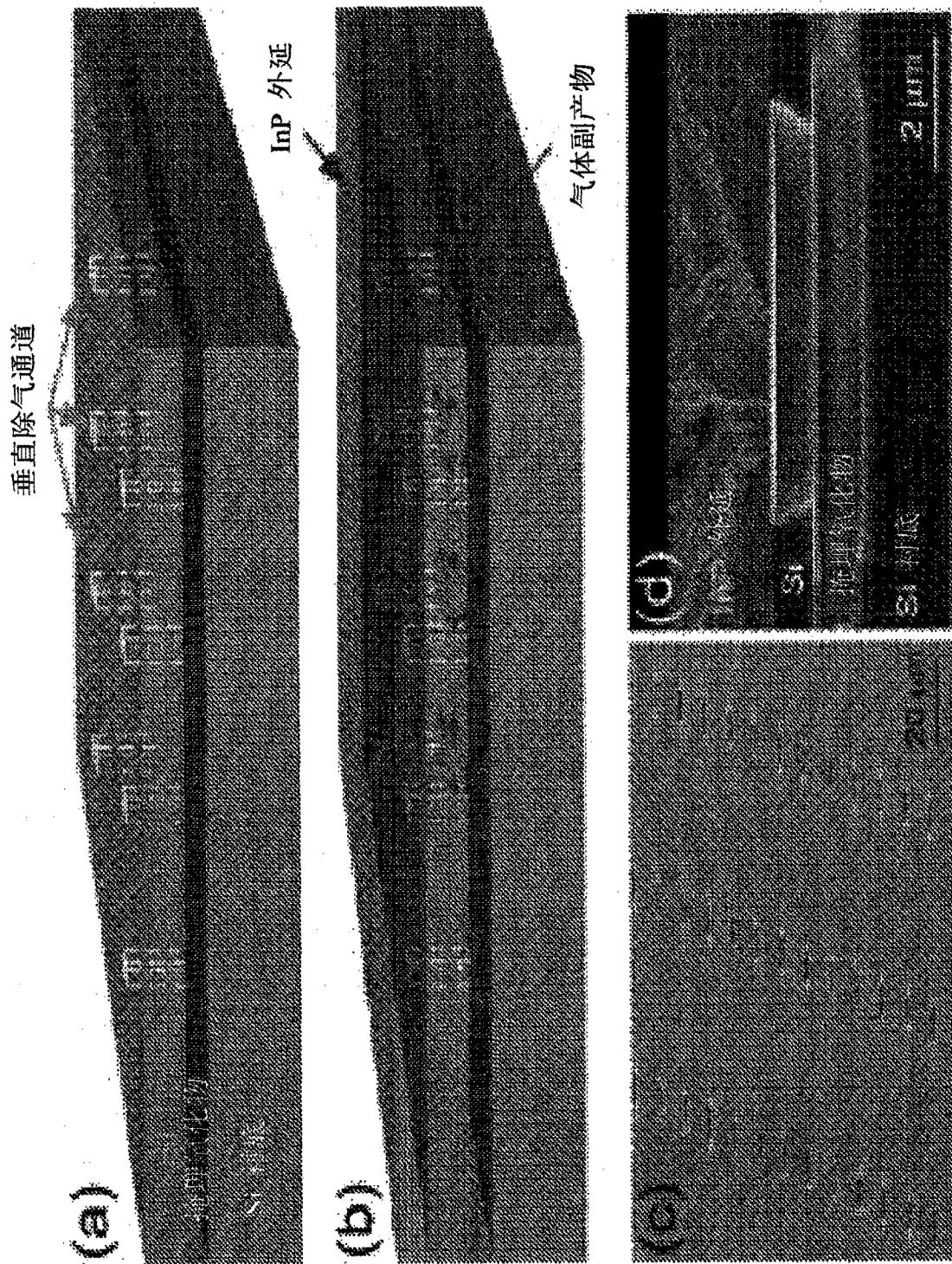


图 8

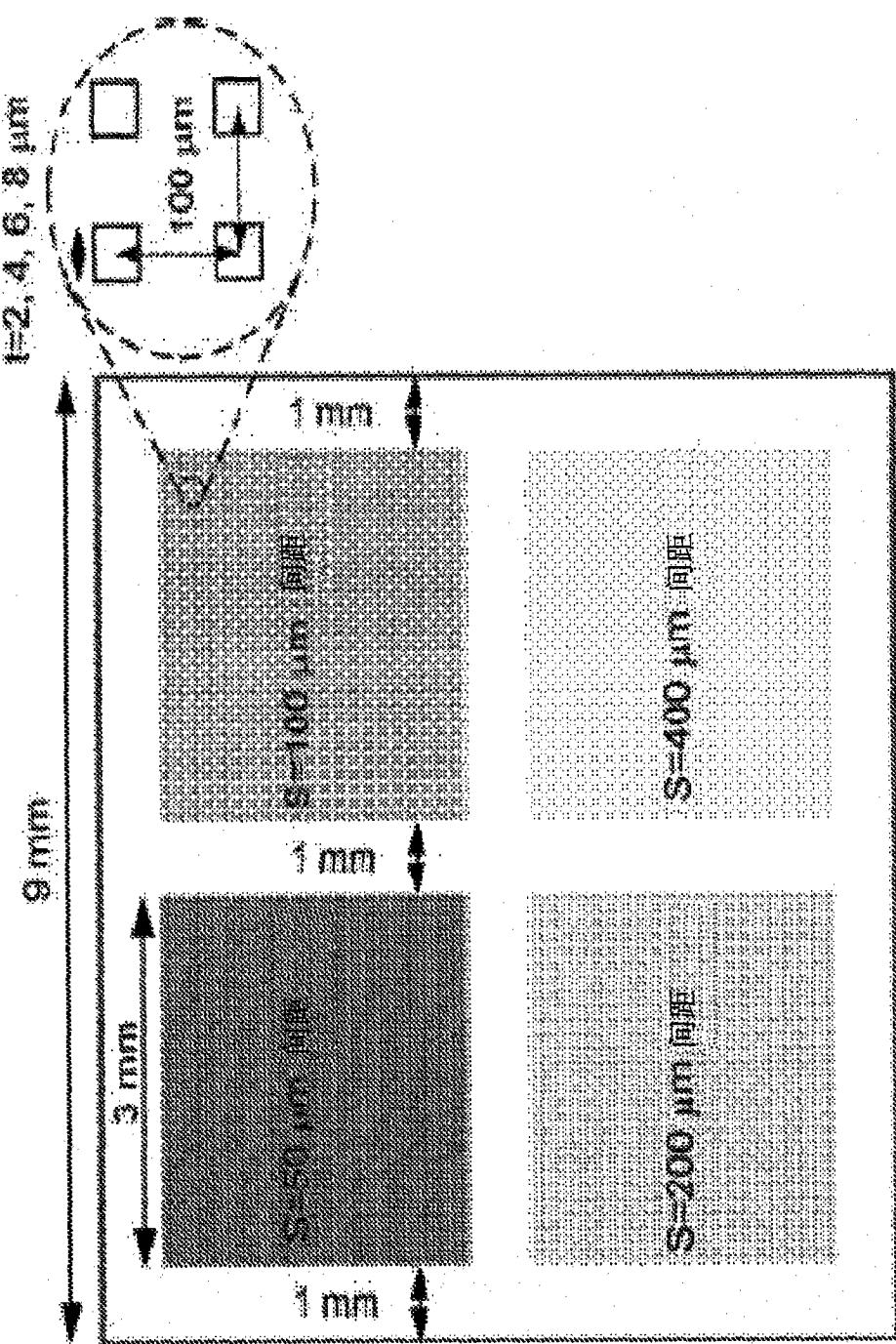


图 9

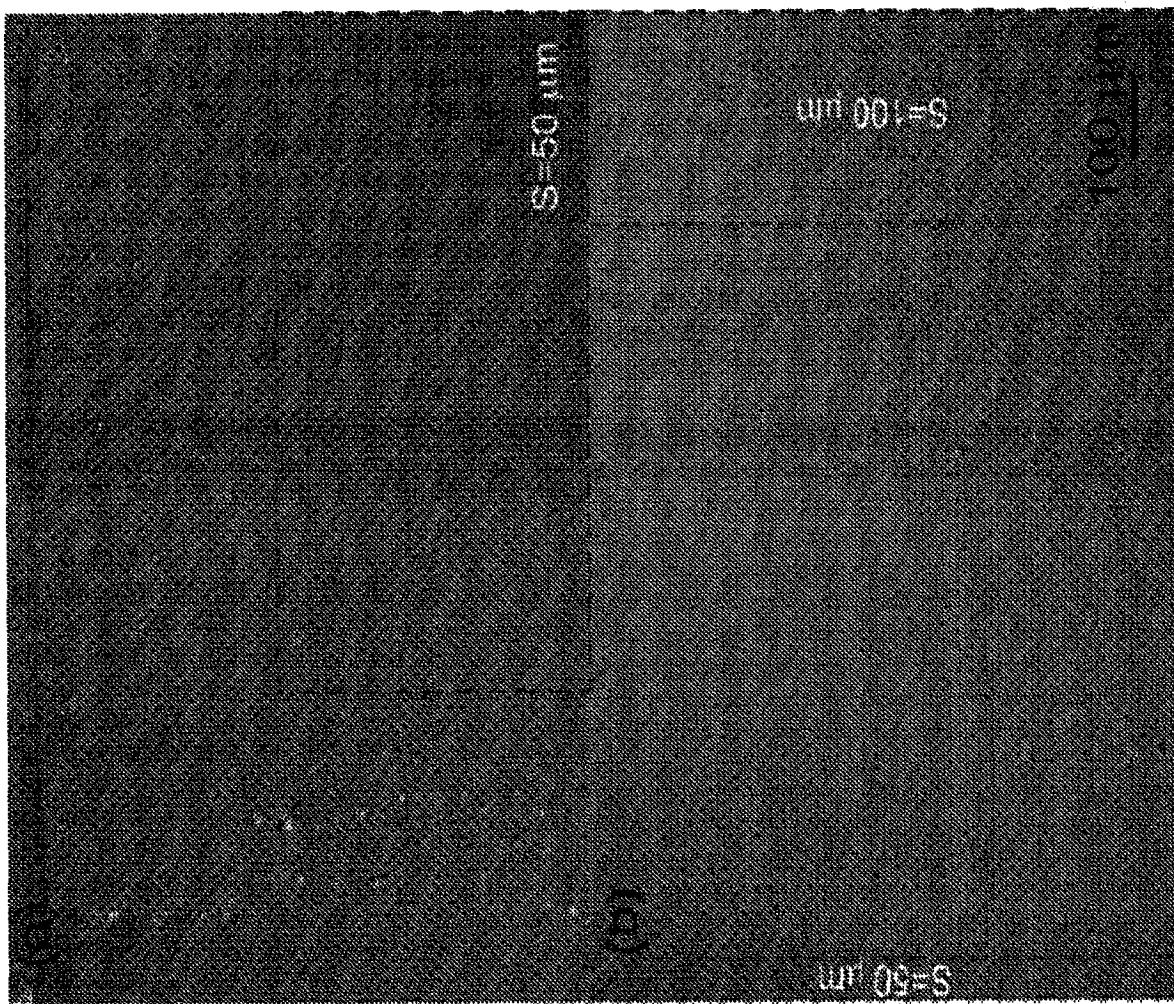


图 10

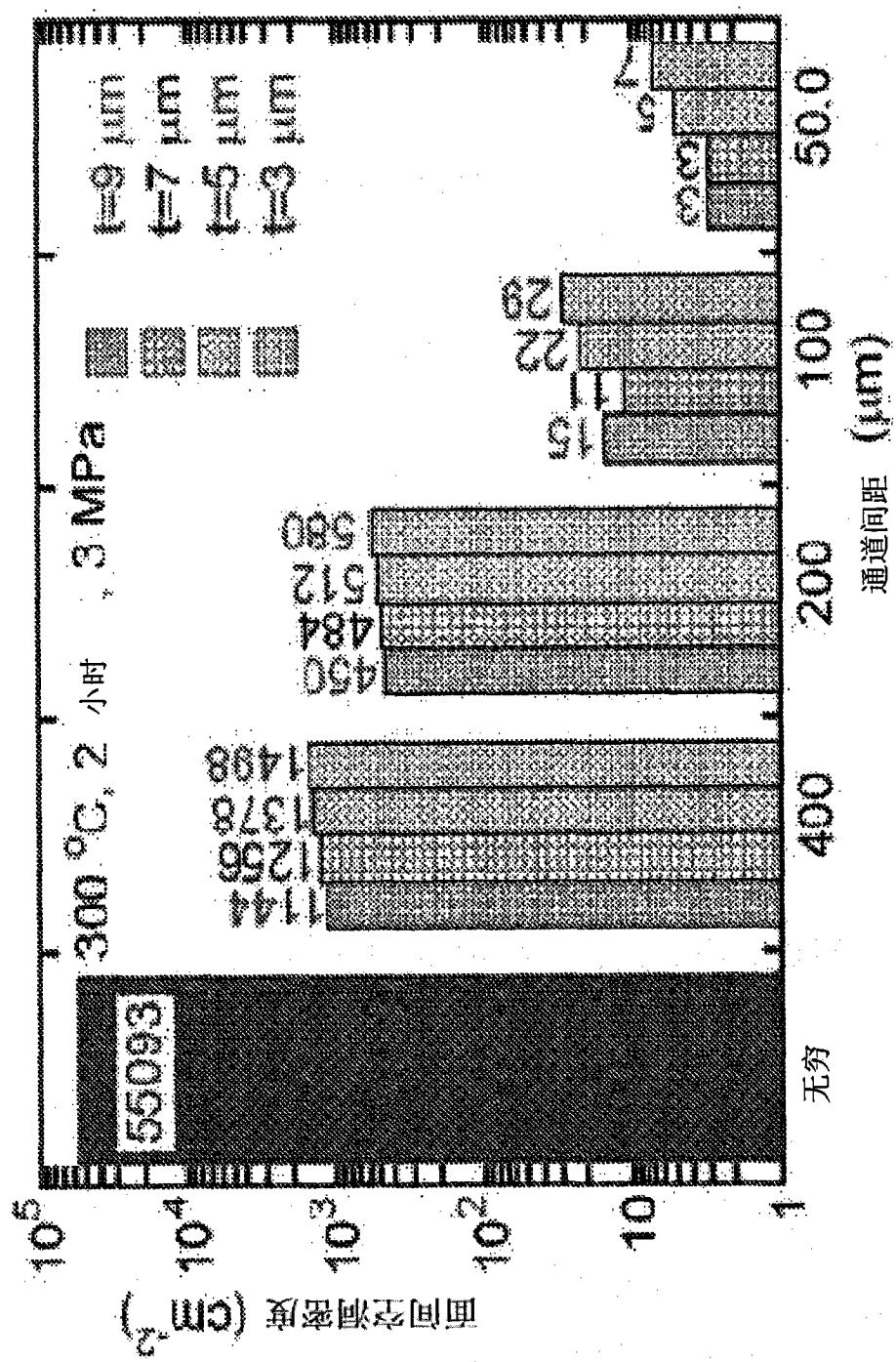


图 11

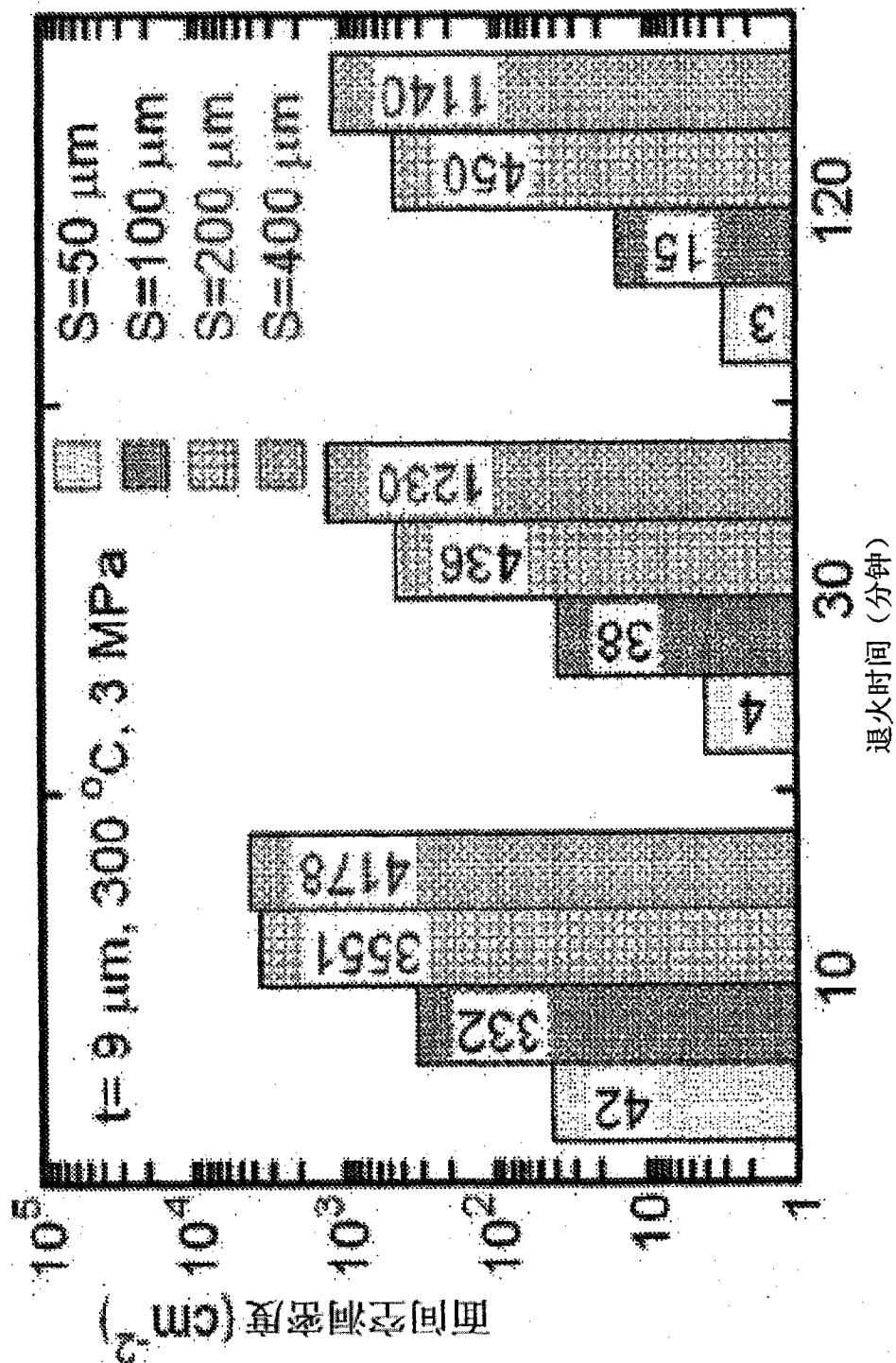


图 12

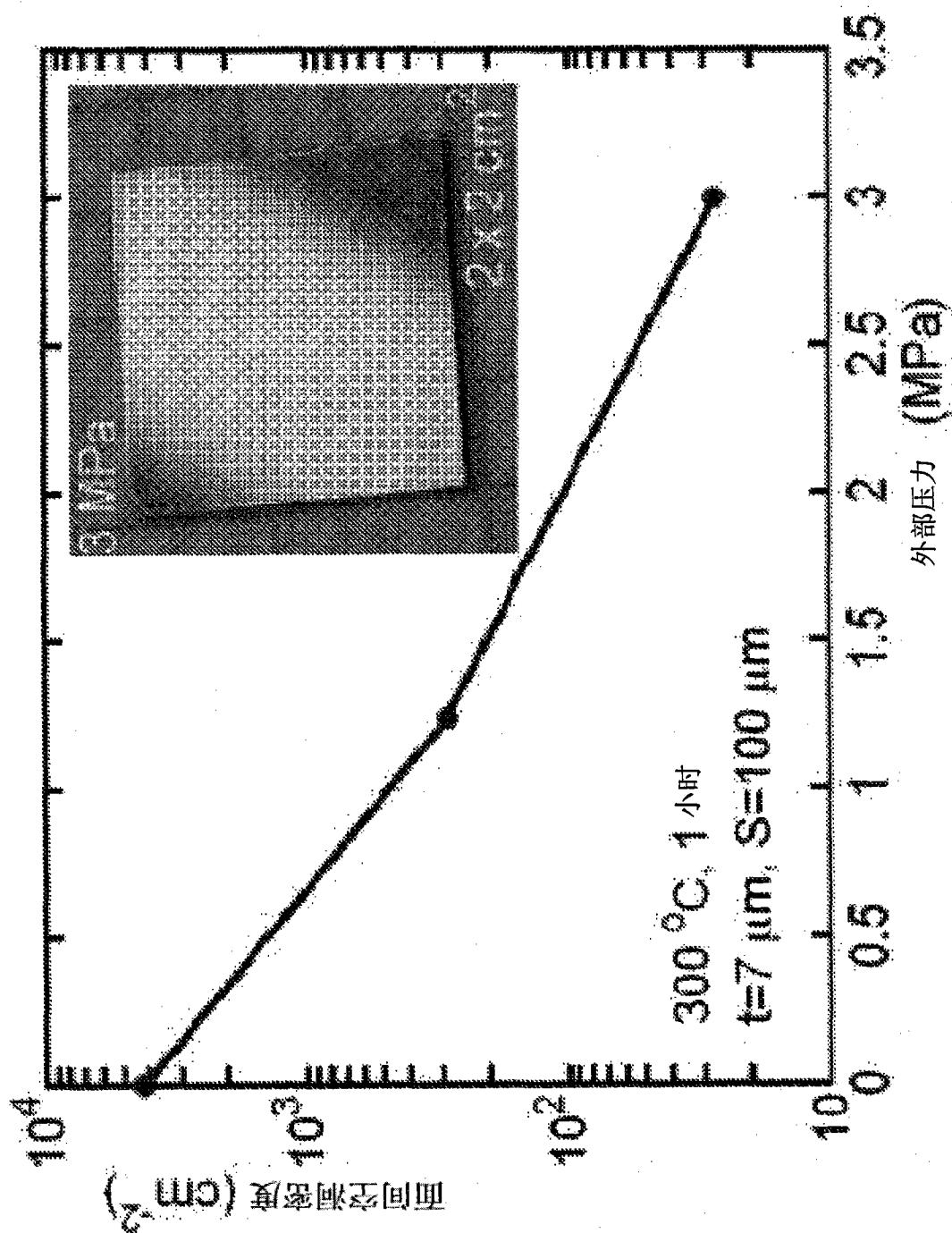


图 13

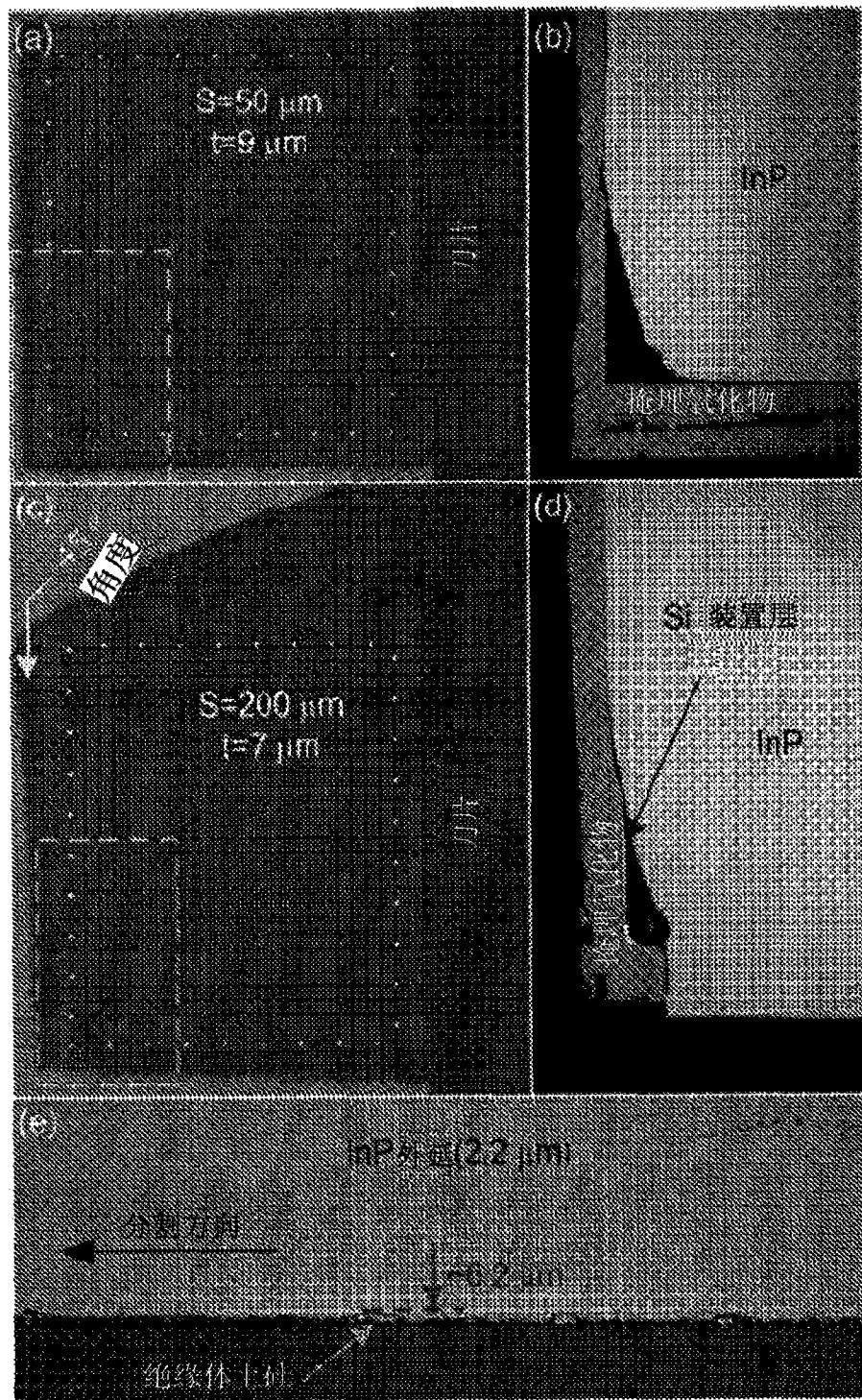


图 14

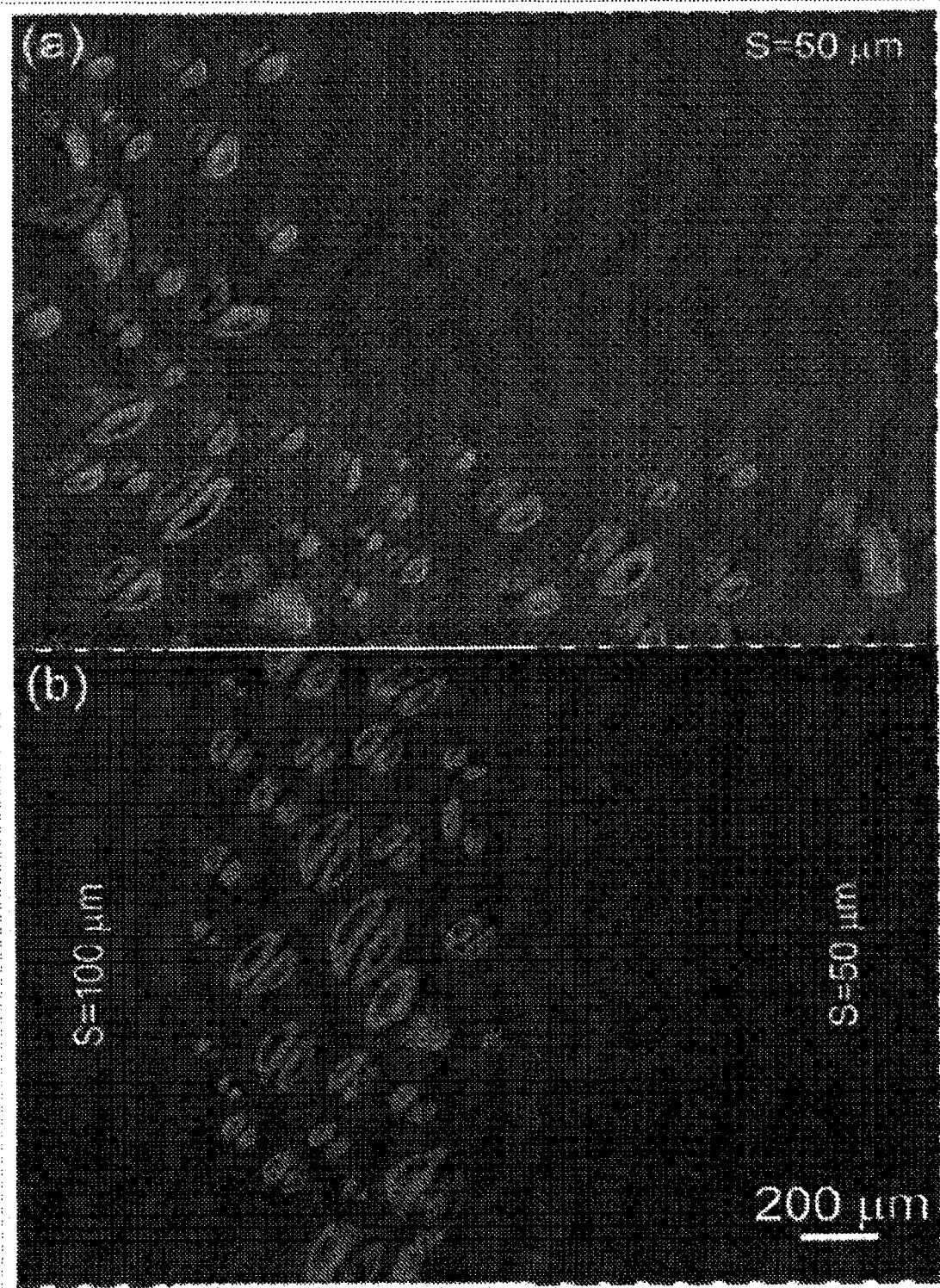


图 15

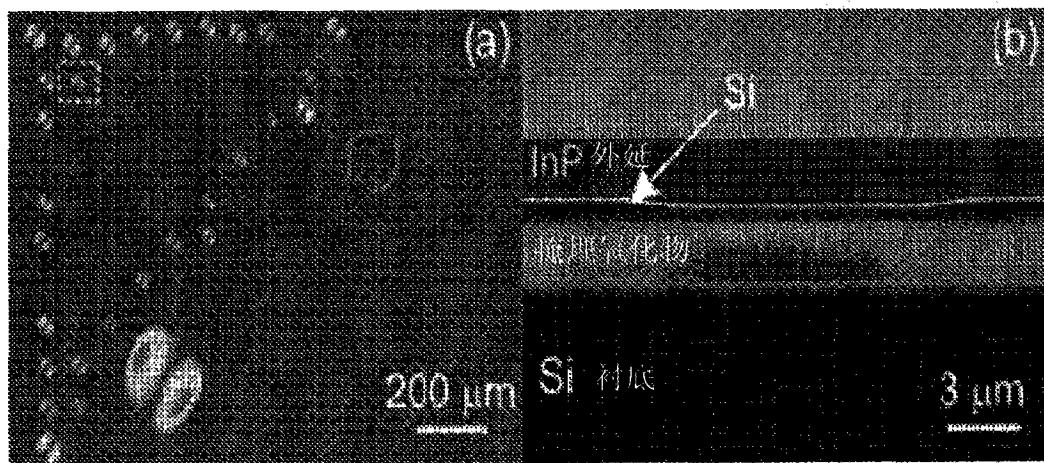


图 16

低温 O₂等离子体辅助 InP 到绝缘体上硅直接晶片接合 (300 °C, 2 到 3 小时)

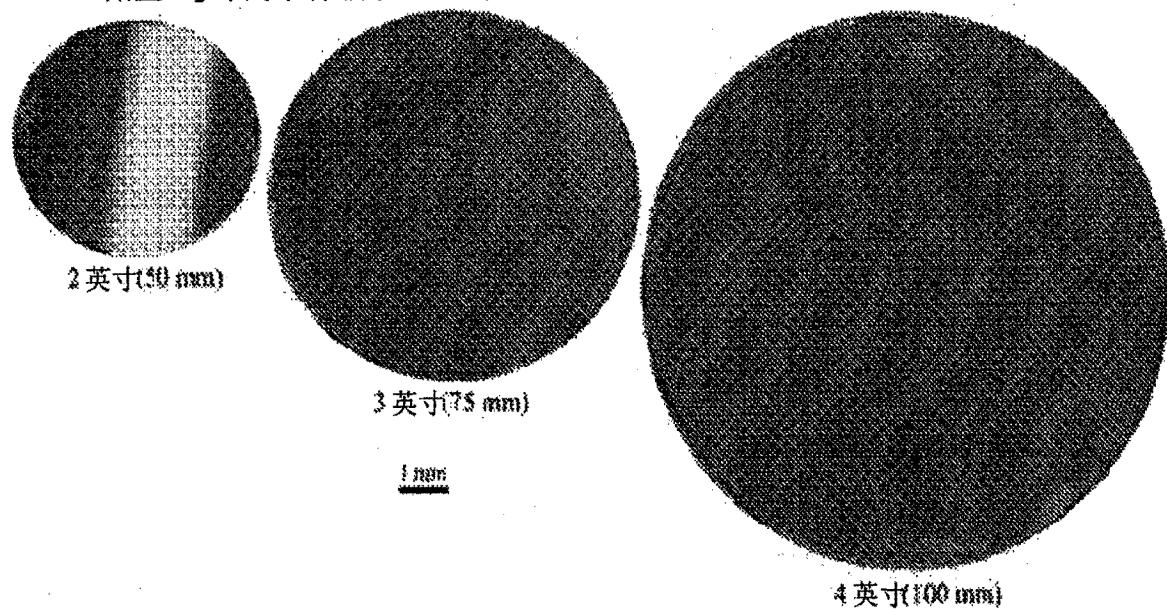


图 17

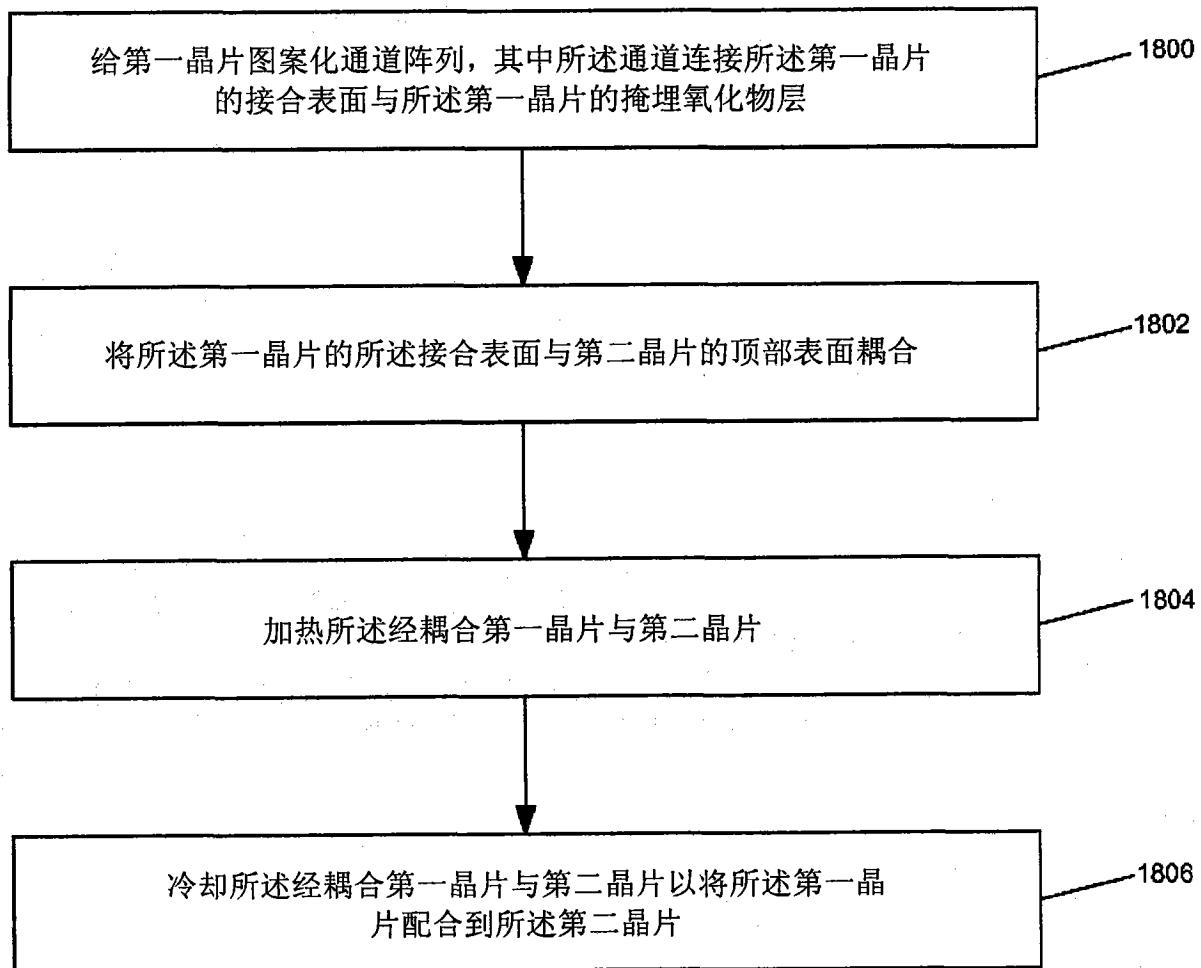


图 18