



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년08월03일
(11) 등록번호 10-1874057
(24) 등록일자 2018년06월27일

(51) 국제특허분류(Int. Cl.)
H01L 25/10 (2006.01) H01L 21/56 (2006.01)
H01L 23/00 (2006.01) H01L 23/31 (2006.01)
H01L 23/552 (2006.01) H01L 25/00 (2014.01)
H01L 25/065 (2006.01)
(21) 출원번호 10-2011-0024522
(22) 출원일자 2011년03월18일
심사청구일자 2016년02월25일
(65) 공개번호 10-2011-0105364
(43) 공개일자 2011년09월26일
(30) 우선권주장
12/727,229 2010년03월18일 미국(US)
(56) 선행기술조사문헌
US20080157328 A*
KR1020090069315 A*
KR1020080077177 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
스태츠 칩팩 퍼티이. 엘티디.
싱가포르, 569059, 테크포인트 #04-08/09, 65 양
모 키오 스트리트 10
(72) 발명자
윤인상
경기도 이천시 백사면 청백리로 53, 현대아파트
103동 203호
이성민
서울특별시 노원구 성발로 229 11동 1106호 (하계
동, 벽산아파트)
이상진
경기도 성남시 중원구 자혜로17번길 16, 107동
1103호 (은행동, 현대아파트)
(74) 대리인
박장원

전체 청구항 수 : 총 10 항

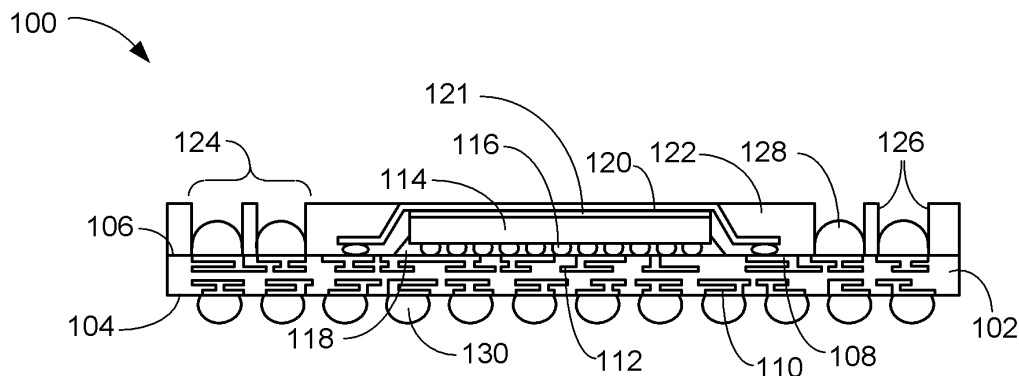
심사관 : 안경민

(54) 발명의 명칭 패키지 적층체를 구비한 집적회로 패키지 시스템 및 그 제조 방법

(57) 요약

집적회로 패키지 시스템의 제조 방법은 컴포넌트 측부와 시스템 측부를 구비한 베이스 패키지 기판을 제작하는 단계, 제1 집적회로 다이를 컴포넌트 측부에 결합시키는 단계 및 적층 상호접속부들을 컴포넌트 측부에 결합하여 제1 집적회로 다이를 둘러싸는 단계를 포함하는 베이스 패키지를 형성하는 단계; 칩 측부를 구비한 적층 패키지 기판을 제작하는 단계, 하부 적층 집적회로 다이를 칩 측부에 결합시키는 단계 및 결합 측부에 적층 패키지 기판을 부착하는 단계를 포함하는 적층 집적회로 패키지를 형성하는 단계; 베이스 패키지의 적층 상호접속부들 상의 적층 집적회로 패키지의 적층 상호접속부들을 포함하는 적층 집적회로 패키지를 베이스 패키지 상에 적층하는 단계; 및 적층 상호접속부들을 리플로우시키는 것에 의해 적층 솔더 칼럼을 형성하는 단계를 포함한다.

대표도 - 도1



명세서

청구범위

청구항 1

컴포넌트 측부와 시스템 측부를 구비한 베이스 패키지 기판을 제작하는 단계, 제1 집적회로 다이를 컴포넌트 측부에 결합시키는 단계, 상기 제1 집적회로 다이 상에 차폐막을 실장하는 단계 - 상기 차폐막은, 상기 컴포넌트 측부에 결합되고 그리고 상기 제1 집적회로 다이 위에 존재하며 -, 상기 컴포넌트 측부 및 상기 제1 집적회로 다이를 커버(cover)하는 패키지 몸체를 형성하는 단계, 및 제1 적층 상호접속부들을 컴포넌트 측부에 결합하여 상기 차폐막 및 제1 집적회로 다이를 둘러싸는 단계를 포함하는 베이스 패키지를 형성하는 단계와;

칩 측부를 구비한 적층 패키지 기판을 제작하는 단계, 하부 적층 집적회로 다이를 칩 측부에 결합시키는 단계 및 상기 적층 패키지 기판의 결합 측부 상에 제2 적층 상호접속부들을 부착하는 단계를 포함하는 적층 집적회로 패키지를 형성하는 단계와;

상기 베이스 패키지의 제1 적층 상호접속부들 상에 상기 적층 집적회로 패키지의 제2 적층 상호접속부들을 적층하는 것을 포함하는, 상기 베이스 패키지 상에 상기 적층 집적회로 패키지를 적층하는 단계 - 상기 베이스 패키지는 상기 제1 집적회로 다이와 상기 적층 집적회로 패키지 사이에서 노출되는 상기 차폐막을 구비하며 - 와;

제1 적층 상호접속부들과 제2 적층 상호접속부들을 리플로우(reflow)시키는 것에 의해 적층 솔더 칼럼을 형성하는 단계를 포함하는 것을 특징으로 하는

집적회로 패키지 시스템의 제조 방법.

청구항 2

제1항에 있어서,

베이스 패키지와 적층 집적회로 패키지 사이의 분리 높이를 적층 솔더 칼럼의 최종 높이에 의해 조정하는 단계를 추가로 포함하는 것을 특징으로 하는

집적회로 패키지 시스템의 제조 방법.

청구항 3

제1항에 있어서,

상기 패키지 몸체를 형성하는 단계는 상기 베이스 패키지 기판 상에 상기 패키지 몸체를 형성하는 단계를 포함하는 것을 특징으로 하는

집적회로 패키지 시스템의 제조 방법.

청구항 4

제1항에 있어서,

상기 차폐막을 실장하는 단계는 열 방출기 캡을 실장하는 단계를 포함하는 것을 특징으로 하는

집적회로 패키지 시스템의 제조 방법.

청구항 5

제1항에 있어서,

상기 제1 적층 상호접속부들을 컴포넌트 측부에 결합시키는 단계는 상기 패키지 몸체를 몰딩하는 단계와 제1 적층 상호접속부들을 수용하기 위한 수직 삽입 공동들을 형성하는 단계를 포함하는 것을 특징으로 하는

집적회로 패키지 시스템의 제조 방법.

청구항 6

칩 측부를 구비한 적층 패키지 기판, 칩 측부에 결합되는 하부 적층 집적회로 다이, 및 베이스 패키지의 제1 적층 상호접속부들 상에 놓이는 제2 적층 상호접속부들이 실장된, 적층 패키지 기판의, 결합 측부를 포함하는, 적층 집적회로 패키지;

컴포넌트 측부와 시스템 측부를 구비한 베이스 패키지 기판, 컴포넌트 측부에 결합되는 제1 집적회로 다이, 상기 제1 집적회로 다이 위의 차폐막 - 상기 차폐막은, 상기 컴포넌트 측부에 결합되고 그리고 상기 제1 집적회로 다이와 상기 적층 집적회로 패키지 사이에서 노출되며 -, 상기 컴포넌트 측부와 상기 제1 집적회로 다이와 상기 차폐막을 커버하는 패키지 몸체 - 상기 차폐막은 상기 패키지 몸체의 상부(top side)에서 노출되며 -, 및 컴포넌트 측부에 결합되어 상기 차폐막 및 제1 집적회로 다이를 둘러싸는 제1 적층 상호접속부들을 포함하는, 상기 적층 집적회로 다이 아래의 베이스 패키지; 그리고

제1 적층 상호접속부들과 제2 적층 상호접속부들을 리플로우시키는 것에 의해 형성된 적층 솔더 칼럼을 포함하는 것을 특징으로 하는

집적회로 패키지 시스템.

청구항 7

제6항에 있어서,

상기 적층 솔더 칼럼의 최종 높이에 의해 설정되는 베이스 패키지와 적층 집적회로 패키지 사이의 분리 높이를 추가로 포함하는 것을 특징으로 하는

집적회로 패키지 시스템.

청구항 8

제6항에 있어서,

상기 패키지 몸체는 베이스 패키지 기판 상에 존재하는 것을 특징으로 하는

집적회로 패키지 시스템.

청구항 9

제6항에 있어서,

상기 차폐막은 열 방출기 캡인 것을 특징으로 하는

집적회로 패키지 시스템.

청구항 10

제6항에 있어서,

상기 컴포넌트 측부에 결합된 적층 상호접속부들은 제1 적층 상호접속부들을 수용하는 수직 삽입 공동들을 구비한 상기 패키지 몸체를 포함하는 것을 특징으로 하는

집적회로 패키지 시스템.

발명의 설명

기술 분야

[0001] 본 출원은 본 출원과 동시 계류 중인 2010년 2월 26일자 미국 특허 출원 제12/714,320호와 관련한 내용을 포함한다. 상기 관련 출원은 스테츠 칩팩, 엘티디에 양도되었고 상기 관련 출원의 내용을 인용하여 본 명세서 내에 포함한다.

[0002] 본 발명은 대체로 집적회로 패키지 시스템, 특히 패키지 온 패키지(package-on-package) 적층을 위한 시스템에 관한 것이다.

배경 기술

- [0003] 컴퓨터 산업의 변함없이 중요한 과제는 고성능화, 저비용화, 컴포넌트들의 소형화 및 집적 회로("IC") 패키징의 고밀도화를 포함한다. 신세대 IC 제품들이 발표됨에 따라, IC 제품을 제작하는 데 필요한 IC 디바이스의 수가 기술의 발달로 인해 감소되는 경향이 있다. 동시에, 이 IC 제품들의 기능은 증가되고 있다. 예를 들어, 일반적으로 모든 세대의 IC 제품에 필요한 컴포넌트들은 동일한 기능을 갖는 이전 세대에 비해 대략 10 퍼센트가 감소된다.
- [0004] 반도체 패키지 구조들은 계속해서 박형화되고 있고 점점 더 소형화되고 있다. 이에 따라 반도체 패키지 내의 컴포넌트 밀도가 증가되고 패키지들이 사용되는 IC 제품의 크기는 감소된다. 이러한 발전 추세는 지속적인 성능 향상과 함께 크기, 두께 및 비용의 지속적인 감소를 위해 전자 장치 설계자들과 제조자들에 대한 지속적으로 증가되는 요구에 따른 응답이다.
- [0005] 이러한 소형화에 대한 필요성의 증가는 예를 들어 휴대폰, 휴대폰용 핸드프리 헤드셋, 개인용 휴대 단말기("PDA"), 캠코더, 개인용 노트북 컴퓨터 등과 같은 휴대용 정보통신 디바이스들에서 특히 두드러진다. 이 디바이스들은 모두 그 휴대성 향상을 위해 지속적으로 소형화되고 그리고 박형화되고 있다. 따라서, 이 디바이스들에 내장된 대규모 집적회로("LSI") 패키지들 및 이들을 수용하고 보호하는 패키지 구성들 역시 소형화되고 박형화되어야 한다.
- [0006] 많은 통상의 반도체 칩 또는 다이 패키지들은 반도체 다이가 에폭시 몰딩 컴파운드와 같은 수지를 이용하여 패키지 내로 몰딩된 방식이다. 패키지들은 리드프레임을 구비하는데, 그 외부 리드들은 패키지 몸체로부터 돌출되어 칩과 외부 디바이스 간의 신호 전달을 위한 경로를 제공한다. 다른 통상의 패키지 구성들은 패키지의 표면 바로 위에 형성된 접속 단자들 또는 접속 패드들을 구비한다.
- [0007] IC 패키징에 있어서, 컴포넌트 크기의 감소에 더하여, 표면 실장 기술("SMT")이 컴포넌트 수의 감소에도 불구하고 단일 기판(예컨대, 인쇄회로기판("PCB")) 상의 반도체 칩 밀도의 증가를 나타내었다. SMT는 패키징된 칩들을 기판들에 연결하는 방법이다. SMT를 이용하면, 기판에 어떤 통공도 필요 없게 된다. 대신, 패키지 리드들은 기판 표면에 직접 솔더링된다. 이에 따라 디자인과 폼 팩터들이 더욱 컴팩트해지고 IC 밀도와 성능이 크게 증가된다. 그러나 이러한 몇 가지 크기 감소에도 불구하고 IC 밀도는 기판 상에 칩들을 실장시키기 위해 이용할 수 있는 간격 또는 "자원"(real estate)에 의해 지속적으로 제한된다.
- [0008] IC 밀도를 더 증가시키는 한 방법은 반도체 칩들을 수직으로 적층하는 것이다. 다중 적층된 칩들은 이 방법으로 PCB 또는 다른 기판 상의 매우 작은 표면 영역 또는 "공간"(footprint)을 이용하여 단일 패키지와 결합될 수 있다. IC 컴포넌트들을 수직으로 적층하는 방법은 전체 패키지들을 서로 적층하는 데까지 확장될 수 있다. 반도체 산업에서 지속적으로 반도체 디바이스들이 저비용화, 고성능화, 소형화 및 패키징이 고밀도화될 것이 요구됨에 따라 이러한 패키지 온 패키지("PoP") 구성들이 지속적으로 점점 더 일반화되고 있다. 패키지 온 패키지 기술의 지속적이고 실질적인 향상은 이러한 필요성을 충족시킬 것으로 예상된다.
- [0009] 불행하게도, 현재의 패키지 온 패키지 적층 기술의 한계들은 기존의 다이 및 패키지 구성의 신속한 통합 및 활용을 방해한다. 이에 따라 온도 변화에 따른 패키지들의 이동으로 인해 패키지의 유효 신뢰성이 감소될 수 있다. 패키지 기판의 이동 또는 래핑은 베이스 기판 상에 노출된 다이를 손상시키거나 기판들 사이의 상호접속부들을 파괴할 수 있다.
- [0010] 예를 들어, 이전의 패키지 온 패키지 구성에 있어서, 베이스 패키지는 상단 패키지 또는 제2 패키지의 표면 실장을 허용하는 상단 측에 본딩 패드들을 구비한다. 상단 패키지를 베이스 패키지 상에 성공적이고 효과적으로 실장시키기 위하여, 베이스 패키지의 상단에 다이 또는 몰드 캡과 같은 구조물을 수용하기 위한 패키지들 간의 충분한 간극 또는 "헤드룸"(headroom)을 구비할 필요가 있다. 그러나 일반적으로 비용명면 효율면을 고려할 때 상단 패키지와 베이스 패키지를 연결하는 유일한 물리적인 구조는 그들 사이의 전기적 인터페이스이다. 이 전기적 인터페이스는 흔히 베이스 패키지의 상단 상의 본딩 패드들과 정렬되는 상단 패키지의 저부 상의 솔더 볼 매트릭스이다.
- [0011] 그러한 솔더 볼 매트릭스를 사용한 이전의 기법들은 흔히 솔더 볼의 공칭 높이에 의해 마련되는 작은 공간 또는 스탠드오프(stand-off) 만을 제공한다. 이는 하나 이상의 반도체 다이스와 같은 베이스 패키지의 상단 상의 베이스 패키지 컴포넌트들을 위해 이용될 수 있는 높이를 제한한다. 집적의 기본적인 과제가 패키지의 크기를 감소시키는 것이기 때문에, 간극은 최소로 유지된다.

[0012] 베이스 패키지와 상단 패키지 간의 제한된 공간의 문제는 패키지 온 패키지의 임계 치수와 제조 난이도를 증가시킨다. 베이스 패키지 상의 집적회로 다이는, 만약 노출되면, 조립 도중에 또는 조립 후에 서로 다른 열팽창율과 강률(rate of rigidity)에 의해 발생하는 두 패키지들의 이동에 의해서 손상될 수 있다.

[0013] 따라서 소형, 박형, 경량, 저비용 집적회로 패키지 온 패키지 시스템에 대한 요구가 여전히 남아있지만, 조립 공정을 단순화하고 베이스 패키지의 집적회로 다이를 손상시킬 수 있는 래핑 문제를 처리하는 패키지 온 패키지 시스템에 대한 요구가 크다. 점점 커지는 소비자 기대와 시장에서 의미 있는 제품 차별화를 위한 기회 감소와 함께 계속 증가되는 상업적 경쟁 압력의 관점에서, 이러한 문제들에 대한 해답을 알아내는 것은 매우 중요하다. 또한, 경쟁 압력에 응하도록 비용을 감소시키고 신뢰성과 제품 수율을 개선할 필요성은 이러한 문제들에 대한 해답을 알아낼 필요성을 더욱 시급하게 만든다.

발명의 내용

해결하려는 과제

[0014] 이러한 문제들에 대한 해결책이 오랫동안 탐구되어 왔지만, 본 발명 이전의 개발들은 어떠한 해결책도 교시하거나 제시하지 않았으며, 따라서 당업자들은 이러한 문제점에 대한 해결책을 오랫동안 발견할 수 없었다.

과제의 해결 수단

[0015] 본 발명은 컴포넌트 측부와 시스템 측부를 구비한 베이스 패키지 기판을 제작하는 단계, 제1 집적회로 다이를 컴포넌트 측부에 결합시키는 단계 및 적층 상호접속부들을 컴포넌트 측부에 결합하여 제1 집적회로 다이를 둘러싸는 단계를 포함하는 베이스 패키지를 형성하는 단계; 칩 측부를 구비한 적층 패키지 기판을 제작하는 단계, 하부 적층 집적회로 다이를 칩 측부에 결합시키는 단계 및 결합 측부에 적층 패키지 기판을 부착하는 단계를 포함하는 적층 집적회로 패키지를 형성하는 단계; 베이스 패키지의 적층 상호접속부들 상의 적층 집적회로 패키지의 적층 상호접속부들을 포함하는 적층 집적회로 패키지를 베이스 패키지 상에 적층하는 단계; 및 적층 상호접속부들을 리플로우시키는 것에 의해 적층 솔더 칼럼을 형성하는 단계를 포함하는 것을 특징으로 하는 집적회로 패키지 시스템의 제조 방법을 제공한다.

[0016] 본 발명은 컴포넌트 측부와 시스템 측부를 구비한 베이스 패키지 기판, 컴포넌트 측부에 결합되는 제1 집적회로 다이, 및 컴포넌트 측부에 결합되어 제1 집적회로 다이를 둘러싸는 제1적층 상호접속부들을 포함하는 베이스 패키지; 칩 측부를 구비한 적층 패키지 기판, 칩 측부에 결합되는 하부 적층 집적회로 다이, 및 베이스 패키지의 제1 적층 상호접속부들 상에 놓이는 제2 적층 상호접속부들이 실장된, 적층 패키지 기판의, 결합 측부를 포함하는, 베이스 패키지 상의 적층 집적회로 패키지; 및 제1 적층 상호접속부들과 제2 적층 상호접속부들을 리플로우시키는 것에 의해 형성된 적층 솔더 칼럼을 포함하는 것을 특징으로 하는 집적회로 패키지 시스템을 제공한다.

발명의 효과

[0017] 본 발명의 어떤 실시예는 상술한 것에 더하여 또는 그를 대체하여 다른 단계 또는 요소를 구비한다. 그러한 단계나 요소는 첨부 도면을 참조하여 하기의 상세한 설명을 읽으면 당업자에게 자명해질 것이다.

도면의 간단한 설명

[0018] 도 1은 도 2의 1-1선을 따라 취한 본 발명의 제1 실시예의 베이스 패키지를 도시한 단면도이다.

도 2는 도 1의 베이스 패키지를 도시한 평면도이다.

도 3은 패키지 적층 공정에서 공지의 유용한 패키지들을 도시한 단면도이다.

도 4는 본 발명의 제1 실시예의 패키지 적층체를 구비한 집적회로 패키지 시스템을 도시한 단면도이다.

도 5는 본 발명의 제2 실시예의 패키지 적층 공정에서 공지의 유용한 패키지들을 도시한 단면도이다.

도 6은 본 발명의 제2 실시예의 패키지 적층체를 구비한 집적회로 패키지 시스템을 도시한 단면도이다.

도 7은 본 발명의 제3 실시예의 패키지 적층 공정에서 공지의 유용한 패키지들을 도시한 단면도이다.

도 8은 본 발명의 제3 실시예의 패키지 적층체를 구비한 집적회로 패키지 시스템을 도시한 단면도이다.

도 9는 도 12의 9-9선을 따라 취한 본 발명의 제4 실시예의 베이스 패키지를 도시한 단면도이다.

도 10은 베이스 패키지가 제조 과정에서 조립 단계에 있는 것을 도시한 단면도이다.

도 11은 베이스 패키지가 제조 과정에서 몰딩 단계에 있는 것을 도시한 단면도이다.

도 12는 본 발명의 제4 실시예의 베이스 패키지를 도시한 평면도이다.

도 13은 본 발명의 다른 실시예에 따른 집적회로 패키지 시스템의 제조 방법을 도시한 흐름도이다.

발명을 실시하기 위한 구체적인 내용

- [0019] 당업자들이 본 발명을 사용하고 실시할 수 있도록, 본 발명의 실시예들을 상세하게 기재하였다. 본 명세서의 기재 사항을 기초로 하여 다른 실시예들이 이루어질 수 있다는 점을 이해해야 하며, 본 발명의 범위를 일탈하지 않으면서도 시스템, 공정 또는 기계적 구성의 변경이 이루어질 수 있다는 것도 이해해야 한다.
- [0020] 이하에서, 본 발명을 완전하게 이해할 수 있도록 많은 특성의 세부 사항들을 기재하였다. 그러나 이러한 특성의 세부 사항들이 없더라도 본 발명이 실시될 수 있다는 점은 명백하다. 본 발명이 불명료해지는 것을 방지하기 위해, 일부 공지되어 있는 회로, 시스템 구성 및 공정 단계들에 대해서는 상세하게 기재하지 않았다.
- [0021] 본 시스템의 실시예들을 나타내는 도면들은 개략적으로 도시되어 있으며, 축척에 따라 도시된 것이 아니고, 특히 표현을 명료하게 할 목적으로 일부 치수들은 도면 내에서 과장되게 표현되어 있다. 이와 유사하게, 도면의 개시를 용이하게 하기 위해 일반적으로 동일한 방향으로 개시하였지만, 도면 내의 이러한 도시는 대부분이 임의적이다. 일반적으로 본 발명은 임의의 방향에서 작동할 수 있다.
- [0022] 몇몇 특징부들을 공통적으로 갖는 다수의 실시예들을 기재하고 설명하는 경우, 예시, 설명 및 이해의 명료함과 용이함을 위하여 서로 유사하고 동일한 특징부들은 대체로 유사한 도면 부호로 나타낼 것이다. 실시예들에 제1 실시예, 제2 실시예 등과 같이 번호를 매긴 것은 기재의 편의를 위한 것으로, 이것이 별다른 의미를 갖는 것은 아니며 또한 본 발명을 제한하기 위한 것도 아니다.
- [0023] 설명을 목적으로, 본 명세서에서는 그 방향과는 무관하게, "수평"이라는 용어를 사용하여 베이스 패키지의 표면 또는 평면과 평행한 평면을 규정한다. "수직"이란 용어는 위와 같이 규정된 수평과 직교하는 방향을 나타낸다. "위"(above), "아래"(below), "저부"(bottom), "상단"(top), "측부"(side)("측벽"으로도 사용), "높은"(higher), "낮은"(lower), "상부"(upper), "위"(over) 및 "아래"(under)와 같은 용어들은, 도면에 도시한 바와 같이, 수평면과 관련되어 규정된다. "상"(on)란 용어는 구성요소들이 다른 구성요소가 중간에 개재되는 다른 구성 요소 없이 직접 접촉하고 있음을 의미한다.
- [0024] "활성 측부"(active side)란 용어는 다이, 모듈, 패키지 또는 전자 구조물의 측부 중에서 그 위에 활성 회로가 구비되어 있거나 또는 다이, 모듈, 패키지 또는 전자 구조물 내의 활성 회로망에 접속하기 위한 구성 요소들을 구비한 측부를 말한다. 본 명세서에 사용되고 있는 "공정"(processing)이란 용어는, 전술한 구조물들을 형성하는 데에 필요로 하는, 재료 또는 포토레지스트의 적층, 패터닝, 노출, 현상, 에칭, 세척 및/또는 상기 재료 또는 포토레지스트의 제거를 포함한다.
- [0025] 이제 도 1을 참조하면, 여기에는 도 2의 1-1선을 따라 취한 본 발명의 제1 실시예의 베이스 패키지(100)의 단면도가 도시되어 있다. 베이스 패키지(100)를 도시한 이 단면도에는 시스템 측부(104)와 컴포넌트 측부(106)를 구비한 베이스 패키지 기관(102)이 도시되어 있다.
- [0026] 컴포넌트 측부(106) 상의 컴포넌트 패드(108)들은 트레이스(trace), 비아(via) 또는 그 조합과 같은 내부 회로망(112)에 의해 시스템 측부(104) 상의 시스템 패드(110)들에 결합될 수 있다. 플립 칩 다이와 같은 제1 집적회로 다이(114)가 칩 상호접속부(116)들에 의해 컴포넌트 패드들에 결합될 수 있다.
- [0027] 언더필 재료와 같은 접착 재료(118)가 제1 집적회로 다이(114)와 컴포넌트 측부(106) 사이에 도포될 수 있다. 접착 재료(118)는 칩 상호접속부(116)들과 제1 집적회로 다이(114)의 활성 측부를 완전히 감쌀 수 있다.
- [0028] 구리(Cu), 주석(Sn), 알루미늄(Al) 및 그 합금 또는 다른 도전성 재료로 된 호일로 형성된 전자기파 간섭 차폐막(EMI shield)과 같은 차폐막(120)이 열접착제(121)에 의해 제1 집적회로 다이(114)의 후측부 상에 접착되고 칩 상호접속부(116)들에 의해 컴포넌트 패드(108)들에 결합될 수 있다. 차폐막(120)은 또한 작동 중에 제1 집적회로 다이에 의해 발생된 열을 소산시키는 열 방출기(heat spreader)로서 작용한다. 패키지 몸체(122)는 에폭시 몰딩 컴파운드의 사출 성형에 의해 형성되어, 차폐막(120)의 상면만 외부 환경에 노출시키면서 컴포넌트 측부(106)를 덮을 수 있다. 패키지 몸체(122)의 상면은 차폐막(120)의 상면과 동일한 평면에 있거나 그 아래에

있다.

- [0029] 수직 삽입 공동(126)들의 어레이(124)가 레이저 애블레이션(laser ablation) 공정에 의해 패키지 몸체(122)에 형성될 수 있다. 이 공정은 수직 삽입 공동(126)들 각각의 수직 측면들 상의 용융 증거에 의해 확인될 수 있다.
- [0030] 솔더 볼과 같은 적층 상호접속부(128)들이 수직 삽입 공동(126)들 내에 형성될 수 있다. 적층 상호접속부(128)들은 제1 집적회로 다이(114), 시스템 패드(110)들 상에 형성된 시스템 상호접속부(130)들, 다른 적층 상호접속부(128) 또는 그 조합 사이의 전기 접속부를 형성할 수 있다.
- [0031] 본 발명은 패키지 적층 능력을 갖는 베이스 패키지(100)를 제공한게 된다는 것이 밝혀졌다. 패키지 몸체(122)의 수직 삽입 공동(126)들 내의 적층 상호접속부(128)들은 패키지 적층체를 위한 고밀도 전기 연결(electrical connectivity)을 제공한다. 수직 삽입 공동(126)들 내의 적층 상호접속부(128)들은 또한 패키지 몸체(122)가 적층 상호접속부(128)들 사이에서 장벽으로 작용하는 것으로 인한 차단 지역(keep out zone)들을 감소시키고, 이와 같이 차단 지역들이 감소되면 입/출력 카운트 집적회로 디바이스(미도시)의 신뢰성 있는 적층을 위한 적층 상호접속부(128)들의 밀도가 더 증가된다.
- [0032] 본 발명은 높은 신뢰성과 높은 수율로 베이스 패키지(100)를 제공게 된다는 것도 밝혀졌다. 수직 삽입 공동(126)들을 구비한 패키지 몸체(122)는 표면 실장 기술 수율을 향상시키면서 휨과 기계적 손상을 방지한다. 휨이 감소되면 베이스 패키지(100)의 신뢰성도 향상된다.
- [0033] 이제 도 2를 참조하면, 여기에는 도 1의 베이스 패키지(100)의 평면도가 도시되어 있다. 베이스 패키지(100)를 도시한 이 평면도에는 차폐막(120)의 상측부 둘레에 위치한 수직 삽입 공동(126)들의 배열(124)을 구비한 패키지 몸체(122)가 도시되어 있다.
- [0034] 수직 삽입 공동(126)들의 어레이(124)는 레이저 애블레이션 공정에 의해 정확하게 위치될 수 있다. 벽의 두께(202)는 이용할 수 있는 적층 상호접속부(128)들의 수를 증가시키도록 정확하게 설정된다. 용융된 영역(204)이 적층 상호접속부(128)들에 있는 개구 둘레에 존재할 수 있다.
- [0035] 수직 삽입 공동(126)들의 수가 증가되어도 베이스 패키지 기판(102)의 휨을 감소시키는 패키지 몸체(122)의 능력은 감소되지 않는다는 것이 밝혀졌다.
- [0036] 이제 도 3을 참조하면, 여기에는 패키지 적층 공정에서 공지의 유용한 패키지(300)들의 단면도가 도시되어 있다. 공지의 유용한 패키지(300)들을 도시한 이 단면도는, 적층 상호접속부(128)들을 구비한 베이스 패키지(100)를, 적층 집적회로 패키지(302)를 적층시키고 있는 단계에서 도시하고 있는 것이다. 베이스 패키지(100)와 적층 집적회로 패키지(302)는 둘 다 조립되기 전에 시험된다. 이 공정은 제조 수율과 완성된 조립체의 신뢰성을 크게 증가시킨다.
- [0037] 적층 집적회로 패키지(302)는 적층 패키지 기판(304)을 구비할 수 있다. 적층 패키지 기판(304)은 결합 측부(306)와 칩 측부(308)를 구비할 수 있다. 결합 측부(306) 상의 결합 접촉부(310)들은 그 위에 형성된 적층 상호접속부(128)들을 구비할 수 있다. 적층 집적회로 패키지(302) 상에서 동일한 크기의 적층 상호접속부(128)들을 이용하는 것에 의해 베이스 패키지(100)의 수직 삽입 공동(126)들에서 정확한 결합이 행해질 수 있다는 것이 밝혀졌다.
- [0038] 칩 측부 접촉부(312)들은 비아(314)들을 통해 결합 접촉부(310)들에 결합된다. 하부의 적층 집적회로 다이(316)는 본드 와이어, 솔더 범프 또는 스테드 범프와 같은 전기적 상호접속부(318)들에 의해 칩 측부 접촉부(312)들에 결합된다. 하부 적층 집적회로 다이(316)는 단지 예시적으로 와이어 본드 방식의 다이로 도시되었고 또한 플립 칩 방식의 집적회로 다이일 수 있다는 것이 이해될 것이다.
- [0039] 상부 적층 집적회로 다이(320)는 하부 적층 집적회로 다이(316) 위에 실장된다. 전기적 상호접속부(318)들은 상부 적층 집적회로 다이(320)를 칩 측부 접촉부(312)들에 결합시킬 수 있다. 결합 결과로 형성된 회로는 상부 적층 집적회로 다이(320)를 하부 적층 집적회로 다이(316), 적층 상호접속부들 또는 그 조합에 전기적으로 접속시킨다.
- [0040] 몰드 캡(324)은 칩 측부(308), 하부 적층 집적회로 다이(316), 상부 적층 집적회로 다이(320) 및 접착 재료(322) 상에 형성될 수 있다. 몰드 캡(324)은 에폭시 몰딩 컴파운드 또는 사출성형 가능한 세라믹 컴파운드로 형성될 수 있다.
- [0041] 이제 도 4를 참조하면, 여기에는 본 발명의 제1 실시예의 패키지 적층체를 구비한 집적회로 패키지 시스템(40

0)의 단면도가 도시되어 있다. 집적회로 패키지 시스템(400)의 단면도에는 적층 집적회로 패키지(302)가 그 위에 실장된 베이스 패키지(100)가 도시되어 있다.

- [0042] 리플로우 공정 도중에, 도 1의 적층 상호접속부(128)들은 용해되어 적층 솔더 칼럼(402)을 형성하게 된다. 적층 솔더 칼럼(402)의 높이는 리플로우 공정 전에 적층 상호접속부(128)들의 크기에 의해 정확하게 조정될 수 있다. 분리 높이(404)는 적층 솔더 칼럼(402)들의 최종 높이에 의해 조정될 수 있다.
- [0043] 차폐막(120)은 제1 집적회로 다이(114)를 보호할 수 있다. 또한 차폐막은 적층 솔더 칼럼(402)들과 하부 적층 집적회로 다이(316)를 제1 집적회로 다이(114)에 의한 전자기파 간섭으로부터 차폐할 수 있다.
- [0044] 집적회로 패키지 시스템(400)이 하부 구조 프로파일을 유지하면서 제1 집적회로 다이를 차폐하고 냉각할 수 있게 된다는 것이 밝혀졌다. 적층 솔더 칼럼(402)들의 크기와 간격으로 인해 베이스 패키지(100)와 적층 집적회로 패키지(302) 사이에 고밀도의 입/출력 상호접속부들을 제공하는 유연하고 반복될 수 있는 제조 공정이 가능해진다.
- [0045] 이제 도 5를 참조하면, 여기에는 본 발명의 제2 실시예의 패키지 적층 공정에서 공지의 유용한 패키지(500)들의 단면도가 도시되어 있다. 공지의 유용한 패키지(500)들의 단면도에는 베이스 패키지 기판(102)을 구비한 베이스 패키지(502)가 도시되어 있다.
- [0046] 제1 집적회로 다이(114)는 컴포넌트 측부(106) 상에 실장되고 컴포넌트 패드(108)들에 결합된다. 접착 재료(118)는 제1 집적회로 다이(114)의 활성 측부와 컴포넌트 측부(106) 사이에 도포되어 칩 상호접속부(116)들을 감쌀 수 있다.
- [0047] 패키지 몸체(504)가 컴포넌트 측부(106), 제1 집적회로 다이(114) 및 접착 재료(118) 상에 형성될 수 있다. 패키지 몸체(504)는 제1 집적회로 다이(114) 근처에 수직 삽입 공동(126)들의 추가적인 열이 있다는 점을 제외하면 도 1의 패키지 몸체(122)와 유사하다.
- [0048] 수직 삽입 공동(126)들의 내부 열은, 결국 제1 집적회로 다이(114)의 후측부 상에 놓일 구리(Cu), 주석(Sn), 알루미늄(Al) 및 그 합금 또는 다른 도전성 재료로 된 도전성 호일과 같은 개별(discrete) 차폐막(506)의 삽입을 수용하도록 리플로우될 수 있다. 개별 차폐막(506)은 저측부에 도포되는 다이 부착 재료와 같은 접착 재료(322)로 된 층을 구비할 수 있다. 다른 용도로 사용될 수 있을 베이스 패키지(502) 내에 개별 차폐막을 부가할 수 있게 하는 것에 의해 개별 차폐막(506)이 제조 공정에서 추가적인 융통성을 제공할 수 있다는 것이 밝혀졌다.
- [0049] 개별 차폐막(506)은 제1 집적회로 다이와 적층 집적회로 패키지(302) 내의 디바이스들 간의 전자기파 간섭을 차폐할 수 있다. 개별 차폐막(506)은 또한 작동 중에 제1 집적회로 다이(114)에 의해 발생된 열을 소산시키는 열 방출기로서 작용할 수 있다.
- [0050] 적층 집적회로 패키지(302)가 추가적인 조립을 위해 적층 상호접속부(128)들을 갖고 패키지 몸체(504)의 수직 삽입 공동(126)들 위에 위치될 수 있다. 제조 수율을 향상시키고 힘에 강한 신뢰성 있는 조립체를 제공하기 위하여 적층 집적회로 패키지(302)와 베이스 패키지(502) 둘 다 미리 시험될 수 있다.
- [0051] 이제 도 6을 참조하면, 여기에는 본 발명의 제2 실시예의 패키지 적층체를 구비한 집적회로 패키지 시스템(600)의 단면도가 도시되어 있다. 집적회로 패키지 시스템(600)의 단면도에는 적층 집적회로 패키지(302)가 그 위에 실장된 베이스 패키지(502)가 도시되어 있다.
- [0052] 리플로우 공정 도중에, 도 1의 적층 상호접속부(128)들은 용해되어 적층 솔더 칼럼(402)을 형성하게 된다. 적층 솔더 칼럼(402)의 높이는 리플로우 공정 전에 적층 상호접속부(128)들의 크기에 의해 정확하게 조정될 수 있다. 분리 높이(404)는 적층 솔더 칼럼(402)들의 최종 높이에 의해 조정될 수 있다.
- [0053] 적층 솔더 칼럼(402)들은 시스템 상호접속부(130)들, 제1 집적회로 다이(114), 하부 적층 집적회로 다이(316), 상부 적층 집적회로 다이(320) 또는 그 조합 간의 결합 경로를 제공할 수 있다. 이 결합은 입/출력 계수(count)의 상당한 팬인(fan-in)을 제공한다. 팬인이라는 용어는 집적회로 패키지 시스템(600) 내부의 내부 접속부들로 인해 인쇄회로기판(미도시)과 같은 다음 레벨의 시스템에서 요구되는 적은 수의 신호들로서 정의된다.
- [0054] 개별 차폐막(506)은 제1 집적회로 다이(114)를 보호할 수 있다. 또한 차폐막은 적층 솔더 칼럼(402)들과 하부 적층 집적회로 다이(316)를 제1 집적회로 다이(114)에 의한 전자기파 간섭으로부터 차폐할 수 있다.
- [0055] 개별 차폐막(506)은 또한 적층 집적회로 패키지(302)도 또한 개별 차폐막에 접촉될 수 있게 하는 분리 높이(404)를 조정하는 옵션을 제공한다. 이 방법으로, 개별 차폐막(506)은 적층 집적회로 패키지(302)와 제1 집적회

로 다이(114) 둘 다를 위한 열 방출기로서 작용할 수 있다.

- [0056] 개별 차폐막(506)의 고정 위치들은 전자기파 간섭 차폐용 기준 전압에 결합되거나 또는 시스템 상호접속부(130)들에 의해 마련되는 접지 접속부들 중 한 개 또는 몇 개에 연결될 수 있다. 개별 차폐막(506)이 추가되더라도 전체 패키지 프로파일의 높이가 추가적으로 더해지지 않는다.
- [0057] 이제 도 7을 참조하면, 여기에는 본 발명의 제3 실시예의 패키지 적층 공정에서 공지의 유용한 패키지(700)들을 도시한 단면도이다. 공지의 유용한 패키지(700)들의 단면도에는 베이스 패키지 기관(102)을 구비한 베이스 패키지(702)가 도시되어 있다.
- [0058] 제1 집적회로 다이(114)는 컴포넌트 측부(106) 상에 실장되고 컴포넌트 패드(108)들에 결합된다. 접착 재료(118)가 제1 집적회로 다이(114)의 활성 측부와 컴포넌트 측부(106) 사이에 도포되어 칩 상호접속부(116)들을 감쌀 수 있다.
- [0059] 패키지 몸체(704)가 컴포넌트 측부(106), 제1 집적회로 다이(114) 및 접착 재료(118) 상에 형성될 수 있다. 패키지 몸체(704)는 도 1의 차폐막이 없다는 점을 제외하면 이 실시예에 포함된 도 1의 패키지 몸체(122)와 유사하다.
- [0060] 적층 집적회로 패키지(302)가 추가적인 조립을 위해 적층 상호접속부(128)들을 갖고 패키지 몸체(704)의 수직 삽입 공동(126)들 위에 위치될 수 있다. 제조 수율을 향상시키고 휨에 강한 신뢰성 있는 조립체를 제공하기 위하여 적층 집적회로 패키지(302)와 베이스 패키지(702) 둘 다 미리 시험될 수 있다.
- [0061] 이제 도 8을 참조하면, 여기에는 본 발명의 제3 실시예의 패키지 적층체를 구비한 집적회로 패키지 시스템(800)을 도시한 단면도이다. 집적회로 패키지 시스템(800)의 단면도에는 적층 집적회로 패키지(302)가 그 위에 실장된 베이스 패키지(100)가 도시되어 있다.
- [0062] 리플로우 공정 도중에, 도 1의 적층 상호접속부(128)들은 용해되어 적층 솔더 칼럼(402)을 형성하게 된다. 적층 솔더 칼럼(402)의 높이는 리플로우 공정 전에 적층 상호접속부(128)들의 크기에 의해 정확하게 조정될 수 있다. 분리 높이(404)는 적층 솔더 칼럼(402)들의 최종 높이에 의해 조정될 수 있다.
- [0063] 적층 솔더 칼럼(402)들은 시스템 상호접속부(130)들, 제1 집적회로 다이(114), 하부 적층 집적회로 다이(316), 상부 적층 집적회로 다이(320) 또는 그 조합 간의 결합 경로를 제공할 수 있다. 이 결합은 입/출력 계수(count)의 상당한 팬인(fan-in)을 제공한다. 팬인이라는 용어는 집적회로 패키지 시스템(600) 내부의 내부 접속부들로 인해 인쇄회로기판(미도시)과 같은 다음 레벨의 시스템에서 요구되는 적은 수의 신호들로서 정의된다.
- [0064] 이제 도 9를 참조하면, 여기에는 도 12의 9-9선을 따라 취한 본 발명의 제4 실시예의 베이스 패키지(900)의 단면도가 도시되어 있다. 베이스 패키지(900)의 단면도에는 베이스 패키지 기관(102)을 구비한 베이스 패키지(902)가 도시되어 있다.
- [0065] 제1 집적회로 다이(114)는 컴포넌트 측부(106) 상에 실장되고 컴포넌트 패드(108)들에 결합된다. 접착 재료(118)가 제1 집적회로 다이(114)의 활성 측부와 컴포넌트 측부(106) 사이에 도포되어 칩 상호접속부(116)들을 감쌀 수 있다.
- [0066] 패키지 몸체(904)가 컴포넌트 측부(106), 제1 집적회로 다이(114) 및 접착 재료(118) 상에 형성될 수 있다. 패키지 몸체(904)는 컴포넌트 측부 상의 컴포넌트 패드(108)들에 결합되는 솔더 칼럼들과 같은 원통 컨덕터(906)들 둘레에 형성된다.
- [0067] 열 방출기 캡(908)이 접착 재료(322)를 이용하여 제1 집적회로 다이(114) 상에 패키지 몸체(904)의 표면을 가로질러 실장된다. 열 방출기 캡(908)은 구리(Cu), 주석(Sn), 알루미늄(Al) 및 그 합금과 같은 열 전도성 재료로 형성될 수 있다.
- [0068] 원통 컨덕터(906)들은 그 원통 직경(910)이 열 방출기 구멍(912)보다 작을 수 있다. 열 방출기 구멍(912)과 원통 직경(910)의 크기 차이는 원통 컨덕터(906)들을 의도치 않은 연결부 또는 단락부를 형성하지 않고 열 방출기 캡(908)에 연결하기 위한 제조 공차를 제공한다.
- [0069] 열 방출기 캡(908)을 추가하면 도 8의 집적회로 패키지 시스템과 같은 패키지 적층체에 추가 높이를 더하지 않고 베이스 패키지(902)의 열 성능을 향상시킬 수 있게 된다는 것이 밝혀졌다. 또한, 열 방출기 구멍(912)들은 레이저 애블레이션 공정, 식각 공정 또는 다른 공정에 의해 정확하게 위치될 수 있다. 열 방출기 캡(908)의 추가적인 강성은 제조 사이클 도중 베이스 패키지(902)의 휨을 또한 방지한다.

- [0070] 이제 도 10을 참조하면, 여기에는 베이스 패키지(1000)가 제조 과정에서 조립 단계에 있는 단면도가 도시되어 있다. 베이스 패키지(1000)의 단면도에는 베이스 패키지 기판(102)을 구비한 패키지 베이스(1002)가 도시되어 있다.
- [0071] 제1 집적회로 다이(114)는 컴포넌트 측부(106) 상에 실장되고 컴포넌트 패드(108)들에 결합된다. 접착 재료(118)가 제1 집적회로 다이(114)의 활성 측부와 컴포넌트 측부(106) 사이에 도포되어 칩 상호접속부(116)들을 감쌀 수 있다.
- [0072] 원통 컨덕터(906)들이 컴포넌트 패드(108)들에 결합되어 제1 집적회로 다이(114)를 둘러싼다. 도전성 판(1004)이 접착 재료(332)에 의해 제1 집적회로 다이(114)에 접착되고 원통 컨덕터(906)들 전부와 접촉될 수 있다. 접착 재료(332)는 적당한 열 전도체이다.
- [0073] 이제 도 11을 참조하면, 여기에는 베이스 패키지(1100)가 제조 과정에서 몰딩 단계에 있는 단면도가 도시되어 있다. 베이스 패키지(1100)의 단면도에는 베이스 패키지 기판(102)을 구비한 패키지 베이스(1102)가 도시되어 있다.
- [0074] 제1 집적회로 다이(114)는 컴포넌트 측부(106) 상에 실장되고 컴포넌트 패드(108)들에 결합된다. 접착 재료(118)가 제1 집적회로 다이(114)의 활성 측부와 컴포넌트 측부(106) 사이에 도포되어 칩 상호접속부(116)들을 감쌀 수 있다.
- [0075] 원통 컨덕터(906)들이 컴포넌트 패드(108)들에 결합되어 제1 집적회로 다이(114)를 둘러싼다. 도전성 판(1004)이 접착 재료(332)에 의해 제1 집적회로 다이(114)에 접착되고 원통 컨덕터(906)들 전부와 접촉될 수 있다. 접착 재료(332)는 적당한 열 전도체이다.
- [0076] 패키지 몸체(904)가 컴포넌트 측부(106), 제1 집적회로 다이(114) 및 접착 재료(118) 상에 형성될 수 있다. 패키지 몸체(904)는 컴포넌트 측부 상의 컴포넌트 패드(108)들에 결합되는 솔더 칼럼들과 같은 원통 컨덕터(906)들 둘레에 형성된다.
- [0077] 패키지 몸체(904)를 몰딩하면 원통 컨덕터(906)들이 양 단부 상에서 견고하게 유지되고 몰딩 공정의 압력으로 인해 이동되거나 굽혀질 가능성이 더 적기 때문에 더 높은 제조 수율을 얻게 된다는 것이 밝혀졌다. 원통 컨덕터(906)들의 이동이 없으면 원통 컨덕터들이 더 가까이 모일 수 있고 제한된 공간 내에 신뢰성 있게 제조될 수 있는 입/출력 신호들의 수가 증가된다. 이는 입/출력 신호의 수가 증가한 소형 패키지들에 대한 추세를 유리하게 지지한다.
- [0078] 이제 도 12를 참조하면, 여기에는 본 발명의 제4 실시예의 베이스 패키지(900)의 평면도가 도시되어 있다. 베이스 패키지(900)의 평면도에는 중앙 구역 둘레에 배열 형성된 열 방출기 구멍(912)들이 마련된 열 방출기 캡(908)이 도시되어 있다. 열 방출기 구멍(912)들 각각은 패키지 몸체(904)로 둘러싸인 원통 컨덕터(906)를 노출시킨다. 9-9 절단선은 도 9의 위치와 방향을 나타내며, 도 10과 도 11도 그 절단선을 따라서 도시되었다.
- [0079] 이제 도 13을 참조하면, 여기에는 본 발명의 다른 실시예에 따른 집적회로 패키지 시스템의 제조 방법(1300)을 도시한 흐름도이다. 본 발명에 따른 제조 방법은, 컴포넌트 측부와 시스템 측부를 구비한 베이스 패키지 기판을 제작하는 단계, 제1 집적회로 다이를 컴포넌트 측부에 결합시키는 단계 및 적층 상호접속부들을 컴포넌트 측부에 결합하여 제1 집적회로 다이를 둘러싸는 단계를 포함하는, 블록(1302)의 베이스 패키지를 형성하는 단계; 칩 측부를 구비한 적층 패키지 기판을 제작하는 단계, 하부 적층 집적회로 다이를 칩 측부에 결합시키는 단계 및 결합 측부에 적층 패키지 기판을 부착하는 단계를 포함하는, 블록(1304)의 적층 집적회로 패키지를 형성하는 단계; 블록(1306)의, 베이스 패키지의 적층 상호접속부들 상의 적층 집적회로 패키지의 적층 상호접속부들을 포함하는, 적층 집적회로 패키지를 베이스 패키지 상에 적층하는 단계; 및 블록(1308)의, 적층 상호접속부들을 리플로우시키는 것에 의해 적층 솔더 칼럼을 형성하는 단계를 포함한다.
- [0080] 방법, 공정, 장치, 디바이스, 제품 및/또는 시스템은 간단하고, 비용 효과가 크고, 복잡하지 않으며, 범용성이 높고 효과적이고, 공지된 기술들을 부가하는 것에 의해 놀랍고도 비자명하게 실시될 수 있으며, 이에 따라 통상의 제조 방법 또는 공정 및 기술과 완전히 병용 가능한 패키지 시스템의 패키지를 효율적이고 경제적으로 제조하기 위하여 용이하게 구성된다. 본 발명의 다른 중요한 측면은 본 발명이 비용을 저감하고, 시스템을 단순화하고 성능을 증가시키는 역사적인 트렌드를 지원하고 제공하는 데 유용하다는 점이다.
- [0081] 본 발명의 이러한 측면 및 다른 유용한 측면들은 결과적으로 현재의 기술을 적어도 다음 레벨까지 발전시킨다.

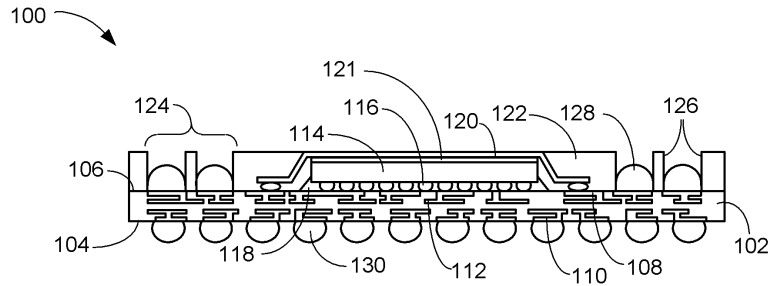
산업상 이용가능성

[0082]

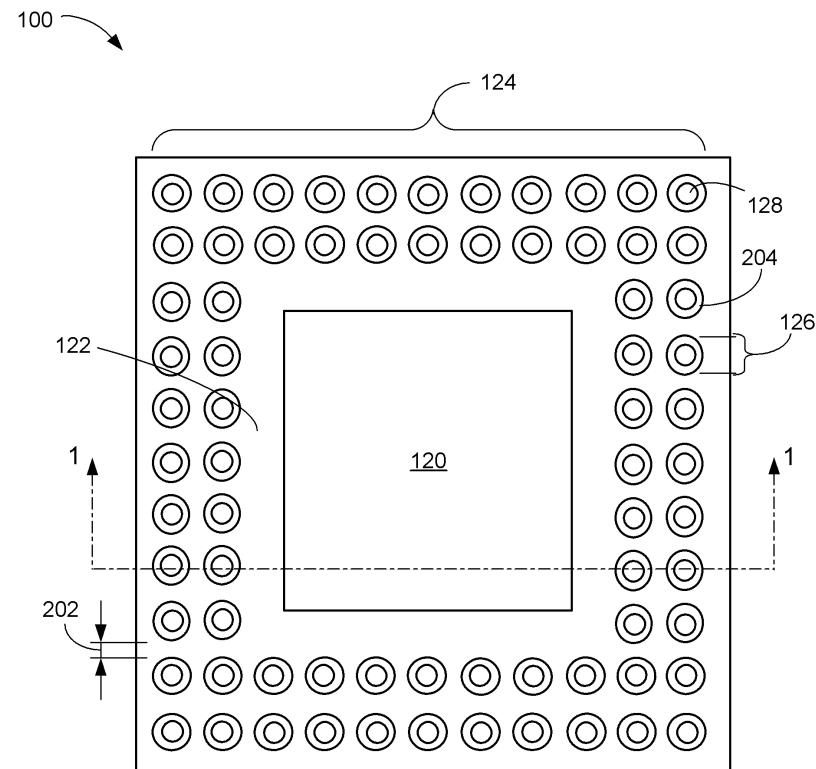
본 발명을 특정한 최선의 실시예와 관련하여 설명하였지만, 상술한 본 발명의 상세한 설명을 고려하여 당업자가 여러 가지로 변경, 개조 및 변형을 행할 수 있다는 점을 이해할 수 있을 것이다. 따라서 본 발명은 첨부된 청구 범위의 기술적 범위 내에 속하는 이러한 모든 변경, 개조 및 변형을 포함하는 것으로 이해되어야 한다. 본 명세서에서 개시되고 첨부 도면에 도시된 모든 사항들은 예시적이고 비제한적인 의미로 해석되어야 한다.

도면

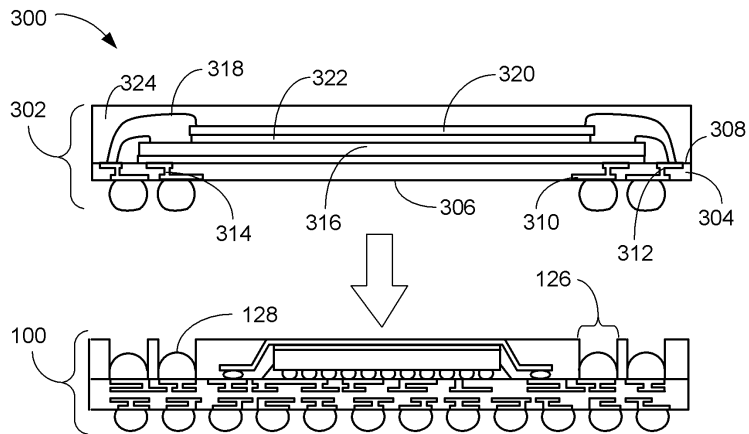
도면1



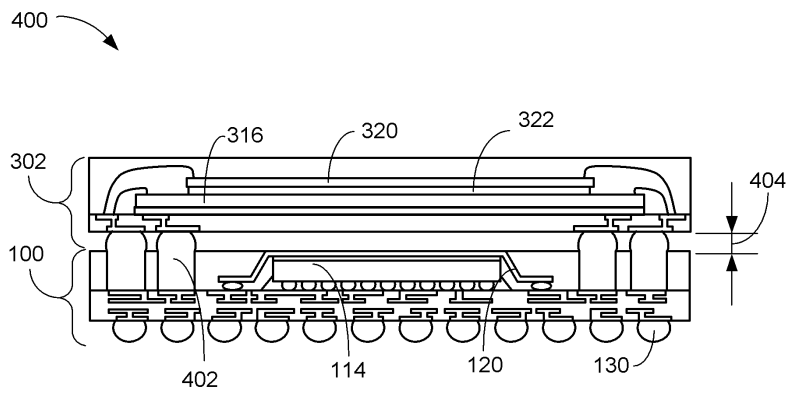
도면2



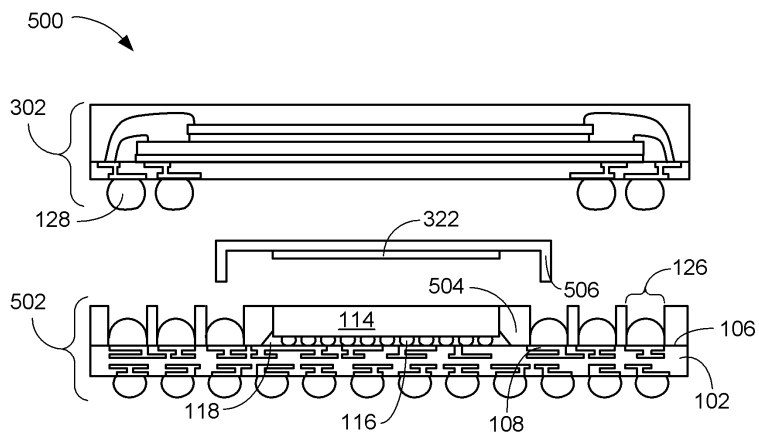
도면3



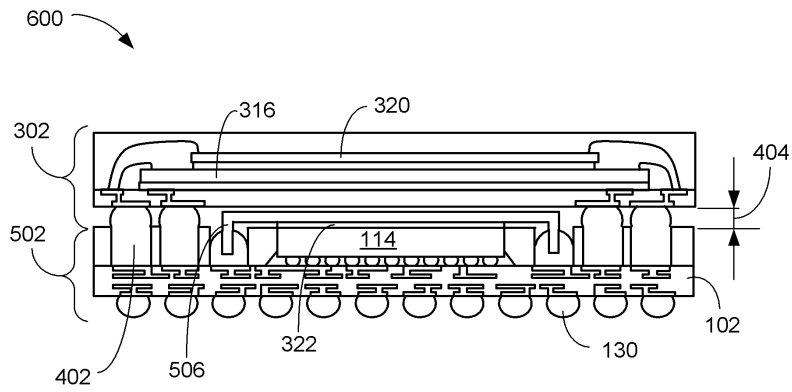
도면4



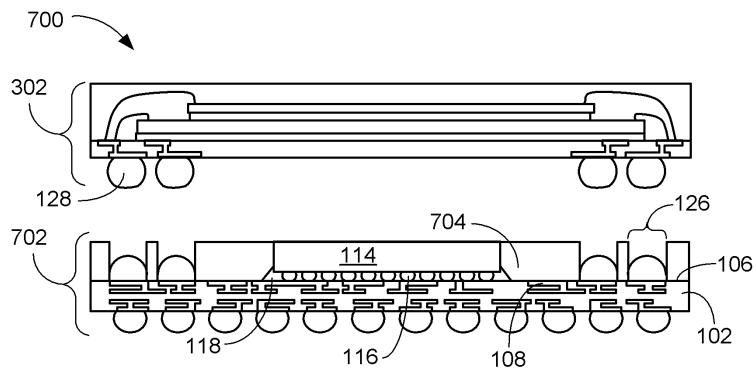
도면5



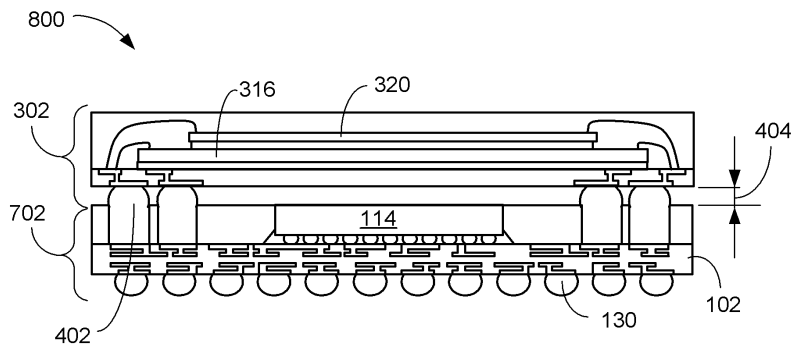
도면6



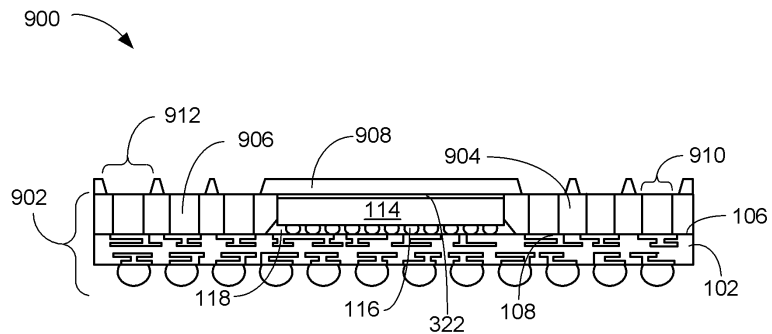
도면7



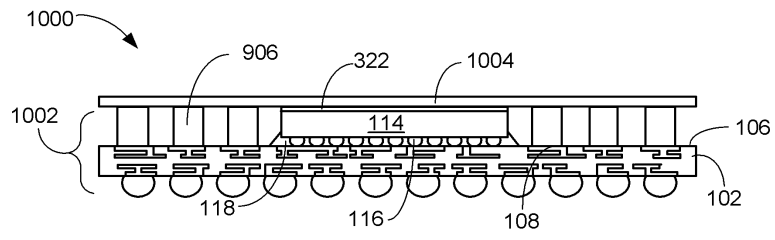
도면8



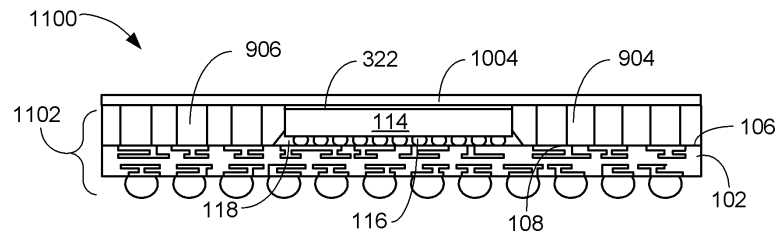
도면9



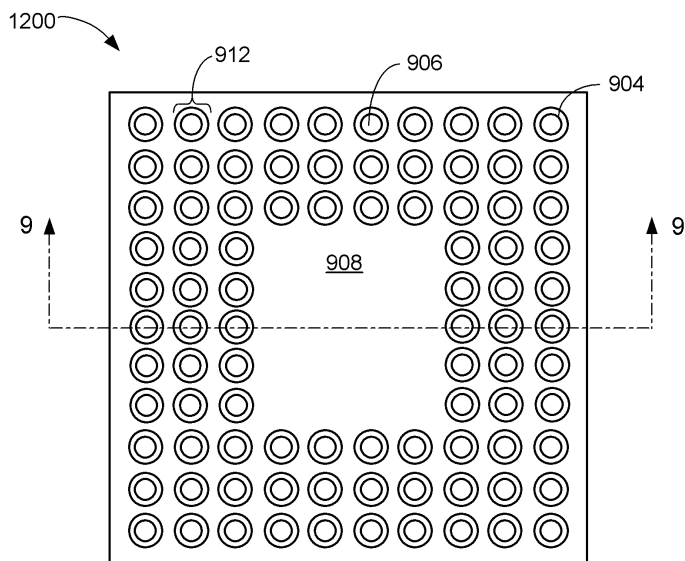
도면10



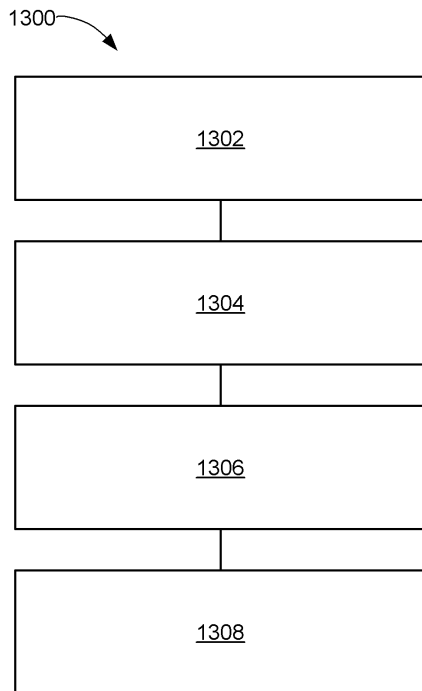
도면11



도면12



도면13



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 1, 줄5-6

【변경전】

적층 상호접속부들을

【변경후】

제1 적층 상호접속부들을

【직권보정 2】

【보정항목】 청구범위

【보정세부항목】 청구항 1, 줄9-10

【변경전】

상기 적층 상호접속부들을

【변경후】

제2 적층 상호접속부들을

【직권보정 3】

【보정항목】 청구범위

【보정세부항목】 청구항1, 줄12

【변경전】

적층 상호접속부들

【변경후】

제1 적층 상호접속부들

【직권보정 4】

【보정항목】 청구범위

【보정세부항목】 청구항1, 줄15

【변경전】

적층 상호접속부들을

【변경후】

제2 적층 상호접속부들을

【직권보정 5】

【보정항목】 청구범위

【보정세부항목】 청구항7, 줄2

【변경전】

상기 적층 솔더 칼럼의 높이만큼 설정되는

【변경후】

상기 적층 솔더 칼럼의 최종 높이에 의해 설정되는

【직권보정 6】

【보정항목】 청구범위

【보정세부항목】 청구항5, 줄2 및 줄3

【변경전】

적층 상호접속부들을

【변경후】

제1 적층 상호접속부들을

【직권보정 7】

【보정항목】 청구범위

【보정세부항목】 청구항 10, 줄2

【변경전】

적층 상호접속부들을

【변경후】

제1 적층 상호접속부들을

【직권보정 8】

【보정항목】 청구범위

【보정세부항목】 청구항 2, 줄2-3

【변경전】

적층 솔더 칼럼의 높이 만큼 유지시키는

【변경후】

적층 솔더 칼럼의 최종 높이에 의해 조정하는

【직권보정 9】

【보정항목】 청구범위

【보정세부항목】 청구항 1, 줄19

【변경전】

적층 상호접속부들을

【변경후】

제1 적층 상호접속부들과 제2 적층 상호접속부들을