(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[7]
G06F 1/12

(45) 공고일자 2000년05월15일
(11) 등록번호 10-0256309
(24) 등록일자 2000년02월22일

(21) 출원번호	10-1997-0005797	(65) 공개번호	특1998-0018036
(22) 출원일자	1997년02월25일	(43) 공개일자	1998년06월05일
(30) 우선권주장	96-230672 1996년08월30일 일본(JP)		

(73) 특허권자 후지쯔 가부시끼가이샤 아끼구사 나오유끼
일본국 가나가와켄 가와사키시 나카하라꾸 가미고다나카 4초메 1-1
(72) 발명자 우치다 도시야
일본 가나가와켄 가와사키시 나카하라쿠 가미코다나카 4죠메 1반 1고, 후지쓰 가부시키가이샤 나이
(74) 대리인 조태연

심사관 : 신양환

(54) 반도체 집적 회로

요약

위상 동기한 클록 신호를 출력하는 반도체 집적 회로에 관한 것으로, 보다 작은 소자수로 구성되어 회로 규격이 작고, 또한 높은 분해능으로 지연량을 제어할 수 있는 반도체 집적 회로의 제공을 목적으로 한다.

복수의 전압 제어 신호(φ1~φ4)를 수신하여 상기 전압 제어 신호에 대응한 전압(Vo)을 발생하는 전압 발생원(200)과, 복수의 지연 게이트(221~226)를 종렬접속하여 소정의 지연 시간을 부여하는 지연 게이트열(220)과, 상기 전압 발생원으로부터의 출력 전압(Vo)에 따라서 상기 지연 게이트열(220)에 흐르는 전류를 제어하는 전류 제어 수단(230)을 구비하고, 상기 복수의 전압 제어 신호(φ1~φ4)에 의해 상기 지연 게이트열(220)에 있어서의 지연량을 제어하도록 구성한다.

대표도

도13

명세서

도면의 간단한 설명

도 1은 관련 기술로서의 반도체 집적 회로의 일례를 개략적으로 도시한 블록도.

도 2는 도 1의 반도체 집적 회로에 있어서의 지연 제어 회로(지연부)의 일구성예를 설명하기 위한 도면.

도 3은 도 1의 반도체 집적 회로에 있어서의 지연 제어 회로(제어부)의 일구성예를 도시하는 회로도.

도 4는 도 3의 지연 제어 회로의 동작을 설명하기 위한 타이밍도.

도 5는 도 1의 반도체 집적 회로에 있어서의 위상 비교 회로(위상 비교부)의 일구성예를 도시하는 회로도.

도 6은 도 5의 위상 비교 회로의 동작을 설명하기 위한 타이밍도.

도 7은 도 1의 반도체 집적 회로에 있어서의 위상 비교 회로(증폭 회로부)의 일구성예를 도시하는 회로도.

도 8은 도 7의 위상 비교 회로에 있어서의 JK 플립플롭의 동작을 설명하기 위한 타이밍도.

도 9는 도 7의 위상 비교 회로에 있어서의 증폭 회로부의 동작을 설명하기 위한 타이밍도(카운트업시).

도 10은 도 7의 위상 비교 회로에 있어서의 증폭 회로부의 동작을 설명하기 위한 타이밍도(카운트유지시).

도 11은 도 7의 위상 비교 회로에 있어서의 증폭 회로부의 동작을 설명하기 위한 타이밍도(카운트다운시).

도 12는 관련 기술의 반도체 집적 회로에 있어서의 과제를 설명하기 위한 도면.

도 13은 본 발명에 따른 반도체 집적 회로의 일실시예를 개략적으로 도시하는 블록 회로도.

도 14는 도 13의 반도체 집적 회로의 동작을 설명하기 위한 타이밍도.

도 15는 도 13의 반도체 집적 회로에 있어서의 지연 제어 회로(제어부)의 일성예를 도시하는 회로도.

도 16은 도 15의 지연 제어 회로의 동작을 설명하기 위한 타이밍도.

도 17은 도 13의 반도체 집적 회로에 있어서의 위상 비교 회로(위상 비교부)의 일구성예를 도시하는 회로도.

도 18은 도 17의 위상 비교 회로의 동작을 설명하기 위한 타이밍도.

도 19는 도 13의 반도체 집적 회로에 있어서의 위상 비교 회로(증폭 회로부)의 일구성예를 도시하는 회로도.

도 20은 도 19의 위상 비교 회로에 있어서의 JK 플립플롭의 동작을 설명하기 위한 타이밍도.

도 21은 도 19의 위상 비교 회로에 있어서의 증폭 회로부의 동작을 설명하기 위한 타이밍도(카운트업시).

도 22는 도 19의 위상 비교 회로에 있어서의 증폭 회로부의 동작을 설명하기 위한 타이밍도(카운트다운시).

도 23은 본 발명에 따른 반도체 집적 회로가 적용되는 일례로서의 동기 DRAM의 구성을 나타내는 블록도.

도 24는 도 23의 동기 DRAM의 동작을 설명하기 위한 타이밍도.

도 25는 도 23의 동기 DRAM의 주요부 구성을 개략적으로 도시하는 블록도.

도 26은 본 발명에 따른 반도체 집적 회로에 있어서의 출력 회로(데이타 출력 버퍼 회로)의 일구성예를 도시하는 회로도.

도 27은 본 발명에 따른 반도체 집적 회로에 있어서의 더미의 내부 출력 클록 배선(더미 배선)의 일구성예를 설명하기 위한 도면.

도 28은 본 발명에 따른 반도체 집적 회로의 다른 실시예를 개략적으로 도시하는 블록 회로도.

도 29는 도 28의 반도체 집적 회로의 동작을 설명하기 위한 타이밍도.

도 30은 도 28의 반도체 집적 회로에 있어서의 지연 제어 회로(제어부)의 일구성예를 도시하는 회로도(그 1).

도 31은 도 28의 반도체 집적 회로에 있어서의 지연 제어 회로(제어부)의 일구성예를 도시하는 회로도(그 2).

도 32는 도 30 및 도 31의 지연 제어 회로의 동작을 설명하기 위한 타이밍도.

도 33은 도 28의 반도체 집적 회로에 있어서의 위상 비교 회로(위상 비교부)의 일구성예를 도시하는 회로도.

도 34는 도 33의 위상 비교 회로의 동작을 설명하기 위한 타이밍도.

도면의 주요 부분에 대한 부호의 설명

1: 클록 입력 패드

3, 31, 32: 위상 비교 회로

5, 50~57: 출력 회로(출력 버퍼 회로)

6, 60~67: 데이타 출력 패드

21, 22: 지연 제어 회로

41: 내부 출력 클록 배선(실(real)배선)

42: 더미의 내부 출력 클록 배선(더미 배선)

200, 300: 전압 발생원

210, 310: 저항 수단(저항)

211~214, 311~314: 트랜지스터(N 채널형 MOS 트랜지스터)

220, 320: 지연 게이트열(인버터열)

221~226, 321~326: 지연 게이트(인버터)

230, 330: 전류 제어 수단(P 채널형 MOS 트랜지스터)

$\phi 1 \sim \phi 4$: 전압 제어 신호(제어 신호)

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체 집적 회로에 관한 것이며, 특히 적은 소자수로 위상 동기한 클록 신호를 출력할 수 있는 반도체 집적 회로에 관한 것이다.

근래, 반도체 집적 회로는 고속화 및 고집적화가 진행하여, 클록 신호에 대해서도 위상 동기한 클록 신호를 필요로 하고 있다. 예컨대, 동기 DRAM(SDRAM)의 복수의 출력 버퍼 회로에 대해서는 각각의 위상 동기한 클록 신호 공급을 필요로 하고 있다. 이러한 위상 동기한 신호는, 예컨대, 회로 규모가 큰(점유 면적이 크다)복수단의 지연 게이트 및 제어 회로를 갖는 DLL 회로에 의해 생성되지만, 보다 적은 소자수로 구성되어 소형화되고, 또한 높은 분해능으로 지연량을 제어할 수 있는 반도체 집적 회로 제공이 요구되고 있다.

근래의 메모리·디바이스는, 예컨대, 100MHz를 넘는 동작 속도를 달성하고 있고, DLL(Delay Locked Line)등의 기술을 이용하여 외부 입력 클록 신호와 내부 출력 클록 신호의 위상을 일치시킴으로써, 내부 클록 배선에 의한 지연을 외부에서는 보이지 않도록 하여 액세스 시간의 지연이나 불균형을 억제하는 방법이 이용되고 있다. 이러한 DLL 기술에서는 내부 출력 클록 신호선의 부하에 의한 전파 지연을 어림하기 위해서, 더미의 내부 출력 클록 배선을 설치하고 있다.

도 1은 관련 기술로서의 반도체 집적 회로의 일례를 개략적으로 도시하는 블록도로서, DLL 회로를 개략적으로 도시한 것이다. 도 1에 있어서, 참조부호 (1)은 클록 입력 패드, (5)는 출력 회로, 그리고 (6)은 데이타 출력 패드(DQ)를 나타내고 있다. 또한, 참조부호 (3)은 위상 비교 회로, (21) 및 (22)는 위상 비교 회로(3)의 출력에 의해 지연 시간이 가변 제어되는 지연 제어 회로(지연 제어 회로), (41)은 지연 제어 회로(21)로부터 출력 회로(5)간의 내부 출력 클록 배선(실배선), (42)는 상기 내부 출력 클록 배선과 동등한 배선 부하를 갖는 더미의 내부 출력 클록 배선(더미 배선)을 나타내고 있다. 여기서, 예컨대, 상기 반도체 집적 회로를 SDRAM에 적용한 경우에는 출력 회로(5) 및 데이타 출력 패드(6)는 복수개(50~57,60~67(DQ0~DQ7)) 설치되게 된다.

도 1에 도시된 바와 같이, DLL 회로에서는 위상 비교 회로(3)의 한쪽의 입력(지연 제어 회로(21) 및 (22)의 입력: 비교 기준 신호 ϕext) A에서 위상 비교 회로(3)의 다른쪽의 입력(비교 대상 신호 ϕout) B까지의 지연이 꼭 1클록분의 시간이 되도록 위상 비교 회로(3)에 있어서 2개의 입력 신호의 위상을 비교하여, 그 비교 결과에 따라서 지연 제어 회로(21) 및 (22)의 지연량의 제어가 행해진다. 그 결과, 실제로 사용하는 출력 회로(5)의 클록 입력단 C에 있어서의 내부 클록 신호의 입력 클록 A에 대한 지연도 정확히 1 클록분의 시간이며, 외관상, 실배선(41)의 전파 지연이 없어지게 된다.

도 2는 도 1의 반도체 집적 회로에 있어서의 지연 제어 회로(지연부)(21, 22)의 일구성예를 도시하는 회로도로서, 동도면 (a)는 1비트분의 지연 회로의 구성을 도시하고, 동도면 (b)는 상기 1비트분의 지연 회로의 동작의 타임차트를 도시하며, 동도면 (c)는 1비트분의 지연 회로를 복수단 접속했을 때의 구성 및 그 동작을 설명하는 것이다.

도 2(a)에 도시된 바와 같이, 1비트분의 지연 회로는 2개의 NAND 게이트(401, 402) 및 인버터(403)를 구비하여 구성된다. 이 1비트분의 지연 회로의 동작을 도 2(b)를 참조하여 설명하면, 입력 ϕE는 활성화 신호(인에이블 신호)이고, 고레벨 "H"일 때에 지연 회로가 동작한다. 도 2(b)에서는 인에이블 신호 ϕE가 고레벨 "H"가 되어 신호의 액세스가 가능해진 상태가 도시되고 있다. 또한, 도 2(b)에 있어서, IN은 1비트분의 지연 회로로의 입력 신호를 나타내고, 또한, ϕN은 복수단 접속된 지연 회로중 인접하는 우측의 지연 회로로부터의 신호, OUT은 1비트분의 지연 회로의 출력 신호를, 그리고 4a-1 및 4a-2는 도 2(a)의 회로에 있어서 대응하는 노드의 파형을 나타내고 있다. 따라서, OUT은 좌측에 인접하는 1비트분의 지연 회로에 있어서의 신호 ϕN에 대응한다.

신호 ϕN이 저레벨 "L"일 때에는 출력 신호 OUT은 항상 저레벨 "L"이 되고, 또한, 신호 ϕN이 고레벨 "H"이고 신호 ϕE가 저레벨 "L"일 때에는 출력 신호 OUT은 고레벨 "H"가 된다. 신호 ϕN이 고레벨 "H"이고 신호 ϕE가 고레벨 "H"일 때에 입력 신호 IN이 저레벨 "L" 이면 출력 신호 OUT는 고레벨 "H"가 되며, IN이 고레벨 "H" 이면 저레벨 "L"이 된다.

도 2(a)의 회로에 의하면, 인에이블 신호 ϕE가 고레벨 "H"의 상태에서 입력 신호 IN이 상승하면, 그 입력 신호는 화살표의 경로에 따라서 전파하지만, 인에이블 신호 ϕE가 저레벨 "L"의 상태에서는 입력 신호 IN이 출력 OUT에 화살표의 경로로 전파하지 않도록 되어 있다.

도 2(c)는 도 2(a)에 도시된 1 비트분의 지연 회로를 복수단 캐스케이드 접속한 예이며, 실제의 지연 회로에 상당한다. 여기서, 도 2(c)에서는 3단밖에 도시되어 있지 않지만, 실제로는 다수단으로 접속(예컨대, 후술하는 바와 같이, 150단, 혹은, 그 이상)되어 있다. 또한, 인에이블 신호 ϕE의 신호선은 회로 요소마다, ϕE-1, ϕE-2, ϕE-3과 같이 복수개 있고, 이들 신호는 지연 제어 회로에 의해 제어된다. 또한, 도 2(a)~(c)에 도시된 지연 제어 회로는 도 1에서는 지연 제어 회로(21, 22)에 포함시켜 도시되어 있다.

여기서, 도 2(c)에서는 중앙의 1비트분의 지연 회로가 활성화되어 있고, 인에이블 신호 ϕE-2가 고레벨 "H"로 되어 있다. 이 경우, 입력 신호 IN이 저레벨 "L"에서 고레벨 "H"로 변화하면, 좌단의 1비트분의 지연 회로와 우단의 1비트분의 지연 회로의 인에이블 신호 ϕE-1 및 ϕE-3는 저레벨 "L"이기 때문에, 굵은선과 같이 입력 신호 IN은 NAND 게이트(401-1, 401-3)에서 정지된다.

한편, 활성화되어 있는 중앙의 1비트분의 지연 회로의 인에이블 신호 ϕE-2는 고레벨 "H"이기 때문에, 입력 신호 IN은 NAND 게이트(401-2)를 통과한다. 우측의 1비트분의 지연 회로의 출력 신호 OUT는 고레벨 "H"이기 때문에, 입력 신호 IN은 NAND 게이트(402-2)도 통과하여, 출력 신호 OUT로서 저레벨 "L"의 신호가 전달되게 된다. 상기한 바와 같이, 우측의 출력 신호 OUT, 즉, 인에이블 신호 ϕN이 저레벨 "L"일 때에는 출력 신호 OUT는 항상 저레벨 "L"이 되므로, 이 저레벨 "L"의 신호가 좌측의 1비트분의 지연 회로의 NAND 게이트 및 인버터에 순차적으로 전달되어, 최종적인 출력 신호로서 취출된다.

이와 같이, 활성화된 1비트분의 지연 회로를 통해, 입력 신호 IN은 반복될 수 있도록 신호 전달되며, 최종적인 출력 신호가 된다. 즉, 어떤 부분의 인에이블 신호 ϕE를 고레벨 "H"로 할지에 의해, 지연량을 제어할 수 있다. 1비트분의 지연량은 NAND 게이트와 인버터의 합계의 신호 전파 시간으로 결정되고, 이 시간이 DLL 회로의 지연 단위 시간이 되며, 그리고, 전체의 지연 시간은 1비트분의 지연량에 통과하는 단

수를 곱한 양이 된다.

도 3은 도 1의 반도체 집적 회로에 있어서의 지연 제어 회로(제어부)의 일구성예를 도시하는 회로도이다.

도 3에 도시된 바와 같이, 지연 제어 회로(지연 제어 회로(21, 22))도 점선으로 둘러싼 1비트분의 지연 제어 회로(430-2)를 지연 회로의 단수만큼 접속한 구성으로 되어 있고, 각단의 출력이 지연 회로의 각단의 인에이블 신호 ϕE가 된다.

구체적으로, 1비트분의 지연 제어 회로(430-2)는 NAND 게이트(432-2)와, 인버터(433-2)로 구성되는 플립플롭의 양단에 각각 직렬로 접속된 트랜지스터(435-2,438-2;437-2,439-2), 및, NOR 게이트(431-2)를 구비하여 구성되어 있다. 트랜지스터(438-2)의 게이트는 전단의 1비트분의 지연 제어 회로의 노드 5a-2에 접속되며, 또한, 트랜지스터(439-2)의 게이트는 후단의 1비트분의 지연 제어 회로의 노드 5a-5에 접속되어, 전단과 후단의 신호를 받도록 되어 있다. 한편, 직렬접속되어 있는 다른쪽의 트랜지스터의 게이트에는 카운트업할 때의 세트 신호 ϕSE 및 ϕSO와, 카운트 다운할 때의 리셋 신호 ϕRE 및 ϕRO가 1비트마다 회로에 공급되고 있다.

도 3에 도시된 바와 같이, 중앙의 1비트분의 지연 제어 회로(430-2)에서는 트랜지스터(435-2)의 게이트에 세트 신호 ϕSO가 공급되고, 트랜지스터(437-2)에 리셋 신호 ϕRO가 공급되며, 또한, 지연 제어 회로(430-2)의 전단 및 후단의 양측의 회로의 각 대응하는 트랜지스터의 게이트에는 각각 세트 신호 ϕSE 및 리셋 신호 ϕRE가 공급되고 있다. 또한, NOR 게이트(431-2)에는 좌측의(전단의) 회로의 노드 5a-1과 회로(430-2)의 노드 5a-4의 신호가 입력되는 구성으로 되어 있다. 또한, ϕR는 지연 제어 회로를 리셋하는 신호로서, 전원 투입후에 일시적으로 저레벨 "L"이 되며, 그 후는 고레벨 "H"로 고정된다.

도 4는 도 3의 지연 제어 회로의 동작을 설명하기 위한 타이밍도이다.

도 4에 도시된 바와 같이, 우선, 리셋 신호 ϕR이 일시적으로 저레벨 "L"이 되고, 노드 5a-1, 5a-3, 5a-5가 고레벨 "H", 또한, 5a-2, 5a-4, 5a-6이 저레벨 "L"에 리셋된다. 그리고, 카운트업할 때에는 카운트업 신호(세트 신호) ϕSE 및 ϕSO가 교대로 고레벨 "H"와 저레벨 "L"을 반복한다.

세트 신호 ϕSE가 저레벨 "L"에서 고레벨 "H"로 되면, 노드 5a-1은 접지되어 저레벨 "L"이 되고, 또한, 노드 5a-2는 고레벨 "H"로 변화한다. 노드 5a-2가 고레벨 "H"로 변화한 것을 받아서, 출력 신호(인에이블 신호) ϕE-1는 고레벨 "H"에서저레벨 "L"로 변화하는 이 상태는 플립플롭으로 래치되므로, 세트 신호 ϕSE가 저레벨 "L"로 되돌아 갔다고 해도, 인에이블 신호 ϕE-1은 저레벨 "L"인 상태로 있다. 그리고, 노드 5a-1이 저레벨 "L"로 변화한 것을 받아서, 인에이블 신호(출력 신호) ϕE-2가 저레벨 "L"에서 고레벨 "H"로 변화한다. 노드 5a-2가 고레벨 "H"로 변화하였으므로 트랜지스터(438-2)는 온상태가 되고, 세트 신호 ϕSO가 저레벨 "L"에서 고레벨 "H"가 되면, 노드 5a-3은 접지되어 저레벨 "L"로, 또한, 노드 5a-4는 고레벨 "H"로 변화한다. 또한, 노드 5a-4가 고레벨 "H"로 변화한 것을 받아서, 인에이블 신호 ϕE-2는 고레벨 "H"에서 저레벨 "L"로 변화한다. 이 상태는 플립플롭에 래치되므로, 세트 신호 ϕSO가 저레벨 "L"로 되돌아 갔다고 해도, 인에이블 신호 ϕE-2는 저레벨 "L"의 상태이다.

그리고, 노드 5a-3이 저레벨 "L"로 변화한 것을 받아서, 인에이블 신호 ϕE-3이 저레벨 "L"에서 고레벨 "H"로 변화한다. 도 4에서는 세트 신호 ϕSE 및 ϕSO가 1펄스씩 출력될 뿐이지만, 지연 제어 회로가 어느단에나 접속되어 있고, 세트 신호 ϕSE 및 ϕSO가 교대로 고레벨 "H"와 저레벨 "L"을 반복하면, 출력 신호(인에이블 신호) ϕE가 고레벨 "H"가 되는 단의 위치가 순차적으로 우측으로 시프트한다. 따라서, 위상 비교 회로(3)의 비교 결과에 의해 지연량을 증가시킬 필요가 있는 경우에는 교대로 세트 신호 ϕSE 및 ϕSO의 펄스를 입력하면 좋다.

카운트업 신호(세트 신호) ϕSE 및 ϕSO와, 카운트 다운 신호(리셋 신호) ϕRE 및 ϕRO가 출력되지 않은 상태, 즉 저레벨 "L"인 상태가 유지되면, 인에이블 신호 ϕE는 고레벨 "H"가 되는 단의 위치는 고정된다. 따라서, 위상 비교 회로(3)의 비교 결과에 의해 지연량을 유지할 필요가 있을 경우에는 신호 ϕSE, ϕSO, ϕRE 및 ϕRO의 펄스를 입력하지 않도록 한다.

카운트 다운할 때에는 리셋 신호 ϕRE 및 ϕRO의 펄스를 교대로 입력하면, 카운트업시와 반대로 출력 ϕE가 고레벨 "H"가 되는 단의 위치가 순차적으로 좌측으로 시프트한다.

이상 설명한 바와 같이, 도 3에 도시된 지연 제어 회로에서는 펄스를 입력함으로써, 인에이블 신호 ϕE가 고레벨 "H"가 되는 단의 위치를 1개씩 이동시키는 것이 가능하고, 이들 인에이블 신호 ϕE로 도 2(c)에 도시된 지연 회로를 제어하면 지연량을 1단위씩 제어할 수 있다. 또한, 도 3에 도시된 지연 제어 회로(제어부)는 도 1에서는 위상 비교 회로(3)에 포함시켜 그려져 있다.

도 5는 도 1의 반도체 집적 회로에 있어서의 위상 비교 회로(위상 비교부)의 일구성예를 도시하는 회로도이고, 도 6은 도 5의 위상 비교 회로의 동작을 설명하기 위한 타이밍도이다.

위상 비교 회로(3)는 도 5에 도시된 위상 비교부와 후술하는 도 7에 도시된 증폭 회로부의 2개의 회로부분으로 구성되어 있다.

도 5에 있어서, 참조부호 ϕout 및 ϕext는 이 위상 비교 회로에서 비교하는 출력 신호 및 외부 클록 신호를 나타내며, 신호 ϕext를 기준으로서 신호 ϕout의 위상이 판정된다. 또한, ϕa～ϕe는 증폭 회로에 접속되는 출력 신호를 나타내고 있다.

도 5에 도시된 바와 같이, 위상 비교 회로(3)의 위상 비교부는, 2개의 NAND 게이트로 구성된 플립플롭 회로(421, 422), 그 상태를 래치하는 래치 회로(425, 426), 래치 회로의 활성화 신호를 생성하는 회로(424), 및, 외부 클록 신호 ϕext의 위상 허용치를 수득하는 1지연분의 지연 회로(423)를 구비하여 구성되어 있다.

도 6(a)는 비교 대상 신호 ϕout가 비교 기준 신호 ϕext보다도 위상이 진행하고 있는 경우, 즉, 신호 ϕout가 신호 ϕext보다 미리 저레벨 "L"에서 고레벨 "H"가 되는 경우를 나타내고 있다. 신호 ϕout와 신호 ϕext가 함께 저레벨 "L"일 때에는 플립플롭 회로(421, 422)의 노드 6a-2, 6a-3, 6a-4, 6a-5는 모두

고레벨 "H"로 되어 있다. 신호 ϕout가 저레벨 "L"에서 고레벨 "H"로 변화하면, 노드6a-2 및 6a-4는 모두 고레벨 "H"에서 저레벨 "L"로 변화한다. 그 후, 신호 ϕext가 저레벨 "L"에서 고레벨 "H"가 되고, 또한, 1지연분 지연되어 노드 6a-1이 저레벨 "L"에서 고레벨 "H"가 되지만, 플립플롭의 양단의 전위는 이미 확정되어 있으므로, 아무런 변화가 생기지 않는다. 결국, 노드 6a-2는 저레벨 "L", 노드6a-3은 고레벨 "H", 노드 6a-4는 저레벨 "L", 그리고, 노드 6a-5는 고레벨 "H"를 유지한다.

한편, 신호 ϕext가 저레벨 "L"에서 고레벨 "H"로 변화한 것에 따라서, 회로(424)의 출력 신호 ϕa는 저레벨 "L"에서 고레벨 "H"로 변화하며, 노드 6a-6에는 일시적으로 고레벨 "H"가 되는 펄스가 인가된다. 이 노드 6a-6은 래치 회로(425, 426)의 NAND 게이트의 입력으로 되어 있으므로, 상기 NAND 게이트가 일시적으로 활성화되어, 플립플롭 회로(421, 422)의 양단의 전위상태를 래치 회로(425, 426)에 입력하게 된다. 최종적으로는 출력 신호 ϕb가 고레벨 "H", 출력 신호 ϕc가 저레벨 "L", 출력 신호 ϕd가 고레벨 "H", 그리고, 출력 신호 ϕe가 저레벨 "L" 이 된다.

다음에, 도 6(b)는 비교 대상 신호 ϕout와 비교 기준 신호 ϕext의 위상이 거의 동일하고, 신호 ϕout가 신호 ϕext와 거의 동시에 저레벨 "L"에서 고레벨 "H"로 되는 경우를 나타내고 있다. 신호 ϕout의 상승 시점과 노드 6a-1의 상승 시점과의 시간차내에, 신호 ϕout가 저레벨 "L"에서 고레벨 "H"로 변화했을 때, 우선, 신호 ϕext가 저레벨 "L"에서 고레벨 "H"가 됨으로써 플립플롭(421)의 노드 6a-3이 저레벨 "L"에서 고레벨 "H"로 변화한다. 플립플롭(422)에서는 노드 6a-1이 저레벨 "L"인 상태이므로, 반대로, 노드 6a-4가 고레벨 "H"에서 저레벨 "L"로 변화한다. 그 후, 노드 6a-1이 고레벨 "H"에서 저레벨 "L"로 변화하지만, 플립플롭(422)의 상태는 이미 정해져 있으므로, 아무런 변화도 생기지 않는다. 그 후, 노드 6a-6가 일시적으로 고레벨 "H"가 되므로, 래치 회로에는 이 상태가 기억되고, 결국, 출력 신호 ϕb가 저레벨 "L", 출력 신호 ϕc가 고레벨 "H", 출력 신호 ϕd가 고레벨 "H", 그리고, 출력 신호 ϕe가 저레벨 "L"이 된다.

또한, (c)는 비교 대상 신호 ϕout가 비교 기준 신호 ϕext보다도 위상이 지연되고 있고, ϕout가 ϕext보다 뒤에 저레벨 "L"에서 고레벨 "H"가 되는 경우를 나타내고 있다. 이 경우는 ϕext에 의해서 2개의 플립플롭 회로(421, 422)에 변화가 생겨서, 6a-3과 6a-5가 고레벨 "H"에서 저레벨 "L"로 변화한다. 그리고, 최종적으로는 ϕb가 저레벨 "L", ϕc가 고레벨 "H", ϕd가 저레벨 "L", ϕe가 고레벨 "H"가 된다.

이와 같이, 신호(비교 기준 신호) ϕext의 상승 시간을 기준으로서, 신호(비교 대상 신호) ϕout의 상승 시간이 그 이전에 고레벨 "H"가 되었는지, 거의 동시였는지, 혹은, 지연되어 고레벨 "H"가 되었는지를 검출하는 것이 가능하게 된다. 이들의 검출 결과를 출력 신호 ϕb, ϕc, ϕd, ϕe의 값으로서 래치해 두고, 그 값에 기초하여 지연 제어 회로를 카운트 업할지, 카운트 다운할지를 결정하게 된다.

도 7은 도 1의 반도체 집적 회로에 있어서의 위상 비교 회로(증폭 회로부)의 일구성예를 도시하는 회로도이고, 도 8은 도 7의 위상 비교 회로에 있어서의 JK 플립플롭의 동작을 설명하기 위한 타이밍도이다.

도 7에 도시된 바와 같이, 위상 비교 회로(3)의 증폭 회로부는 JK 플립플롭(427)과, NAND 게이트 및 인버터로 구성되는 증폭부(428)의 2개의 부분을 구비하여구성되어 있다. JK 플립플롭(427)에는 도 5의 위상 비교부에서의 출력 신호 ϕa가 입력되며, 신호 ϕa가 저레벨 "L"인지 고레벨 "H"인지에 따라서 노드 7a-9 및 7a-11의 전위가 교대로 저레벨 "L"과 고레벨 "H"을 반복하는 구성으로 되어 있다. 증폭부(428)는 JK 플립플롭(427)의 출력 신호와, 신호 ϕb 및 ϕd의 신호를 받아서 증폭하여 출력한다.

우선, JK 플립플롭(427)의 동작을 도 8의 타이밍차트를 참조하여 설명한다. 시간 T1에서, 신호 ϕa가 고레벨 "H"에서 저레벨 "L"로 변화하면, 노드 7a-1 및 7a-10이 저레벨 "L"에서 고레벨 "H"로 변화한다. 한편, 노드 7a-1의 변화에 따라서, 노드 7a-5, 7a-6, 7a-7이 변화하지만, 신호 ϕa가 저레벨 "L"이기 때문에, 노드 7a-8은 변화하지 않는다. 결국, 출력(노드) 7a-9는 변화하지 않고, 출력 7a-11만이 저레벨 "L"에서 고레벨 "H"가 된다. 다음에, 시간 T2가 되어, ϕa가 저레벨 "L"에서 고레벨 "H"로 변화하면, 시간 T1에서의 동태와 반대로 노드7a-8은 고레벨 "H"에서 저레벨 "L"로, 7a-10은 7a-7이 변화하지 않으므로 변화하지 않고, 출력 7a-9는 저레벨 "L"에서 고레벨 "H"로 변화하며, 출력 7a-11은 변화하지 않는다. 이와 같이, JK 플립플롭 회로(427)는 신호 ϕa의 동태에 따라서 출력 7a-9 및 7a-11가 교대로 고레벨 "H"와 저레벨 "L"을 반복하여 변한다.

도 9는 도 7의 위상 비교 회로에 있어서의 증폭 회로부의 동작을 설명하기 위한 타이밍도(카운트업시)이고, 도 10은 도 7의 위상 비교 회로에 있어서의 증폭 회로부의 동작을 설명하기 위한 타이밍도(카운트 유지시)이며, 그리고, 도 11은 도 7의 위상 비교 회로에 있어서의 증폭 회로부의 동작을 설명하기 위한 타이밍도(카운트 다운시)이다. 다음에, 증폭부(428)의 동작을 도 9~도 11을 참조하여 설명한다.

도 9는 비교 기준 신호 ϕext의 상승에 대하여, 비교 대상 신호 ϕout가 먼저 저레벨 "L"에서 고레벨 "H"가 되는 경우를 나타내고 있다. 이 경우의 위상 비교부에서의 입력 신호는 신호 ϕb가 고레벨 "H", 신호 ϕc가 저레벨 "L", 신호 ϕd가 고레벨 "H", 그리고, 신호 ϕe가 저레벨 "L"이다. 결국, 노드 7a-12가 고레벨 "H"가 되고, 노드 7a-13이 저레벨 "L"로 고정되며, 세트 신호 ϕS0 및 ϕSE는 JK 플립플롭의 상태에 따라서 변화하지만, 리셋 신호 ϕR0 및 ϕRE는 7a-13이 저레벨 "L"이기 때문에 변화하지 않는다.

도 10은 비교 대상 신호 ϕout가 비교 기준 신호 ϕext와 거의 동시에 저레벨 "L"에서 고레벨 "H"가 되는 경우를 나타내고 있다. 이 경우의 위상 비교부에서의 입력 신호는 신호 ϕb가 저레벨 "L", 신호 ϕc가 고레벨 "H", 신호 ϕd가 고레벨 "H", 그리고, 신호 ϕe가 저레벨 "L"이다. 결국, 노드 7a-12 및 7a-13이 저레벨 "L"로 고정되고, 리셋 신호 ϕS0 및 ϕSE는 JK 플립플롭의 출력이 증폭부에 영향받지 않으며, 신호 ϕS0, ϕSE, ϕR0 및 ϕRE는 저레벨 "L"로 고정된 채로 된다.

도 11은 비교 대상 신호 ϕout가 비교 기준 신호 ϕext의 상승에 대하여 지연되어 저레벨 "L"에서 고레벨 "H"가 되는 경우를 나타내고 있다. 이 경우의 위상 비교부에서의 입력 신호는 신호 ϕb가 저레벨 "L", 신호 ϕc가 고레벨 "H", 신호 ϕd가 저레벨 "L", 그리고, 신호 ϕe가 고레벨 "H"이다. 결국, 노드 7a-12가 저레벨 "L"로 고정되며, 노드 7a-13이 고레벨 "H"로 고정되고, 리셋 신호 ϕR0 및 ϕRE는 JK 플립플롭의 상태에 따라서 변화하지만, 세트 신호 ϕS0 및 ϕSE는 노드 7a-12가 저레벨 "L"이기 때문에 변화하지 않는다.

발명이 이루고자 하는 기술적 과제

전술한 바와 같이, DLL 등의 위상 비교 기술을 이용하는 경우, 외부 클록 신호에 대하여 1클록만큼 지연하는 내부 클록 신호를 수득하기 위해, 예컨대, 논리 게이트의 단수를 제어하는 방식의 지연 제어 회로가 이용되고 있다.

도 12는 관련 기술의 반도체 집적 회로에 있어서의 과제를 설명하기 위한 도면이며, 지연 제어 회로(21, 22)를 간략화하여 도시하는 것이다.

그런데, 도 1에 도시된 바와 같은 반도체 집적 회로(DLL 회로)에 대한 외부 클록 신호로서는 이용자의 형편에 따라 여러가지 주기의 클록 신호가 부여되기 때문에, 그것에 대응시키기 위해서는 지연 제어 회로(21, 22)에 있어서의 논리 게이트의 단수를 충분히 확보할 필요가 있다. 그 결과, DLL 회로의 회로 규모가 커져서 매우 큰 점유 면적을 필요로 하게 된다.

구체적으로, 예컨대, 외부 클록 신호의 주기가 20나노초이고, 그리고, 지연 제어 회로(21)에 있어서의 지연을 제외한 노드 A에서 노드 C의 경로에 있어서의 지연 시간(예컨대, 실배선등에 의한 지연 시간)이 5나노초라고 가정하면, 지연 제어 회로(21, 22)에는 적어도 15나노초분의 지연 제어용 논리 게이트를 설치할 필요가 있다. 여기서, 1게이트당의 지연이 0.1나노초라고 하면, 15나노초분의 지연 제어용 논리 게이트를 구성하기 위해서는 150단의 논리 게이트가 필요로 되는 계산이 된다.

또한, 지연 제어 회로(21, 22)에 있어서의 지연 조정의 분해능을 세밀하게 설정하기 위해서는 포인터를 다수 설치할 필요가 있으며, 이를 위한 회로도 커지고, 또한, 도 12에 도시된 바와 같이, 최소 분해능이 논리 게이트 2단의 지연으로 제한된다는 문제도 있다. 또한, 실제의 지연 제어 회로(21, 22)는 예컨대, 도 2 및 도 3을 참조하여 설명한 바와 같이, 더욱 많은 회로 소자를 필요로 하며, 보다 더 회로 규모 및 회로의 점유 면적이 커지고 있다.

본 발명은 상술한 반도체 집적 회로가 갖는 과제를 감안하여, 보다 적은 소자수로 구성되어 소형화되고, 또한 높은 분해능에 의해 지연량을 제어할 수 있는 반도체 집적 회로 제공을 목적으로 한다.

발명의 구성 및 작용

본 발명에 따르면, 복수의 전압 제어 신호를 받아서 상기 전압 제어 신호에 대응한 전압을 발생하는 전압 발생원과, 복수의 지연 게이트를 종렬접속하여 소정의 지연 시간을 부여하는 지연 게이트열과, 상기 전압 발생원으로부터의 출력 전압에 따라서 상기 지연 게이트열에 흐르게 하는 전류를 제어하는 전류 제어 수단을 구비하고, 상기 복수의 전압 제어 신호에 의해 상기 지연 게이트열에 있어서의 지연량을 제어하도록 한 것을 특징으로 하는 반도체 집적 회로가 제공된다.

또한, 본 발명에 따르면, 외부으로부터의 제어 신호가 공급되는 제 1 및 제 2 지연 제어 회로와, 상기 제 1 지연 제어 회로의 출력 신호가 각각 실배선을 통해 공급되는 복수의 대상 회로와, 상기 실배선에 의한 지연을 더미화하는 더미 배선 수단과, 상기 제 2 지연 제어 회로의 더미 출력 신호가 상기 더미 배선 수단을 통해 공급되며, 상기 외부에서의 제어 신호 및 상기 더미 배선 수단의 출력 신호의 위상을 비교하여, 그 비교 결과에 의해 상기 제 1 및 제 2 지연 제어 회로에 있어서의 지연량을 제어하는 위상 비교 회로를 구비하고, 상기 제 1 및 제 2 지연 제어 회로는 상기 위상 비교 회로에서 출력되는 복수의 전압 제어 신호를 받아 상기 전압 제어 신호에 대응한 전압을 발생하는 전압 발생원과, 복수의 지연 게이트를 종렬접속하여 소정의 지연 시간을 부여하는 지연 게이트열과, 상기 전압 발생원으로부터의 출력 전압에 따라서 상기 지연 게이트열에 흐르게 하는 전류를 제어하는 전류 제어 수단을 구비하고, 상기 복수의 전압 제어 신호에 의해 상기 지연 게이트열에 있어서의 지연량을 제어하도록 한 것을 특징으로 하는 반도체 집적 회로가 제공된다.

본 발명의 반도체 집적 회로에 따르면, 전압 발생원은 복수의 전압 제어 신호를 받아 상기 전압 제어 신호에 대응한 전압을 발생하고, 전류 제어 수단은 전압 발생원으로부터의 출력 전압에 따라서 지연 게이트열에 흐르게 하는 전류를 제어함으로써, 복수의 전압 제어 신호에 의해 지연 게이트열에 있어서의 지연량을 제어하도록 되어 있다.

여기서, 전압 발생원은 저항 수단 및 각 전압 제어 신호에 의해 스위칭 제어되는 복수의 사이즈가 다른 트랜지스터를 구비하여 구성되고, 온상태의 트랜지스터 및 저항 수단에 의해 저항 분할된 전위의 전압을 출력 전압으로서 발생한다. 또한, 전압 발생원의 트랜지스터는 각 트랜지스터의 온저항의 값이 등비수열적으로 되도록 설정되며, 복수의 전압 제어 신호에 의해 임의의 1개의 트랜지스터를 선택하여 온상태로 하도록 되어 있다. 혹은, 전압 발생원의 트랜지스터는 각 트랜지스터의 온저항의 값이 2의 누승이 되도록 설정되고, 또한 복수의 전압 제어 신호는 2진 카운터의 제어 신호로서 수득할 수 있도록 되어 있다.

이와 같이, 본 발명의 반도체 집적 회로에 의하면, 보다 적은 소자수로 회로 규모가 작고, 또한 높은 분해능에 의해 지연량을 제어할 수 있다.

이하, 도면을 참조하여 본 발명에 따른 반도체 집적 회로의 실시예를 설명한다. 본 발명에 따른 반도체 집적 회로는 이하에 상세히 기술하는 바와 같이, 논리 게이트의 단수가 아니라, 논리 게이트의 전원의 전류 능력을 조정함으로써 지연 시간의 제어를 행하도록 되어 있다.

도 13은 본 발명에 따른 반도체 집적 회로의 일실시예를 개략적으로 나타내는 블록 회로도이다.

도 13에 도시된 바와 같이, 본 실시예(제 1실시예)에 있어서의 지연 제어 회로(21, 22)는 위상 비교 회로(31, 3)로부터의 전압 제어 신호(제어 신호)(φ1~φ4)에 따라서 소정의 전압을 발생하는 전압 발생원(200), 상기 전압 발생원(200)의 출력 전압이 인가된 P 채널형 MOS 트랜지스터(230)와, 종렬접속된 복수단(도 13에서는 6개)의 인버터(221~226)로 구성되어 있다. 여기서, 제어 신호 (φ1~φ4)는 어느 하나의 신호가 고레벨 "H"이고 다른 신호가 저레벨 "L"이 되어, 상기 고레벨 "H"의 제어 신호에 대응한 1개의 트랜지스터(211~214)만이 온되도록 되어 있다. 그리고, 이 온상태의 트랜지스터와 저항(210)에 의해 저

항 분할된 전압이 전압 발생원(200)의 출력 전압(Vo)으로서 출력되도록 되어 있다.

도 13에 도시된 바와 같이, 전압 발생원(200)은 저항(210) 및 크기가 다른 복수(도 13에서는 4개)의 N 채널형 MOS 트랜지스터(211~214)를 구비하여 구성되어 있다. 저항(210)의 일단은 고전위의 전원선(Vcc)에 접속되고, 타단은 각 트랜지스터(211~214)의 제 1 전극(드레인)에 공통 접속되어 있다. 각 트랜지스터(211~214)의 제어 전극(게이트)에는 각각 위상 비교 회로(31)로부터의 제어 신호(φ1~φ4)가 공급되고, 또한 상기 트랜지스터(211~214)의 제 2 전극(소스)은 저전위의 전원선(Vss)에 접속되어 있다.

여기서, 트랜지스터(211~214)는 각각 도통 저항(온저항)이 다르도록 되어 있고, 구체적으로, 트랜지스터(211)의 게이트폭을 1W로 하면, 트랜지스터(212,213,214)의 각 게이트폭은 각각 2W, 3W, 4W와 같이 등비수열적으로 순차 넓어지도록 설정되어 있다. 이것에 의해, 트랜지스터(211~214)의 온저항을 각각 R11~R14로 하면, R11>R12>R13>R14의 관계가 성립한다. 또한, 상기 트랜지스터(211)의 게이트폭 1W의 크기를 작게 하고, 전체의 트랜지스터(211~214)의 수를 증가시키면, 회로 규모는 그것에 따라 커지지만(도 12의 관련 기술의 것 보다는 아주 작다), 지연 시간을 조정 제어하기 위한 분해능은 높아진다.

도 13에 도시된 바와 같이, 트랜지스터(230)의 제 1 전극(드레인)은 인버터(221~226)의 고전위 전원측에 접속되고, 제 2 전극(소스)은 고전위 전원선(Vcc)에 접속되며, 그리고, 제어 전극(게이트)에는 전압 발생원(200)의 출력 전압이 인가되도록 되어 있다. 여기서, 트랜지스터(230)는 게이트에 인가되는 전압에 따라서, 종렬접속된 복수의 인버터(221~226)(지연 게이트열; 인버터열(220))에 공급하는 전류를 제어하는 것이며, 구체적으로, 상기 트랜지스터(230)의 게이트에 인가되는 전압이 고전위가 될수록, 상기 트랜지스터(230)에 흐르는 전류는 적어진다. 그리고, 트랜지스터(230)에 흐르는 전류가 적어지면, 인버터열(220)에 있어서, 차단의 인버터의 게이트를 충방전하는데 요하는 시간이 길어지며(구동 능력이 작아짐), 상기 인버터열(220)에 의한 지연 시간이 길어진다.

도 14는 도 13의 반도체 집적 회로의 동작을 설명하기 위한 타이밍도이다.

도 14에 있어서, 우선, 위상 비교 회로(31)로부터의 제어 신호(전압 제어 신호)(φ1~φ4)중에 신호 φ1만이 고레벨 "H"이고 다른 신호 φ2~φ4가 저레벨 "L"일 때(TT1), 가장 게이트폭이 좁고 (1W) 온저항이 큰 트랜지스터(211)만이 스위치온이 되어, 상기 트랜지스터(211)의 온저항(R11)과 저항(210)에 의해 저항분할된 전압(V1)이 전압 발생원(200)의 출력 전압(Vo)으로서 출력된다. 동일하게, 위상 비교 회로(31)에서의 제어 신호중, 각 1개의 신호 φ2, φ3, φ4만이 고레벨 "H"일 때(TT2, TT3, TT4), 각각 트랜지스터(213,212,211)만이 스위치온이 되고, 상기 각 트랜지스터의 온저항과 저항(210)에 의해 저항분할된 전압(V2,V3,V4)이 전압 발생원(200)의 출력 전압(Vo)으로서 출력된다.

여기서, 트랜지스터(211~214)의 온저항(R11~R14)의 값은 각 트랜지스터의 게이트폭 1W~4W 대응하여, R11>R12>R13>R14가 되기 때문에, 전압 발생원(200)의 출력 전압(Vo)에 있어서의 전압(V1~V4)은 V1>V2>V3>V4가 된다. 그리고, P 채널형 MOS 트랜지스터(230)의 게이트에 인가되는 전압이 고전위가 될수록, 상기 트랜지스터(230)에 흐르는 전류는 적어지고, 그 결과, 지연 게이트열(인버터열) (220)에 의한 지연 시간이 커진다. 또한, 도 14에서는 온저항이 가장 큰 트랜지스터(211)가 선택되었을 때에 상기 부분 입력 클록(노드 A의 신호)과 지연 요소(실배선)(41)를 통해 출력되는 내부 클록(노드 C의 신호)의 위상이 동기하는(1주기만큼 지연한다) 경우를 나타내고 있다.

이상에 있어서, 전압 발생원(200)을 구성하는 트랜지스터(211~214)의 크기차이의 정도(각 트랜지스터간의 온저항의 상이의 정도)가 지연 시간을 제어하는 경우의 분해능에 관련된다. 이 전압 발생원(200)내의 트랜지스터(211~214)의 크기 차이 및 상기 트랜지스터의 수, 혹은, 기본이 되는 지연 시간을 규정하는 지연 게이트열(220)의 단수등은 필요에 따라서 여러가지로 설정할 수 있다.

이와 같이, 본 발명의 제 1 실시예에 따르면, 우선, 전압 발생원(200)내의 다른 온저항을 갖는 복수의 트랜지스터를 위상 비교 회로(31)의 출력 신호(φ1~φ4)로 제어함으로써, 상기 전압 발생원(200)의 출력 전압(Vo)을 조정한다. 그리고 이 전압 발생원(200)의 출력 전압(Vo)을 지연 게이트열(220)에 전류를 공급하는 트랜지스터(230)의 게이트에 인가하는 것으로, 지연 게이트열의 지연 시간을 제어한다. 이와 같이, 본 실시예에서는 지연 시간의 제어가 논리 게이트의 단수와는 무관계하게 행해지므로, 회로 규모를 축소하여 회로의 점유 면적을 감소시킬 수 이고, 또한 최소 분해능도 게이트 지연과는 무관계하게 설정하는 것이 가능해진다.

또한, 본 발명의 반도체 집적 회로는 예컨대, 도 1에 도시된 회로의 위상 비교 회로(3) 및 지연 제어 회로(21, 22)에 대하여 그대로 적용할 수 있다.

도 15는 도 13의 반도체 집적 회로에 있어서의 지연 제어 회로(제어부)의 일구성예를 도시하는 회로도이고, 전술한 도 3의 회로에 대응한다.

즉, 전술한 도 3에 도시된 회로에서는 그 출력 신호(인에이블 신호) φE-1, φE-2, φE-3에 의해 지연 시간을 부여하는 게이트의 단수를 제어하고 있는데 대하여, 도 15에 도시된 본 회로에서는 그 출력 신호 φ1~φ3에 의해, 도 13의 전압 발생원(200)에 있어서의 트랜지스터(211~214)내의 1개의 트랜지스터를 선택하여 상기 전압 발생원(200)의 출력 전압(Vo)을 제어하도록 되어 있다. 따라서, 도 15에 도시된 지연 제어 회로(제어부)의 구성 자체는 도 3과 동일한 것으로 되어 있다. 또한, 도 15에서는 제어 신호(전압 제어 신호) φ1~φ3를 발생하는 회로만 도시되어 있지만, 도 13에서 사용되는 제어 신호 φ4, 혹은 더욱 많은 제어 신호에 관해서도 동일하게 생성된다.

도 15에 도시된 바와 같이, 지연 제어 회로(지연 제어 회로(21, 22))는 점선으로 둘러싼 1비트분의 지연 제어 회로(430-2)를 지연 회로의 단수만큼 접속한 구성으로 되어 있고, 각단의 출력이 도 13의 전압 발생원(200)에 있어서의 각 트랜지스터(211~213)의 게이트에 공급되는 제어 신호 φ1~φ3에 대응하고 있다.

구체적으로, 1비트분의 지연 제어 회로(430-2)는 NAND 게이트(432-2)와, 인버터(433-2)로 구성되는 플립플롭의 양단에 각각 직렬로 접속된 트랜지스터(435-2,438-2;437-2,439-2), 및 NOR 게이트(431-2)를 구비하여 구성되어 있다. 트랜지스터(438-2)의 게이트는 전단의 1비트분의 지연 제어 회로의 노드 5a-2에 접속되고, 또한 트랜지스터(439-2)의 게이트는 후단의 1비트분의 지연 제어 회로의 노드 5a-5에 접속되며,

전단과 후단의 신호를 받도록 되어 있다. 한편, 직렬접속되어 있는 다른쪽의 트랜지스터의 게이트에는 카운트업할 때의 세트 신호 φSE 및 φSO와, 카운트 다운할 때의 리셋 신호 φRE 및 φRO가 1비트마다 회로에 공급되어 있다.

도 15에 도시된 바와 같이, 중앙의 1비트분의 지연 제어 회로(430-2)에서는 트랜지스터(435-2)의 게이트에 세트 신호 φSO가 공급되고, 트랜지스터(437-2)에 리셋 신호 φRO가 공급되며, 또한 지연 제어 회로(430-2)의 전단 및 후단의 양측 회로의 각 대응하는 트랜지스터의 게이트에는 각각 세트 신호 φSE 및 리셋 신호 φRE가 공급되어 있다. 또한 NOR 게이트(431-2)에는 좌측(전단) 회로의 노드 5a-1과 회로(430-2)의 노드 5a-4의 신호가 입력되는 구성으로 되어 있다. 또한, φR는 지연 제어 회로를 리셋하는 신호로, 전원 투입후에 일시적으로 저레벨 "L"이 되고, 그 후는 고레벨 "H"로 고정된다.

도 16은 도 15의 지연 제어 회로의 동작을 설명하기 위한 타이밍도이다. 도 16에 도시된 바와 같이, 우선, 리셋 신호 φR가 일시적으로 저레벨 "L"이 되고, 노드 5a-1, 5a-3, 5a-5가 고레벨 "H", 또한 5a-2, 5a-4, 5a-6이 저레벨 "L"로 리셋된다. 그리고, 카운트업할 때에는 카운트업 신호(세트 신호) φSE 및 φSO가 교대로 고레벨 "H"와 저레벨 "L"을 반복한다.

세트 신호 φSE가 저레벨 "L"에서 고레벨 "H"가 되면, 노드 5a-1은 접지되어 저레벨 "L"이 되고, 또한 노드 5a-2는 고레벨 "H"로 변화한다. 노드 5a-2가 고레벨 "H"로 변화한 것을 받아, 출력 신호(제어 신호) φ1은 고레벨 "H"에서 저레벨 "L"로 변화한다. 이 상태는 플립플롭으로 래치되므로, 세트 신호 φSE가 저레벨 "L"로 되돌아왔다고 해도, 제어 신호 φ1은 저레벨 "L"의 상태이다. 그리고, 노드 5a-1이 저레벨 "L"로 변화한 것을 받아, 제어 신호(출력 신호) φ2가 저레벨 "L"에서 고레벨 "H"로 변화한다. 노드 5a-2가 고레벨 "H"로 변화하였으므로 트랜지스터(438-2)는 온상태가 되고, 세트 신호 φSO가 저레벨 "L"에서 고레벨 "H" 가 되면, 노드 5a-3은 접지되어 저레벨 "L"로, 또한 노드 5a-4는 고레벨 "H"로 변화한다. 또한, 노드 5a-4가 고레벨 "H"로 변화한 것을 받아, 제어 신호 φ2는 고레벨 "H"에서 저레벨 "L"로 변화한다. 이 상태는 플립플롭으로 래치되므로, 세트 신호 φSO가 저레벨 "L"로 되돌아왔다고 해도, 제어 신호 φ2는 저레벨 "L"의 상태이다.

그리고, 노드 5a-3이 저레벨 "L"로 변화한 것을 받아서 제어 신호 φ3이 저레벨 "L"에서 고레벨 "H"로 변화한다. 도 16에서는 세트 신호 φSE 및 φSO가 1펄스씩 출력될 뿐이지만, 지연 제어 회로가 어느단에나 접속되어 있고, 세트 신호 φSE 및 φSO가 교대로 고레벨 "H"와 저레벨 "L"을 반복하면, 출력 신호(제어 신호) φ1～φ3이 고레벨 "H"가 되는 단의 위치가 순차적으로 우측으로 시프트한다.

따라서, 위상 비교 회로(31, 3)의 비교 결과에 의해 지연량을 증가시킬 필요가 있는 경우에는 교대로 세트 신호 φSE 및 φSO의 펄스를 입력하면, 예컨대, 제어 신호 φ3만이 고레벨 "H"였지만, 제어 신호 φ2를 통해, 제어 신호 φ1만이 고레벨 "H"가 되고, 도 13에 있어서의 전압 발생원(200)의 출력 전압(Vo)이 높아진다. 즉, P 채널형 MOS 트랜지스터(230)의 게이트 전압이 높아지고, 상기 트랜지스터(230)에 흐르는 전류가 적어진다. 즉, 지연 게이트열(인버터열(220))을 구성하는 각 게이트(인버터)에 흐르는 전류가 적어지고, 게이트 입력을 충방전하는 시간이 길어지며, 그 결과, 지연 시간이 길어진다.

카운트업 신호(세트 신호) φSE 및 φSO와, 카운트 다운 신호(리셋 신호) φRE 및 φRO가 출력되지 않은 상태, 즉 저레벨 "L"인 상태가 유지되면, 제어 신호 φ1～φ3은 고레벨 "H"가 되는 단의 위치는 고정된다. 따라서, 위상 비교 회로(31)의 비교 결과에 의해 지연량을 유지할 필요가 있는 경우에는 신호 φSE, φSO, φRE 및 φRO의 펄스를 입력하지 않도록 한다.

카운트 다운할 때에는 리셋 신호 φRE 및 φRO의 펄스를 교대로 입력하면, 카운트업일 때와 반대로 출력 φE가 고레벨 "H"가 되는 단의 위치가 순차적으로 좌측으로 시프트한다.

이상 설명한 바와 같이, 도 15에 도시된 지연 제어 회로에서는 펄스를 입력함으로써, 제어 신호 φ(φ1～φ3)가 고레벨 "H"가 되는 단의 위치를 1개씩 이동시키는 것이 가능하고, 이들의 제어 신호 φ1～φ3로 도 13에 도시된 전원 발생원(200)의 트랜지스터(211～213)를 제어하면 지연 게이트열(인버터열)(220)에 의한 지연량을 제어할 수 있다. 또한, 도 15에 도시된 지연 제어 회로(제어부)는 도 1에서는 위상 비교 회로(3, 31)에 포함시켜 도시되어 있다.

도 17은 도 13의 반도체 집적 회로에 있어서의 위상 비교 회로(위상 비교부)의 일구성예를 도시하는 회로도이고, 도 18은 도 17의 위상 비교 회로의 동작을 설명하기 위한 타이밍도이다.

위상 비교 회로(31)는 도 15에 도시된 위상 비교부와 후술하는 도 19에 도시된 증폭 회로부의 2개의 회로부분으로 구성되어 있다.

도 17에 있어서, 참조부호 φout 및 φext는 이 위상 비교 회로로 비교하는 출력 신호 및 외부 클록 신호를 나타내고, 신호 φext를 기준으로서 신호 φout의 위상이 판정된다. 또한, φa～φc는 증폭 회로에 접속되는 출력 신호를 나타내고 있다. 여기서, 도 17에 도시된 회로에서는 상술한 도 5의 회로에 있어서의 플립플롭 회로(422), 1지연분의 지연 회로(423), 및 래치 회로(426)는 설치되지 않는다.

도 17에 도시된 바와 같이, 위상 비교 회로(31)의 위상 비교부는 2개의 NAND 게이트로 구성된 플립플롭 회로(421), 그 상태를 래치하는 래치 회로(425), 및 래치 회로의 활성화 신호를 생성하는 회로(424)로 구성되어 있다.

도 18(a)는 비교 대상 신호 φout가 비교 기준 신호 φext보다도 위상이 진행하고 있는 경우, 즉, 신호 φout가 신호 φext보다 먼저 저레벨 "L"에서 고레벨 "H"가 되는 경우를 나타내고 있다. 신호 φout와 신호 φext가 모두 저레벨 "L"일 때에는 플립플롭 회로(421)의 노드 6a-2 및 6a-3은 고레벨 "H"가 된다. 신호 φout가 저레벨 "L"에서 고레벨 "H"로 변화하면, 노드 6a-2는 고레벨 "H"에서 저레벨 "L"로 변화한다. 그 후, 신호 φext가 저레벨 "L"에서 고레벨 "H"가 되어도, 플립플롭 회로(421)의 양단의 전위는 이미 확정되어 있으므로, 아무런 변화도 생기지 않는다. 결국, 노드 6a-2는 저레벨 "L"를, 노드 6a-3은 고레벨 "H"를 유지한다.

한편, 신호 φext가 저레벨 "L"에서 고레벨 "H"로 변화함에 따라, 회로(424)의 출력 신호 φa는 저레벨

"L"에서 고레벨 "H"로 변화하고, 노드 6a-6에는 일시적으로 고레벨 "H"가 되는 펄스가 인가된다. 이 노드 6a-6은 래치 회로(425)의 NAND 게이트의 입력되므로, 상기 NAND 게이트가 일시적으로 활성화되어, 플립플롭 회로(421)의 양단의 전위 상태를 래치 회로(425)에 입력하게 된다. 최종적으로는 출력 신호 ϕb가 고레벨 "H", 또한 출력 신호 ϕc가 저레벨 "L"이 된다.

다음에, 도 18(b)는 비교 대상 신호 ϕout가 비교 기준 신호 ϕext보다도 위상이 지연되고 있고, ϕout가 ϕext보다 뒤에 저레벨 "L"에서 고레벨 "H"가 되는 경우를 나타내고 있다. 이 경우는 ϕext에 의해서 플립플롭 회로(421)에 변화가 생기고, 6a-3이 고레벨 "H"에서 저레벨 "L"로 변화한다. 그리고, 최종적으로는 ϕb가 저레벨 "L", 그리고, ϕc가 고레벨 "H"가 된다.

이와 같이, 신호(비교 기준 신호) ϕext의 상승 시간을 기준으로서, 신호(비교 대상 신호) ϕout의 상승 시간이 그 이전에 고레벨 "H"가 되었는지, 혹은 지연되어 고레벨 "H"가 되었는 지를 검출하는 것이 가능해진다. 이 검출 결과를 출력 신호 ϕb 및 ϕc의 값으로서 래치해 두고, 그 값에 기초하여 지연 제어 회로를 카운트업할지, 카운트다운할 지를 결정하게 된다.

도 19은 도 13의 반도체 집적 회로에 있어서의 위상 비교 회로(증폭 회로부)의 일구성예를 도시하는 회로도이고, 도 20은 도 19의 위상 비교 회로에 있어서의 JK 플립플롭의 동작을 설명하기 위한 타이밍도이다.

도 19에 도시된 바와 같이, 위상 비교 회로(31)의 증폭 회로부는 JK 플립플롭(427)과, NAND 게이트 및 인버터로 구성되는 증폭부(428)와의 2개의 부분을 구비하여 구성되어 있다. JK 플립플롭(427)에는 도 17의 위상 비교부로부터의 출력 신호 ϕa가 입력되고, 신호 ϕa가 저레벨 "L"인지 고레벨 "H"인지에 따라서 노드 7a-9 및 7a—11의 전위가 교대로 저레벨 "L"과 고레벨 "H"를 반복하는 구성으로 되어 있다. 증폭부(428)는 JK 플립플롭(427)의 출력 신호와 신호 ϕb 및 ϕc의 신호를 받아 증폭하여 출력한다.

우선, JK 플립플롭(427)의 동작을 도 20의 타이밍차트를 참조하여 설명한다. 시간 T1에서, 신호 ϕa가 고레벨 "H"에서 저레벨 "L"로 변화하면, 노드 7a-1 및 7a-10이 저레벨 "L"에서 고레벨 "H"로 변화한다. 한편, 노드7a-1의 변화에 따라서, 노드 7a-5, 7a-6 및 7a-7이 변화하지만, 신호 ϕa가 저레벨 "L"이기 때문에, 노드 7a-8은 변화하지 않는다. 결국, 출력(노드) 7a-9는 변화하지 않고, 출력7a-11만이 저레벨 "L"에서 고레벨 "H"가 된다. 다음에, 시간 T2가 되어, ϕa가 저레벨 "L"에서 고레벨 "H"로 변화하면, 시간 T1에서의 동태와 반대로 노드 7a-8은 고레벨 "H"에서 저레벨 "L"로, 7a-10은 7a-7이 변화하지 않으므로 변화하지 않으며, 출력 7a-9는 저레벨 "L"에서 고레벨 "H"로 변화하고, 출력 7a-11은 변화하지 않는다. 이와 같이, JK 플립플롭 회로(427)는 신호 ϕa의 동태에 따라서 출력 7a-9 및 7a-11이 교대로 고레벨 "H"와 저레벨 "L"을 반복하여 변한다.

도 21은 도 19의 위상 비교 회로에 있어서의 증폭 회로부의 동작을 설명하기 위한 타이밍도(카운트업시)이고, 또한 도 22는 도 19의 위상 비교 회로에 있어서의 증폭 회로부의 동작을 설명하기 위한 타이밍도(카운트다운시)이다. 다음에, 증폭부(428)의 동작을 도 21 및 도 22를 참조하여 설명한다.

도 21은 비교 기준 신호 ϕext의 상승에 대하여, 비교 대상 신호 ϕout가 먼저 저레벨 "L"에서 고레벨 "H"가 되는 경우를 나타내고 있다. 이 경우의 위상 비교부에서의 입력 신호는 신호 ϕb가 고레벨 "H", 또한 신호 ϕc가 저레벨 "L" 이다. 즉, 세트 신호 ϕS0 및 ϕSE는 JK 플립플롭의 상태에 따라서 변화하지만, 리셋 신호 ϕR0 및 ϕRE는 신호 ϕc가 저레벨 "L"이기 때문에 변화하지 않는다.

도 22는 비교 대상 신호 ϕout가 비교 기준 신호 ϕext의 상승에 대하여 지연되어 저레벨 "L"에서 고레벨 "H"가 되는 경우를 나타내고 있다. 이 경우의 위상 비교부로부터의 입력 신호는 신호 ϕb가 저레벨 "L", 또한 신호 ϕc가 고레벨 "H"이다. 즉, 리셋 신호 ϕR0 및 ϕRE는 JK 플립플롭의 상태에 따라서 변화하지만, 세트 신호 ϕS0 및 ϕSE는 신호 ϕb가 저레벨 "L"이기 때문에 변화하지 않는다.

도 23은 본 발명에 따른 반도체 집적 회로가 적용되는 일례로서의 동기 DRAM의 구성을 나타내는 블록도이고, 도 24는 도 23의 동기 DRAM의 동작을 설명하기 위한 타이밍도이다.

본 발명이 적용되는 반도체 집적 회로의 일례로서의 동기 DRAM(SDRAM)은 예컨대, 파이프라인 방식이 채용되며, 16M·2뱅크·8비트폭인 것으로서 구성되어 있다.

도 23에 도시된 바와 같이, SDRAM은 범용 DRAM의 DRAM 코어(108a, 108b)이외에, 클록 버퍼(101), 명령 디코더(102), 어드레스 버퍼/레지스터 & 뱅크 어드레스 셀렉트(어드레스 버퍼)(103), I/O 데이타 버퍼/레지스터(104), 제어 신호 래치(105a, 105b), 모드 레지스터(106), 컬럼 어드레스 카운터(107a, 107b)를 구비하고 있다. 여기서, /CS, /RAS, /CAS, /WE 단자는 종래의 동작과는 달리, 그 조합으로 각종 명령을 입력함으로써 동작 모드가 결정되도록 되어 있다. 각종 명령은 명령 디코더로 해독되며, 동작 모드에 따라서 각 회로를 제어하게 된다. 또한, /CS, /RAS, /CAS, /WE 신호는 제어 신호 래치(105a, 105b)에도 입력되어 다음 명령이 입력될 때까지, 그 상태가 래치된다.

어드레스 신호는 어드레스 버퍼(103)로 증폭되어 각 뱅크의 로드 어드레스로서 사용되는 외에, 컬럼 어드레스 카운터(107a, 107b)의 초기치로서 사용된다.

클록 버퍼(101)는 내부 클록 생성 회로(121) 및 출력 타이밍 제어 회로(122)를 구비하고 있다. 내부 클록 생성 회로(121)는 외부 클록 CLK에서 통상의 내부 클록 신호를 생성하는 것이며, 또한 출력 타이밍 제어 회로(122)는 전술한 바와 같은 DLL을 적용하여 정확한 지연 제어(위상 제어)를 행한 클록 신호를 발생하기 위한 것이다.

I/O 데이타 버퍼/레지스터(104)는 데이타 입력 버퍼(13) 및 데이타 출력 버퍼(5)(출력 회로(50~57))를 구비하여, DRAM 코어(108a, 108b)에서 독출된 신호는 데이타 출력 버퍼(5)에 의해 소정의 레벨로 증폭되며, 출력 타이밍 제어 회로(122)로부터의 클록 신호에 따른 타이밍으로 데이타가 패드(DQ0~DQ7)를 통해 출력된다. 또한, 입력 데이타에 관해서도, 패드(DQ0~DQ7)에서 입력된 데이타는 데이타 입력 버퍼(13)를 통해 입력된다. 여기서, 본 발명의 반도체 집적 회로가 대상으로 하고 있는 실배선(RL)은 이 출력 타이밍 제어 회로(122)에서 각 데이타 출력 버퍼(5)까지의 배선에 대응하고 있다.

상기한 SDRAM의 독해 동작을 도 24를 참조하여 설명한다.

우선, 외부 클록 CLK은 이 SDRAM이 사용되는 시스템으로부터 공급되는 신호로서, 이 CLK의 상승에 동기하여, 각종 명령, 어드레스 신호, 입력 데이타를 수신하고, 또는 출력 데이타를 출력하도록 동작한다.

SDRAM으로부터 데이타를 독출하는 경우, 명령 신호(/CS, /RAS, /CAS, /WE 신호)의 조합으로 부터 액티브(ACT) 명령을 명령 단자에 입력하고, 어드레스 단자에는 로우 어드레스 신호를 입력한다. 이 명령 단자에, 로우 어드레스가 입력되면, SDRAM은 활성 상태가 되고, 로우 어드레스에 따른 워드선을 선택하여, 워드선상의 셀정보를 비트선에 출력하고, 센스 앰프로 증폭한다.

또한, 로우 어드레스에 관계한 부분의 동작 시간(tRCD)후에, 리드 명령(Read)과 컬럼 어드레스를 입력한다. 컬럼 어드레스에 따라서, 선택된 센스 앰프 데이타를 데이타 버스선에 출력하여, 데이타 버스 앰프로 증폭하여, 출력 버퍼로 다시 증폭하여 출력 단자(DQ)에 데이타가 출력된다. 이들 일련의 동작은 범용 DRAM과 완전히 동일한 동작이지만, SDRAM의 경우, 컬럼 어드레스에 관계하는 회로가 파이프라인 동작하도록 되어 있고, 리드 데이타는 매사이클 연속하여 출력되게 된다. 이것에 의해, 데이타 전송 속도는 외부 클록의 주기가 된다.

SDRAM에서의 액세스 시간에는 3종류가 있고, 모두 CLK의 상승 시점을 기준으로써 정의된다. 도 24에 있어서, tRAC는 로우 어드레스 액세스 시간, tCAC는 컬럼 어드레스 액세스 시간, tAC는 클록 액세스 시간을 나타내고 있다. 이 SDRAM을 고속 메모리 시스템으로 사용하는 경우, 명령을 입력하고나서 최초로 데이타가 수득될 때까지의 시간인 tRAC나 tCAC도 중요하지만, 클록 액세스 시간 tAC도 중요하다.

도 25는 도 23의 동기 DRAM의 주요부 구성을 개략적으로 도시하는 블록도이고, SDRAM에 있어서의 파이프라인 동작을 설명하기 위한 것으로, 일례로서 파이프가 3단 설치되는 경우를 나타내고 있다.

SDRAM에서의 컬럼 어드레스에 관계하는 처리 회로는 처리의 흐름에 따라 복수단으로 분할되어 있고, 분할된 각단의 회로를 파이프라 부르고 있다.

클록 버퍼(101)는 도 23을 참조하여 설명한 바와 같이, 내부 클록 생성 회로(121) 및 출력 타이밍 제어 회로(122)를 구비하여, 내부 클록 생성 회로(121)의 출력(통상의 내부 클록 신호)이 파이프-1 및 파이프-2에 공급되고, 출력 타이밍 제어 회로(122)의 출력(위상 제어된 내부 클록 신호)이 파이프-3의 출력 회로(5)(데이타 출력 버퍼:50～57)에 공급되도록 되어 있다.

각 파이프는 공급된 내부 클록 신호에 따라서 제어되며, 각 파이프의 사이에는 파이프간의 신호의 전달 타이밍을 제어하는 스위치가 설치되어 있고, 이들 스위치도, 클록 버퍼(101)(내부 클록 생성 회로(121))에서 생성된 내부 클록 신호에 의해 제어된다.

도 25에 도시된 예에서는 파이프-1에 있어서, 컬럼 어드레스 버퍼(116)로 어드레스 신호를 증폭하여 컬럼 디코더(118)에 어드레스 신호를 이송하고, 컬럼 디코더(118)로 선택된 어드레스 번지에 상당하는 센스 앰프 회로(117)의 정보를 데이타 버스에 출력하고, 데이타 버스의 정보를 데이타 버스 앰프(119)로 증폭할 때까지 행해진다. 또한, 파이프-2에는 데이타 버스 제어 회로(120)만이 설치되고, 파이프-3은 I/O 버퍼(104)(출력 회로(5))로 구성되어 있다. 또한, I/O 버퍼(104)에 있어서의 데이타 입력 버퍼(13)는 도 25에서는 생략되어 있다.

그리고, 각 파이프내의 회로도, 클록 사이클 시간내에 동작 완료하면, 파이프와 파이프의 사이에 있는 스위치를 클록 신호에 동기하여 개폐하는 것으로, 릴레이식으로 데이타를 송출한다. 이것에 의해, 각 파이프에서의 처리가 병행으로 행해지게 되고, 출력 단자에는 클록 신호에 동기하여 연속적으로 데이타가 출력되게 된다.

도 26은 본 발명에 따른 반도체 집적 회로에 있어서의 출력 회로(데이타 출력 버퍼 회로:5, 50～57)의 일구성예를 도시하는 블록도이다. 도 25 및 도 26에 도시된 바와 같이, 도 26에 있어서의 Data 1 및 Data 2는 셀 어레이(115)에서 독출되어, 센스 앰프(117)와 데이타 버스 앰프(119)와 데이타 버스 제어 회로(120)를 통해 출력된 기억 데이타에 대응하는 신호이고, Data 1 및 Data 2는 출력 데이타가 고레벨 "H"인 경우에는 모두 저레벨 "L"이고, 출력 데이타가 저레벨 "L"인 경우에는 모두 고레벨 "H"이다. 또한, 출력 데이타가 고레벨 "H"도 저레벨 "L"도 아닌 하이 임피던스 상태(하이 제트 상태)를 취하는 것도 가능하고, 그 경우에는 데이타 버스 제어 회로(120)에 있어서, Data 1이 고레벨 "H"가 되도록, Data 2가 저레벨 "L"이 되도록 변환된다. 신호 φoe는 출력 타이밍 제어 회로(122)(제 1 지연 제어 회로(21))의 출력 신호(클록 신호)에 대응하는 것으로, 출력 회로(5, 50～57)의 인에이블 신호로서 기능하는 것이다.

클록 신호 φoe가 고레벨 "H"가 되면, Data 1과 Data 2의 정보가 데이타 출력 패드(6, 60～67)에 출력하도록 동작한다. 예컨대, 데이타 출력 패드(6)에 고레벨 "H"를 출력하는 경우를 상정하면, 클록 신호 φoe가 저레벨 "L"에서 고레벨 "H"로 변화하며, 노드 8a-1이 저레벨 "L"이 되고, 노드 8a-2가 고레벨 "H"가 되어, 트랜스퍼 게이트가 온하여 Data 1 및 Data 2가 노드 8a-3 및 8a-6으로 전달된다. 그 결과, 노드 8a-5가 저레벨 "L"이 되고, 노드 8a-8이 고레벨 "H"가 되면, 출력용의 P 채널 트랜지스터(81)는 온이 되고, 또한 N 채널 트랜지스터(82)는 오프가 되어, 데이타 출력 패드(6)에는 고레벨 "H"의 출력이 나타나게 된다. 또한, 클록 신호 φoe가 저레벨 "L"이 되면, 트랜스퍼 게이트는 오프하며, 그때까지의 출력 상태가 유지된다.

이상의 설명에서는 본 발명의 반도체 집적 회로를 동기 DRAM으로서 설명하였지만, 본 발명은 동기 DRAM에 한하지 않고, 외부에서 입력되는 신호에 동기하여 출력 신호가 출력되는 반도체 집적 회로이면 어떠한 것에도 적용 가능하다.

도 27은 본 발명에 따른 반도체 집적 회로에 있어서의 더미의 내부 출력 클록 배선(42)(더미 배선 DL)의 일구성예를 설명하기 위한 도면이다. 도 27에서 밝혀진 바와 같이, 더미 배선 DL은 예컨대, 칩상에 형성되고, 실배선 RL과 동일 선폭의 배선으로 형성되어 있다. 또한, 이하에 설명하는 반도체 집적 회로 모듈에 있어서의 더미의 내부 출력 클록 배선(242) 및 반도체 집적 회로 시스템에 있어서의 더미의 내부 출력 클록 배선(342)에 관해서도, 동일하게, 모듈상 혹은 회로 기판상에 더미용의 배선을 설치하게 된다. 또

한, 이 더미 배선을 대신해서, 소정의 값을 갖는 용량 소자 혹은 저항 소자등을 조합하여 대용하는 것도 가능하다.

도 28은 본 발명에 따른 반도체 집적 회로의 다른 실시예를 개략적으로 도시하는 블록 회로도이다. 본 실시예에서는 전술한 도 13의 실시예에 있어서의 전압 발생원(200)의 트랜지스터(211~214)의 등비적으로 설정된 게이트폭 1W, 2W, 3W, 4W를, 2의 누승이 되도록 1W, 2W, 4W, 8W로 설정하도록 되어 있다.

도 28에 도시된 바와 같이, 본 실시예(제 2 실시예)에 있어서의 지연 제어 회로(21, 22)는 위상 비교 회로(32, 3)으로부터의 전압 제어 신호(제어 신호)(φ1~φ4)에 따라서 소정의 전압을 발생하는 전압 발생원(300), 상기 전압 발생원(300)의 출력 전압(Vo)이 인가된 P 채널형 MOS 트랜지스터(330), 및 종렬접속된 복수단(도 28에서는 6개)의 인버터(321~326)로 구성된다.

전압 발생원(300)은 저항(310) 및 크기가 다른 복수(도 28에서는 4개)의 N 채널형 MOS 트랜지스터(311~314)로 구성되어 있다. 저항(310)의 일단은 고전위의 전원선(Vcc)에 접속되고, 타단은 각 트랜지스터(311~314)의 제 1 전극(드레인)에 공통접속되어 있다. 각 트랜지스터(311~314)의 제어 전극(게이트)에는 각각 위상 비교 회로(31)에서의 제어 신호(φ1~φ4)가 공급되며, 또한 상기 트랜지스터(211~214)의 제 2 전극(소스)은 저전위의 전원선(Vss)에 접속되어 있다.

여기서, 트랜지스터(311~314)는 각각 도통 저항(온저항)이 다르게 되어 있고, 구체적으로, 트랜지스터(311)의 게이트폭을 1W로 하면, 트랜지스터(312,313,314)의 각 게이트폭은 각각 2W, 4W, 8W와 같이 2의 누승으로 순차적으로 넓어지도록 설정되어 있다. 그리고, 본 실시예에 있어서, 제어 신호(φ1~φ4)는 도 13의 실시예와는 달리, 4비트의 카운터의 출력 신호와 같이 고레벨 "H" 혹은 저레벨 "L"이 되도록 구성되고, 상기 제어 신호(φ1~φ4)에 의해 스위치온이 된 트랜지스터(311~314)의 온저항의 합성치와 저항(310)에 의해 저항분할된 전압이 전압 발생원(300)의 출력 전압(Vo)으로서 출력되도록 되어 있다.

즉, 본 실시예에 있어서는 모든 제어 신호(φ1~φ4)가 고레벨 "H"에서 모든 트랜지스터(311~314)가 온상태가 되고, 전압 발생원(300)의 출력 전압(Vo)이 가장낮아지는 상태에서는, 제어 신호 φ1만이 고레벨 "H"가 되므로 온저항이 가장 큰(가장 게이트폭이 좁다) 트랜지스터(311)만이 온상태가 되며, 전압 발생원(300)의 출력 전압(Vo)이 가장 높아지는 상태까지가 16단계로 제어되도록 되어 있다. 이와 같이, 본 실시예에서는 전압 발생원(300) 및 위상 비교 회로(31)의 소자수를 억제하면서 분해능을 올리는 것이 가능해진다.

또한, P 채널형 MOS 트랜지스터(330) 및 지연 게이트열(320)에 있어서의 지연 시간의 제어는 전술한 도 13의 실시예와 동일하다. 즉, 도 28에 도시된 바와 같이, 트랜지스터(330)의 제 1 전극(드레인)은 인버터(321~326)의 고전위의 전원측에 접속되고, 제 2 전극(소스)은 고전위의 전원선(Vcc)에 접속되며, 그리고, 제어 전극(게이트)에는 전압 발생원(300)의 출력 전압이 인가되도록 되어 있다. 여기서, 트랜지스터(330)는 게이트에 인가되는 전압에 따라서, 종렬접속된 복수의 인버터(321~326)(지연 게이트열; 인버터열(320))에 공급하는 전류를 제어하는 것이며, 구체적으로, 상기 트랜지스터(330)의 게이트에 인가되는 전압이 고전위가 될수록, 상기 트랜지스터(330)에 흐르는 전류는 적어진다. 그리고, 트랜지스터(330)에 흐르는 전류가 적어지면, 인버터열(320)에 있어서, 차단의 인버터의 게이트를 충방전하는데 요하는 시간이 길어지고(구동 능력이 작아짐), 상기 인버터열(320)에 의한 지연 시간이 길어진다.

이와 같이, 본 실시예는, 도 13의 실시예에 있어서는 전압과 포인터(φ1~φ)와의 관계가 1대 1의 제어인 것을 전압 발생원(300)내의 트랜지스터(311~314)의 온저항(도통 저항)을 2의 누승으로 설정하고, 포인터를 2진 카운터로 구성함으로써, 포인터의 수를 감하면서, 세밀한 분해능으로 충분한 지연폭을 확보할 수 있다. 또한, 트랜지스터의 온저항은 게이트폭의 길이에 반비례하기 때문에, 트랜지스터(311~314)의 온저항을 2의 누승으로 설정하는 것은 상기 트랜지스터의 게이트폭을 2의 누승의 역수로 설정하는 것에 대응하여, 결국, 트랜지스터(311~314)의 게이트폭을 2의 누승(1W,2W,4W,8W)으로 설정하면 좋다.

도 29는 도 28의 반도체 집적 회로의 동작을 설명하기 위한 타이밍도이다.

도 29에 있어서, 우선, 위상 비교 회로(32)에서의 모든 제어 신호(전압 제어 신호)(φ1~φ4)가 저레벨 "L"일 때(tt1), 모든 트랜지스터(311~314)는 오프상태가 되고, 고전위의 전원전압(Vcc=V01)이 전압 발생원(300)의 출력 전압(Vo)으로서 출력된다. 다음에, 제어 신호 φ1만이 고레벨 "H"이고, 다른 제어 신호 φ2~φ4가 저레벨 "L"일 때(tt2), 가장 게이트폭이 좁고(1W) 온저항이 큰 트랜지스터(311)만이 스위치온되며, 상기 트랜지스터(311)의 온저항과 저항(310)에 의해 저항 분할된 전압(V02)이 전압 발생원(300)의 출력 전압(Vo)으로서 출력된다. 또한, 제어 신호 φ1 및 φ2이 고레벨 "H"이고, 다른 제어 신호 φ3 및 φ4이 저레벨 "L"일 때(tt3), 온저항이 가장 큰 트랜지스터(311) 및 온저항이 두 번째로 큰 트랜지스터(312)만이 스위치온 되며, 상기 트랜지스터(311, 312)의 온저항을 합성한 것으로 저항(310)에 의해 저항분할된 전압(V03)이 전압 발생원(300)의 출력 전압(Vo)으로서 출력된다.

동일하게, 위상 비교 회로(32)에서의 제어 신호(φ1~φ4)가 4비트 카운터적으로 제어되고(tt4~tt16), 고레벨 "H"가 되는 제어 신호(φ1~φ4)에 대응한 트랜지스터(311~314)의 온저항을 합성한 것으로 저항(210)에 의해 저항 분할된 전압(V04~V16)이 전압 발생원(300)의 출력 전압(Vo)으로서 출력된다. 또한, 위상 비교 회로(32)에서의 모든 제어 신호(φ1~φ4)가 고레벨 "H"일 때(tt16), 모든 트랜지스터(311~314)는 스위치온 되고, 이들 모든 트랜지스터의 온저항을 합성한 것(가장 저항치가 작은 경우)과 저항(310)에 의해 저항 분할된 전압(V16)이 전압 발생원(300)의 출력 전압(Vo)으로서 출력된다.

여기서, 트랜지스터(311~314)의 온저항의 값은 2의 누승으로 설정된 각 트랜지스터의 게이트폭(1W,2W,4W,8W)에 따른(반비례한) 값으로 되어 있기 때문에, 그들의 온저항을 합성한 것으로 저항(310)과의 저항분할에 의해 수득되는 전압 발생원(300)의 출력 전압(Vo)(전압 V01~V16)은 되어 있다. 그리고, P 채널형 MOS 트랜지스터(330)의 게이트에 인가되는 전압이 고전위가 될수록, 상기 트랜지스터(330)에 흐르는 전류는 적어지며, 그리고, 지연 게이트열(인버터열)(320)에 의한 지연 시간이 커진다.

이상에 있어서, 전압 발생원(300)을 구성하는 트랜지스터(311~314)의 수, 혹은, 기본이 되는 지연 시간을 규정하는 지연 게이트열(320)의 단수등은 필요에 따라서 여러가지로 설정할 수 있다.

이와 같이, 본 발명의 제 2 실시예에 따르면, 전술한 제 1 실시예보다도, 적은 소자수로 높은 분해능의 지연 제어를 행할 수 있다.

도 30 및 도 31은 도 28의 반도체 집적 회로에 있어서의 지연 제어 회로(제어부)의 일구성예를 도시하는 회로도이다. 여기서, 도 30(a)는 온저항이 가장 큰(게이트폭이 가장 좁은: 1W) 트랜지스터(311)를 제어하기 위한 제어 신호(전압 제어 신호) φ1을 생성하는 회로를 나타내고, 또한, 도 30(b)는 온저항이 두 번째로 큰(두번째로 게이트폭이 좁은: 2W)의 트랜지스터(312)를 제어하기 위한 제어 신호 φ2를 생성하는 회로를 나타내고 있다. 또한, 도 31(a)는 트랜지스터(313)(게이트폭: 4W)를 제어하기 위한 제어 신호 φ3을 생성하는 회로를 나타내고또한 도 31(b)는 온저항이 가장 작은(게이트폭이 가장 넓은: 8W) 트랜지스터(314)를 제어하기 위한 제어 신호 φ4를 생성하는 회로를 나타내고 있다. 또한, 도 32는 도 30 및 도 31의 지연 제어 회로의 동작을 설명하기 위한 타이밍도이다.

도 30(a)에 도시된 바와 같이, 제어 신호 φ1를 생성하는 회로는 5개의 인버터(331～335) 및 2개의 트랜스퍼 게이트(336, 337)로 구성되어 있다. 여기서, 트랜스퍼 게이트(336, 337)는 신호 φ에 의해 교대로 온/오프를 반복하고, 트랜스퍼 게이트(337)는 인버터(332, 333)로 구성된 래치 회로의 출력을 인버터(334, 335)로 구성된 래치 회로로 전하는 동시에, 트랜스퍼 게이트(336)의 입력으로 피드백(N01) 하도록 되어 있다. 그리고, 인버터(334, 335)로 구성된 래치 회로의 출력이 제어 신호 φ1로서 출력된다. 이 제어 신호 φ1은 도 32에 도시된 바와 같이, 신호 φ의 1주기마다 고레벨 "H" 및 저레벨 "L"을 반복하도록 되어 있다.

도 30(b)에 도시된 바와 같이, 제어 신호 φ2를 생성하는 회로는 9개의 인버터(338～346) 및 6개의 트랜스퍼 게이트(347～352)로 구성되며, 입력 신호로서, 신호 φ, φup, φdn 및 제어 신호 φ1을 수신하여 제어 신호 φ2를 생성하도록 되어 있다. 즉, 도 32에 도시된 바와 같이, 신호 φup 및 φdn에 의해 선택된 한쪽의 트랜스퍼 게이트(351, 352)를 통해 제어 신호 φ1 또는 그 반전 신호가 노드 N12의 신호로서 전해지고, 상기 노드 N12의 신호에 의해 선택된 한쪽의 트랜스퍼 게이트(349, 350)를 통해 노드 N11의 신호가 인버터(341, 342)로 구성된 래치 회로로 공급된다.

다음에, 도 31(a)에 도시된 바와 같이, 제어 신호 φ3을 생성하는 회로는 9개의 인버터(353～361), 6개의 트랜스퍼 게이트(362～367), 및 2개의 2입력 NOR 게이트(368, 369)로 구성되며, 입력 신호로서, 신호 φ, φup, φdn 및 제어 신호 φ1, φ2를 수신하여 제어 신호 φ3을 생성하도록 되어 있다. 또한, 도 31(b)에 도시된 바와 같이, 제어 신호 φ4를 생성하는 회로는 9개의 인버터(370～378), 6개의 트랜스퍼 게이트(379～384), 및 2개의 3입력 NOR 게이트(385, 386)로 구성되고, 입력 신호로서, 신호 φ, φup, φdn 및 제어 신호 φ1, φ2, φ3을 수신하여 제어 신호 φ4를 생성하도록 되어 있다. 여기서, 도 31(a)와 도 31(b)의 비교에서 알 수 있듯이, NOR 게이트(368,369,385,386)의 입력수 이외에는 동일한 구성으로 되어 있다.

도 32에 도시된 바와 같이, 도 31(a) 및 도 31(b)에 도시된 회로는 NOR 게이트(368,369,385,386)의 입력 신호 φ1, φ2(φ1, φ2, φ3)가 모두 고레벨 "H"일 때, 카운트업 신호 φup 또는 카운트 다운 신호 φdn에 의해 선택된 트랜스퍼 게이트 (366 또는 367)(383 또는 384)을 통해 노드 N22 (N32)에 전해지고, 상기 노드 N22 (N32)의 신호에 의해 트랜스퍼 게이트 (364 또는 365)(381 또는 382)를 통해 노드 N21 (N31)의 신호를 인버터 (356 및 357)(373 및 374)로 구성된 래치 회로로 공급되어, 출력 신호 φ3(φ4)으로서 출력된다.

이와 같이, 제어 신호(φ2～φ4)는 카운트업의 경우(신호 φup이 고레벨 "H"이고 신호 φdn이 저레벨 "L"인 경우), 하위의 제어 신호(φ1～φ3)가 모두 고레벨 "H"일 때에 다음 클록 사이클(φ)에서 상기 제어 신호(φ2～φ4)가 고레벨 "H"가 된다. 구체적으로, 예컨대, 제어 신호 φ4가 저레벨 "L"에서 고레벨 "H"로 변화하는 것은 카운트업의 경우, 제어 신호 φ1, φ2, φ3가 모두 고레벨 "H"로 되어 있을 때의 다음 신호 φ의 하강(도 32중의 참조부호 TU) 타이밍이다.

반대로, 제어 신호(φ2～φ4)는 카운트 다운의 경우(신호 φup가 저레벨 "L"이고 신호 φdn이 고레벨 "H"인 경우), 하위의 제어 신호(φ1～φ3)가 모두 저레벨 "L"일 때에 다음 클록 사이클에서 상기 제어 신호(φ2～φ4)가 고레벨 "H"에서 저레벨 "L"로 변화한다. 구체적으로, 예컨대 제어 신호 φ4가 고레벨 "H"에서 저레벨 "L"로 변화하는 것은 카운트 다운의 경우, 제어 신호 φ1, φ2, φ3 가 모두 저레벨 "L"로 되어 있을 때의 다음 신호 φ의 하강(도 32중의 참조부호 TD) 타이밍이다.

또한, 도 30 및 도 31에 도시된 각 회로 구성은 제어 신호(φ1～φ4)를 생성하기 위한 회로의 일례로서, 그 외에 여러가지 회로 구성을 채용할 수 있으며또한 도 32에 도시된 타이밍도도 각 회로 구성에 의해 변화할 수 있는 것은 말할 필요도 없다.

도 33은 도 28의 반도체 집적 회로에 있어서의 위상 비교 회로(위상 비교부)의 일구성예를 도시하는 회로도이고, 도 34는 도 33의 위상 비교 회로의 동작을 설명하기 위한 타이밍도이다.

위상 비교 회로(32)는 전술한 제 1 실시예와 같이, 도 15에 도시된 위상 비교부와 후술하는 도 19에 도시된 증폭 회로부의 2개의 회로 부분으로 구성되어 있다.

도 33에 있어서, 참조부호 φout 및 φext는 이 위상 비교 회로에서 비교하는 출력 신호 및 외부 클록 신호를 나타내고, 신호 φext를 기준으로서 신호 φout의 위상이 판정된다. 또한, φ, φup, φdn은 증폭 회로에 접속되는 출력 신호를 나타내고 있다. 여기서, 도 33에 도시된 회로에 있어서도, 도 17의 회로와 동일하게, 도 5의 회로에 있어서의 플립플롭 회로(422), 1지연분의 지연 회로(423), 및 래치 회로(426)는 설치되지 않는다.

도 33에 도시된 바와 같이, 위상 비교 회로(32)의 위상 비교부는 2개의 NAND 게이트로 구성된 플립플롭 회로(421), 그 상태를 래치하는 래치 회로(425), 및 래치 회로의 활성화 신호를 생성하는 회로(424)를 구비하여 구성되어 있다.

도 34(a)는 비교 대상 신호 φout가 비교 기준 신호 φext보다도 위상이 진행하고 있는 경우, 즉, 신호 φout가 신호 φext보다 먼저 저레벨 "L"에서 고레벨 "H"가 되는 경우를 나타내고 있다. 신호 φout와

신호 ϕext가 모두 저레벨 "L일 때에는 플립플롭 회로(421)의 노드 6a-2 및 6a-3은 고레벨 "H"로 되어 있다. 신호 ϕout가 저레벨 "L"에서 고레벨 "H"로 변화하면, 노드 6a-2는 고레벨 "H"에서 저레벨 "L"로 변화한다. 그 후, 신호 ϕext가 저레벨 "L"에서 고레벨 "H"가 되어도, 플립플롭 회로(421)의 양단의 전위는 이미 확정되어 있으므로, 아무런 변화가 생기지 않는다. 결국, 노드 6a-2는 저레벨 "L", 그리고, 노드 6a-3은 고레벨 "H"를 유지한다.

한편, 신호 ϕext가 저레벨 "L"에서 고레벨 "H"로 변화함에 따라서, 회로(424)의 출력 신호 ϕ는 저레벨 "L"에서 고레벨 "H"로 변화하고, 노드 6a-6에는 일시적으로 고레벨 "H"가 되는 펄스가 인가된다. 이 노드 6a-6은 래치 회로(425)의 NAND 게이트의 입력으로 되어 있으므로, 상기 NAND 게이트가 일시적으로 활성화되어, 플립플롭 회로(421)의 양단의 전위 상태를 래치 회로(425)에 입력하게 된다. 최종적으로는 출력 신호 ϕup가 고레벨 "H"또한 출력 신호 ϕdn이 저레벨 "L"이 된다.

다음에, 도 4(b)는 비교 대상 신호 ϕout가 비교 기준 신호 ϕext보다도 위상이 지연되고 있고, ϕout가 ϕext보다 후에 저레벨 "L"에서 고레벨 "H"가 되는 경우를 나타내고 있다. 이 경우는 ϕext에 의해 플립플롭 회로(421)에 변화가 생겨, 6a-3이 고레벨 "H"에서 저레벨 "L"로 변화한다. 그리고, 최종적으로는 ϕup이 저레벨 "L", 그리고, ϕdn이 고레벨 "H"가 된다.

이와 같이, 신호(비교 기준 신호) ϕext의 상승 시간을 기준으로서, 신호(비교 대상 신호) ϕout의 상승 시간이 그 이전에 고레벨 "H"가 되었는지 혹은, 지연되어 고레벨 "H"가 되었는지를 검출하는 것이 가능해진다. 이들 검출 결과를 출력 신호 ϕup 및 ϕdn의 값으로서 래치해 두고, 그 값에 기초하여 지연 제어 회로를 카운트업할지, 카운트 다운할지를 결정하게 된다.

상술한 각 실시예에 있어서, 전압 발생원(200, 300)에 있어서의 트랜지스터는 4개(211~214,311~314)로서 설명하고또한 지연 게이트열(220, 320)에 있어서의 인버터는 6단(221~226,321~326)으로서 설명하였지만, 이들은 설명을 간략화하기 위한 단순한 예이고, 여러가지 수(단수)로 설정하여도 좋고, 또한 트랜지스터 및 지연 게이트의 구성도 n 채널형 MOS 트랜지스터 및 인버터에 한정되는 것이 아니다. 또한, 이상의 설명에서는 메모리(SDRAM)를 예로서 설명하였지만, 본 발명은 다른 여러가지 반도체 집적 회로에 대해서도 폭넓게 적용할 수 있는 것은 말할 필요도 없다.

발명의 효과

이상, 상세히 기술한 바와 같이, 본 발명의 반도체 집적 회로에 따르면, 전압 발생원으로부터의 출력 전압에 따라서 지연 게이트열에 흐르게 하는 전류를 제어함으로써 복수의 전압 제어 신호에 의해 지연 게이트열에 있어서의 지연량을 제어하도록 되어 있다. 이것에 의해, 보다 적은 소자수로 구성된 회로는 소형화되고, 높은 분해능으로 지연량을 제어할 수 있게 된다.

(57) 청구의 범위

청구항 1

복수의 전압 제어 신호(ϕ1~ϕ4)를 수신하여 상기 전압 제어 신호에 대응한 전압(Vo)을 발생하는 전압 발생원(200, 300)과,

복수의 지연 게이트(221~226,321~326)를 종렬접속하여 소정의 지연 시간을 부여하는 지연 게이트열(220, 320)과,

상기 전압 발생원으로부터의 출력 전압(Vo)에 따라서 상기 지연 게이트열(220, 320)에 흐르는 전류를 제어하는 전류 제어 수단(230, 330)을 구비하고, 상기 복수의 전압 제어 신호(ϕ1~ϕ4)에 의해 상기 지연 게이트열(220,320)에 있어서의 지연양을 제어하도록 한 것을 특징으로 하는 반도체 집적 회로.

청구항 2

제 1 항에 있어서, 상기 전압 발생원(200, 300)은 저항 수단(210, 310) 및 상기 각 전압 제어 신호(ϕ1~ϕ4)에 의해 스위칭 제어되는 크기가 다른 복수의 트랜지스터(211~214,311~314)를 구비하고, 상기 온상태의 트랜지스터 및 상기 저항 수단에 의해 저항분할된 전위의 전압을 출력 전압(Vo)으로서 발생하도록 되어 있는 것을 특징으로 하는 반도체 집적 회로.

청구항 3

제 2 항에 있어서, 상기 크기가 다른 복수의 트랜지스터(211~214)는 상기 각각의 트랜지스터의 온저항의 값이 등비수열적으로 설정되고, 상기 복수의 전압 제어 신호(ϕ1~ϕ4)에 의해 임의의 1개의 트랜지스터(211~214)를 선택하여 온상태가 되게 하는 것을 특징으로 하는 반도체 집적 회로.

청구항 4

제 3 항에 있어서, 상기 크기가 다른 복수의 트랜지스터(211~214)는 상기 각각의 트랜지스터의 게이트폭이 등비수열적(1W,2W,3W,4W)으로 설정되는 것을 특징으로 하는 반도체 집적 회로.

청구항 5

제 2 항에 있어서, 상기 크기가 다른 복수의 트랜지스터(311~314)는 상기 각각의 트랜지스터의 온저항의 값이 2의 누승이 되도록 설정되고, 상기 복수의 전압 제어 신호(ϕ1~ϕ4)는 2진 카운터의 제어 신호로서 수득되게 하는 것을 특징으로 하는 반도체 집적 회로.

청구항 6

제 5 항에 있어서, 상기 크기가 다른 복수의 트랜지스터(311~314)는 상기 각각의 트랜지스터의 게이트폭

이 2의 누승(1W,2W,4W,8W)이 되도록 설정되는 것을 특징으로 하는 반도체 집적 회로.

청구항 7

제 2 항 내지 제 6 항중 어느 한 항에 있어서, 상기 전류 제어 수단(230, 330)은 P 채널형 MOS 트랜지스터이고, 상기 전압 발생원(200, 300)의 복수의 트랜지스터(211~214,311~314)는 N 채널형 MOS 트랜지스터인 것을 특징으로 하는 반도체 집적 회로.

청구항 8

외부로부터의 제어 신호(CLK)가 공급되는 제 1 및 제 2 지연 제어 회로(21, 22)와,

상기 제 1 지연 제어 회로(21)의 출력 신호가 각각 실배선(41)을 통해 공급되는 복수의 대상 회로(5; 50~57)와,

상기 실배선(41)에 의한 지연을 더미화하는 더미 배선 수단(42)과,

상기 제 2 지연 제어 회로(22)의 더미 출력 신호가 상기 더미 배선 수단(42)을 통해 공급되고, 상기 외부로부터의 제어 신호(CLK) 및 상기 더미 배선 수단(42)의 출력 신호의 위상을 비교하고, 그 비교 결과에 의해 상기 제 1 및 제 2 지연 제어 회로에 있어서의 지연량을 제어하는 위상 비교 회로(31, 32)를 구비하는데, 상기 제 1 및 제 2 지연 제어 회로(21, 22)는,

상기 위상 비교 회로(31, 32)에서 출력되는 복수의 전압 제어 신호(φ1~φ4)를 수신하여 상기 전압 제어 신호에 대응한 전압(Vo)을 발생하는 전압 발생원(200,300)과,

복수의 지연 게이트(221~226,321~326)를 종렬접속하여 소정의 지연 시간을 부여하는 지연 게이트열(220, 320)과,

상기 전압 발생원으로부터의 출력 전압(Vo)에 따라서 상기 지연 게이트열(220, 320)에 흐르는 전류를 제어하는 전류 제어 수단(230, 330)을 구비하며, 상기 복수의 전압 제어 신호(φ1~φ4)에 의해 상기 지연 게이트열(220, 320)에 있어서의 지연량을 제어하도록 한 것을 특징으로 하는 반도체 집적 회로.

청구항 9

제 8 항에 있어서, 상기 전압 발생원(200, 300)은 저항 수단(210, 310) 및 상기 각 전압 제어 신호(φ1~φ4)에 의해 스위칭 제어되는 크기가 다른 복수의 트랜지스터(211~214,311~314)를 구비하며, 온상태의 상기 트랜지스터 및 상기 저항 수단에 의해 저항분할된 전위의 전압을 출력 전압(Vo)으로서 발생하도록 되는 것을 특징으로 하는 반도체 집적 회로.

청구항 10

제 9 항에 있어서, 상기 크기가 다른 복수의 트랜지스터(211~214)는 상기 각각의 트랜지스터의 온저항의 값이 등비수열적으로 설정되며, 상기 복수의 전압 제어 신호(φ1~φ4)에 의해 임의의 1개의 트랜지스터(211~214)를 선택하여 온상태로 하도록 되는 것을 특징으로 하는 반도체 집적 회로.

청구항 11

제 10 항에 있어서, 상기 크기가 다른 복수의 트랜지스터(211~214)는 상기 각각의 트랜지스터의 게이트폭이 등비수열적(1W,2W,3W,4W)으로 설정되는 것을 특징으로 하는 반도체 집적 회로.

청구항 12

제 9 항에 있어서, 상기 크기가 다른 복수의 트랜지스터(311~314)는 상기 각각의 트랜지스터의 온저항의 값이 2의 누승이 되도록 설정되고, 상기 복수의 전압 제어 신호(φ1~φ4)는 2진 카운터의 제어 신호로서 수득되도록 되는 것을 특징으로 하는 반도체 집적 회로.

청구항 13

제 12 항에 있어서, 상기 크기가 다른 복수의 트랜지스터(311~314)는 상기 각각의 트랜지스터의 게이트폭이 2의 누승(1W,2W,4W,8W)이 되도록 설정되는 것을 특징으로 하는 반도체 집적 회로.

청구항 14

제 9 항에 있어서, 상기 전류 제어 수단(230, 330)은 P 채널형 MOS 트랜지스터이고, 상기 전압 발생원(200, 300)의 복수의 트랜지스터(211~214,311~314)는 N 채널형 MOS 트랜지스터인 것을 특징으로 하는 반도체 집적 회로.

청구항 15

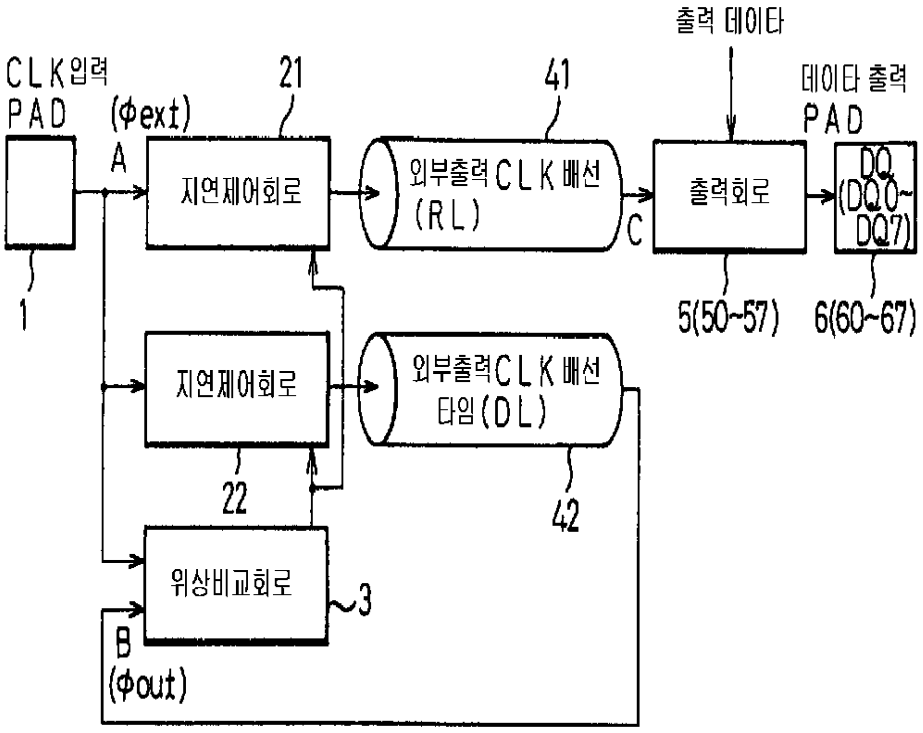
제 8 항 내지 제 14 항중 어느 한 항에 있어서, 상기 반도체 집적 회로는 동기 DRAM이고, 또한 상기 각각의 대상 회로(5; 50~57)는 상기 동기 DRAM의 데이타 출력 버퍼 회로인 것을 특징으로 하는 반도체 집적 회로.

청구항 16

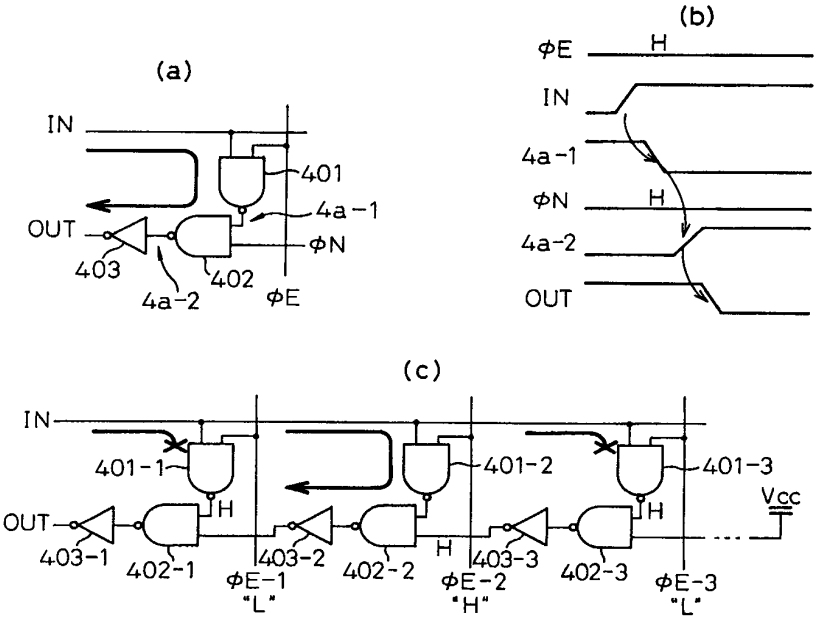
제 15 항에 있어서, 상기 제어 신호는 상기 각각의 데이타 출력 버퍼 회로(5; 50~57)의 인에이블 신호인 것을 특징으로 하는 반도체 집적 회로.

도면

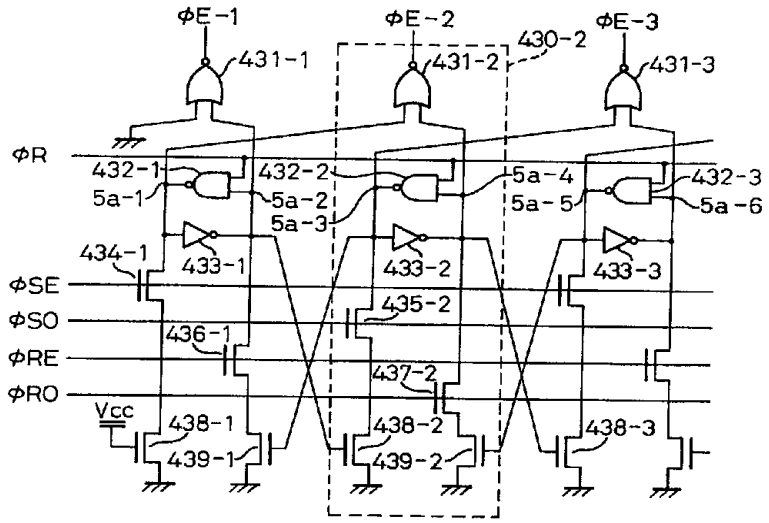
도면1


출력 데이타
CLK입력
PAD
(φext)
21
41
데이타 출력
PAD
A
지연제어회로
외부출력CLK배선
(RL)
출력회로
DQ
(DQ0~
DQ7)
C
1
5(50~57)
6(60~67)
지연제어회로
외부출력CLK배선
타임(DL)
22
42
위상비교회로
3
B
(φout)

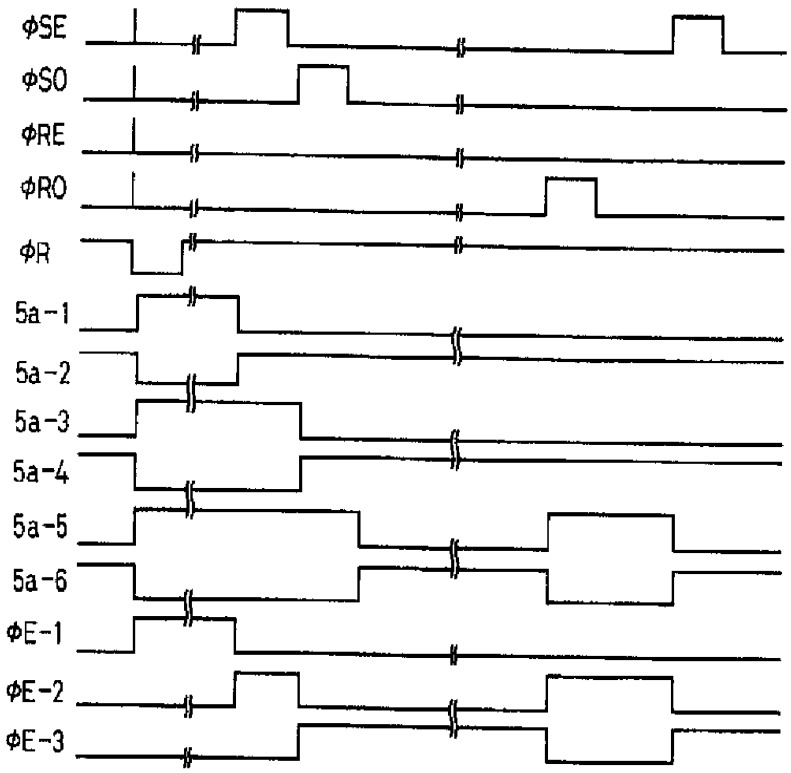
도면2


(a)
IN
401
4a-1
OUT
φN
403
402
4a-2
φE
(b)
φE
H
IN
4a-1
φN
H
4a-2
OUT
(c)
IN
401-1
401-2
401-3
H
H
OUT
Vcc
403-1
402-1
φE-1
"L"
403-2
402-2
φE-2
"H"
403-3
402-3
φE-3
"L"

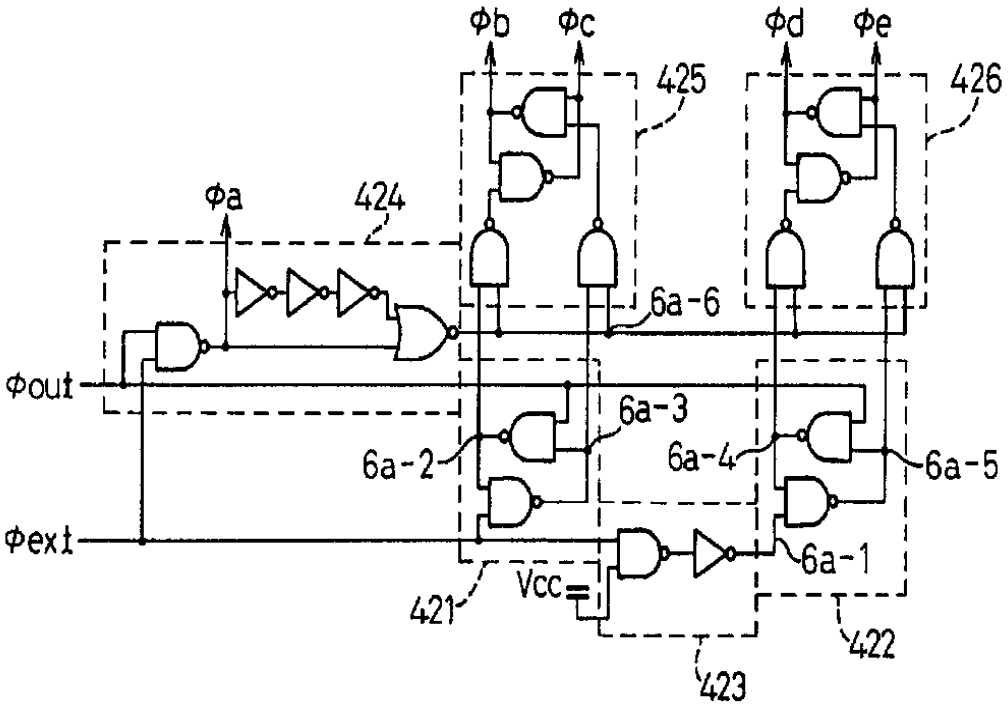
도면3


φE-1
φE-2
φE-3
431-1
431-2
430-2
431-3
φR
432-1
5a-1
432-2
5a-2
5a-3
5a-4
5a-5
432-3
5a-6
434-1
433-1
433-2
433-3
φSE
φSO
435-2
436-1
φRE
437-2
φRO
Vcc
438-1
439-1
438-2
439-2
438-3

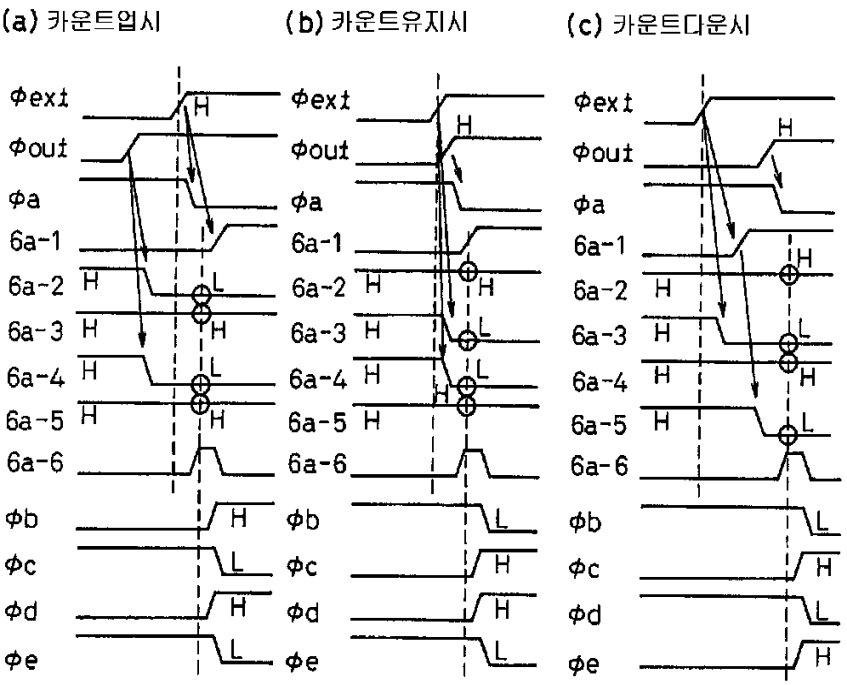
도면4


φSE
φSO
φRE
φRO
φR
5a-1
5a-2
5a-3
5a-4
5a-5
5a-6
φE-1
φE-2
φE-3

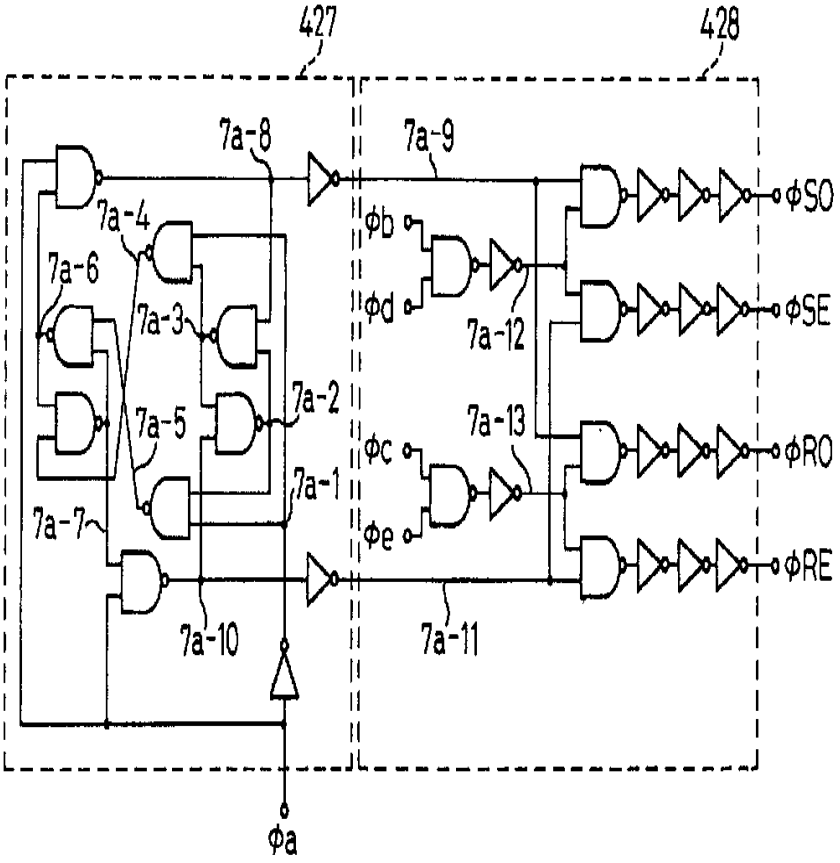
도면5


φb
φc
φd
φe
425
426
φa
424
6a-6
φout
6a-3
6a-2
6a-4
6a-5
φext
6a-1
421
Vcc
422
423

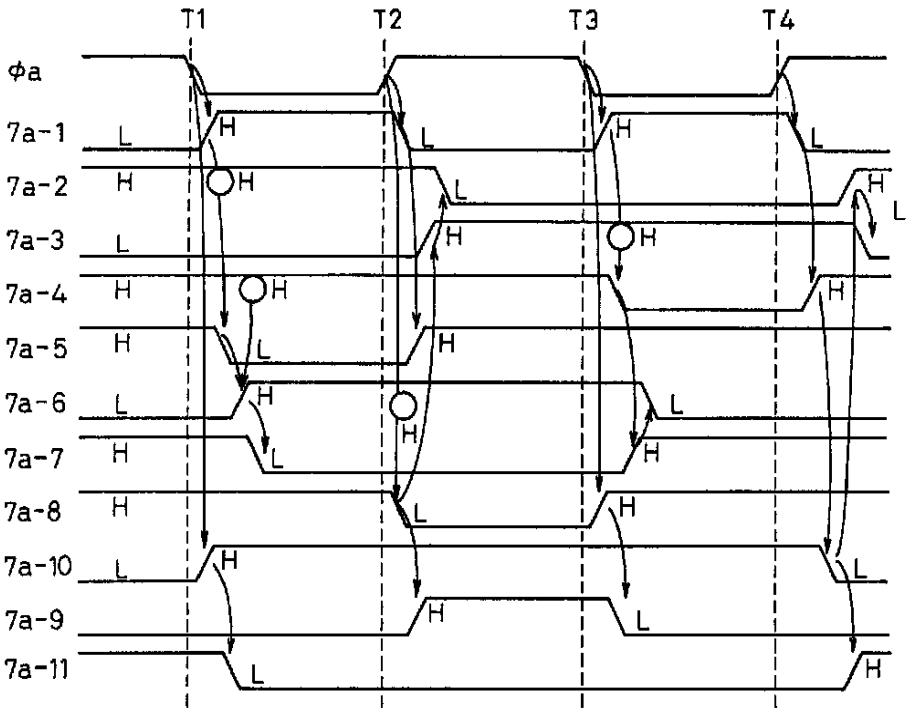
도면6


(a) 카운트업시
(b) 카운트유지시
(c) 카운트다운시
φext
φout
φa
6a-1
6a-2
6a-3
6a-4
6a-5
6a-6
φb
φc
φd
φe
H
L

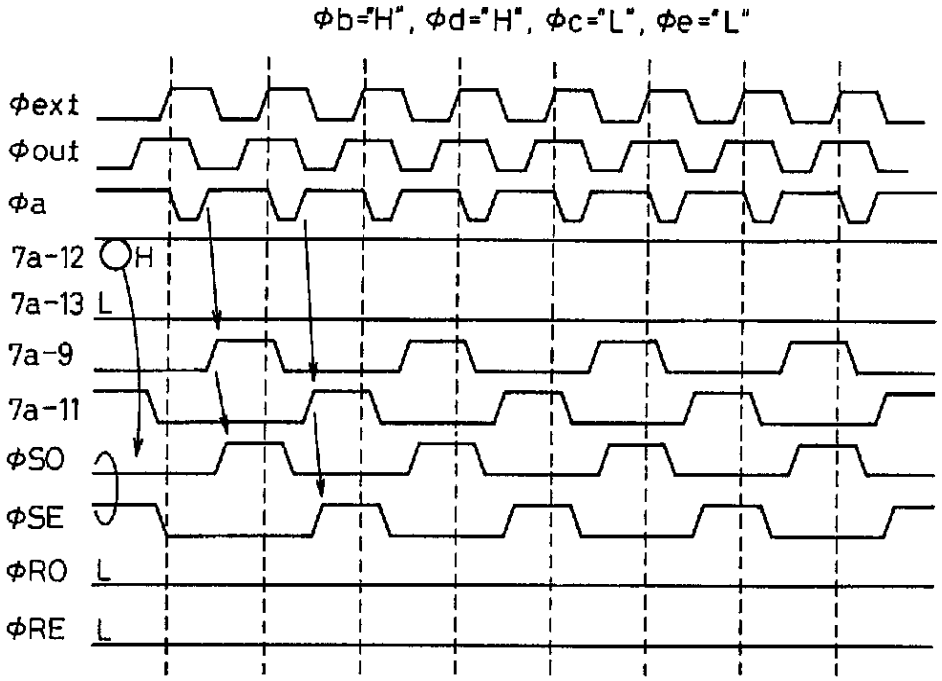
도면7


427
428
7a-8
7a-9
7a-4
7a-6
7a-3
7a-5
7a-2
7a-1
7a-7
7a-10
7a-11
7a-12
7a-13
φb
φd
φc
φe
φSO
φSE
φRO
φRE
φa

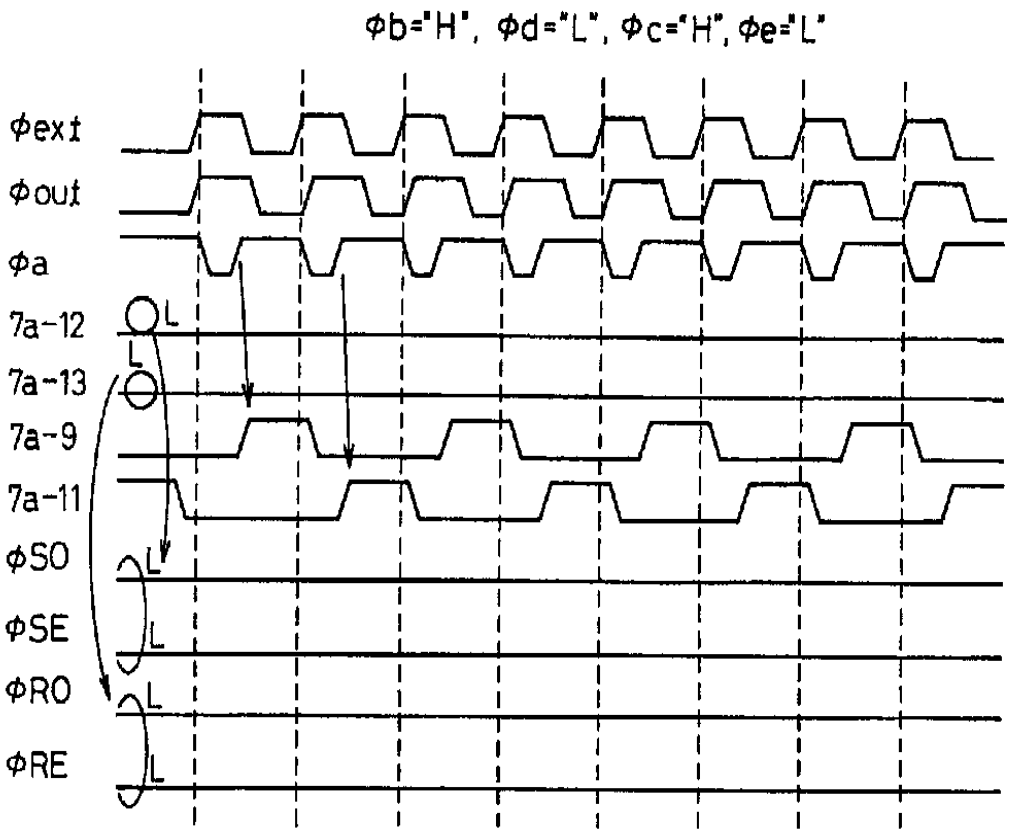
도면8


T1
T2
T3
T4
φa
7a-1
7a-2
7a-3
7a-4
7a-5
7a-6
7a-7
7a-8
7a-10
7a-9
7a-11
H
L

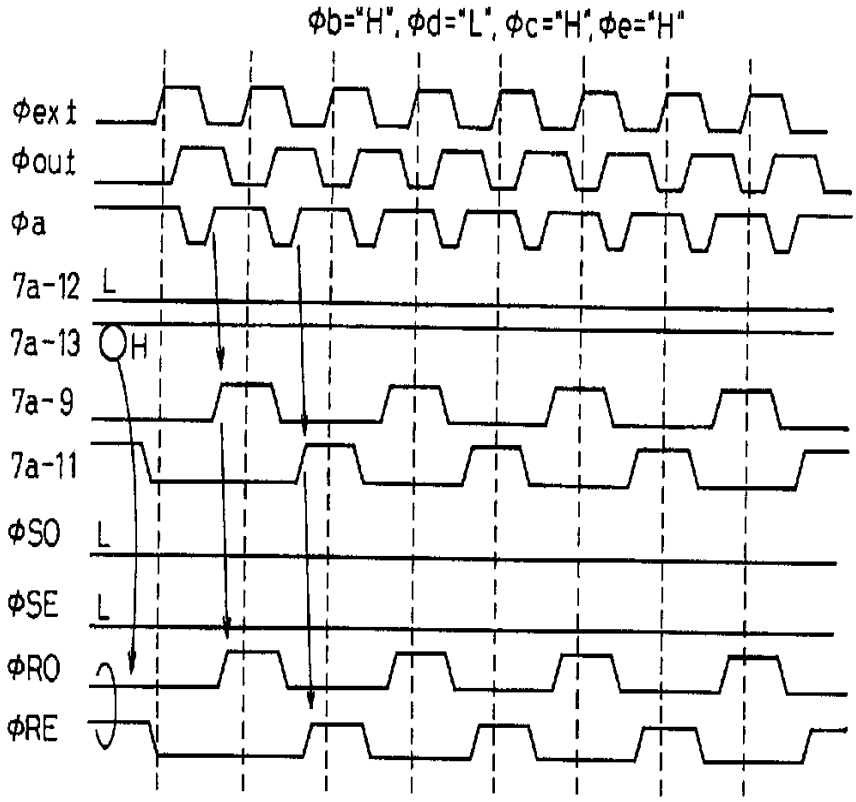
도면9


Φb="H", Φd="H", Φc="L", Φe="L"
Φext
Φout
Φa
7a-12
H
7a-13
L
7a-9
7a-11
ΦSO
ΦSE
ΦRO
L
ΦRE
L

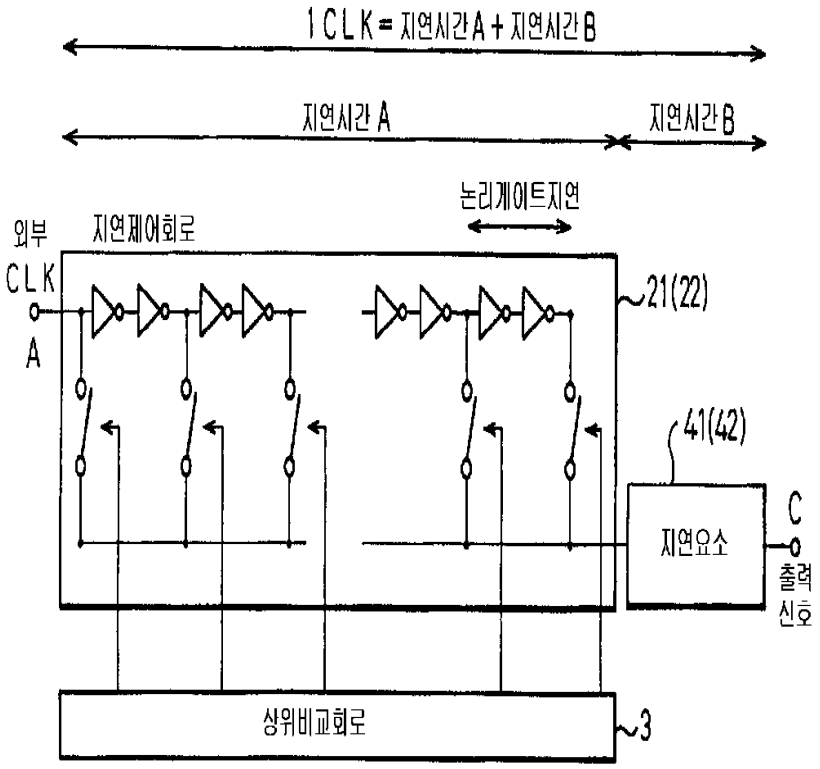
도면10


Φb="H", Φd="L", Φc="H", Φe="L"
Φext
Φout
Φa
7a-12
L
7a-13
L
7a-9
7a-11
ΦSO
L
ΦSE
L
ΦRO
L
ΦRE
L

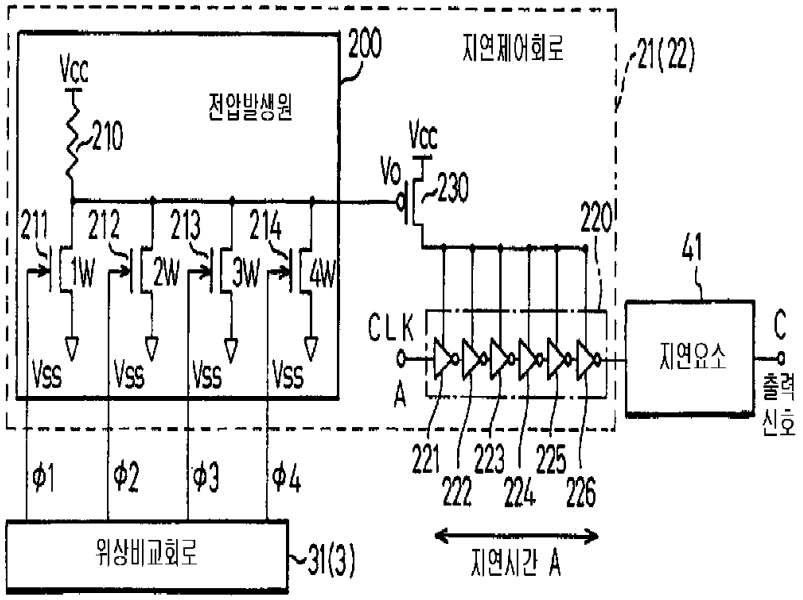
도면11


Φb="H", Φd="L", Φc="H", Φe="H"
Φext
Φout
Φa
7a-12
L
7a-13
H
7a-9
7a-11
ΦSO
L
ΦSE
L
ΦRO
ΦRE

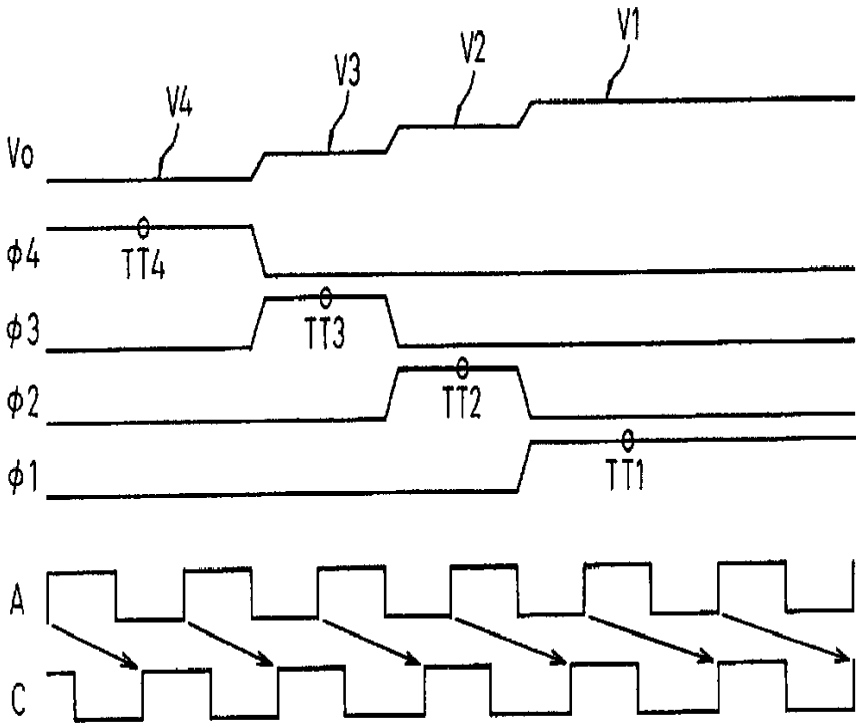
도면12


1CLK = 지연시간A + 지연시간B
지연시간 A
지연시간 B
논리게이트지연
외부
CLK
A
지연제어회로
21(22)
41(42)
지연요소
C
출력
신호
상위비교회로
3

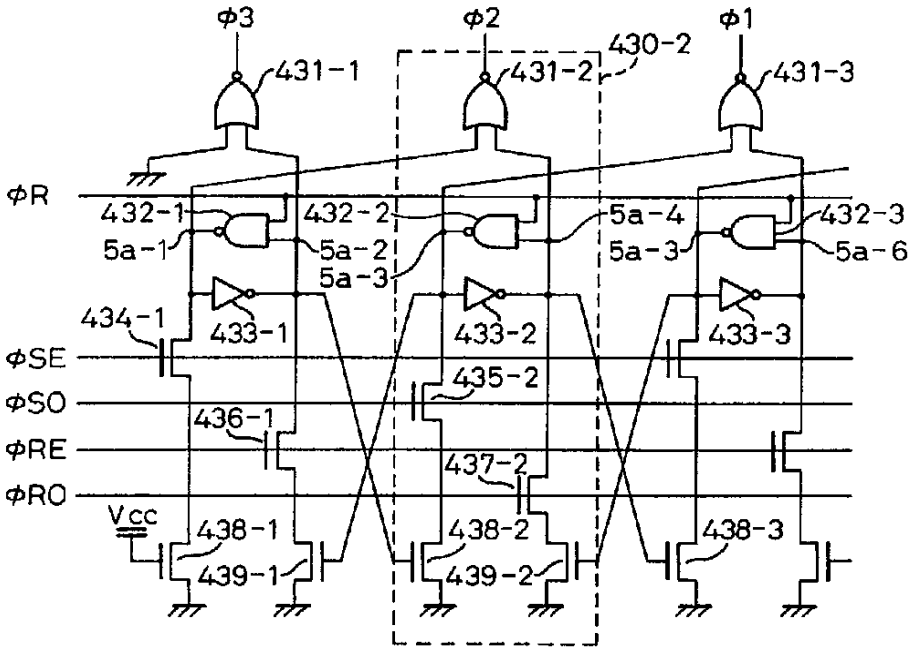
도면13


200
지연제어회로
21(22)
Vcc
전압발생원
210
Vcc
Vo
230
220
41
211
212
213
214
1W
2W
3W
4W
CLK
A
C
지연요소
출력
신호
Vss
Vss
Vss
Vss
221
222
223
224
225
226
φ1
φ2
φ3
φ4
위상비교회로
31(3)
지연시간 A

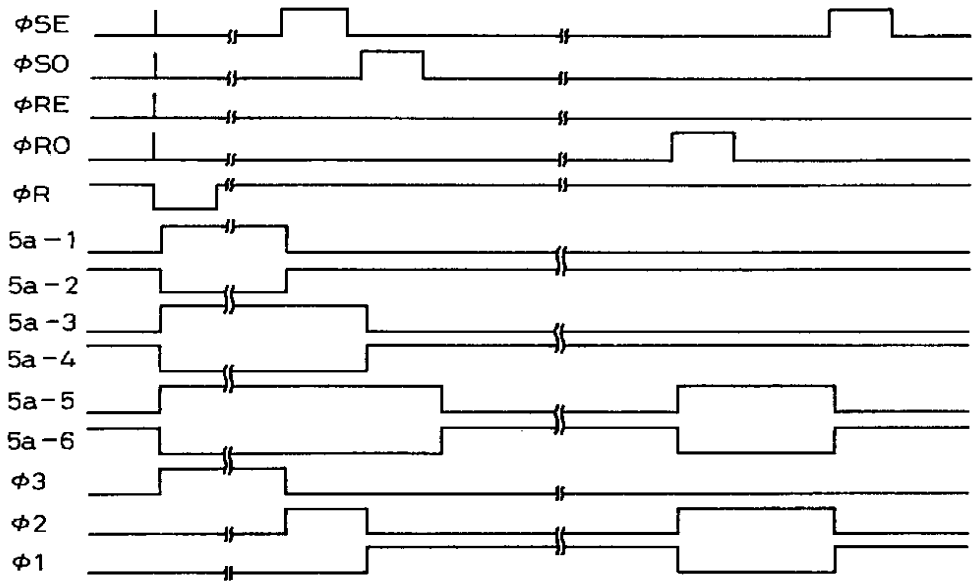
도면14


V1
V2
V3
V4
Vo
φ4
TT4
φ3
TT3
φ2
TT2
φ1
TT1
A
C

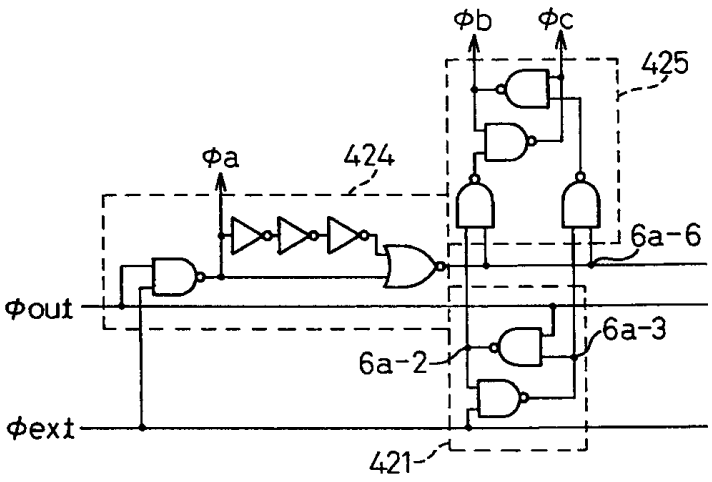
도면15


φ3
φ2
φ1
430-2
431-1
431-2
431-3
φR
432-1
432-2
432-3
5a-1
5a-2
5a-3
5a-4
5a-3
5a-6
434-1
433-1
433-2
433-3
φSE
435-2
φSO
436-1
φRE
437-2
φRO
Vcc
438-1
438-2
438-3
439-1
439-2

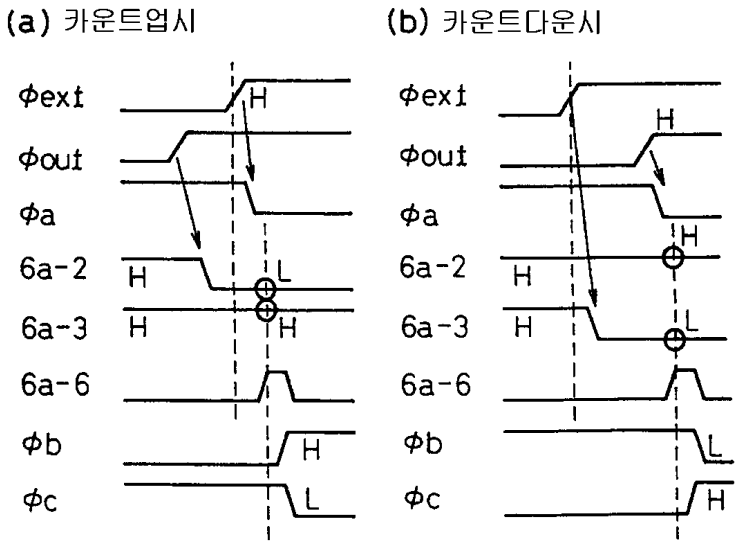
도면16


φSE
φSO
φRE
φRO
φR
5a-1
5a-2
5a-3
5a-4
5a-5
5a-6
φ3
φ2
φ1

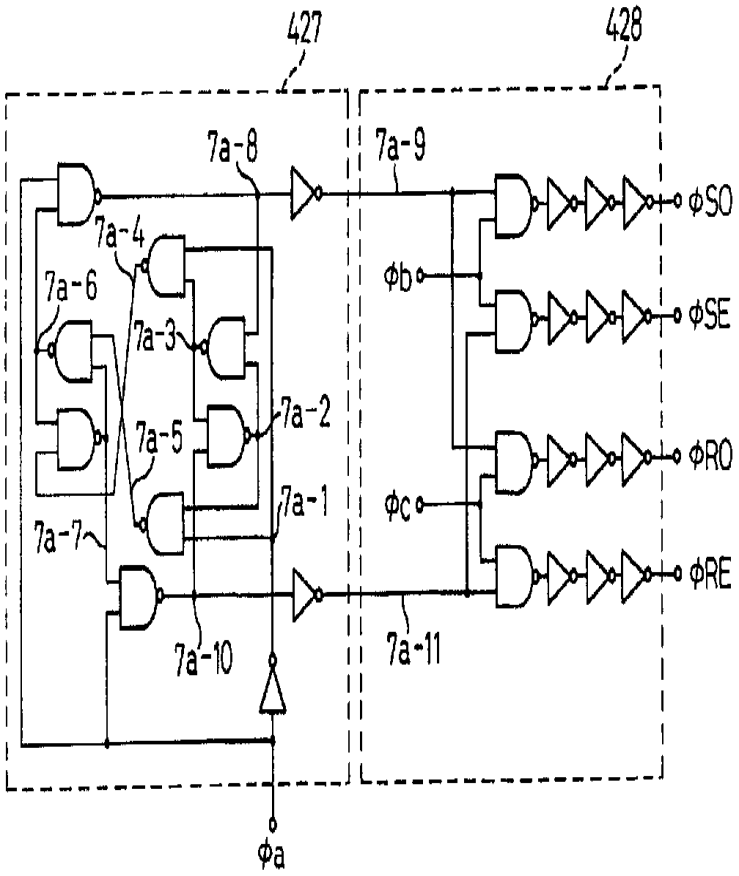
도면17


φb
φc
425
φa
424
6a-6
φout
6a-3
6a-2
φext
421

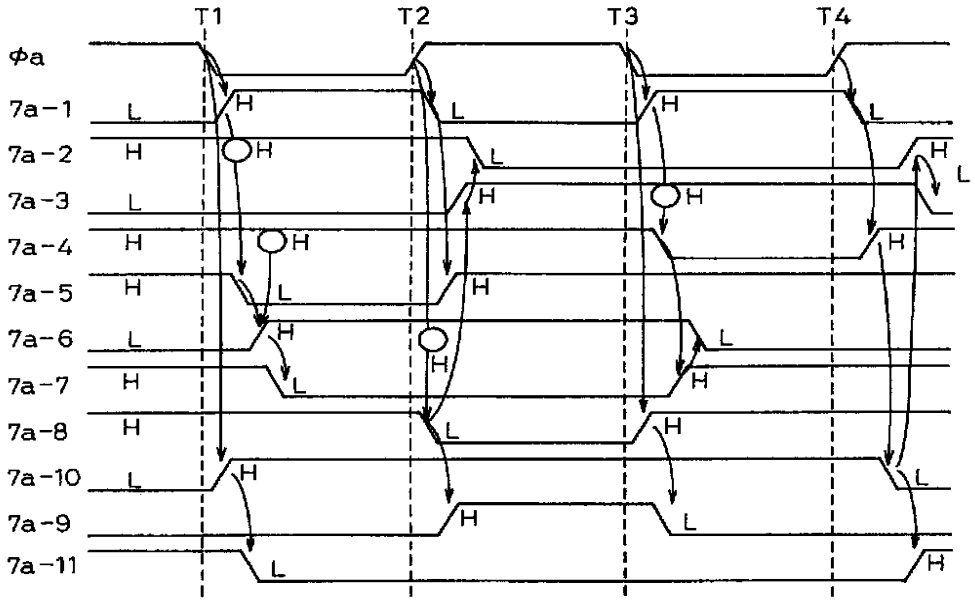
도면18


(a) 카운트업시
(b) 카운트다운시
φext
φout
φa
6a-2
6a-3
6a-6
φb
φc
H
L

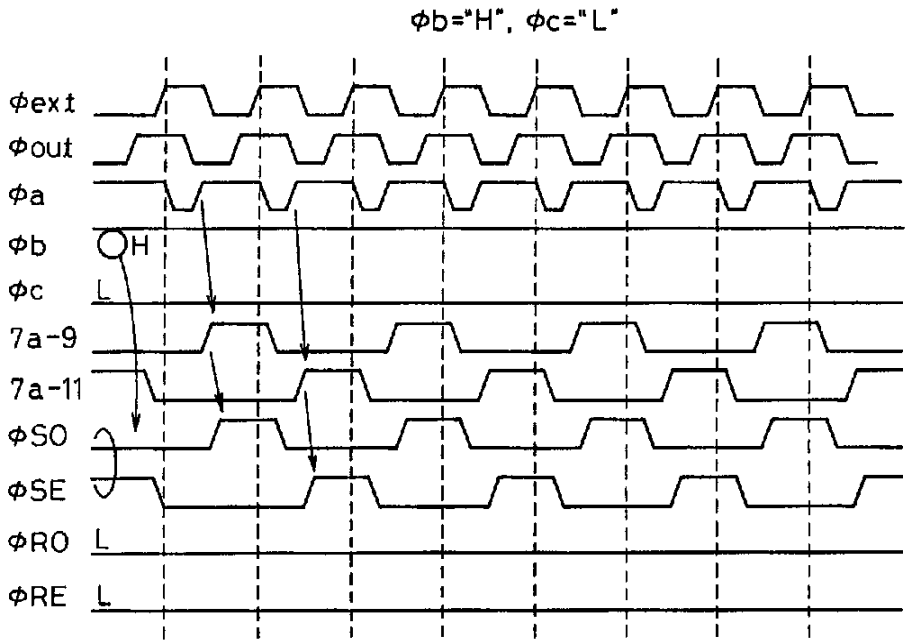
도면19


427
428
7a-8
7a-9
7a-4
7a-6
7a-3
7a-5
7a-2
7a-1
7a-7
7a-10
7a-11
φb
φc
φSO
φSE
φRO
φRE
φa

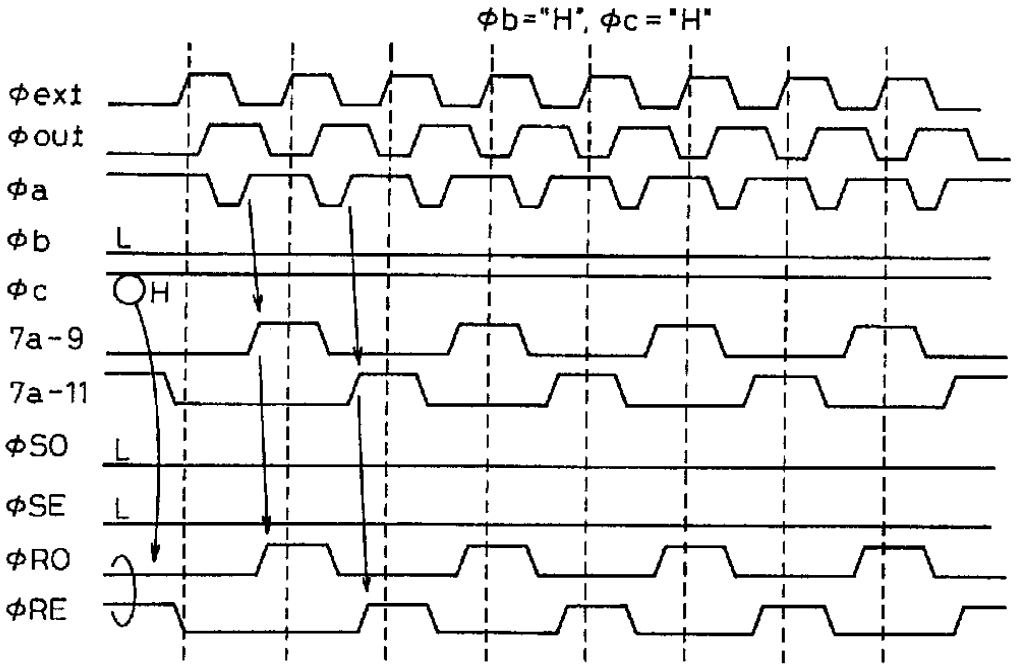
도면20


T1
T2
T3
T4
φa
7a-1
7a-2
7a-3
7a-4
7a-5
7a-6
7a-7
7a-8
7a-10
7a-9
7a-11
H
L

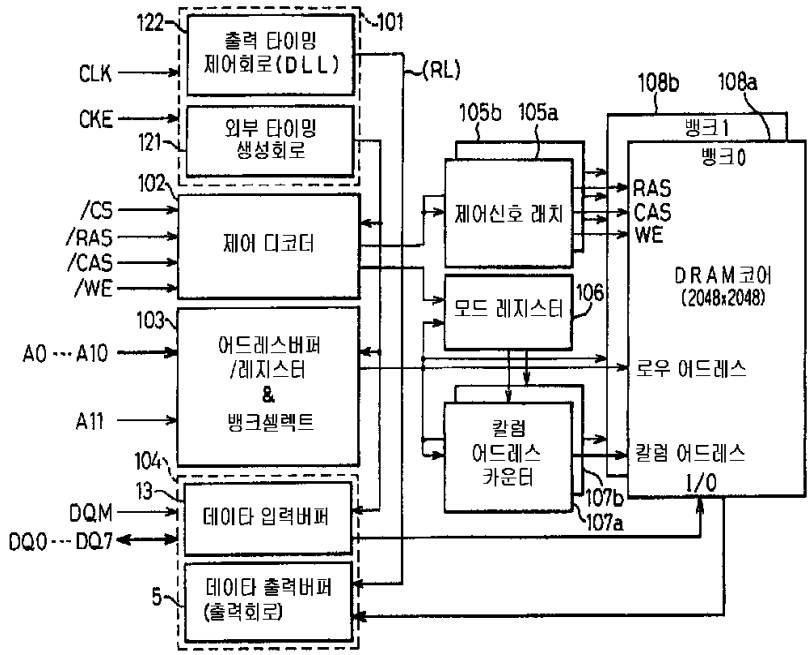
도면21


φb="H", φc="L"
φext
φout
φa
φb
H
φc
L
7a-9
7a-11
φSO
φSE
φRO
L
φRE
L

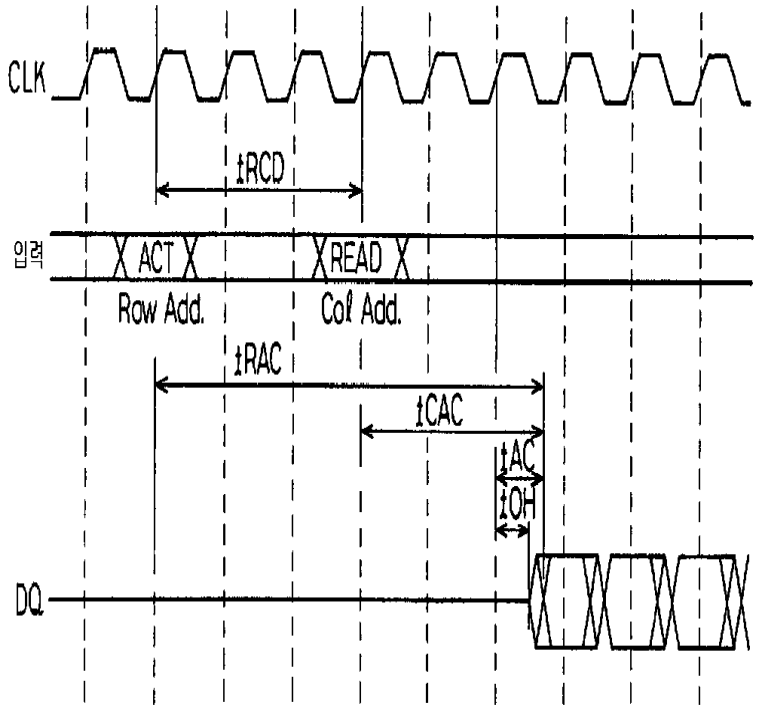
도면22


φb="H", φc="H"
φext
φout
φa
φb
L
φc
H
7a-9
7a-11
φSO
L
φSE
L
φRO
φRE

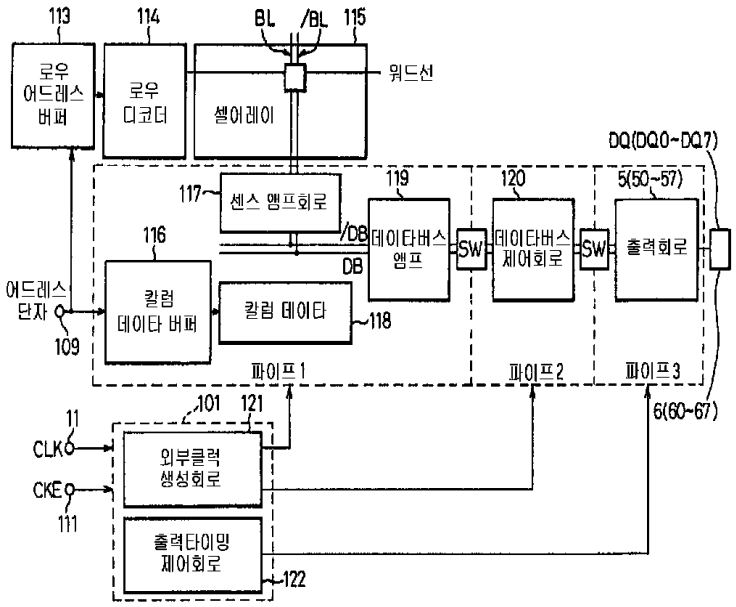
도면23


122
출력 타이밍
제어회로(DLL)
101
CLK
(RL)
CKE
외부 타이밍
생성회로
121
108b
108a
105b
105a
뱅크1
뱅크0
102
/CS
/RAS
/CAS
/WE
제어 디코더
제어신호 래치
RAS
CAS
WE
DRAM코어
(2048x2048)
모드 레지스터
106
103
A0 ··· A10
어드레스버퍼
/레지스터
&
뱅크셀렉트
로우 어드레스
A11
칼럼
어드레스
카운터
칼럼 어드레스
I/O
104
13
DQM
데이타 입력버퍼
107b
107a
DQ0 ··· DQ7
5
데이타 출력버퍼
(출력회로)

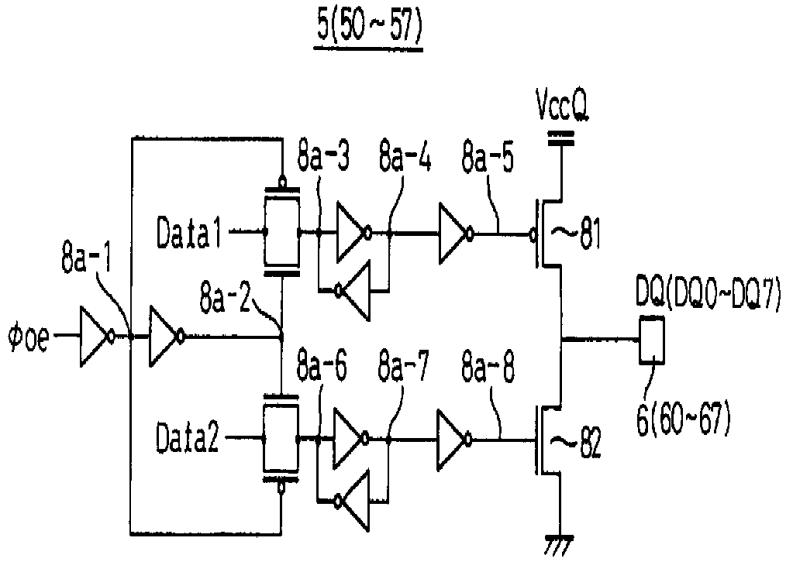
도면24


CLK
tRCD
입력
ACT
READ
Row Add.
Col Add.
tRAC
tCAC
tAC
tOH
DQ

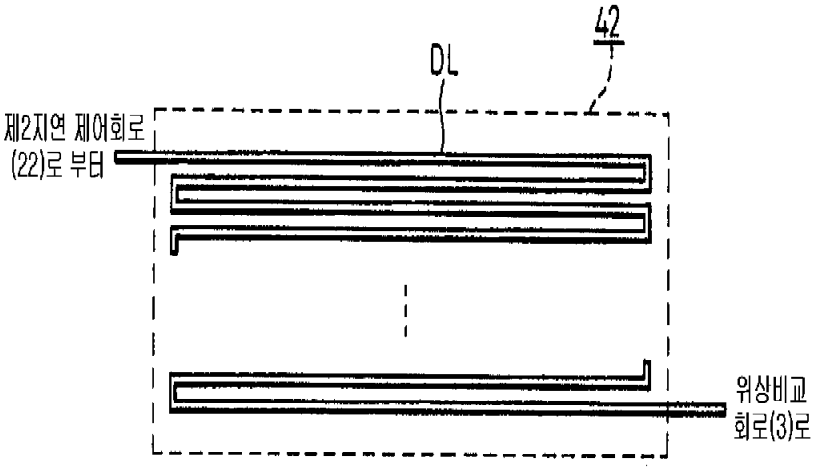
도면25


113
114
BL
/BL
115
로우 어드레스 버퍼
로우 디코더
셀어레이
워드선
DQ(DQ0~DQ7)
117
센스 앰프회로
119
120
5(50~57)
116
/DB
DB
데이타버스 앰프
SW
데이타버스 제어회로
SW
출력회로
어드레스 단자
109
칼럼 데이타 버퍼
칼럼 데이타
118
파이프1
파이프2
파이프3
6(60~67)
101
121
11
CLK
CKE
111
외부클럭 생성회로
출력타이밍 제어회로
122

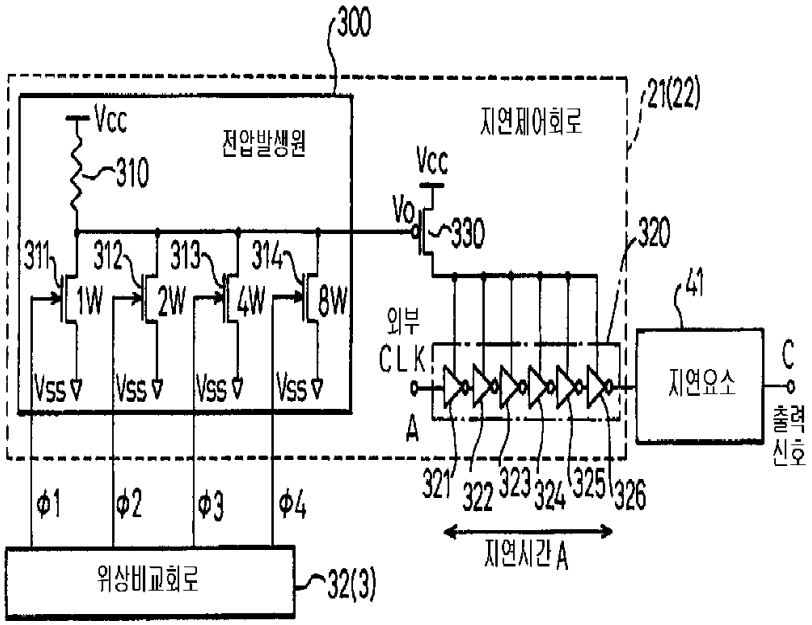
도면26


5(50~57)
VccQ
8a-3
8a-4
8a-5
Data1
~81
8a-1
8a-2
DQ(DQ0~DQ7)
φoe
8a-6
8a-7
8a-8
Data2
~82
6(60~67)

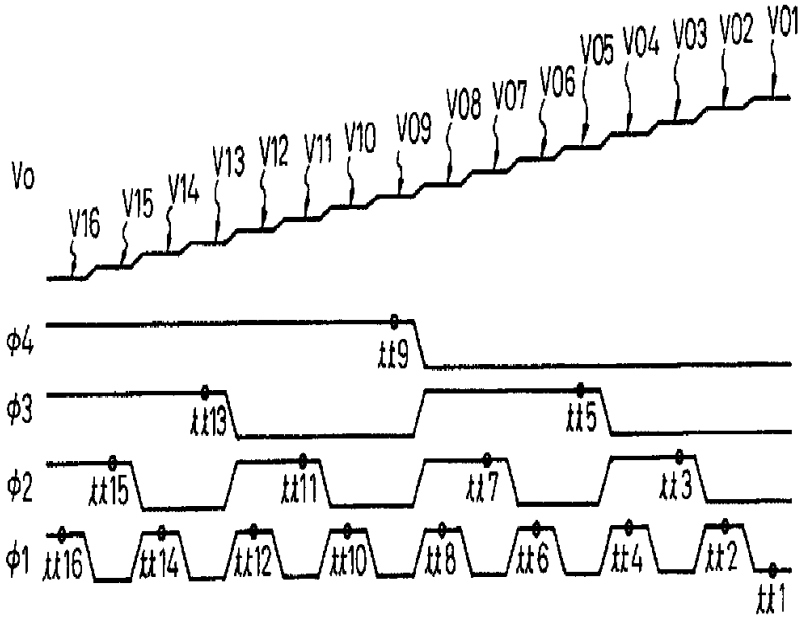
도면27


42
DL
제2지연 제어회로
(22)로 부터
위상비교
회로(3)로

도면28

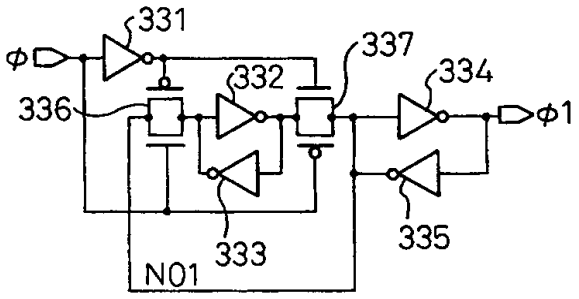

300
21(22)
Vcc
전압발생원
310
지연제어회로
Vcc
Vo
330
320
311
312
313
314
1W
2W
4W
8W
41
외부
CLK
A
Vss
지연요소
C
출력
신호
321
322
323
324
325
326
φ1
φ2
φ3
φ4
지연시간 A
위상비교회로
32(3)

도면29

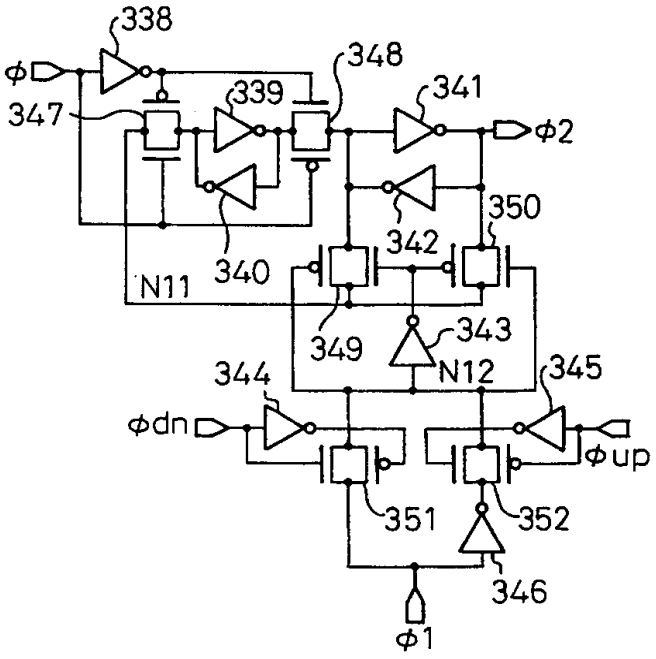

Vo
V16
V15
V14
V13
V12
V11
V10
V09
V08
V07
V06
V05
V04
V03
V02
V01
φ4
φ3
φ2
φ1
tt9
tt13
tt5
tt15
tt11
tt7
tt3
tt16
tt14
tt12
tt10
tt8
tt6
tt4
tt2
tt1

도면30

(a)

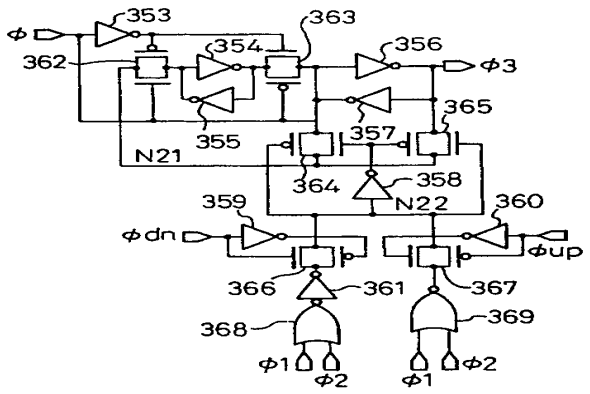

331
φ
336
332
337
334
φ1
333
335
NO1

(b)

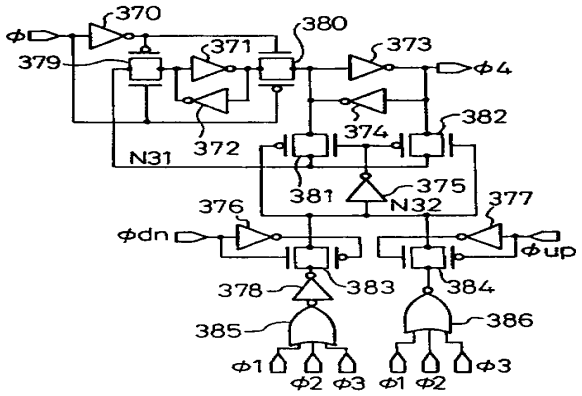

338
φ
347
339
348
341
φ2
350
342
340
N11
349
343
N12
344
345
φdn
φup
351
352
346
φ1

도면31

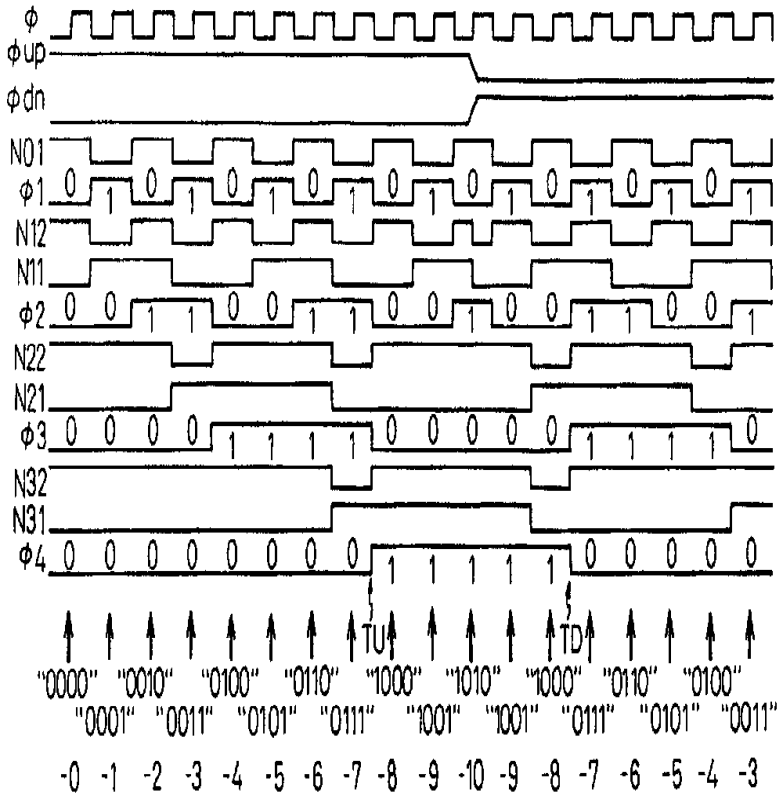
(a)


φ
353
363
354
356
362
φ3
365
355
357
N21
364
358
N22
359
360
φdn
φup
366
361
367
368
369
φ1
φ2
φ1
φ2

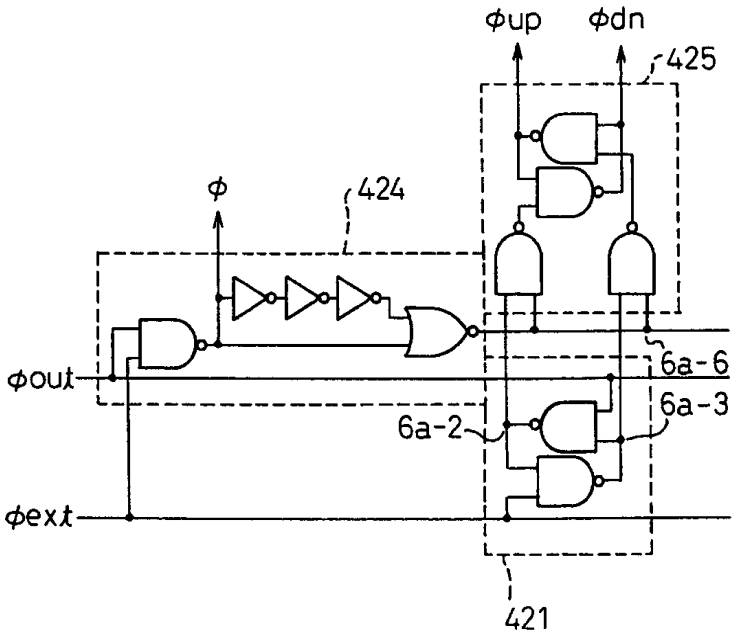
(b)


370
φ
380
371
373
379
φ4
382
374
N31
372
375
381
N32
376
377
φdn
φup
378
383
384
385
386
φ1
φ2
φ3
φ1
φ2
φ3

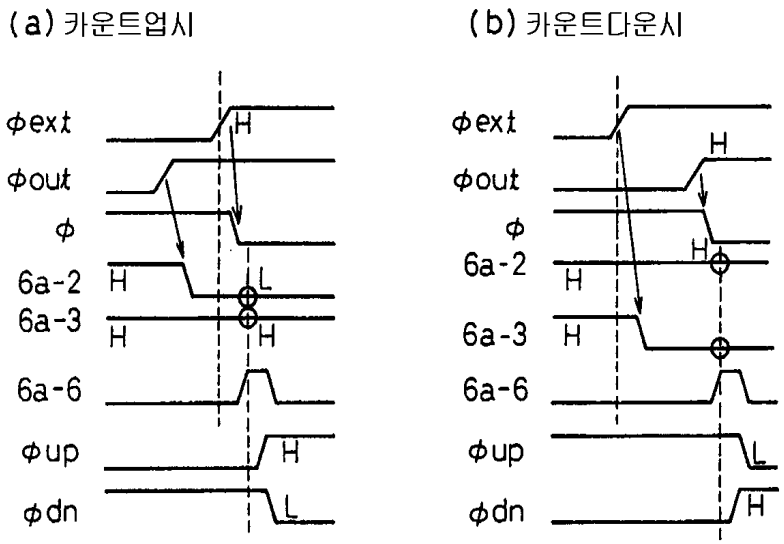
도면32


φ
φup
φdn
N01
φ1
N12
N11
φ2
N22
N21
φ3
N32
N31
φ4
TU
TD
"0000" "0010" "0100" "0110" "1000" "1010" "1000" "0110" "0100"
"0001" "0011" "0101" "0111" "1001" "1001" "0111" "0101" "0011"
-0 -1 -2 -3 -4 -5 -6 -7 -8 -9 -10 -9 -8 -7 -6 -5 -4 -3

도면33


φup
φdn
425
φ
424
φout
6a-6
6a-3
6a-2
φext
421

도면34


(a) 카운트업시
(b) 카운트다운시
φext
φout
φ
6a-2
6a-3
6a-6
φup
φdn
H
L