

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】令和6年5月27日(2024.5.27)

【国際公開番号】WO2023/032653

【出願番号】特願2023-545418(P2023-545418)

【国際特許分類】

H01L29/78(2006.01)

H01L29/739(2006.01)

H01L29/06(2006.01)

H01L21/3205(2006.01)

H01L29/41(2006.01)

H01L21/60(2006.01)

【FI】

H01L29/78 652Q

H01L29/78 653A

H01L29/78 655F

H01L29/78 652P

H01L29/78 653C

H01L29/06 301G

H01L29/06 301F

H01L21/88 Z

H01L21/88 T

H01L29/44 Y

H01L21/60 321

H01L29/78 652K

H01L29/78 652N

H01L29/78 652M

【手続補正書】

【提出日】令和6年2月26日(2024.2.26)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

半導体素子と、

導電部材と、を備え、

前記半導体素子は、

前記導電部材が接続される第1配線部と、

前記第1配線部から離間するとともに前記第1配線部を少なくとも部分的に囲む第2配線部と、

前記第1配線部および前記第2配線部を覆うパッシベーション層と、
を含み、

前記パッシベーション層は、

前記第1配線部の一部を前記導電部材の接続領域として露出させる第1開口と、

前記第1開口と前記第2配線部との間に位置し、前記第1配線部の一部を露出させる
第1スリットと、

10

20

30

40

50

前記第 2 配線部の一部を露出させる第 2 スリットと、
を含む、半導体装置。

【請求項 2】

前記パッシベーション層の厚さは、前記第 1 配線部の厚さおよび前記第 2 配線部の厚さよりも小さい、請求項 1 に記載の半導体装置。

【請求項 3】

前記パッシベーション層は、前記第 1 配線部と前記第 2 配線部との間の離間領域に少なくとも部分的に入り込んでおり、前記離間領域の位置で段差状に形成されている、請求項 1 に記載の半導体装置。

【請求項 4】

前記第 1 配線部は、第 1 面と、前記第 1 配線部の第 1 面に連続し前記離間領域を画定する第 2 面とを含み、

前記第 2 配線部は、第 1 面と、前記第 2 配線部の第 1 面に連続し前記離間領域を画定する第 2 面とを含み、

前記パッシベーション層は、

前記第 1 配線部の第 1 面および前記第 2 配線部の第 1 面を覆う第 1 被覆部分と、

前記離間領域に位置し、前記第 1 配線部の第 2 面および前記第 2 配線部の第 2 面を覆う第 2 被覆部分と、を含み、

前記パッシベーション層は、前記第 1 被覆部分と前記第 2 被覆部分とによって形成される段差を含み、

前記第 1 開口、前記第 1 スリット、および前記第 2 スリットは前記第 1 被覆部分に形成されている、請求項 3 に記載の半導体装置。

【請求項 5】

前記第 1 配線部は、

前記第 1 開口から前記接続領域として露出されるソースパッドと、

前記ソースパッドの周辺に位置し、前記第 1 配線部の外周部分を形成するソースパッド周辺部と、を含み、

前記第 1 スリットは、前記ソースパッド周辺部上に位置している、請求項 1 に記載の半導体装置。

【請求項 6】

前記ソースパッド周辺部は、平面視において、角部を含む外形形状を有し、

前記第 1 スリットは、前記ソースパッド周辺部の前記角部上に位置している、請求項 5 に記載の半導体装置。

【請求項 7】

前記第 1 スリットは環状に形成されている、請求項 1 に記載の半導体装置。

【請求項 8】

前記第 1 スリットは閉じた環状に形成されている、請求項 7 に記載の半導体装置。

【請求項 9】

前記第 2 配線部は、前記第 1 配線部から離間するとともに前記第 1 配線部に沿って延在するゲートフィンガーを含み、

前記第 2 スリットは、前記ゲートフィンガー上に位置している、請求項 1 に記載の半導体装置。

【請求項 10】

前記ゲートフィンガーは角部を含み、

前記第 2 スリットは、前記ゲートフィンガーの前記角部上に位置している、請求項 9 に記載の半導体装置。

【請求項 11】

前記第 2 配線部はゲート電極部をさらに含み、

前記ゲートフィンガーは、前記第 1 配線部の周囲を環状に囲むように前記ゲート電極部から延在しており、

10

20

30

40

50

前記第 2 スリットは、前記ゲートフィンガーの全長に亘って前記ゲートフィンガー上に位置している、請求項 9 に記載の半導体装置。

【請求項 12】

前記半導体素子は、前記第 2 配線部から離間するとともに前記第 2 配線部を少なくとも部分的に囲む第 3 配線部をさらに含み、

前記パッシベーション層は、前記第 3 配線部をさらに覆っており、

前記パッシベーション層は、前記第 3 配線部の一部を露出させる第 3 スリットをさらに含む、請求項 1 に記載の半導体装置。

【請求項 13】

前記第 3 配線部は、前記第 2 配線部から離間するとともに前記第 2 配線部に沿って延在するソースフィンガーを含み、

前記第 3 スリットは、前記ソースフィンガー上に位置している、請求項 12 に記載の半導体装置。

【請求項 14】

前記ソースフィンガーは角部を含み、

前記第 3 スリットは、前記ソースフィンガーの前記角部上に位置している、請求項 13 に記載の半導体装置。

【請求項 15】

前記ソースフィンガーは前記第 2 配線部の周囲を環状に囲んでおり、

前記第 3 スリットは環状に形成されている、請求項 13 に記載の半導体装置。

【請求項 16】

前記第 3 スリットは閉じた環状に形成されている、請求項 15 に記載の半導体装置。

【請求項 17】

前記第 1 スリットの幅は、前記第 2 スリットの幅と同じである、請求項 1 に記載の半導体装置。

【請求項 18】

前記半導体素子は、半導体素子領域に形成されたスプリットゲート構造を有するトランジスタであり、

前記第 1 スリットおよび前記第 2 スリットは、平面視において前記半導体素子領域と重なる位置に配置されている、請求項 1 に記載の半導体装置。

【請求項 19】

前記半導体素子に隣接して配置される導電端子をさらに備え、

前記導電部材は、前記第 2 配線部を跨いで前記第 1 配線部と前記導電端子とを接続しており、

前記第 2 スリットは、前記導電部材と平面視で重なる前記第 2 配線部の部分を露出させている、請求項 1 に記載の半導体装置。

【請求項 20】

前記導電部材は、各々平板状の第 1 端部および第 2 端部と、前記第 1 端部と前記第 2 端部との間に位置し段状に屈曲された中間部とを含み、ブリッジ形状を有するクリップである、請求項 1 ～ 19 のうちのいずれか一項に記載の半導体装置。

10

20

30

40

50