

①9 RÉPUBLIQUE FRANÇAISE
INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE
PARIS

①1 N° de publication :
(à n'utiliser que pour les
commandes de reproduction)

2 692 702

②1 N° d'enregistrement national :

92 07349

⑤1 Int Cl⁵ : G 06 F 15/80, 15/16

①2

DEMANDE DE BREVET D'INVENTION

A1

②2 Date de dépôt : 17.06.92.

③0 Priorité :

④3 Date de la mise à disposition du public de la demande : 24.12.93 Bulletin 93/51.

⑤6 Liste des documents cités dans le rapport de recherche préliminaire : *Se reporter à la fin du présent fascicule.*

⑥0 Références à d'autres documents nationaux apparentés :

⑦1 Demandeur(s) : LABORATOIRES
D'ELECTRONIQUE PHILIPS Société Anonyme — FR.

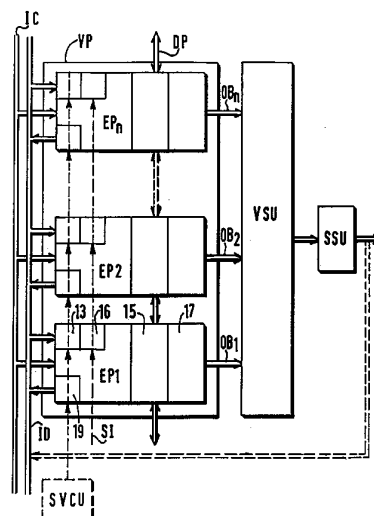
⑦2 Inventeur(s) : Duranton Marc.

⑦3 Titulaire(s) :

⑦4 Mandataire : Le Floch Gérard Société Civile S.P.I.D.

⑤4 Dispositif de traitement de données ayant une architecture à instruction commune agissant sur des données multiples.

⑤7 Dispositif de traitement de données comprenant une pluralité (VP) de processeurs élémentaires (EP) opérant en parallèle selon un mode dit à instruction commune agissant sur des données multiples, et des moyens (VSU) pour traiter collectivement des données issues (OB1 - OBn) desdits processeurs élémentaires. Le dispositif est muni d'un chemin chaîné de données (DP) pour faire communiquer un processeur élémentaire quelconque avec au moins un processeur élémentaire adjacent. Des moyens d'entrée (13) et de sortie (19) permettent de communiquer avec un bus d'entrée (ID) commun. Le traitement met en œuvre des unités de transformation vecteur-scalaire (VSU), scalaire-vecteur (SVCU) et scalaire-scalaire (SSU). Chaque dispositif dispose de moyens d'interface pour l'associer soit à d'autres dispositifs identiques soit à des organes externes (mémoire, contrôleur, table de stockage de données...).



FR 2 692 702 - A1



DESCRIPTION

DISPOSITIF DE TRAITEMENT DE DONNEES AYANT UNE ARCHITECTURE A INSTRUCTION COMMUNE AGISSANT SUR DES DONNEES MULTIPLES

L'invention concerne un dispositif de traitement de données comprenant une pluralité de processeurs élémentaires opérant en parallèle selon un mode dit à instruction commune agissant sur des données multiples avec une pluralité de bus de données de sortie, des moyens pour traiter collectivement des données multiples de sortie, avec un bus de contrôle d'entrée commun et un bus de données d'entrée commun.

Un dispositif muni d'une telle architecture fait opérer simultanément plusieurs processeurs sur des données différentes à l'aide d'une commande unique et délivre en sortie plusieurs résultats (ce mode est appelé SIMD en langue anglaise). Des architectures hautement parallèles de ce type sont mises en oeuvre notamment dans des réseaux de neurones. Ainsi le document EP 0 322 966 décrit un réseau de neurones dont l'architecture peut être décomposée en plusieurs processeurs élémentaires ayant chacun une partie de la mémoire de coefficients synaptiques C_{ij} , un registre d'état de neurones V_i et des moyens pour calculer des contributions $C_{ij} \cdot V_i$. Tous ces processeurs élémentaires se partagent un bus d'entrée commun et délivrent en sortie en parallèle une pluralité de contributions $C_{ij} \cdot V_i$ qui sont additionnées dans un arbre d'additionneurs.

Les dispositifs de ce type sont conçus pour que les données suivent un chemin (flux) direct entre l'entrée et la sortie. Ce type d'architecture est prévu pour accroître la vitesse d'exécution de tels dispositifs de traitements de données. Ils sont donc conçus pour gérer avec un maximum de rapidité des flux de données qui suivent des trajets parallèles allant de l'entrée vers la sortie dudit dispositif. Au cours de ces trajets parallèles, les flux de données restent indépendants jusqu'au moment où ils se regroupent pour être collectivement additionnés, comparés ou autres.

Or les réseaux de neurones en particulier mettent en

oeuvre des traitements qui deviennent de plus en plus sophistiqués avec des applications de plus en plus diversifiées utilisant des algorithmes de plus en plus complexes. Dans le cadre de ces applications diversifiées, un réseau de neurones ayant une structure
5 matérielle déterminée doit disposer d'un jeu d'instructions étendu qui lui permet de traiter un maximum d'applications donc d'algorithmes dédiés à chacune de ces applications. En particulier des flux de données suivant des trajets exclusivement parallèles ne permettent pas de traiter des interactions entre ces flux au cours
10 de leur traitement jusqu'alors indépendant.

Dans un réseau de neurones, ces flux peuvent tout au plus être regroupés en fin de traitement, mais ils ne peuvent être combinés avant ce regroupement final. Un tel réseau de neurones manque ainsi de souplesse pour s'adapter à des tâches diversifiées.

15 Le but de l'invention est donc de rompre avec cette indépendance exclusive des trajets parallèles, donc des traitements, en permettant d'introduire des interactions modulables entre flux.

Ce but est atteint avec un dispositif de traitement de données dans lequel les processeurs élémentaires sont munis de
20 moyens permettant de faire communiquer un processeur élémentaire quelconque avec au moins un processeur élémentaire adjacent à travers au moins un chemin chaîné de données.

Ainsi, avantageusement, en communiquant avec ses deux plus proches voisins il est possible de faire, par exemple, des
25 permutations de données deux à deux, des rotations dans un sens ou dans l'autre de toutes les données sur l'ensemble des processeurs. Ce dernier mécanisme nécessite de connecter le premier processeur élémentaire au dernier processeur élémentaire. On peut aussi extraire les données du dernier processeur élémentaire en ne le
30 connectant pas au premier processeur élémentaire.

Ces interactions entre flux s'effectuent dans le cadre du traitement interne à chaque processeur. Mais les résultats continuent à être délivrés en parallèle par chaque processeur élémentaire sur la pluralité de bus de sortie. L'ensemble de ces
35 résultats forment un résultat de type vectoriel. Il peut être transformé en un résultat de type scalaire dans une unité VSU de transformation vecteur vers scalaire.

Selon un mode particulier, chaque processeur élémentaire comprend des moyens d'entrée et/ou des moyens de sortie, un organe d'identification qui active lesdits moyens lorsqu'un signal d'identification est reçu par ledit processeur, ledit dispositif
5 comprenant en outre une unité de commande scalaire-vecteur (SVCU) qui, en réponse audit signal d'identification, autorise ledit processeur élémentaire soit à recevoir soit à délivrer une donnée scalaire. Plusieurs processeurs élémentaires peuvent être autorisés à recevoir au moins une donnée scalaire commune.

10 Le dispositif de traitement de données peut être muni d'une unité de transformation scalaire-scalaire SSU qui reçoit un résultat scalaire en provenance de l'unité de transformation vecteur-scalaire VSU. L'unité de transformation scalaire-scalaire SSU peut délivrer ladite donnée scalaire commune.

15 Chaque processeur élémentaire est muni d'une mémoire locale pour stocker des coefficients synaptiques et/ou des états de neurones. Préférentiellement, la mémoire est organisée en pile de registres qui stocke des coefficients synaptiques et des états de neurones, en stockant soit majoritairement des coefficients
20 synaptiques soit majoritairement des états de neurones. La lecture de la mémoire est préférentiellement à double accès afin d'accéder à la fois aux coefficients synaptiques et aux états de neurones, ce qui accroît la rapidité d'exécution.

Les coefficients synaptiques peuvent être stockés dans
25 la mémoire selon un rangement dit en diagonale. Ainsi grâce aux moyens faisant communiquer un processeur élémentaire avec un processeur adjacent, il est possible de transposer une matrice de coefficients synaptiques C_{ij} en une matrice transposée de coefficients synaptiques C_{ji} . Cette possibilité est utilisée
30 notamment dans la mise en oeuvre de l'algorithme de retropropagation des erreurs au cours de phases d'apprentissage mises en oeuvre dans un réseau de neurones.

Ces différents aspects de l'invention et d'autres encore seront apparents et élucidés à partir des modes de réalisation
35 décrits ci-après.

L'invention sera mieux comprise à l'aide des figures

suivantes, données à titre d'exemples non limitatifs qui
représentent :

Figure 1 : un schéma global d'une architecture connue
d'une machine à architecture SIMD.

5 Figure 2 : un schéma d'un premier mode de réalisation
d'une partie d'un dispositif de traitement de données selon
l'invention.

Figure 3 : un schéma d'un autre mode de réalisation
d'une partie d'un dispositif de traitement de données selon
10 l'invention.

Figure 4 : un schéma d'un processeur élémentaire selon
cet autre mode de réalisation.

Figure 5 : un schéma d'un dispositif de traitement de
données selon l'invention.

15 Figure 6 : un schéma d'interconnexion d'une mémoire RAM
avec le dispositif de traitement de données.

Figure 7 : un schéma d'interconnexion d'un contrôleur
externe avec le dispositif de traitement de données.

Figure 8 : un schéma d'interconnexion d'un dispositif de
20 traitement de données avec plusieurs autres dispositifs de
traitement de données à travers les interfaces d'entrée sortie I/O.

Figure 9 : un schéma d'interconnexion d'un dispositif de
traitement de données avec plusieurs autres dispositifs de
traitement de données à travers les interfaces de liaison L1/L2.

25 Figure 10 : un schéma d'interconnexion d'un dispositif
de traitement de données avec une table de stockage de données LUT à
travers les interfaces d'entrée sortie I/O.

Figure 11 : un schéma d'interconnexion d'un dispositif
de traitement de données avec une mémoire RAM de sauvegarde à
30 travers les interfaces de liaison L1/L2.

La figure 1 représente une architecture simplifiée
connue d'une machine à architecture SIMD. Pour cela, une pluralité
de processeurs élémentaires P1... Pn, munis chacun d'une mémoire
locale, reçoivent tous en parallèle, à un instant donné, une même
35 instruction en provenance d'une unité de contrôle 10. Cette
instruction commune est distribuée à tous les processeurs par un bus
de contrôle commun IC. Tous les processeurs effectuent ainsi en même

temps une même tâche. Mais cette même tâche peut être effectuée sur des données qui sont généralement différentes. Les données que reçoivent les processeurs élémentaires $P_1 \dots P_n$ sont issues d'un bloc 11 de ressources communes. Ces données sont distribuées

5 séquentiellement ou non par un bus de données ID. Ainsi tous les processeurs peuvent effectuer en même temps une opération d'addition d'une donnée placée sur le bus ID avec chacun des résultats stockés dans chaque processeur. Il peut également s'agir d'une série de données placées sur le bus ID avec chacune un numéro d'ordre qui est

10 reconnu individuellement par chaque processeur. Ainsi chaque processeur élémentaire prend la donnée qui le concerne dans ladite suite de données et effectue l'opération commune programmée.

La pluralité de processeurs élémentaires délivre ainsi chacun un résultat individuel sur leurs sorties $OUT_1 \dots OUT_n$. A

15 titre d'exemple, un tel mécanisme est par exemple mis en oeuvre en traitement d'image dans lequel chaque processeur élémentaire est affecté au traitement individuel d'un pixel de l'image. Les sorties $OUT_1 - OUT_n$ délivrent ainsi une série de résultats indépendants les uns des autres.

20 La figure 2 représente l'architecture d'une partie d'un dispositif de traitement de données selon l'invention, ladite architecture mettant en relief des interactions entre les flux de données mis en oeuvre dans et/ou par des processeurs élémentaires qui opèrent en mode SIMD. La pluralité de processeurs élémentaires

25 $EP_1 - EP_n$ reçoit en entrée des instructions d'un bus de contrôle IC et des données d'un bus de données ID. Chaque processeur élémentaire délivre un résultat sur un bus de sortie individuel $OB_1 - OB_n$ à travers des moyens de sortie $17_1 - 17_n$. Pour que chaque processeur élémentaire puisse communiquer avec ses plus proches voisins, chaque

30 processeur élémentaire est muni de moyens de communication $15_1 - 15_n$ qui permettent de transférer des données sur un chemin chaîné DP. Il est ainsi possible de transférer de proche en proche des données aux autres processeurs élémentaires. Ces échanges de données peuvent concerner n'importe quelles données contenues dans le processeur

35 élémentaire. Ainsi les flux de données qui existent dans chaque processeur élémentaire ne sont plus indépendants. Ceci est

particulièrement utile lorsque la contribution fournie par un processeur élémentaire est associée aux contributions fournies par les autres processeurs. C'est par exemple le cas lorsque la pluralité de processeurs élémentaires EP1 - EPn constitue un
5 processeur vectoriel VP qui délivre une pluralité de résultats formant un résultat vectoriel. Ce dernier est alors traité globalement par une unité vecteur-scalaire VSU qui transforme le résultat de type vectoriel en un résultat de type scalaire.

Une situation de ce type est par exemple rencontrée
10 lorsque ledit dispositif est un dispositif de traitement neuronal. Il est alors possible que les processeurs se communiquent par exemple des états de neurones V_i , des coefficients synaptiques C_{ij} ou des contributions $C_{ij}.V_j$. Une situation particulièrement intéressante concerne la transposition d'une matrice de coefficients synaptiques
15 C_{ij} en une matrice transposée C_{ji} . Dans ce cas l'invention met à profit un rangement particulier des coefficients synaptiques dans les mémoires locales des processeurs élémentaires afin de pouvoir déduire aisément la matrice transposée C_{ji} de la matrice directe C_{ij} . Ce rangement consiste à ranger les données non plus sous forme de
20 lignes (ou de colonnes) d'une mémoire adressée par un adressage lignes/colonnes, mais à ranger les coefficients synaptiques selon une diagonale de la mémoire. Ainsi, par exemple, l'adressage colonne continue à adresser des colonnes de la mémoire mais l'adressage ligne adresse alors des diagonales (ou plus exactement des
25 parallèles aux diagonales) de la mémoire. Un autre choix permet d'inverser les deux types d'adressage.

Pour récupérer les coefficients synaptiques dans un ordre correct, lors d'un rangement en diagonale des coefficients synaptiques, il est nécessaire d'effectuer une permutation de tous
30 les coefficients synaptiques. En permettant aux processeurs élémentaires de se communiquer des données entre voisins, le dispositif de traitement de données selon l'invention permet de mettre en oeuvre ce type de traitement et de l'effectuer rapidement. Un tel rangement de type diagonal est par exemple décrit dans le
35 document EP 0.369.551 qui est incorporé ici par référence.

L'unité VSU peut ainsi déterminer une quantité scalaire

égale à la somme des contributions $C_{ij}.V_i$ délivrées par chaque processeur ou à la somme des contributions $C_{ji}.V_j$ dans le cas des matrices transposées. Ceci est utilisé en mode dit d'apprentissage d'un réseau de neurones lors de la mise en oeuvre de l'algorithme de
5 rétropropagation des erreurs.

Mais les moyens de communication 15 ne sont pas limités aux permutations des coefficients synaptiques et peuvent être utilisés pour d'autres données dans le cas des réseaux de neurones ou dans le cas où la combinaison de processeurs élémentaires forment
10 une autre machine qui nécessite de faire interagir entre eux des flux de données issus de processeurs élémentaires. Il peut s'agir par exemple d'un dispositif de traitement qui opère un traitement de filtrage numérique. Une suite d'échantillons $x_1 - x_n$ est distribuée dans les n processeurs élémentaires par un chargement série à
15 travers le chemin chaîné DP. Les coefficients de pondération du filtre sont stockés dans la mémoire locale de chaque processeur. Les contributions élémentaires déterminées dans chaque processeur élémentaire sont combinées dans l'unité VSU.

La figure 3 représente un mode de réalisation
20 particulier de l'invention. En effet, il peut en outre être souhaitable pour certaines applications que chaque processeur élémentaire puisse communiquer avec d'autres processeurs élémentaires à travers le bus de donnée ID commun. C'est par exemple le cas lorsqu'un processeur élémentaire a besoin de communiquer une
25 donnée à tous ou certains autres processeurs élémentaires. Un processeur peut calculer un maximum (minimum) local qui est transmis aux autres processeurs pour déterminer un maximum (ou un minimum) global. Pour cela chaque processeur élémentaire comprend des moyens de sortie 19 qui mettent sur le bus d'entrée ID au moins une donnée
30 scalaire. Cette mise de la donnée sur le bus est commandée par une unité de contrôle SVCU qui active un seul processeur à la fois. Cette commande peut agir individuellement sur chaque processeur élémentaire grâce à un identificateur stocké dans un circuit d'identification 16 disposé dans chaque processeur élémentaire qui
35 reçoit un signal d'identification SI. De la même façon, chaque processeur élémentaire contient des moyens d'entrée 13 qui

permettent soit sélectivement soit collectivement d'entrer dans les processeurs élémentaires la ou les données placée(s) sur le bus d'entrée ID. Les moyens d'entrée 13 sont alors également contrôlés par l'unité de contrôle SVCU et le signal d'identification SI. Ainsi
 5 on peut distribuer sur tous les processeurs élémentaires une même donnée scalaire : cette opération s'apparente à une transformation scalaire-vecteur. L'unité SVCU agit alors comme une unité de transformation scalaire-vecteur.

La donnée ainsi mise sur le bus ID peut non seulement
 10 être issue des moyens de sortie 19 mais aussi provenir d'une autre source. En particulier, il est possible que le résultat scalaire délivré par l'unité VSU soit traité par une unité SSU qui transforme le résultat scalaire en un autre résultat scalaire. Ce dernier peut alors être rebouclé sur le bus ID pour être redistribué
 15 sélectivement ou collectivement sur les processeurs élémentaires. Ce processus de fonctionnement en boucle est mis en oeuvre dans certaines phases de traitement d'un réseau de neurone. Ainsi par exemple si l'unité VSU délivre le résultat scalaire $\sum C_{ij} \cdot V_i$, ce résultat scalaire peut être soumis à l'action d'une fonction non
 20 linéaire dans l'unité SSU pour obtenir le résultat scalaire $V_j = f(\sum C_{ij} \cdot V_i)$ qui est ensuite redistribué collectivement sur tous les processeurs élémentaires.

La figure 4 représente un schéma d'un processeur élémentaire muni des moyens de communication 13, 15, 17 et 19. Dans
 25 une version simplifiée, les moyens 13 et 19 peuvent ne pas exister. Le processeur comprend une unité arithmétique et logique ALU 20 munie de deux entrées 21_1 , 21_2 qui reçoivent des données respectivement de deux multiplexeurs 22_1 , 22_2 . La sortie de l'ALU délivre des données réparties sur trois champs :

- 30
- un champ MSB formé des bits les plus significatifs,
 - un champ LSB formé des bits les moins significatifs,
 - un champ ISB formé des bits intermédiaires entre les deux champs précédents.

Les champs MSB, ISB, LSB sont chargés respectivement
 35 dans des registres 23_1 , 23_2 , 23_3 . Ces registres sont connectés à un multiplexeur 24 qui sélectionne un champ parmi les champs MSB, ISB,

LSB. La sélection peut également être étendue à quatre champs en ajoutant le champ de données présenté en entrée, sur l'entrée 21₁ ou 21₂. Ceci permet à ces dernières données de passer de l'entrée à la sortie du processeur sans être traitées par l'ALU. Le champ

5 sélectionné par le multiplexeur 2⁴ peut être chargé :

- soit dans un registre 17 RVSU dont les données sont transmises à l'unité VSU,
- soit dans un registre 19 RSVU dont les données sont transmises au bus d'entrée ID sous le contrôle de l'unité de contrôle SVCU,
- 10 - soit dans un registre 15b RN dont les données peuvent être communiquées à un processeur élémentaire adjacent.

Pour repérer l'appartenance des registres 15 dans cette
15 partie de la description, on affecte l'indice b au processeur élémentaire représenté sur la figure 4 et on affecte les indices a et c aux registres 15 appartenant aux processeurs élémentaires adjacents placés respectivement en amont et en aval.

Si l'on désire que le processeur élémentaire communique
20 avec l'un ou l'autre de ses processeurs adjacents (communication bidirectionnelle), le registre 15b est doublé par un registre 15'b. La sortie 25'b du registre 15'b est alors connectée au registre 15'a du processeur élémentaire précédent si la sortie 25b du registre 15b est connectée au processeur élémentaire suivant. La sortie du
25 registre 15'c du processeur suivant est alors connectée à l'entrée des multiplexeurs 22₁ et 22₂. Le registre 15'b est représenté en traits interrompus gras pour indiquer qu'il est facultatif, et les registres 15a et 15'c sont représentés par des traits interrompus fins pour indiquer qu'ils appartiennent aux processeurs élémentaires
30 adjacents.

Les multiplexeurs d'entrée 22₁, 22₂ peuvent recevoir des données de différentes sources. Ils sont connectés :

- aux moyens 13 comprenant un registre RSVU qui reçoit des données du bus d'entrée ID,
- 35 - à une mémoire 26 organisée en pile de registres,
- à un registre 15a, inclus dans le processeur

élémentaire précédent, qui est analogue au registre 15b,

- à la sortie du multiplexeur 24.
- à la sortie du registre 15'c si ce dernier existe.

5 Afin d'avoir une vitesse de lecture de mémoire la plus rapide possible, la mémoire 26 est préférentiellement une mémoire à double accès en lecture. Il est ainsi possible de lire dans la mémoire deux types de données destinées à être disponibles en même temps, respectivement sur les deux entrées de l'ALU. Un type de
10 données peut par exemple être constitué par des états de neurones et l'autre type de données peut alors être constitué par des coefficients synaptiques.

Comme il est possible que pour la mise en oeuvre de certains algorithmes, un même état de neurone soit à associer à
15 plusieurs coefficients synaptiques ou inversement, dans ce but on peut stocker dans la mémoire 26 majoritairement des coefficients synaptiques ou majoritairement des états de neurones ou les stocker en quantité égale.

Selon les phases d'apprentissage ou de résolution mises
20 en oeuvre dans un traitement neuronal, le dispositif de traitement de données dans son ensemble et chaque processeur élémentaire en particulier a à mettre à jour des coefficients synaptiques et des états de neurones. Ces données mises à jour, issues du multiplexeur 24, sont donc réinscrites (connexion 27) dans la mémoire 26 au cours
25 du déroulement des traitements.

Une architecture simplifiée d'un dispositif de traitement de données (DSP) est représentée sur la figure 5. Il comprend le processeur vectoriel VP composés des éléments EP_n , l'unité VSU et l'unité SSU déjà décrits. Pour communiquer avec
30 l'extérieur, le dispositif DSP comprend :

- un interface entrée/sortie I/O,
- un interface de liaison LINK1/LINK2,
- un bus I/A qui reçoit ou délivre des instructions et/ou des adresses.

35 L'interface I/O peut :

- émettre des données vers l'extérieur sur le bus 0,

- recevoir des données de l'extérieur sur le bus I,
- transférer des données de l'unité SSU vers le processeur vectoriel VP.

L'interface de liaison comprend préférentiellement deux
 5 blocs analogues LINK1 et LINK2 qui peuvent communiquer (L1 et L2) en mode bidirectionnel avec le monde extérieur.

Ces deux blocs LINK1 et LINK2 communiquent (connexions $31_1, 31_2$) avec un bloc interne DMA d'accès direct à la mémoire. Le bloc DMA est contrôlé par une unité de contrôle 30. Le bloc DMA
 10 comprend un compteur qui génère des adresses $32_1 - 32_n$ pour chaque mémoire locale RGF de chaque processeur élémentaire pour extraire ou placer sur le bus ID des données transitant de l'intérieur vers l'extérieur du dispositif DSP ou inversement.

Le bloc de contrôle 30 fournit les signaux de commande
 15 aux différentes unités à partir des instructions ou des adresses reçues sur le bus I/A.

Le dispositif de traitement de données DSP peut être utilisé de plusieurs façons sans changer ni sa conception ni son architecture.

20 La figure 6 indique un mode autonome de fonctionnement. Le dispositif DSP est connecté à une mémoire RAM externe. Ils communiquent par le bus I/A, le dispositif DSP recevant des instructions INS en provenance de la RAM sur une partie du bus I/A, par exemple 16 bits, et envoyant des adresses ADR vers la mémoire
 25 RAM pour obtenir des instructions suivantes sur l'autre partie du bus I/A, par exemple 16 bits.

La figure 7 représente un mode de fonctionnement où le dispositif DSP est connecté à un contrôleur externe CTR. Le bus I/A est alors utilisé en totalité (32 bits) pour fournir au dispositif
 30 DSP des instructions, le bus I/A étant partagé en bits de poids forts MSB et de poids faibles LSB.

Il est également possible d'interconnecter plusieurs dispositifs DSP entre eux à travers les interfaces I/O (figure 8). Ainsi un dispositif DSP1 peut d'une part recevoir sur son bus I
 35 (16 bits) des données en provenance du bus 0 (16 bits) d'un dispositif DSP2, et il peut d'autre part délivrer sur son bus 0 (16

bits) des données au bus I (16 bits) d'un dispositif DSP3.

L'interconnexion peut aussi se faire par les interfaces de liaison LINK1/LINK2 (figure 9). Ainsi un dispositif DSP1 peut d'une part échanger bidirectionnellement des données avec un
5 dispositif DSP2 par leur bus L1 et d'autre part échanger bidirectionnellement des données avec un dispositif DSP3 par leur bus L2.

Un dispositif DSP peut également être connecté (figure 10) à un processeur scalaire externe ou à une table de stockage de
10 données LUT, le bus I de l'un étant connecté au bus 0 de l'autre.

Egalement un dispositif DSP peut être connecté à une mémoire de sauvegarde MEM (figure 11). Les bus L1 connectés entre eux assurant un sens de communication et les bus L2 connectés entre eux assurant l'autre sens de communication.

15 Toutes ces configurations montrent l'étendue des capacités des fonctionnements qui peuvent être obtenus avec le dispositif de traitement de données de l'invention.

20

25

30

35

REVENDEICATIONS

1. Dispositif de traitement de données comprenant une pluralité (VP) de processeurs élémentaires (EP) opérant en parallèle selon un mode dit à instruction commune agissant sur des données multiples avec une pluralité de bus de données de sortie (OB), des
5 moyens (VSU) pour traiter collectivement des données multiples de sortie, avec un bus de contrôle d'entrée (IC) commun et un bus de données d'entrée (ID) commun, caractérisé en ce que les processeurs élémentaires (EP) sont munis de moyens (15) permettant de faire
10 communiquer un processeur élémentaire quelconque avec au moins un processeur élémentaire adjacent à travers au moins un chemin chaîné de données (DP).
2. Dispositif selon la revendication 1 caractérisé en ce que chaque processeur élémentaire comprend des moyens d'entrée (13) et/ou des moyens de sortie (19), un organe d'identification (16) qui
15 active lesdits moyens (13) (19) lorsqu'un signal d'identification (SI) est reçu par ledit processeur, ledit dispositif comprenant en outre une unité de commande scalaire-vecteur (SVCU) qui, en réponse audit signal d'identification, autorise ledit processeur élémentaire soit à recevoir soit à délivrer une donnée scalaire.
- 20 3. Dispositif selon la revendication 2 caractérisé en ce que plusieurs processeurs élémentaires peuvent être autorisés à recevoir au moins une donnée scalaire commune.
4. Dispositif selon la revendication 3, les moyens VSU délivrant un résultat scalaire, caractérisé en ce que ladite donnée
25 scalaire commune d'entrée est issue d'une unité de transformation scalaire-scalaire (SSU) qui reçoit ledit résultat scalaire en provenance de l'unité de transformation vecteur-scalaire (VSU).
5. Dispositif selon une des revendications 1 à 4 caractérisé en ce que chaque processeur élémentaire comprend une
30 mémoire locale à lecture à double accès.
6. Dispositif selon la revendication 5 caractérisé en ce que la mémoire locale est organisée en pile de registres et est munie de moyens pour y stocker des coefficients synaptiques et des états de neurones, en stockant soit majoritairement des coefficients
35 synaptiques, soit majoritairement des états de neurones.

7. Dispositif selon une des revendications 5 ou 6 caractérisé en ce que, dans la mémoire locale, les coefficients synaptiques sont rangés dans un ordre dit en diagonale.

8. Dispositif selon une des revendications 1 à 7
5 caractérisé en ce qu'il comprend au moins un bloc de liaison (LINK1, LINK2) permettant d'associer ensemble plusieurs dispositifs (DSP1, DSP2, DSP3) et/ou de connecter le dispositif à un organe externe (MEM).

9. Dispositif selon une des revendications 1 à 8
10 caractérisé en ce qu'il comprend au moins un bloc d'interface (I/O) permettant d'associer ensemble plusieurs dispositifs (DSP1, DSP2, DSP3) et/ou de connecter le dispositif à un organe externe (LUT).

15

20

25

30

35

1/5

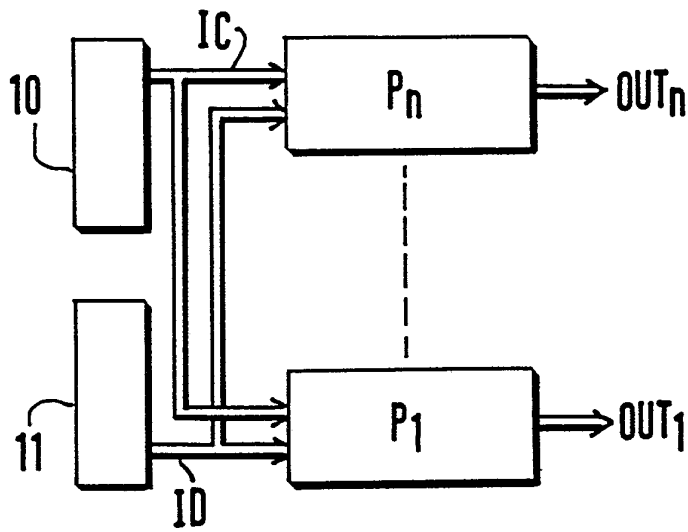


FIG. 1

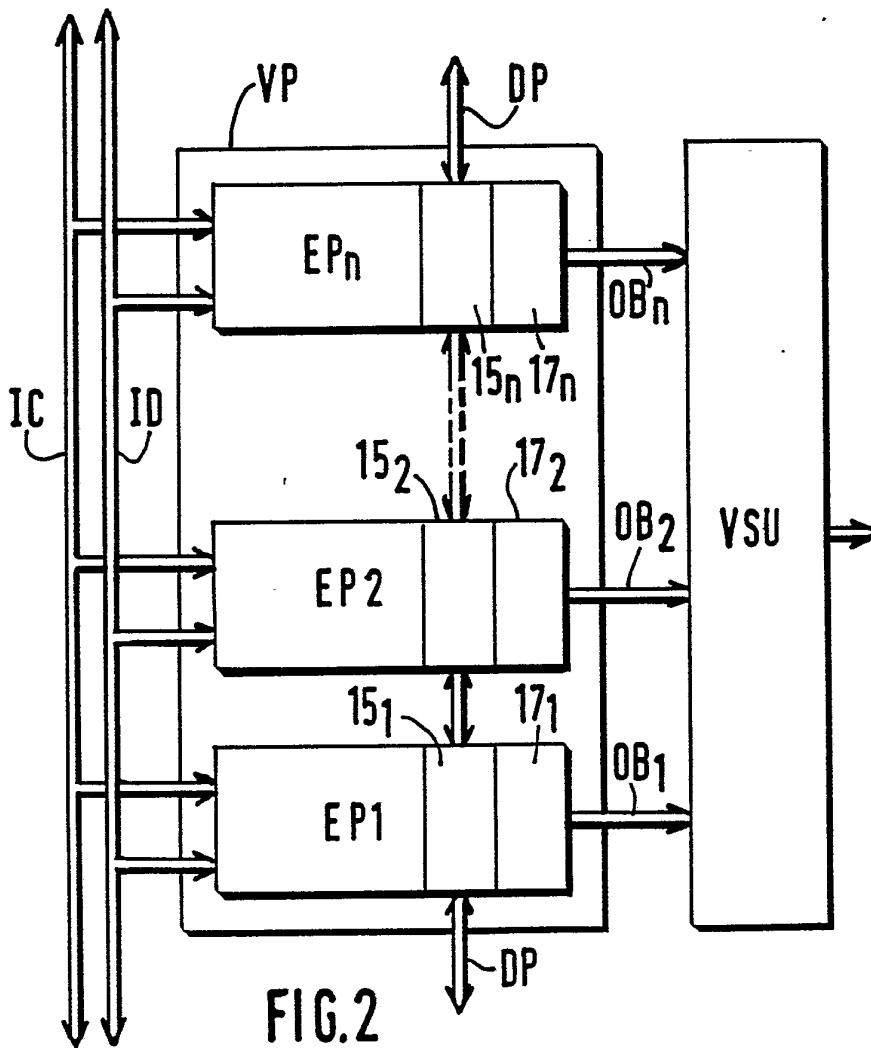


FIG. 2

2/5

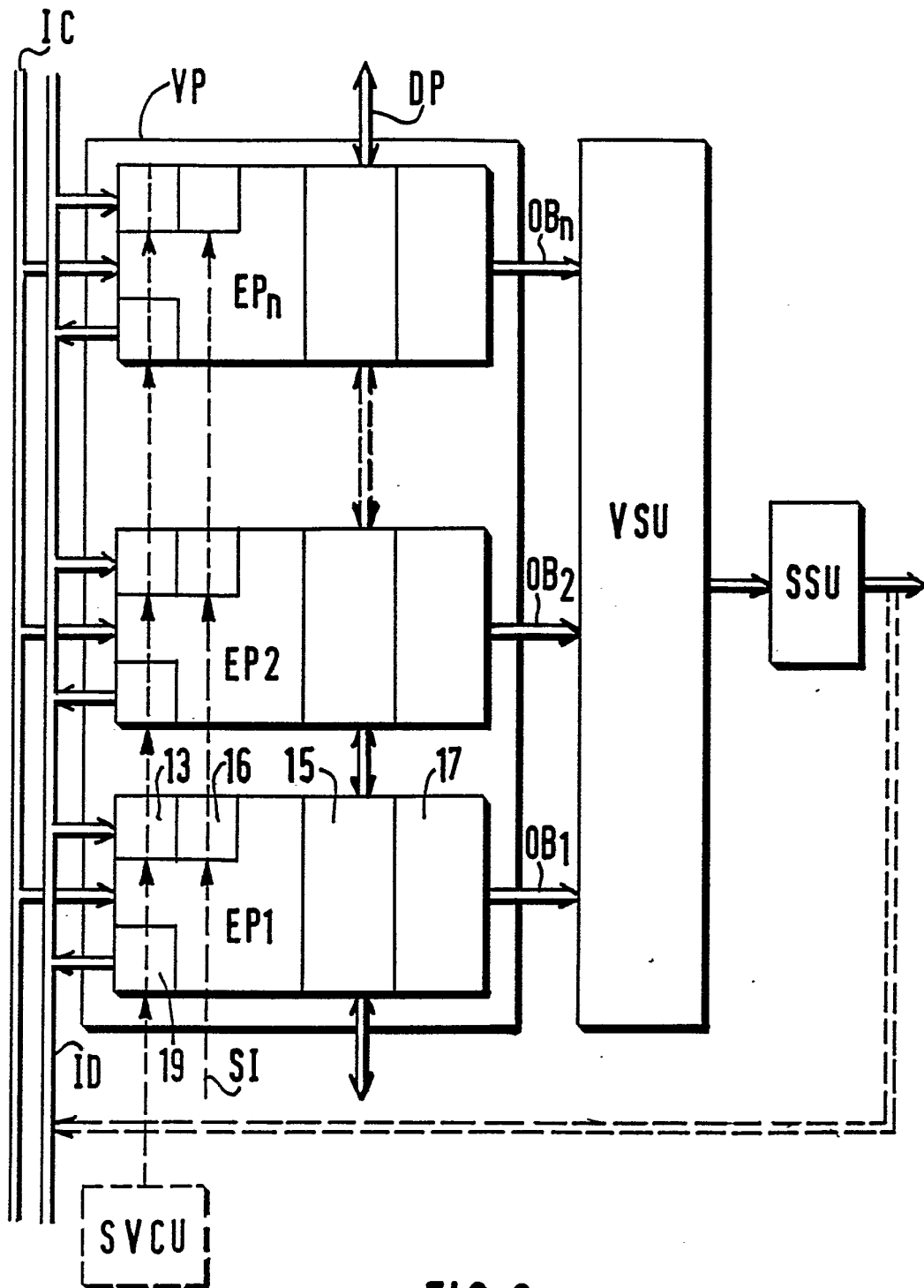


FIG. 3

3/5

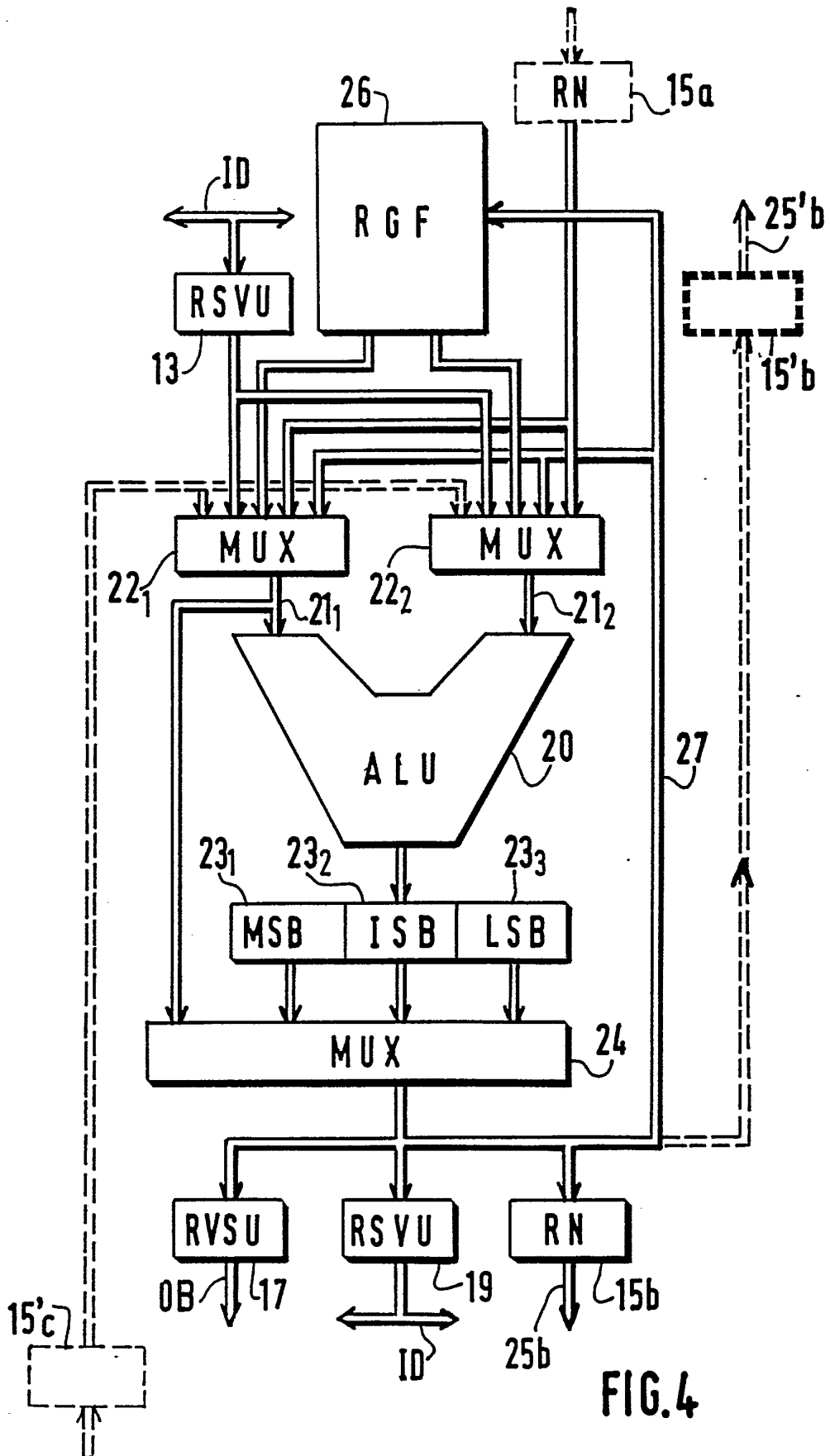


FIG. 4

4/5

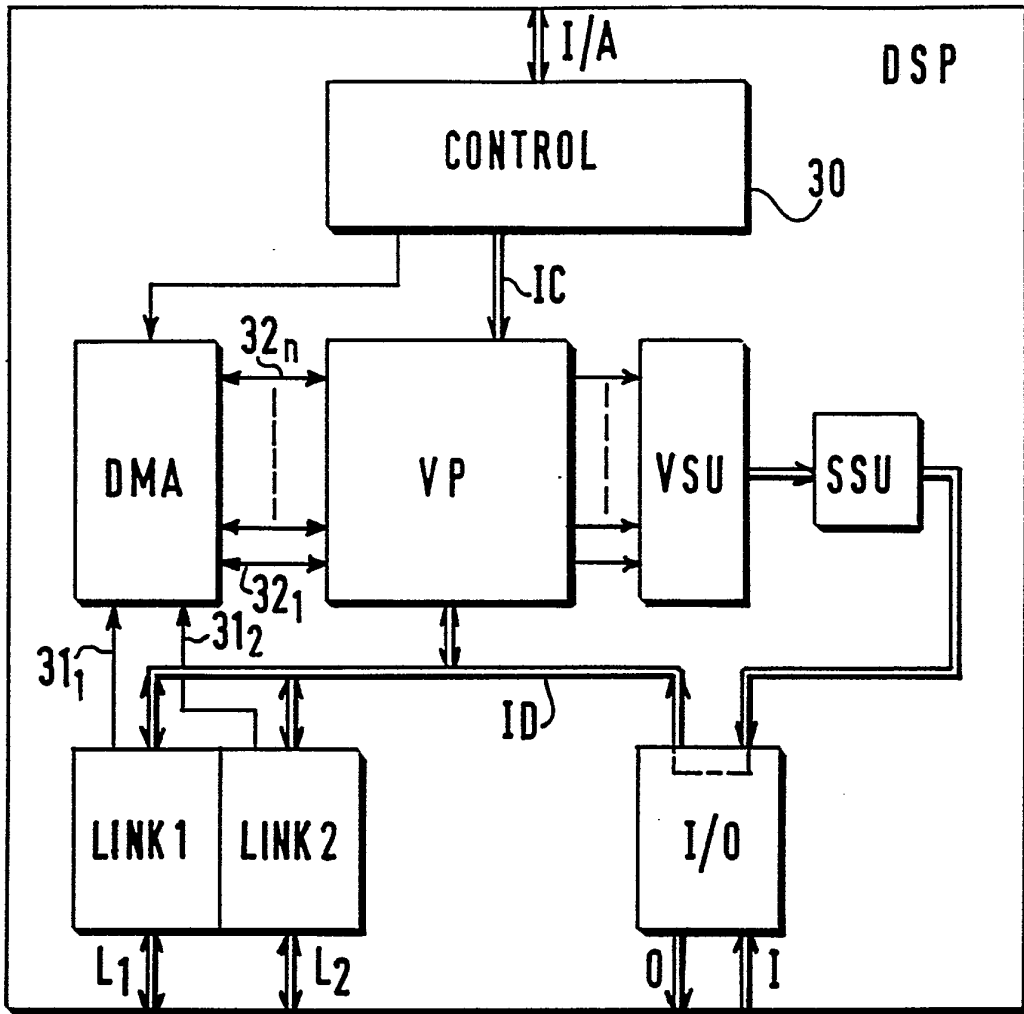


FIG. 5

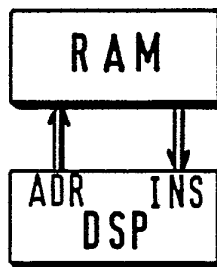


FIG. 6

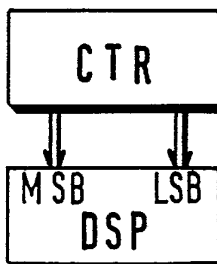


FIG. 7

5/5

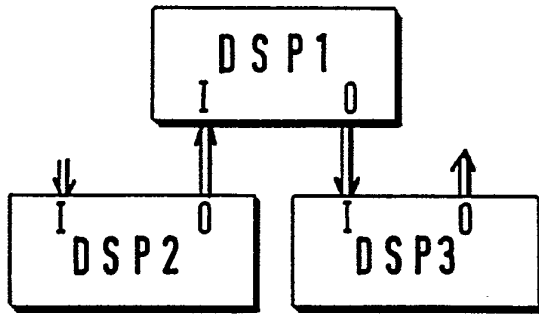


FIG.8

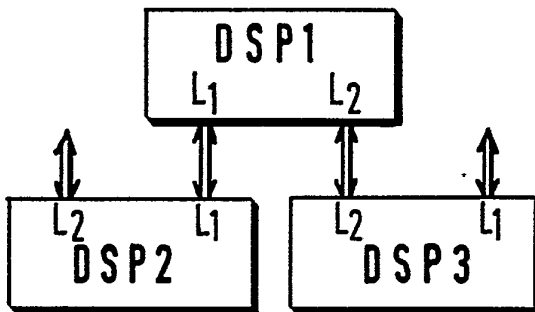


FIG.9

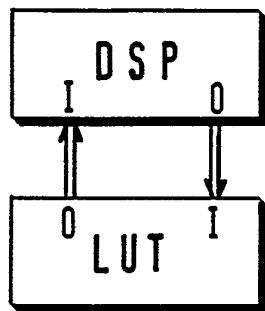


FIG.10

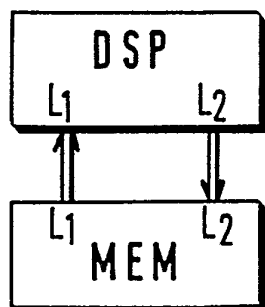


FIG.11

INSTITUT NATIONAL
de la
PROPRIETE INDUSTRIELLE

RAPPORT DE RECHERCHE
établi sur la base des dernières revendications
déposées avant le commencement de la recherche

N° d'enregistrement
national

FR 9207349
FA 475297

DOCUMENTS CONSIDERES COMME PERTINENTS		Revendications concernées de la demande examinée
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes	
A	EP-A-0 463 721 (GENNUM CORPORATION) 2 Janvier 1992 * page 3, ligne 55 - page 4, ligne 10 * * page 4, ligne 34 - page 4, ligne 55; revendication 1 * ---	1,8,9
A	1988 IEEE INTERNATIONAL SYMPOSIUM ON CIRCUITS AND SYSTEMS, vol. 2, 7 Juin 1988, HELSINKI, FINLAND pages 1499 - 1502 M. O. AHMAD AND D. SUNDARARAJAN 'Parallel implementation of a median filtering algorithm' * page 1499, colonne de droite, ligne 21 - page 1500, colonne de gauche, ligne 16; figure 1 * ---	1,5
A	WO-A-9 118 347 (IBM CORP) 28 Novembre 1991 * page 10, ligne 21 - page 11, ligne 24 * * revendications 1,15,19,36,41,42 * * figure 6 * ---	1,2-4
A	NEURAL NETWORKS FROM MODELS TO APPLICATIONS 1988, PARIS pages 720 - 724 M. DURANTON 'A digital vlsi module for neural networks' * page 721, ligne 20 - page 722, ligne 10; figure 1 * -----	1-4
Date d'achèvement de la recherche		Examineur
29 JANVIER 1993		MICHEL T.G.R.
<p>CATEGORIE DES DOCUMENTS CITES</p> <p>X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : pertinent à l'encontre d'au moins une revendication ou arrière-plan technologique général O : divulgation non-écrite P : document intercalaire</p> <p>T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant</p>		

1