

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 2 区分
 【発行日】平成 18 年 3 月 9 日 (2006.3.9)

【公開番号】特開 2000-183356 (P2000-183356A)
 【公開日】平成 12 年 6 月 30 日 (2000.6.30)
 【出願番号】特願 平 10-361689
 【国際特許分類】

H 0 1 L 29/786 (2006.01)

G 0 2 F 1/1368 (2006.01)

H 0 1 L 21/336 (2006.01)

【F I】

H 0 1 L 29/78 6 1 3 A

G 0 2 F 1/1368

H 0 1 L 29/78 6 1 2 B

H 0 1 L 29/78 6 1 6 A

H 0 1 L 29/78 6 1 7 N

【手続補正書】

【提出日】平成 17 年 12 月 16 日 (2005.12.16)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

N チャネル型 T F T と P チャネル型 T F T とで形成された C M O S 回路を含む半導体装置であって、

前記 C M O S 回路は前記 N チャネル型 T F T のみ、絶縁層を介して第 1 配線および第 2 配線によって活性層が挟まれた構造を有し、

前記活性層はチャネル形成領域に接して低濃度不純物領域を含んでおり、

前記チャネル形成領域は前記第 1 配線および前記第 2 配線に重なり、

前記低濃度不純物領域は前記第 1 配線に重なり、且つ、前記第 2 配線に重ならないように形成されていることを特徴とする半導体装置。

【請求項 2】

請求項 1 において、

前記第 1 配線と前記第 2 配線とは電氣的に接続されていることを特徴とする半導体装置。

【請求項 3】

第 1 配線と、第 2 配線とを含む N チャネル型 T F T と P チャネル型 T F T とで形成された C M O S 回路を有する半導体装置であって、

前記 C M O S 回路は前記 N チャネル型 T F T のみ、絶縁層を介して前記第 1 配線および前記第 2 配線によって活性層が挟まれた構造を有し、

前記活性層はチャネル形成領域に接して低濃度不純物領域を含んでおり、

前記チャネル形成領域は前記第 1 配線および前記第 2 配線に重なり、

前記低濃度不純物領域は前記第 1 配線に重なり、且つ、前記第 2 配線に重ならないように形成され、

前記第 2 配線は、第 1 導電層と第 2 導電層との積層構造からなる部分と、前記第 1 導電層と前記第 1 導電層上に形成された第 3 導電層と前記第 3 導電層を覆って前記第 1 導電層

上に形成された前記第 2 導電層とからなる部分とを有することを特徴とする半導体装置。

【請求項 4】

請求項 3 において、

前記第 3 導電層は、第 1 導電層または前記第 2 導電層よりも抵抗値が低いことを特徴とする半導体装置。

【請求項 5】

請求項 3 または請求項 4 において、

前記第 1 導電層または前記第 2 導電層は、タンタル (Ta)、チタン (Ti)、タングステン (W)、モリブデン (Mo)、またはシリコン (Si) から選ばれた元素を主成分とする導電膜、或いは前記元素を組み合わせた合金膜やシリサイド膜であることを特徴とする半導体装置。

【請求項 6】

請求項 3 乃至請求項 5 のいずれか一項において、

前記第 3 導電層は、アルミニウムまたは銅を主成分とする膜であることを特徴とする半導体装置。

【請求項 7】

N チャネル型 TFT で形成された画素 TFT と保持容量とを有する画素マトリクス回路を含む半導体装置であって、

前記画素 TFT は絶縁層を介して第 1 配線および第 2 配線によって活性層が挟まれた構造を有し、

前記活性層はチャンネル形成領域に接して低濃度不純物領域を含んでおり、

前記チャンネル形成領域は前記第 1 配線および前記第 2 配線に重なり、

前記低濃度不純物領域は前記第 1 配線に重なり、且つ、前記第 2 配線に重ならないように形成されていることを特徴とする半導体装置。

【請求項 8】

請求項 7 において、

前記第 1 配線は接地電位またはソース電源電位に保持されることを特徴とする半導体装置。

【請求項 9】

請求項 7 において、

前記第 1 配線はフローティング電位に保持されることを特徴とする半導体装置。

【請求項 10】

N チャネル型 TFT で形成された画素 TFT を有する画素マトリクス回路を含む半導体装置であって、

前記画素 TFT は絶縁層を介して第 1 配線および第 2 配線によって活性層が挟まれた構造を有し、

前記活性層はチャンネル形成領域に接して低濃度不純物領域を含んでおり、

前記チャンネル形成領域は前記第 1 配線および前記第 2 配線に重なり、

前記低濃度不純物領域は前記第 1 配線に重なり、且つ、前記第 2 配線に重ならないように形成され、

前記第 2 配線は、第 1 導電層と第 2 導電層との積層構造からなる部分と、前記第 1 導電層と前記第 1 導電層上に形成された第 3 導電層と前記第 3 導電層を覆って前記第 1 導電層上に形成された前記第 2 導電層とからなる部分とを有することを特徴とする半導体装置。

【請求項 11】

請求項 10 において、

前記第 3 導電層は、前記第 1 導電層または前記第 2 導電層よりも抵抗値が低いことを特徴とする半導体装置。

【請求項 12】

請求項 10 または請求項 11において、

前記第 1 導電層または前記第 2 導電層は、タンタル (Ta)、チタン (Ti)、タング

ステン（W）、モリブデン（Mo）、またはシリコン（Si）から選ばれた元素を主成分とする導電膜、或いは前記元素を組み合わせた合金膜やシリサイド膜であることを特徴とする半導体装置。

【請求項 13】

請求項 10 乃至請求項 12 のいずれか一項において、

前記第 3 導電層は、アルミニウムまたは銅を主成分とする導電膜であることを特徴とする半導体装置。

【請求項 14】

同一基板上に形成された画素マトリクス回路とドライバ回路とを有する半導体装置であって、

前記画素マトリクス回路に含まれる画素 TFT と前記ドライバ回路に含まれる N チャンネル型 TFT は、絶縁層を介して第 1 配線および第 2 配線によって活性層が挟まれた構造を有し、

前記活性層はチャンネル形成領域に接して低濃度不純物領域を含んでおり、

前記チャンネル形成領域は前記第 1 配線および前記第 2 配線に重なり、

前記低濃度不純物領域は前記第 1 配線に重なり、且つ、前記第 2 配線に重ならないように形成され、

前記画素 TFT が有する第 1 配線は固定電位またはフローティング電位に保持され、前記ドライバ回路に含まれる N チャンネル型 TFT が有する第 1 配線は、該ドライバ回路に含まれる N チャンネル型 TFT が有する第 2 配線と同電位に保持されることを特徴とする半導体装置。

【請求項 15】

請求項 14 において、

前記固定電位は、接地電位またはソース電源電位であることを特徴とする半導体装置。

【請求項 16】

請求項 14 または請求項 15 において、

前記第 2 配線は、第 1 導電層と第 2 導電層との積層構造からなる部分と、前記第 1 導電層と前記第 1 導電層上に形成された第 3 導電層と前記第 3 導電層を覆って前記第 1 導電層上に形成された前記第 2 導電層とからなる部分とを有することを特徴とする半導体装置。

【請求項 17】

請求項 16 において、

前記第 3 導電層は、前記第 1 導電層または前記第 2 導電層よりも抵抗値が低いことを特徴とする半導体装置。

【請求項 18】

請求項 16 または請求項 17 において、

前記第 1 導電層または前記第 2 導電層は、タンタル（Ta）、チタン（Ti）、タングステン（W）、モリブデン（Mo）、またはシリコン（Si）から選ばれた元素を主成分とする導電膜、或いは前記元素を組み合わせた合金膜やシリサイド膜であることを特徴とする半導体装置。

【請求項 19】

請求項 16 乃至請求項 18 のいずれか一項において、

前記第 3 導電層は、アルミニウムまたは銅を主成分とする導電膜であることを特徴とする半導体装置。

【請求項 20】

請求項 1 乃至請求項 19 に記載された半導体装置とは、アクティブマトリクス型液晶ディスプレイまたはアクティブマトリクス型 EL ディスプレイであることを特徴とする半導体装置。

【請求項 21】

請求項 1 乃至請求項 19 に記載された半導体装置とは、ビデオカメラ、デジタルカメラ、プロジェクター、プロジェクション TV、ゴーグル型ディスプレイ、カーナビゲーション

ン、パーソナルコンピュータ、携帯情報端末であることを特徴とする半導体装置。

【請求項 2 2】

Nチャネル型 T F T と Pチャネル型 T F T とで形成された C M O S 回路を含む半導体装置の作製方法であって、

基板上に第 1 配線を形成し、

前記第 1 配線の上に第 1 絶縁層を形成し、

前記第 1 絶縁層の上に前記 Nチャネル型 T F T の活性層および前記 Pチャネル型 T F T の活性層を形成し、

前記 Nチャネル型 T F T の活性層および前記 Pチャネル型 T F T の活性層を覆って第 2 絶縁層を形成し、

前記第 2 絶縁層の上に導電層を形成し、

第 1 のレジストマスクを用いて前記導電層をエッチングすることで前記 Nチャネル型 T F T の第 2 配線を形成し、

前記第 1 のレジストマスクを用い不純物を添加することで前記 Nチャネル型 T F T の活性層に低濃度不純物領域を形成し、

第 2 のレジストマスクを用いて前記導電層をエッチングすることで前記 Pチャネル型 T F T の配線を形成し、

前記第 2 のレジストマスクを用い不純物を添加することで前記 Pチャネル型 T F T の活性層に不純物領域を形成し、

裏面露光によって前記第 2 の配線上に形成された第 3 のレジストマスクを用い不純物を添加することで前記低濃度不純物領域にソースおよびドレイン領域を形成し、

前記第 1 配線は前記 Nチャネル型 T F T の活性層のみと交差するように形成され、

前記 Nチャネル型 T F T の前記低濃度不純物領域は前記第 1 配線に重なり、且つ、前記第 2 配線に重ならないように形成されることを特徴とする半導体装置の作製方法。

【請求項 2 3】

請求項 2 2 において、

前記導電層は、第 1 導電層および第 2 導電層を有することを特徴とする半導体装置の作製方法。